

Kátia Regina Akemi Sasaki

Estudo de transistores SOI MOSFETs com camada de silício e óxido enterrado ultrafinos operando em modo de tensão de limiar dinâmica

São Paulo
2017

Kátia Regina Akemi Sasaki

Estudo de transistores SOI MOSFETs com camada de silício e óxido enterrado ultrafinos operando em modo de tensão de limiar dinâmica

Tese de doutorado apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Doutora em Ciências.

São Paulo
2017

Kátia Regina Akemi Sasaki

Estudo de transistores SOI MOSFETs com camada de silício e óxido enterrado ultrafinos operando em modo de tensão de limiar dinâmica

Tese de doutorado apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Doutora em Ciências.

Área de concentração: Microeletrônica

Orientador Prof^o Dr. João Antonio Martino

São Paulo
2017

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, 16 de Janeiro de 2017

Assinatura do autor: Katia R. Sasaki

Assinatura do orientador: [Assinatura]

Catálogo-na-publicação

Sasaki, Katia Regina Akemi

Estudo de transistores SOI MOSFETs com camada de silício e óxido enterrado ultrafinos operando em modo de tensão de limar dinâmica / K. R. A. Sasaki -- versão corr. -- São Paulo, 2017.

144 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.SOI 2.MOS 3.transistores 4.UTBB 5.DTMOS I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Agradecimentos

Gostaria de agradecer ao Prof^o Dr. João Antonio Martino pela orientação, pelos ensinamentos, pelo constante incentivo transmitido ao longo de todo o trabalho e pela confiança depositada.

Agradeço à FAPESP, pelo apoio financeiro prestado aqui no Brasil e no exterior.

Agradeço também aos meus pais, Mitsue e Pedro, sem os quais não teria chegado aqui, à minha irmã, Karen, e a todos os meus familiares que me apoiaram e ajudaram.

Aos grandes amigos e co-autores Luciano, Sara, Talitha, Tatsuo e Albert, que me apoiaram e ajudaram, durante o mestrado e, agora durante o doutorado, eu não poderia deixar de lhes agradecer por tudo o que aprendi junto deles, por toda a paciência prestada e por todo o apoio e auxílio também agora, no doutorado.

Ao grande amigo Matheus pela ajuda com as primeiras medidas deste trabalho, além do grande incentivo, amizade, discussões, aprendizado conjunto, paciência e dedicação.

Aos também grandes amigos Rangel, Caio, Alberto, Ferrari e Felipe pelo aprendizado conjunto, pelas muitas discussões, paciência, incentivos e amizade.

Ao Marc Aoulaiche, Eddy Simoen, Cor Claeys pelo fornecimento de lâminas e pelas discussões e revisões de nossos artigos.

Ao Prof^o Sorin Cristoloveanu, Maryline Bawedin e Carlos Navarro pelo fornecimento de lâminas, discussões, revisões de nossos artigos e auxílio durante o estágio realizado no MINATEC, Grenoble, França. Também ao Gustavo Rehder com a ajuda prestada na viagem para Grenoble.

Ao meu noivo Ygor pela compreensão, paciência, incentivo, companhia e amizade.

A todos do grupo SOI e do MINATEC que ajudaram de alguma forma nesse trabalho e que, de forma involuntária, foram aqui omitidos.

RESUMO

Neste trabalho foi analisado o comportamento de um transistor UTBB FD SOI MOSFET (*Ultra-Thin-Body-and-Buried-Oxide Fully-Depleted Silicon-on-Insulator Metal-Oxide-Semiconductor Field-Effect-Transistor*) planar, operando em modo convencional, de tensão de limiar dinâmica (DT2-UTBB, onde a tensão de substrato é igual à de porta, $V_B=V_G$) e modo DT2 melhorado (kDT, onde a tensão de substrato é um múltiplo da tensão de porta, $V_B=kV_G$). O princípio de funcionamento desses modos foi estudado e a influência de diferentes tendências e tecnologias atuais foram analisadas nessas condições de polarização como a presença do plano de terra (*Ground Plane - GP*), o escalamento da camada de silício e a ausência de uma região de extensão de fonte e dreno. Também foi proposto neste trabalho o modo kDT inverso, onde a tensão de porta é um múltiplo da tensão de substrato ($V_G=kV_B$). O efeito do superacoplamento foi identificado e analisado a partir de diferentes técnicas, como nas curvas de capacitância, sua influência no efeito de corpo e no transistor UTBB operando em modo DT2 e DT2 melhorado. Finalmente o efeito da alta temperatura também foi estudado em transistores UTBB nos modos DT2 e DT2 melhorado, bem como nas curvas de capacitâncias.

A operação em DT2 apresentou melhores resultados que o método convencional, principalmente para canais mais curtos (redução da inclinação de sublimiar em 36%, elevação da transcondutância máxima em 23% e diminuição do DIBL, *Drain Induced Barrier Lowering*, em 57%). A presença do GP acentuou esta melhora (redução da inclinação de sublimiar em 51%, elevação da transcondutância máxima em 32% e diminuição do DIBL em 100%), uma vez que há um maior acoplamento entre o substrato e o canal, fortalecendo sua atuação na redução da tensão de limiar. O modo melhorado da tensão de limiar dinâmica apresentou melhores parâmetros elétricos que no modo DT2, devido à redução mais expressiva da tensão de limiar para uma mesma varredura da tensão de porta. No modo kDT inverso, os parâmetros também foram ainda melhores (60% menor SS e 147% maior $g_{m,max}$ para os dispositivos sem GP e 68% menor SS e 189% maior $g_{m,max}$ nos dispositivos com GP) devido ao óxido de porta ser mais fino que o óxido enterrado.

Com relação ao escalamento do filme de silício, para maiores valores de sobretensão de porta, a redução da camada de silício apresenta uma maior resistência série e uma maior degradação da mobilidade, reduzindo a corrente de dreno. Já para

tensões de porta negativas, o GIDL (*Gate Induced Drain Leakage*) é mais elevado para menores espessuras do filme de silício. Entretanto, a menor espessura da camada de silício (t_{Si}) mostrou ser vantajoso no modo kDT, devido ao acoplamento mais forte. O filme de silício mais fino melhorou principalmente o DIBL (a espessura de 6nm apresentou um DIBL 3 vezes menor que o dispositivo de 14nm para $k=5$), diminuindo o campo elétrico do dreno, e o SS (a espessura de 6nm apresentou um SS 7% menor que o dispositivo de 14nm para $k=5$), onde o campo elétrico vertical não é suficiente para degradar o parâmetro do dispositivo.

O superacoplamento mostrou-se benéfico em transistores UTBB operando em modo DT2 e kDT, amplificando o efeito da inversão de volume e elevando consideravelmente a transcondutância e a mobilidade (melhora de até 131% para $k=5$, NMOS e $t_{Si}=7nm$, tomando o caso $V_B=0V$ como referência). O superacoplamento também apresentou resultados positivos no estudo do escalamento dos dispositivos, apresentando um excelente acoplamento ainda para o menor comprimento de canal medido (0,076 para comprimento de 20nm contra 0,09 para $L=1\mu m$).

Com relação à engenharia de fonte e dreno, os melhores resultados foram obtidos para os dispositivos sem a implantação da região de extensão (*extensionless*) e com comprimento dos espaçadores de 20nm. Os mesmos transistores *extensionless* também demonstraram serem mais suscetíveis com o aumento do fator k , apresentando o melhor comportamento na região de sublimiar (inclinação de sublimiar, SS, até 59% menor), desempenho analógico (elevação de mais de 300% no ganho intrínseco de tensão, A_V , e de mais de 600% na tensão Early, V_{EA}) e aplicação em baixas tensões (menor inclinação de sublimiar e tensão de limiar). A única desvantagem observada para a operação em DT2 e kDT foi a elevada corrente de GIDL (elevação de uma ordem de grandeza entre os transistores auto-alinhados com $k=5$ em relação ao auto-alinhado com $k=0$), entretanto, os dispositivos sem a implantação da região de extensão de fonte e dreno apresentaram um menor GIDL (redução de 1 ordem de grandeza para os dispositivos sem a implantação de 20nm com $k=5$ em relação ao dispositivo auto-alinhado com $k=5$) devido ao menor campo elétrico da porta para o dreno, o que pode ser uma solução para essa desvantagem. A região de extensão mais longa (sem a implantação) e, principalmente a operação em modo kDT, melhoram os parâmetros (elevação de 82% na transcondutância máxima, $g_{m,max}$, redução de 45% no SS, de 41% no DIBL, elevação de 303% no A_V e de 97% no V_{EA}), superando a degradação observada pelo aumento da temperatura

(porcentagens apresentadas já estão considerando a degradação da temperatura). Além disso, os modos kDT reduziram a tensão de porta do ponto ZTC (*Zero-Temperature-Coefficient*) em até 57%, sendo interessante em aplicações de baixa tensão. O modo kDT também permitiu o ajuste da tensão de limiar e da tensão de polarização, ainda com o nível de corrente independente com a temperatura e com o fator k.

Palavras-chave: SOI, MOS, Microeletrônica, Transistores, UTBB, DTMOS,

ABSTRACT

In this work, it was analyzed the behavior of a planar UTBOX FD SOI NMOSFET (*Ultra-Thin-Buried-Oxide Fully-Depleted Silicon-on-Insulator Metal-Oxide-Semiconductor Field-Effect-Transistor*), operating in conventional ($V_B=0V$), dynamic threshold (DT2-UTBB, where the back-gate bias is equal to the front-gate one, $V_B=V_G$) and enhanced DT (kDT-UTBB, where the back-gate bias is a multiple value of the front-gate one, $V_B=kV_G$) modes. The working principle of these modes has been studied and the effect of different technologies and current trends were analyzed under such biasing conditions as the presence of the ground plane (ground plane - GP), the scaling of the silicon layer and the absence of a doped extended source and drain region. It was also proposed in this paper the inverse kDT-UTBB mode, where the gate voltage is a multiple of the back-gate one ($V_B=kV_G$). The supercoupling effect was identified and analyzed through different techniques, such as the capacitance curves, its influence on the body effect and in UTBB SOI transistors operating in DT2 and kDT modes. Finally, the high temperature influence was also studied in UTBB SOI transistors operating in DT2 and kDT modes, as well as on capacitance characteristics.

The operation DT2 showed better results than the conventional method, mainly for shorter channels (reduced subthreshold slope, SS, in 36%, increased maximum transconductance, $g_{m,max}$, in 23% and reduced Drain Induced Barrier Lowering, DIBL, 57%). The presence of GP intensified this improvement (reducing SS by 51%, raising $g_{m,max}$ by 32% and reduced DIBL by 100%), due to the greater coupling of the substrate on the channel, strengthening its influence on reducing the threshold voltage. The kDT mode showed better electrical parameters than the DT2 due to a remarkable reduction of the threshold voltage for the same V_G sweep. In the inverse kDT mode, the parameters were also better (60% lower SS and 147% higher $g_{m,max}$ for devices without GP and 68% lower SS and 189% higher $g_{m,max}$ on devices with GP) due to the thinner gate oxide than the buried oxide.

With regard to the silicon film scaling, for higher values of gate voltage, the thinner silicon layer presented a larger series resistance and a greater mobility degradation, reducing the drain current. For negative gate biases, the GIDL (Gate Induced Drain Leakage) is higher for smaller thicknesses of the silicon film. However, the lower silicon film thickness showed to be advantageous in kDT due to the stronger coupling. The thinner silicon thickness has improved the DIBL (thickness of 6nm presented a DIBL 3

times smaller than the device of 14nm for $k = 5$), reducing the drain electric field, and the SS (thickness of 6nm presented an SS 7% smaller than 14nm device for $k = 5$), where the vertical electric field is not enough to degrade the device parameter.

The supercoupling demonstrated beneficial results in UTBB transistors in DT2 and kDT operations, amplifying the volume inversion effect and rising significantly the transconductance and the mobility (improvement of up to 131% for $k=5$, 7nm-NMOS, taking $V_B=0V$ as the reference). Measurements and simulations have also shown positive results in the scalability study, presenting an excellent coupling for the shortest channel considered (0.076 for $L=20nm$ against 0.09 for $L=1\mu m$).

With respect to source and drain engineering, the best results were obtained for devices without the extension implantation and spacer length of 20nm. They also demonstrated to be more susceptible to the increase of k factor, showing the best behavior in the subthreshold region (59% lower), analog performance (300% higher intrinsic voltage gain, A_V and 600% higher Early voltage, V_{EA}) and for low voltages applications (reduced SS and V_T). The only drawback observed for operation in kDT was the higher GIDL current (increase of 1 order of magnitude between self-aligned transistors with $k=5$ and self-aligned ones with $k=0$). However, the devices without the extension region implantation had a lower GIDL (1 order of magnitude lower for 20nm-extensionless devices with $k=5$, taking the self-aligned ones with $k=5$ as the reference) due to the lower gate-to-drain electric field, which can be a solution to this disadvantage. The longer extension region (without implantation) and, mainly, the kDT operation improved the parameters (increase of 82% in $g_{m,max}$, reduction of 45% in SS, 41% reduced DIBL, rising of 303% in A_V and 97% increased V_{EA}), surpassing the degradation caused by rising the temperature (the last percentages is already considering the temperature degradation). Moreover, the DT2 and kDT operations reduced the gate bias of the ZTC point (Zero-Temperature-Coefficient) in 57%, being interesting for low voltage applications. The kDT mode also allowed the threshold voltage and the biases tuning, still with the current level independent of the temperature and the k -factor.

Keywords: SOI, MOS, Microelectronic, Transistors, UTBB, DTMOS.

LISTA DE FIGURAS

Figura 1.1: Evolução dos nós tecnológicos.....	26
Figura 1.2: Comparação entre FDSOI (UTBB, circulado), CMOS convencional (Bulk) e FinFET em termos de desempenho e custo.....	27
Figura 2.1: Estrutura de um transistor SOI nMOSFET planar.....	31
Figura 2.2: Diagrama de faixas de energia de um dispositivo parcialmente depletado (a) e um totalmente depletado (b). E_C é o nível de energia da banda de condução, E_V , da banda de valência e E_F é o nível de Fermi.....	33
Figura 2.3: Corrente de dreno em função da tensão de porta para diferentes tensões de substrato.....	35
Figura 2.4: Transcondutância em função da tensão de porta.....	37
Figura 2.5: Representação do modelo de capacitâncias. (A) para o MOS convencional, (B) para FDSOI, (C) FDSOI para a 2ª interface acumulada, (D) para FDSOI com a 2ª interface invertida, (E) para o DTMOS (seção 2.2.2) e (F) para o MuGFET de porta dupla.....	40
Figura 2.6: Regiões de depleção em um transistor MOS convencional de canal longo e curto (a e b) e em um SOI MOSFET de canal longo e curto (c e d).....	41
Figura 2.7: Redução da barreira de potencial do canal induzida pela tensão no dreno.....	43
Figura 2.8: Localização e diagrama de bandas durante o GIDL (a) e seu efeito na curva $I_D \times V_G$ (b).....	44
Figura 2.9: Razão g_m/I_D em função da corrente normalizada $I_D/(W/L)$ para $V_D=1,2V$	45
Figura 2.10: Tensão Early.....	46
Figura 2.11: Condutância de saída em função da tensão de dreno obtida experimentalmente de um SOI MOSFET para $V_{GT}=200mV$	47
Figura 2.12: Característica $I_D \times V_G$ para várias temperaturas.....	48
Figura 2.13: Estrutura de um transistor MuGFET (a) e UTBOX SOI nMOSFET de forma simplificada (b) e de forma real (c).....	50
Figura 2.14: Tensão de limiar da primeira interface em função da tensão do substrato considerando a queda de potencial no substrato. Ponto A é a tensão de substrato máxima (V_{GBmax}) e o ponto B, a tensão de substrato mínima (V_{GBmin}).....	52
Figura 2.15: Potencial ao longo do substrato para $V_{GF}=0V$ e $V_{GB}=-0,2V$ e $1V$, comparação dos dispositivos SOI UTBB com e sem GP para $25^\circ C$ e $200^\circ C$	54
Figura 2.16: Esquema de um dispositivo DTMOS.....	55
Figura 2.17: $I_D \times V_G$ em escala logarítmica (a) e transcondutância (b) em dispositivos DTMOS e SOI de corpo aterrado. $V_D=100mV$, $t_{ox}=8nm$, $W=10\mu m$, $L=2\mu m$	56
Figura 2.18: Estrutura de um dispositivo DT2-UTBB.....	57
Figura 2.19: Estrutura de um dispositivo SOI-UTBB no modo kDT (a) e kDT inverso (b).....	57
Figura 2.20: Estruturas com (a) e sem (b) a dopagem das regiões de extensão de fonte e dreno.....	58
Figura 3.1: Equipamentos de medida: (a) analisador de dispositivo Agilent B1500A e (b) caixa preta com as pontas para os contatos na lâmina.....	60
Figura 3.2: $I_D \times V_G$ para o modo convencional (substrato independente) e de tensão de limiar dinâmica ($V_B=kV_G$) em escala linear (a) e logarítmica (b) para o dispositivo sem GP.....	61

Figura 3.3: Inclinação de sublimiar em função do comprimento de canal para as operações convencional e DT2 e a variação entre ambos os modos para dispositivos com e sem GP.....	62
Figura 3.4: Transcondutância máxima em função do comprimento de canal para as operações convencional e DT2 e a variação entre ambos os modos para dispositivos com e sem GP.....	64
Figura 3.5: Tensão de limiar em função do comprimento de canal para as operações convencional e DT2 e a variação entre ambos os modos para dispositivos com e sem GP.	65
Figura 3.6: DIBL em função do comprimento de canal para as operações convencional e DT2 e a variação entre ambos os modos para dispositivos com e sem GP.	66
Figura 3.7: $I_D \times V_G$ nas configurações convencional ($V_B=0V$), DT2 e kDT e $I_D \times V_B$ no modo kDT inverso em escala linear (a) e logarítmica (b) para dispositivos com e sem GP.....	67
Figura 3.8: Inclinações de sublimiar nas configurações DT2, kDT e kDT inverso para dispositivos com e sem GP.	68
Figura 3.9: Transcondutâncias máximas nas configurações DT2, kDT e kDT inverso para dispositivos com e sem GP.	69
Figura 3.10: Tensões de limiar nas configurações DT2, kDT e kDT inverso para dispositivos com e sem GP.	70
Figura 4.1: $I_D \times V_{GT}$ em escala linear (a) e logarítmica (b) para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$	72
Figura 4.2: Inclinações de sublimiar para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$	72
Figura 4.3: Transcondutâncias máximas para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$	73
Figura 4.4: Tensões de limiar para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$	74
Figura 4.5: DIBL para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$	75
Figura 4.6: $I_D \times V_{GT}$ para tensão alta no dreno. para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$	75
Figura 4.7: GIDL para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$	76
Figura 5.1: Estrutura de um transistor DT2-UTBB mostrando o comprimento da região de extensão de fonte e dreno (L_{UL}).	77
Figura 5.2: Inclinações de sublimiar para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de $15nm$ e $20nm$	78
Figura 5.3: Transcondutâncias máximas para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de $15nm$ e $20nm$	79
Figura 5.4: Resistências totais para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de $15nm$ e $20nm$	79
Figura 5.5: Tensões de limiar para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de $15nm$ e $20nm$	80

Figura 5.6: DIBL para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.	81
Figura 5.7: GIDL para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.	81
Figura 5.8: Razões g_m/I_D em função de $I_D/(W/L)$ para as diferentes configurações de fonte e dreno (auto-alinhada, extensão de 15nm e 20nm) e para vários valores de k	82
Figura 5.9: Tensões Early para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.	83
Figura 5.10: Condutâncias de saída e transcondutâncias na saturação para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.	84
Figura 5.11: Ganho intrínseco de tensão para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.	84
Figura 6.1: (a) Estrutura de um diodo p-i-n com porta e configuração das medidas e (b) medidor LCR Agilent E4980A.	86
Figura 6.2: Capacitância por área em função da tensão de porta para $V_B=-2V$, 0V e 6V obtido para $t_{Si}=25nm$, indicando a extração das capacitâncias C_1 e C_2 por meio do método básico, bem como os regimes das interfaces (acumulação, depleção e inversão).....	87
Figura 6.3: Concentrações de elétrons e lacunas para a 1ª interface acumulada (canal de lacunas) ou invertida (canal de elétrons). Corte realizado no meio do canal durante a simulação da Figura 6.6-(B) para as tensões $V_B=-2V$ e $V_G=-0,99V$ (A) e 1,5V (B).	88
Figura 6.4: Concentrações de elétrons e lacunas para o canal completamente depletado. Corte realizado no meio do canal durante a simulação da Figura 6.6-(B) para as tensões $V_B=-2V$ e $V_G=0,6V$	89
Figura 6.5: Concentrações de elétrons e lacunas para a 1ª interface depletada e a 2ª interface acumulada (canal de lacunas). Corte realizado no meio do canal durante a simulação da Figura 6.6-(B) para as tensões $V_B=-2V$ e $V_G=0V$	89
Figura 6.6: Extração das capacitâncias C_1 e C_2 para $t_{Si}=25nm$ por meio da curva da derivada da capacitância para $V_B=-2V$. (A) Dados obtidos experimentalmente e (B) por simulação.	90
Figura 6.7: Dispositivos medidos na lâmina de 25nm de filme de silício com o método CV básico. Os chips das bordas foram desprezados.	92
Figura 6.8: Dispositivos medidos na lâmina de 25nm de filme de silício com o método da derivada. Foram considerados os mesmos chips usados no método anterior.	93
Figura 6.9: Características CV dos dispositivos de 7nm de filme de silício para diferentes V_B , mostrando as condições das interfaces (acumulada, depletada e invertida).....	94
Figura 6.10: Dispositivos medidos da lâmina de 7nm de filme de silício.	95
Figura 6.11: Capacitância em função da tensão de porta para $V_B=8V$ e sua derivada em diodos ultrafinos. Extração das capacitâncias C_1 e C_2 por meio do método da derivada. Os pontos em destaque representam os respectivos regimes indicados na Figura 6.6, mas para um valor positivo da tensão do substrato.	95

Figura 6.12: Transcondutância (A e B) e sua derivada (C e D) em função da tensão de porta para vários valores do fator k em dispositivos NMOS e PMOS de filmes de silício de 25nm (A e C) e 7nm (B e D). (E) é a ampliação da Figura 6.12-A, mostrando os dois picos na derivada da transcondutância em função da tensão de porta em transistores PMOS com $t_{si}=25nm$	97
Figura 6.13: Densidade total de corrente obtido por simulação ao longo da profundidade normalizada do canal para vários valores de k para canais espessos e finos em transistores NMOS (A) e PMOS (B).....	98
Figura 6.14: Inversão das 1ª e 2ª interfaces de acordo com as tensões de porta e de substrato aplicadas. As curvas referem-se às tensões de limiar das 1ª e 2ª interfaces e as regiões hachuradas, ao regime de inversão das interfaces. As linhas contínuas sem símbolos são as polarizações em que o modo de tensão de limiar dinâmico opera. Os valores nos quadros são as tensões de limiar extraídas pela intersecção das retas de $k=3$ e 5 com as curvas $V_{T1}(V_{G2})$ e $V_{T2}(V_{G1})$	99
Figura 6.15: Transcondutâncias máximas normalizada para vários valores de k em NMOS e PMOS de 25nm e 7nm de filme de silício.	100
Figura 6.16: Influência do fator k na mobilidade de transistores NMOS e PMOS de filme de silício de 25nm e 7nm.	101
Figura 6.17: Tensões de limiar da primeira interface em função da tensão de substrato para vários comprimentos de canal em dispositivos ultrafinos (A) e espessos (B) obtidos experimentalmente.	103
Figura 6.18: Tensões de limiar das 1ª (C e D) e 2ª (A e B) interfaces em função da tensão de substrato e da porta (respectivamente) para diferentes comprimentos de canal em filmes finos (B e D) e espessos (A e C) de silício obtidos por simulação.	103
Figura 6.19: Coeficientes de acoplamento (efeito de corpo) da tensão de substrato sobre a 1ª interface (α_F) e da tensão de porta sobre a 2ª interface (α_2) em função do comprimento do canal para filmes de silício espesso ($t_{si}=25nm$) e fino ($t_{si}=7nm$) obtidos experimentalmente (A) e por simulação (B).....	104
Figura 6.20: Coeficientes de acoplamento da tensão do substrato sobre a 1ª interface em função do comprimento do canal para: dispositivos espessos ($t_{si}=25nm$, $t_{ox}=3nm$), dispositivos finos em que apenas a espessura da camada e silício foi reduzida ($t_{si}=7nm$, $t_{ox}=3nm$) e dispositivos finos, mas considerando as mesmas espessuras e tipo de GP que os dispositivos medidos ($t_{si}=7nm$, $t_{ox}=1nm$).	105
Figura 6.21: Potencial ao longo da profundidade do canal obtido por simulação para vários comprimentos de canal em transistores espessos ($t_{si}=25nm$, A) e finos ($t_{si}=7nm$, B). O corte foi realizado no meio do canal no sentido da porta para o substrato.....	106
Figura 6.22: Potencial da 2ª interface (Φ_{s2}) obtido por simulação em função do comprimento do canal para espessuras do filme de silício de 25nm e 7nm.	106
Figura 7.1: Distribuição de temperatura em uma placa Raspberry Pi 3.	108
Figura 7.2: Equipamentos utilizados para controlar a temperatura. (a) S-1060 Series, da Signatone e (b) ThermoFlex 1400, da Thermo Scientific.	109
Figura 7.3: Transcondutância em função da temperatura para diferentes valores de k.	110
Figura 7.4: Tensão de limiar em função da temperatura para diferentes valores de k.	110
Figura 7.5: Sensibilidade da tensão de limiar com a temperatura e fator de degradação da transcondutância em função do fator k.....	111

Figura 7.6: Ponto ZTC (tensão e corrente no ponto ZTC) em função do fator k. A inserção mostra a determinação do ponto ZTC na curva $I_D \times V_G$ para diferentes temperaturas.	112
Figura 7.7: Características $I_D \times V_G$ para $k=0$ e $k=5$ e para várias temperaturas. O ponto ZTC e a inclinação de sublimiar estão enfatizados.	112
Figura 7.8: Inclinação de sublimiar em função do fator k para diferentes temperaturas.	112
Figura 7.9: Tensão Early em função da temperatura para diferentes valores de k.	113
Figura 7.10: g_m/I_D em função da corrente de dreno normalizada para diferentes temperatura e fator k.	114
Figura 7.11: Ganho intrínseco de tensão em função da temperatura para diferentes valores de k.	115
Figura 7.12: Tensão de limiar para diferentes temperaturas e fator k obtida experimentalmente.	115
Figura 7.13: Tensão de limiar para diferentes temperaturas e fator k obtida por simulação. (A) são os dados extraídos para 10nm de sobreposição; (B), para os dispositivos auto-alinhados e (C), para 20nm de underlap.	116
Figura 7.14: DIBL em função da temperatura para diferentes valores do fator k obtido experimentalmente para diferentes temperaturas e fator k obtida experimentalmente.	117
Figura 7.15: DIBL para diferentes temperaturas e fator k obtido por simulação. (A) são os dados extraídos para 10nm de sobreposição; (B), para os dispositivos auto-alinhados e (C), para 20nm de underlap.	117
Figura 7.16: Capacitância em função da tensão de porta para várias tensões de substrato em diodo auto-alinhado obtido experimentalmente.	120
Figura 7.17: Impacto do comprimento do underlap (L_{UL}) (no catodo/dreno) na característica da capacitância em função da tensão de porta para várias tensões de substrato ($V_B=-2V, 0V$ e $4,5V$) (A) e nas capacitâncias entre porta e anodo/fonte e entre porta e catodo/dreno (B).	121
Figura 7.18: Capacitância em função da tensão de porta para $V_B=-2V, 0V$ e $4,5V$ (A) e capacitância entre porta e anodo/catodo (B) para diferentes comprimentos de overlap (L_{OL}) (no anodo/fonte).	121
Figura 7.19: Capacitância em função da tensão de porta para $V_B=-2V, 0V$ e $4,5V$ (A) e capacitância entre porta e anodo/catodo (B) para temperaturas de $25^\circ C$ a $150^\circ C$. Dispositivo auto-alinhado.	122
Figura 7.20: Capacitância em função da tensão de porta para $V_B=-2V, 0V$ e $4,5V$ (A) e capacitância entre porta e anodo/catodo (B) para altas temperaturas. Dispositivo com comprimento de overlap (L_{OL}) de 30nm e de underlap (L_{UL}) de 50nm.	123

LISTA DE TABELAS

Tabela 1: Dimensões do dispositivo.....	86
Tabela 2: Espessuras do filme de silício obtidos para espessura nominal de silício de 25nm.	92
Tabela 3: Espessuras do filme de silício obtidos para espessura nominal de silício de 7nm.	95
Tabela 4: Dimensões dos dispositivos	96
Tabela 5: Elevação da mobilidade causada pelo aumento do fator k (de 0 a 5). Valores obtidos a partir da equação (6.4).	101
Tabela 6: Detalhes dos dispositivos medidos e simulados.	102
Tabela 7: Degradação do DIBL pela temperatura.	118
Tabela 8: Redução do DIBL pelo comprimento do underlap.	119
Tabela 9: Elevação do DIBL pelo fator k.	119
Tabela 10: Espessuras do óxido de porta e do filme de silício para diferentes comprimentos de overlap (na fonte/anodo) e de underlap (no dreno/catodo). ...	122
Tabela 11: Espessuras do óxido de porta e do filme de silício para temperaturas de 25°C a 150°C.	123
Tabela 12: Comparações dos parâmetros elétricos entre a configuração DT2 com a convencional, para dispositivos com e sem GP e de canal curto. A referência em todos os casos foram os dispositivos sem GP no modo convencional.	124
Tabela 13: Comparações dos parâmetros elétricos entre a configuração kDT inverso com a DT2, para dispositivos com e sem GP e $L_{eff}=105nm$. A referência em todos os casos foram os dispositivos sem GP no modo DT2.	125
Tabela 14: Vantagens e desvantagens do fator k.	128
Tabela 15: Quantificação da influência (positiva/negativa) do fator k em cada parâmetro deste trabalho (continua).	141

LISTA DE ABREVIATURAS E SIGLAS

1T-DRAM ou FBRAM	<i>One Transistor Dynamic Random Access Memory</i> ou <i>Floating Body Random Access Memory</i>
BBT	<i>Band to Band Tunneling</i> ou tunelamento banda a banda
BJT	<i>Bipolar Junction Transistor</i> ou Transistor Bipolar de Junção parasitário
BOX	Camada de óxido enterrado
BQP	<i>Bohm Quantum Potential</i>
CGA	<i>Capacitância entre porta e anodo (de um diodo p-i-n)</i>
CGK	<i>Capacitância entre porta e catodo (de um diodo p-i-n)</i>
Conv.	Modo convencional ($V_B=0V$)
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CV	<i>Característica capacitância-tensão</i>
DIBL	<i>Drain Induced Barrier Lowering</i> ou redução da barreira de potencial do dreno
DRAM	<i>Dynamic Random Access Memory</i> ou memória dinâmica de acesso aleatório
DTMOS	<i>Dynamic Threshold MOS</i> ou MOS em modo de tensão de limiar dinâmica
DT2 ou DT2-UTBB	<i>Dynamic Threshold Ultra-Thin-Body-and-Buried-Oxide</i> ou dispositivo com corpo e óxido enterrado ultrafinos em modo de tensão de limiar dinâmica
EOT	<i>Equivalent oxide thickness</i> ou espessura equivalente do óxido
FD SOI	<i>Fully Depleted Silicon on Insulator</i> ou Silício sobre Isolante totalmente depletado
FinFET	<i>Vertical Field Effect Transistor</i> ou Transistor Vertical de Efeito de Campo de porta dupla ou tripla
GBSOI	Transistor SOI com substrato aterrado.
GIDL	<i>Gate Induced Drain Leakage</i> ou corrente de fuga induzida pela porta
GP	<i>Ground Plane</i> ou plano de terra
HK	<i>High-k</i> ou material com alta constante dielétrica
imec	<i>Interuniversity Microelectronics Center</i>
ITRS	<i>International Technology Roadmap for Semiconductor</i>
kDT ou kDT-UTBB	<i>K fator Dynamic Threshold Ultra-Thin-Body-and-Buried-Oxide</i> ou dispositivo com corpo e óxido enterrado ultrafinos em modo de tensão de limiar dinâmica melhorado (com fator k)

kDT-inv ou kDT-UTBB inverso	<i>K</i> fator <i>Dynamic Threshold Ultra-Thin-Body-and-Buried-Oxide</i> ou dispositivo com corpo e óxido enterrado ultrafinos em modo de tensão de limiar dinâmica inverso (com fator <i>k</i>)
LDD	<i>Lightly Doped Drain</i> ou região de fonte e dreno menos dopada
LETI	<i>Laboratoire d'électronique des technologies de l'information</i>
LVLV	<i>Low Voltage and Low Power</i> ou baixa tensão e baixa potência
MG	<i>Metal gate</i> ou metal de porta
MINATEC	<i>Micro and nanotechnologies campus</i>
MuGFET	<i>Multiple Gate Field Effect Transistor</i> ou Transistor de Efeito de Campo de Múltiplas Portas
NMOS	Transistor MOS tipo N
NW	<i>Nanowire</i> ou nanofio
PD SOI	<i>Partially Depleted SOI</i> ou SOI parcialmente depletado
PMOS	Transistor MOS tipo P
QDG	<i>Quasi-Double-Gate</i>
RDF	<i>Random-Dopant Fluctuations</i> ou flutuações aleatórias de dopantes
SCE	<i>Short channel effect</i> ou efeitos de canal curto
SemExt	Sem implantação na extensão de fonte e dreno (<i>underlap</i>)
SOI MOSFET	<i>Silicon on Insulator Metal Oxide Semiconductor Field Effect Transistor</i> ou Transistor de Efeito de Campo Metal-Óxido-Semicondutor Silício sobre Isolante
TFET	<i>Tunneling field effect transistor</i> ou transistor de tunelamento de efeito de campo.
UTBB	<i>Ultra-Thin-Body-and-Buried-Oxide</i> ou dispositivo com corpo e óxido enterrado ultrafinos
UTBOX	<i>Ultra Thin Buried Oxide</i> ou óxido enterrado ultrafino
ZTC	<i>Zero-temperature-Coefficient</i> ou ponto invariante com a temperatura

LISTA DE SÍMBOLOS

<u>Símbolo</u>	<u>Unidade*</u>	<u>Descrição</u>
A	[cm ²]	Área para o cálculo das capacitâncias (A=W*L)
A _v	[V/V] ou [dB]	Ganho intrínseco de tensão
bqp.nalpha e bqp.palpha	-	Parâmetros de ajuste do modelo BQP de efeito quântico
C1	[F/cm ²]	Capacitância máxima (por unidade de área) definida no método básico e da derivada para a extração do t _{ox} pela curva CV. Equivale à capacitância do óxido de porta.
C2	[F/cm ²]	Capacitância (por unidade de área) definida no método básico e da derivada para a extração do t _{ox} pela curva CV. Equivale à associação da capacitância do óxido de porta em série com a capacitância da camada de silício.
C _b	[F/cm ²]	Capacitância entre o canal de inversão e o substrato aterrado
C _{it1}	[F/cm ²]	Capacitâncias de armadilhas da interface óxido de porta/silício
C _{it2}	[F/cm ²]	Capacitâncias de armadilhas da interface silício/óxido enterrado
C _{oL}	[F]	Capacitância da região de <i>overlap</i>
C _{ox} ou C _{ox1}	[F/cm ²]	Capacitância do óxido de porta por unidade de área
C _{ox2}	[F/cm ²]	Capacitância do óxido enterrado por unidade de área
C _{Si}	[F/cm ²]	Capacitância do filme de silício por unidade de área
d	[μm]	Máxima profundidade da camada de depleção da junção de fonte/dreno em dispositivos SOI
DIBL _{conv}	[mV/V]	DIBL obtido no modo convencional
DIBL _{DT2}	[mV/V]	DIBL obtido no modo de tensão de limiar dinâmica
E _c	[eV]	Nível energético da faixa de condução
E _{Fm}	[eV]	Nível de Fermi do metal
E _{Fsi}	[eV]	Nível de Fermi do semiconductor
E _g	[eV]	Banda proibida
E _i	[eV]	Nível intrínseco do semiconductor
E _{vac}	[eV]	Nível de energia do vácuo
E _{val}	[eV]	Nível energético da faixa de valência
f	[kHz]	Frequência para a medida da capacitância

*Conversão de unidades foram realizadas para os cálculos.

<u>Símbolo</u>	<u>Unidade*</u>	<u>Descrição</u>
Fator k	-	Fator multiplicativo da tensão de substrato em relação à da porta, no modo kDT-UTBB, ou da tensão da porta em relação à do substrato, no kDT inverso
g_D	[μ S]	Condutância de saída
g_{Dsat}	[μ S]	Condutância de saída na saturação
g_m	[μ S]	Transcondutância
g_{m1}	[μ S]	Transcondutância obtida na temperatura T_1 do modelo do ZTC
g_{m2}	[μ S]	Transcondutância obtida na temperatura T_2 do modelo do ZTC
$g_{m,máx}$	[μ S]	Transcondutância máxima
$g_{mmáx,conv}$	[μ S]	Transcondutância máxima obtida no modo convencional
$g_{mmáx,DT2}$	[μ S]	Transcondutância máxima obtida no modo de tensão de limiar dinâmica
g_{mSAT}	[μ S]	Transcondutância na região de saturação.
I_{ON}	[μ A]	Nível de corrente no estado ligado.
I_{OFF}	[μ A]	Nível de corrente no estado desligado.
I_D ou I_{DS}	[μ A]	Corrente de fonte e dreno
I_{Dsat}	[μ A]	Corrente de fonte e dreno na região de saturação
I_{ZTC}	[μ A]	Corrente de fonte e dreno no ponto ZTC
k_B	[eV/K]	Constante de Boltzmann
k_f	-	Fator k final utilizado na análise em alta temperatura
k_i	-	Fator k inicial utilizado na análise em alta temperatura
L	[nm]	Comprimento do canal
L_{ef}	[nm]	Comprimento efetivo do canal
L_{LDD}	[nm]	Comprimento da região de extensão de fonte/dreno
L_{porta}	[nm]	Comprimento de máscara do canal
$L_{mín}$	[nm]	Comprimento mínimo do canal sem SCE
L_{OL}	[nm]	Comprimento da região de <i>overlap</i>
L_{UL}	[nm]	Comprimento da região de <i>underlap</i>
n	-	Fator de corpo
N_A	[cm^{-3}]	Concentração de dopantes na região do canal
N_{ASUB}	[cm^{-3}]	Concentração de dopantes no substrato

*Conversão de unidades foram realizadas para os cálculos.

<u>Símbolo</u>	<u>Unidade*</u>	<u>Descrição</u>
n_i	$[\text{cm}^{-3}]$	Concentração intrínseca dos portadores
N_{it}	$[\text{cm}^{-2}]$	Densidade de armadilhas de interface
q	$[\text{C}]$	Carga elementar do elétron
Q_{depl}	$[\text{C}/\text{cm}^2]$	Carga total em depleção do filme de silício
Q_{dl}	$[\text{C}/\text{cm}^2]$	Cargas de depleção controladas pela porta
$Q_{\text{inv}1}$	$[\text{C}/\text{cm}^2]$	Densidade de cargas invertidas no canal próximo da 1ª interface
$Q_{\text{ox}1}$	$[\text{C}/\text{cm}^2]$	Densidade de cargas fixas na 1ª interface
$Q_{\text{ox}2}$	$[\text{C}/\text{cm}^2]$	Densidade de cargas fixas na 2ª interface
$Q_{\text{ox}3}$	$[\text{C}/\text{cm}^2]$	Densidade de cargas fixas no substrato
$Q_{\text{s}2}$	$[\text{C}/\text{cm}^2]$	Densidade de cargas no possível canal da 2ª interface
Q_{ss}	$[\text{C}/\text{cm}^2]$	Concentração das cargas efetivas na interface
R_{AC}	$[\Omega]$	Resistência da região de acumulação
R_{ch}	$[\Omega]$	Resistência do canal
R_{conA} R_{conB} ou R_{c}	$[\Omega]$	Resistência de contato
R_{dif}	$[\Omega]$	Resistência da região de difusão
r_j	$[\text{nm}]$	Profundidade de junção
R_{T} ou R_{total}	$[\Omega]$	Resistência total entre fonte e dreno
S ou SS	$[\text{mV}/\text{déc}]$	Inclinação de sublimiar
SS_{conv}	$[\text{mV}/\text{déc}]$	Inclinação obtida no modo convencional
$SS_{\text{DT}2}$	$[\text{mV}/\text{déc}]$	Inclinação obtida no modo de tensão de limiar dinâmica
Si	-	Silício
Si(C)	-	Liga silício-carbono
SiGe	-	Liga silício-germânio
SiO_2	-	Óxido de silício
T	$[\text{K}]$	Temperatura absoluta
T_1	$[\text{K}]$	Temperatura referência utilizada no modelo do ZTC
T_2	$[\text{K}]$	Segunda temperatura utilizada no modelo ZTC
t_{BOX} ou t_{oxb}	$[\text{nm}]$	Espessura do óxido enterrado
T_f	$[\text{°C}]$	Temperatura final utilizada na análise em alta temperatura

*Conversão de unidades foram realizadas para os cálculos.

<u>Símbolo</u>	<u>Unidade*</u>	<u>Descrição</u>
T_i	[°C]	Temperatura inicial utilizada na análise em alta temperatura
TiN	-	Nitreto de titânio
t_{ox} ou t_{oxf}	[nm]	Espessura do óxido de porta
t_{si}	[nm]	Espessura da região do canal
V_B ou V_{GB}	[V]	Tensão aplicada no substrato
$V_{B,acc}$	[V]	Tensão aplicada no substrato, com a 2ª interface acumulada
V_{BE}	[V]	Tensão entre a base e o emissor do transistor bipolar parasitário
V_D ou V_{DS}	[V]	Tensão entre fonte e dreno
V_{Dsat}	[V]	Tensão no dreno de saturação
V_{EA}	[V]	Early voltage
V_{FB}	[V]	<i>Flat Band Voltage</i> ou tensão de faixa plana
V_G ou V_{GF}	[V]	Tensão aplicada na porta
V_{GBmin}	[V]	Tensão substrato mínimo na transição da 3ª interface da inversão para depleção
V_{GBmax}	[V]	Tensão substrato mínimo na transição da 3ª interface da depleção para acumulação
V_{GT}	[V]	Tensão de <i>overdrive</i> ($V_G - V_T$)
V_S	[V]	Tensão na fonte
V_T	[V]	Tensão de limiar
V_{T0}	[V]	Tensão de limiar para o substrato aterrado
$V_{T1,acc2}$	[V]	Tensão de limiar da 1ª interface com a 2ª acumulada
$V_{T1,inv2}$	[V]	Tensão de limiar da 1ª interface com a 2ª invertida
$V_{T1,depl2}$	[V]	Tensão de limiar da 1ª interface com a 2ª depletada
V_{T1}	[V]	Tensão de limiar para a temperatura T_1 para o modelo do ZTC
V_{T2}	[V]	Tensão de limiar para a temperatura T_2 para o modelo do ZTC
V_{T3}	[V]	Tensão de limiar da 3ª interface (óxido enterrado/substrato)
$V_{T,conv}$	[V]	Tensão de limiar obtido no modo convencional
$V_{T,DT2}$	[V]	Tensão de limiar obtida no modo de tensão de limiar dinâmica
V_{TF}	[V]	Tensão de limiar identificada da 1ª interface

*Conversão de unidades foram realizadas para os cálculos.

<u>Símbolo</u>	<u>Unidade*</u>	<u>Descrição</u>
V_{TB}	[V]	Tensão de limiar identificada da 2ª interface
V_{ZTC}	[V]	Tensão de porta no ponto ZTC
W	[nm]	Largura do canal
W_d	[nm]	Largura da camada de depleção
W_{ef}	[nm]	Largura efetiva do canal
x	[nm]	Profundidade da camada de depleção
$x_{dmáx}$	[nm]	Máxima profundidade da camada de depleção
α	-	Razão entre C_b e C_{ox1} (razão entre as capacitâncias acima e abaixo da camada de inversão)
α_1	-	Coeficiente de acoplamento da 1ª interface ($=V_{TF}/V_B$)
α_2	-	Coeficiente de acoplamento da 2ª interface ($=V_{TB}/V_G$)
γ	[V ^{0,5}]	Constante de efeito de corpo em transistores MOS convencionais
$\Delta DIBL$	[mV/V]	Diferença entre o DIBL obtido no dispositivo no modo convencional com o no modo de tensão de limiar dinâmica
$\Delta g_{m,max}$	[μ S]	Diferença entre o $g_{m,max}$ obtido no dispositivo no modo convencional com o no modo de tensão de limiar dinâmica
ΔI_S	[μ A]	Margem de sensibilidade
ΔL	[nm]	Variação do comprimento do canal ($L_{porta} - L_{eff}$)
ΔSS	[mV/déc]	Diferença entre o SS obtido no dispositivo no modo convencional com o no modo de tensão de limiar dinâmica
ΔV_T	[V]	Diferença entre o V_T obtido no dispositivo no modo convencional com o no modo de tensão de limiar dinâmica
$\Delta \mu_0$ (%)	[cm ² /Vs]	Diferença percentual entre o μ_0 obtido no dispositivo no modo convencional com o no modo de tensão de limiar dinâmica
ϵ_{ox}	[F/cm]	Permissividade do óxido
ϵ_{Si}	[F/cm]	Permissividade do silício
μ_{ef}	[cm ² /Vs]	Mobilidade efetiva dos portadores do canal
μ_0	[cm ² /Vs]	Mobilidade de baixo campo
ϕ_F	[eV]	Potencial de Fermi da camada de silício (canal)
ϕ_{FB}	[eV]	Potencial de Fermi do substrato

*Conversão de unidades foram realizadas para os cálculos.

<u>Símbolo</u>	<u>Unidade*</u>	<u>Descrição</u>
Φ_{MS1}	[eV]	Diferença de função trabalho entre o metal e o semicondutor da 1ª interface
Φ_{MS2}	[eV]	Diferença de função trabalho entre o metal e o semicondutor da 2ª interface
Φ_{S1}	[eV]	Potencial de superfície da 1ª interface (óxido de porta/canal)
Φ_{S2}	[eV]	Potencial de superfície da 2ª interface (canal/óxido enterrado)
Φ_{SUB}	[eV]	Potencial de superfície da 3ª interface (óxido enterrado/substrato)

*Conversão de unidades foram realizadas para os cálculos.

SUMÁRIO

1 Introdução	25
1.1 Objetivo	28
1.2 Estrutura do trabalho	29
2 Revisão bibliográfica	31
2.1 SOI MOSFET convencional.....	31
2.1.1 Classificação dos transistores SOI MOSFET	32
2.1.2 Principais parâmetros elétricos e figuras de mérito	33
2.1.2.1 Tensão de limiar	33
2.1.2.2 Curvas $I_D \times V_G$	35
2.1.2.3 Transcondutância	36
2.1.2.4 Inclinação de sublimiar	37
2.1.2.5 Constante de efeito de corpo.....	38
2.1.3 Efeitos de canal curto e o DIBL	40
2.1.4 GIDL - Corrente de fuga pelo dreno induzida pela porta	43
2.1.5 Parâmetros analógicos	44
2.1.5.1 Razão g_m/I_D	44
2.1.5.2 Tensão Early (V_{EA}).....	46
2.1.5.3 Condutância de saída (g_D).....	46
2.1.5.4 Ganho intrínseco de tensão (A_V).....	47
2.1.6 Operação em alta temperatura e o ponto invariante com a temperatura (ZTC – Zero Temperature Coefficient).....	48
2.2 SOI UTBB.....	49
2.2.1 Plano de terra, Ground Plane (GP)	51
2.2.2 DTMOS e DT2-UTBB.....	55
2.3 Dispositivos não auto-alinhados (“underlap”).....	58
3 Influência do plano de terra (Ground Plane) em transistores SOI UTBB MOSFET operando no modo de tensão de limiar dinâmica	60
3.1 Princípio de funcionamento	61
3.2 Influência do plano de terra (GP).....	62
3.2.1 Escalamento de um dispositivo SOI UTBB nos modos convencional ($k=0$) e de tensão de limiar dinâmica ($k=1$).....	62
3.2.2 Comparação dos modos direto e inverso da tensão de limiar dinâmica	66
4 Influência da espessura da camada de silício em transistores SOI UTBB MOSFET operando no modo de tensão de limiar dinâmica	71
4.1 Região linear – baixo V_D	71
4.2 Região de saturação – alto V_D	74
5 Influência do comprimento da região de extensão de fonte e dreno em transistores SOI UTBB MOSFET operando em modo de tensão de limiar dinâmica	77
5.1 Parâmetros elétricos digitais.....	78
5.2 Parâmetros elétricos analógicos	82
6 Efeito do superacoplamento entre as portas em dispositivos SOI UTBB MOSFET...	85
6.1 Característica capacitância em função da tensão de porta em diodos p-i-n UTBB com porta.....	85
6.1.1 Extração da espessura do filme de silício	87
6.1.1.1 Método Básico.....	87

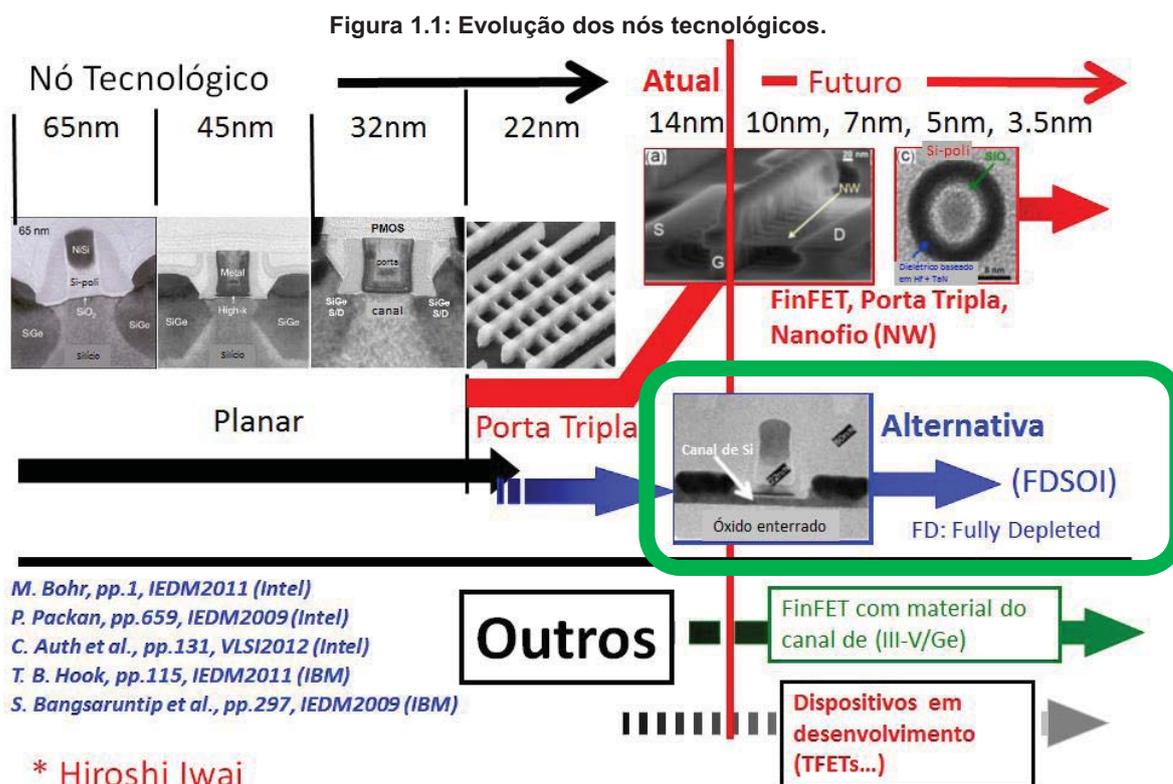
6.1.1.2	Método da derivada	90
6.1.2	Comparação dos métodos e observação do superacoplamento	92
6.2	Impacto do efeito do superacoplamento na melhora da mobilidade em transistores UTBB em modo de tensão de limiar dinâmica.....	96
6.3	Escalamento do efeito de corpo em transistores UTBB com e sem o efeito do superacoplamento.....	102
7	Operação dos dispositivos SOI UTBB MOSFET em altas temperaturas	108
7.1	Modo de tensão de limiar dinâmica.	109
7.1.1	Ponto invariante com a temperatura (ZTC - Zero-Temperature-Coefficient).....	109
7.1.2	Parâmetros elétricos analógicos	113
7.1.3	DIBL.....	115
7.2	Influência da engenharia de fonte e dreno e da temperatura na característica C-V de diodos p-i-n UTBB com porta	119
7.2.1	Engenharia de fonte e dreno	120
7.2.2	Alta temperatura	122
8	Conclusões e trabalhos futuros	124
8.1	Conclusões.....	124
8.2	Trabalhos futuros.....	129
	Publicações.....	130
	Referências Bibliográficas	134
	Apêndice	141

1 Introdução

Incentivadas pela Lei de Moore, várias técnicas estão sendo estudadas para permitir o avanço do escalamento, incluindo técnicas para se diminuir o tamanho dos dispositivos, simplificação de circuitos, técnicas de projeto e de processo, entre outras [1]. No entanto, à medida que essas dimensões vão diminuindo, observa-se o aparecimento de alguns efeitos parasitários, como os denominados efeitos de canal curto e estreito [2]. A redução da tensão de limiar, o aumento da inclinação de sublimiar e a redução da barreira induzida pelo dreno são exemplos de efeitos de canal curto [3].

Estruturas com extensões de fonte e dreno menos dopadas e, mais recentemente, estruturas sem esta extensão (denominados *extension-less*) [4] [5] [6] têm sido estudadas para minimizar os efeitos de canal curto, possibilitando um maior escalamento para aplicações de baixa tensão e baixa potência [7] [8] [9] [10] [11].

Na evolução dos nós tecnológicos, há duas principais linhas de pesquisa (Figura 1.1): (i) a que se encaminha para as estruturas tridimensionais, cujo controle do canal é melhorado pela inserção de mais de uma porta, com os transistores de múltiplas portas (MuGFETs – *Multiple Gate Field Effect Transistors*) [2] [8] [12] [3]; e (ii) a que vai em direção à diminuição da camada de silício (canal) sobre o isolante, melhorando o controle do canal pela porta e sendo muito mais compatível com a tecnologia SOI CMOS (*Silicon-on-Insulator Complementary-Metal-Oxide-Semiconductor*) planar, com os dispositivos com a camada de silício e o óxido enterrado ultrafinos (UTBB FD SOI MOSFETs – *Ultra-Thin-Body-and-Buried-Oxide Fully-Depleted Silicon-on-Insulator Metal-Oxide-Semiconductor-Field-Effect-Transistor*) [13] [14] [15] [16] [17] [18] [19] [20] [21] [22] [23] [24]. Mais recentemente, uma terceira linha de pesquisa vem se desenvolvendo, a dos transistores TFET. Esse dispositivo tem a estrutura de um diodo p-i-n com porta, tendo o tunelamento como princípio de funcionamento, ao invés do convencional difusão-deriva [25] [26] [27] [28] [29]. Também vem sendo estudados novos materiais para o canal como o Germânio e os da coluna III e V da tabela periódica. Neste trabalho, foram utilizadas estruturas planares com a camada de silício e o óxido enterrado ultrafinos (SOI UTBB).



Fonte: [24]

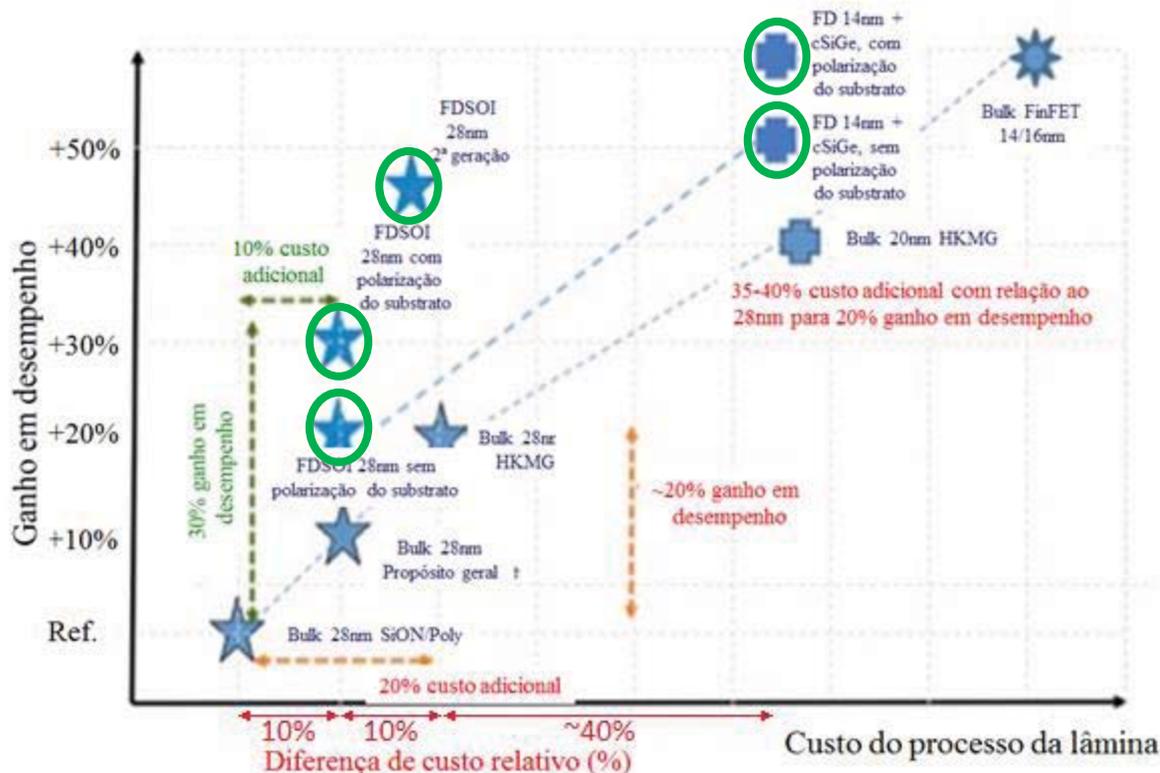
Uma das principais vantagens dos SOI UTBB MOSFET sobre o MOSFET convencional e sobre o FinFET (transistor vertical de efeito de campo de porta dupla ou tripla) de corpo é o menor custo de processamento da lâmina juntamente com a possibilidade de se ajustar a tensão de limiar a partir do GP com a aplicação da tensão de substrato e não mais com a dopagem do canal, evitando problemas de RDF (*Random Dopant Fluctuation*) e variabilidade da tensão de limiar numa lâmina [21]. A Figura 1.2 mostra o ganho em desempenho (tomando como referência a tecnologia CMOS convencional) de diferentes tecnologias FDSOI (aqui se referindo como UTBB), CMOS convencional e FinFET sobre lâmina de silício em função do custo de processamento da lâmina.

Observam-se os melhores desempenhos para um menor custo de processamento da lâmina em transistores FDSOI. Já o FinFET de corpo, apresenta um desempenho 60% melhor, porém com um custo 80% maior.

A segunda geração dos FDSOI apresentados na referência [21] refere-se à implementação de uma nova engenharia de fonte e dreno, com uma liga de SiGe (silício-germânio) epitaxial dopado com boro *in-situ* para PMOS (transistor MOS tipo P) e Si (silício) ou Si(C) (liga silício-carbono) dopado com arsênio ou fósforo para

NMOS. De acordo com a Figura 1.2, este dispositivo apresenta um ganho em desempenho de 25% sobre a tecnologia de 28nm (*bulk*) com material de porta de alta constante dielétrica, com um custo de fabricação da lâmina ligeiramente menor.

Figura 1.2: Comparação entre FDSOI (UTBB, circulado), CMOS convencional (*Bulk*) e FinFET em termos de desempenho e custo.



Fonte: Pesquisa da SOITEC [21]

Para melhorar o desempenho dos transistores SOI, Colinge propôs a configuração DTMOS em dispositivos PDSOI, onde o corpo (canal) é conectado ao terminal de porta, apresentando melhor desempenho para aplicações em baixa tensão, uma vez que nesse dispositivo, a tensão de porta não deve exceder 0,7V devido à polarização direta da junção corpo-dreno. [3] [30]

Com o advento dos transistores SOI UTBB, torna-se possível o controle da tensão de limiar pelo substrato, uma vez que nos transistores SOI convencional, necessitava-se de maiores tensões de substrato para haver algum efeito considerável na corrente de dreno. Consequentemente, surge o estudo da tensão de limiar dinâmica nos dispositivos SOI UTBB. Nesse estudo, o terminal de porta está conectado ao substrato ou invés do corpo do transistor, permitindo assim que a tensão de porta possa ser maior que 0,7V sem que a junção corpo-dreno fique diretamente polarizada. [31] [32]

Também vem sendo estudado um modo melhorado desse modo de tensão de limiar dinâmica em dispositivos SOI UTBB. Esse modo consiste em se polarizar o substrato de forma que ele varie mais do que a tensão de porta, aplicando uma tensão de substrato como um múltiplo da tensão de porta ($V_B = kV_G$) [31], denominado neste trabalho de modo kDT. Outra forma, proposto neste trabalho, é o modo kDT inverso, onde a tensão de porta é um múltiplo da tensão de substrato ($V_G = kV_B$).

1.1 Objetivo

O objetivo deste trabalho é comparar o funcionamento de um transistor UTBB SOI MOSFET operando no modo convencional, em modo de tensão de limiar dinâmica e em modo de tensão de limiar dinâmica melhorado.

Além disso, entender o princípio de funcionamento de um transistor UTBB SOI MOSFET operando em modo de tensão de limiar dinâmica, analisando suas vantagens e desvantagens em relação ao modo convencional (substrato aterrado).

Por fim, analisar a influência da utilização de algumas das principais técnicas que vem sendo estudadas para melhorar o desempenho dos transistores SOI UTBB MOSFET para os próximos nós tecnológicos como:

- a região do plano de terra (o *Ground Plane*), fundamental em dispositivos SOI UTBB por reduzir a influência da depleção da interface óxido enterrado/silício da lâmina sobre o funcionamento do transistor;
- o escalamento do filme de silício, fundamental para os dispositivos SOI UTBB por possuir um óxido de silício ultrafino (menor que 50nm);
- a região de extensão de fonte e dreno, ou seja, a região do LDD (*Lightly Doped Drain*) ou do *underlap* (quando o LDD não é dopado), muito utilizado em aplicações de baixa tensão e baixa potência (LVLP);
- A operação em alta temperatura.

Para estas análises foram medidos diferentes transistores com óxido enterrado e filme de silício ultrafinos seguindo as características anteriormente citadas. O estudo foi realizado a partir da análise de diferentes parâmetros digitais e analógicos.

1.2 Estrutura do trabalho

Este trabalho está dividido em seis capítulos, cuja descrição está apresentada abaixo:

Capítulo 1 - Introdução: Este capítulo descreve a importância das características gerais do estudo do presente trabalho. Também apresenta a definição do objetivo e a estrutura deste texto.

Capítulo 2 – Revisão bibliográfica: Neste capítulo encontra-se a revisão bibliográfica, abordando os principais conceitos da tecnologia SOI CMOS e seus principais parâmetros, da estrutura de óxido enterrado ultrafino (SOI UTBB) e suas vantagens, dos dispositivos DTMOS e sua evolução para DT2-UTBB e da estrutura de fonte e dreno com os dispositivos sem a implantação da região de extensão.

Capítulo 3 – Influência do plano de terra (*Ground Plane*) em transistores SOI UTBB MOSFET operando em modo de tensão de limiar dinâmica: Já este capítulo traz o estudo do princípio de operação dos modos convencional, DT2 e kDT e a análise da influência do plano de terra (*Ground Plane*) em dispositivos SOI UTBB aplicado nos modos DT2, kDT e kDT inverso, considerando também sua influência no escalamento. Foram analisados os principais parâmetros: SS (inclinação de sublimiar), $g_{m,max}$ (transcondutância máxima), V_T (tensão de limiar) e DIBL (*Drain Induced Barrier Lowering*).

Capítulo 4 – Influência da espessura da camada de silício em transistores SOI UTBB MOSFET operando em modo de tensão de limiar dinâmica: Continuando na direção do escalamento dos dispositivos, este capítulo analisa a influência da espessura da camada de silício em transistores SOI UTBB nos modos convencional, DT2 e kDT. Foram analisados os parâmetros: SS, $g_{m,max}$, V_T , DIBL e GIDL

Capítulo 5 – Influência do comprimento da região de extensão de fonte e dreno em transistores SOI UTBB MOSFET operando em modo de tensão de limiar dinâmica: Este capítulo apresenta uma possível solução para as desvantagens encontradas na utilização dos métodos DT2 e kDT, anteriormente analisados. Neste estudo, dispositivos sem a implantação da região de extensão de fonte e dreno foram comparados com os auto-alinhados no que se refere aos modos convencional, DT2 e kDT. Foram analisados os parâmetros: SS, $g_{m,max}$, V_T , DIBL, GIDL, g_m/I_D , V_{EA} , condutância de saída e ganho intrínseco de tensão.

Capítulo 6 – Efeito do superacoplamento entre portas em dispositivos SOI UTBB MOSFET: Retomando a análise do escalamento do filme de silício, o efeito do superacoplamento é identificado e explicado neste capítulo. Seu efeito nas curvas de capacitância, no modo DT e kDT e no escalamento do efeito de corpo são analisados.

Capítulo 7 – Operação dos dispositivos SOI UTBB MOSFET em altas temperaturas: Este capítulo analisa o comportamento de transistores UTBB nos modos DT e kDT em alta temperatura a partir de diferentes parâmetros como: o ponto invariante com a temperatura, ganho intrínseco de tensão e DIBL. Também é apresentado o estudo da capacitância de dispositivos UTBB em alta temperatura.

Capítulo 8 – Conclusões e trabalhos futuros: Finalmente, este capítulo apresenta as conclusões obtidas e as propostas para trabalhos futuros.

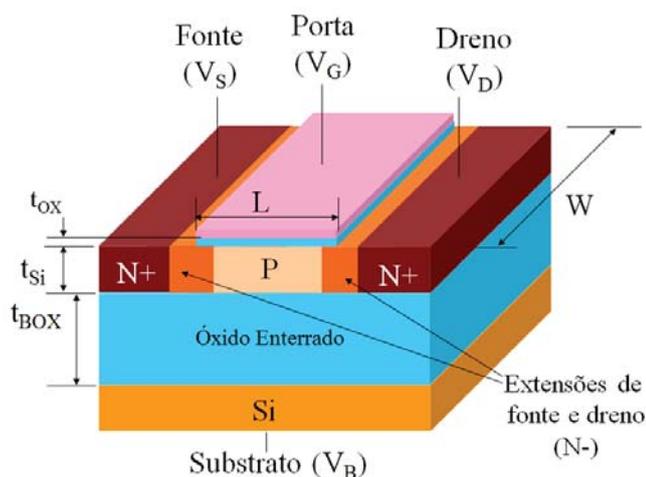
2 Revisão bibliográfica

Para a realização deste trabalho foi necessário estudar alguns conceitos da evolução nas estruturas dos transistores MOSFET e seus principais parâmetros elétricos característicos e figuras de mérito. Dessa forma este capítulo apresenta os aspectos destes assuntos que foram relevantes para o presente trabalho.

2.1 SOI MOSFET convencional

Comparando com a estrutura do MOSFET (*Metal-Oxide-Semiconductor-Field-Effect-Transistor*) convencional (*bulk*), o transistor com estrutura SOI (*Silicon-on-Insulator*) acrescenta uma camada isolante de óxido de silício em seu substrato, denominado óxido enterrado (Figura 2.1). Essa camada traz ao dispositivo uma melhor isolamento elétrica; um melhor controle do canal e, conseqüentemente, melhor escalamento; além de menores capacitâncias de junção, chaveamento mais rápido, maior resistência à radiação, maior simplicidade de processo, entre outras. [3]

Figura 2.1: Estrutura de um transistor SOI nMOSFET planar.



Fonte: Autor.

Na Figura 2.1, as espessuras do óxido de porta é representada por t_{ox} , a do óxido enterrado por t_{BOX} , a da região do canal, também denominada corpo, de t_{Si} , o comprimento do canal, L , e sua largura, W . Para as tensões de fonte e dreno temos, respectivamente, V_S e V_D ; para a porta, V_G e para o substrato, V_B . Denominou-se também como 1ª interface aquela entre o óxido de porta e a região do canal, como 2ª

interface aquela entre a região do canal e o óxido enterrado e como 3ª interface aquela entre o óxido enterrado e o substrato.

2.1.1 Classificação dos transistores SOI MOSFET

A tecnologia SOI também apresenta os mesmos regimes de operação de um transistor MOSFET convencional, porém, podendo haver interação entre as camadas de depleção provenientes das 1ª e 2ª interfaces. Ela é classificada de acordo com a espessura da camada de silício e a largura da camada de depleção (equação 2.1) [3].

$$x_{dmáx} = \sqrt{\frac{2 * \epsilon_{SI} * 2\phi_F}{q * N_A}} \quad (2.1)$$

e

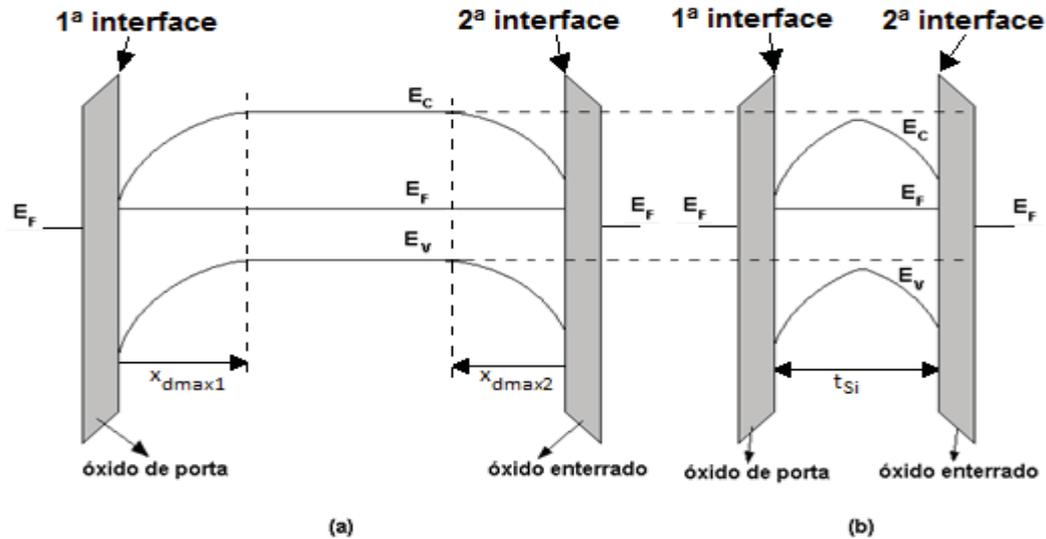
$$\phi_F = \frac{k_B T}{q} * \ln\left(\frac{N_A}{n_i}\right) \quad (2.2)$$

onde:

- $x_{dmáx}$: máxima profundidade da camada de depleção;
- ϵ_{SI} : permissividade do silício;
- q : carga elementar do elétron;
- N_A : concentração de dopantes no corpo;
- ϕ_F : potencial de Fermi do semiconductor;
- k_B : constante de Boltzmann;
- T : temperatura absoluta;
- n_i : concentração intrínseca dos portadores.

A Figura 2.2 mostra o diagrama de bandas de energia para os dois principais tipos de transistores SOI existentes, onde E_C é o nível de energia da banda de condução, E_V , da banda de valência e E_F é o nível de Fermi.

Figura 2.2: Diagrama de faixas de energia de um dispositivo parcialmente depletado (a) e um totalmente depletado (b). E_C é o nível de energia da banda de condução, E_V da banda de valência e E_F é o nível de Fermi



Fonte: baseado em [3].

Caso a espessura do corpo seja grande o suficiente para que as máximas profundidades da camada de depleção de ambas as interfaces (x_{dmax1} e x_{dmax2}) não interajam entre si, havendo sempre uma região neutra ($t_{Si} > 2x_{dmáx}$), o transistor é chamado de parcialmente depletado (PD SOI – *Partially Depleted SOI*), e seu diagrama de bandas é o apresentado na Figura 2.2-a. [3]

Caso a espessura do corpo seja menor que a máxima profundidade da camada de depleção apresentada por uma das interfaces ($t_{Si} < x_{dmáx}$), havendo assim uma interação entre as camadas o transistor é chamado de totalmente depletado (FD SOI – *Fully Depleted SOI*), e seu diagrama de bandas é o apresentado na Figura 2.2-b. [3]

2.1.2 Principais parâmetros elétricos e figuras de mérito

2.1.2.1 Tensão de limiar

A tensão de limiar (V_T) representa a tensão aplicada na porta capaz de formar uma camada de inversão no corpo do silício do transistor. Nos parcialmente depletados, como não há interação entre as duas zonas de depleção, a tensão de limiar é dada pela mesma equação que nos transistores MOS convencionais [3]:

$$V_T = V_{FB} + 2\phi_F + \frac{qN_A x_{dmax}}{C_{ox}} \quad (2.3)$$

em que C_{ox} é a capacitância do óxido de porta por unidade de área e é dada por: $C_{ox} = \epsilon_{ox}/t_{ox}$ com ϵ_{ox} sendo a permissividade do óxido; $V_{FB} = \phi_{MS} - Q_{ss}/C_{ox}$ com ϕ_{MS} sendo a função trabalho entre o metal e o semiconductor, Q_{ss} é a concentração de cargas efetivas na interface; e t_{ox} , q , N_A , $x_{dm\acute{a}x}$ e ϕ_F como definido nas seções anteriores (2.1 e 2.1.1).

Já nos transistores totalmente depletados, a expressão da tensão de limiar é obtida segundo o modelo de Lim & Fossum [33].

Considerando os parâmetros com índices 1 aqueles referentes à 1ª interface (óxido de porta/silício) e com índice 2 aqueles referentes à 2ª interface (óxido enterrado/silício), As seguintes equações representam a interação existente entre as duas interfaces nos dispositivos totalmente depletados [3].

A relação entre os potenciais de superfície da primeira (ϕ_{s1}) e da segunda interfaces (ϕ_{s2}) e a tensão de porta (V_G) é dada por [3]:

$$V_G = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) \phi_{s1} - \frac{C_{Si}}{C_{ox1}} \phi_{s2} - \frac{0,5Q_{depl} + Q_{inv1}}{C_{ox1}} \quad (2.4)$$

e a relação entre os potenciais de superfície e a tensão do substrato por [3]:

$$V_B = \Phi_{MS2} - \frac{Q_{ox2}}{C_{ox2}} - \frac{C_{Si}}{C_{ox2}} \phi_{s1} + \left(1 + \frac{C_{Si}}{C_{ox2}}\right) \phi_{s2} - \frac{0,5Q_{depl} + Q_{s2}}{C_{ox2}} \quad (2.5)$$

onde $C_{Si} = \epsilon_{Si}/t_{si}$ e $Q_{depl} = -q \cdot N_A \cdot t_{si}$ são, respectivamente, a capacitância e a carga total em depleção no filme de silício (por unidade de área); Φ_{MS1} e Φ_{MS2} são as funções trabalho das referidas interfaces; Q_{ox1} e Q_{ox2} são as densidades de cargas fixas na 1ª e na 2ª interfaces; C_{ox1} e C_{ox2} são as capacitâncias de porta e do substrato por unidade de área; Q_{inv1} é a densidade de cargas invertidas no canal próximo da 1ª interface e Q_{s2} é a densidade de cargas no possível canal da 2ª interface.

E a expressão da tensão de limiar (V_T) para um dispositivo totalmente depletado para as três condições da segunda interface é dada por [3]:

- Para a 2ª interface em acumulação, temos $\Phi_{s2}=0$, $Q_{inv1}=0$ e $\Phi_{s1}=2\phi_F$, e portanto: [3]

$$V_{T1,acc2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{Si}}{C_{ox1}}\right) 2\phi_F - \frac{0,5Q_{depl}}{C_{ox1}} \quad (2.6)$$

- Para a 2ª interface invertida, $\Phi_{s2}=2\phi_F = \Phi_{s1}$ e $Q_{inv1}=0$, resultando: [3]

$$V_{T1,inv2} = \Phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + 2\phi_F - \frac{0,5Q_{depl}}{C_{ox1}} \quad (2.7)$$

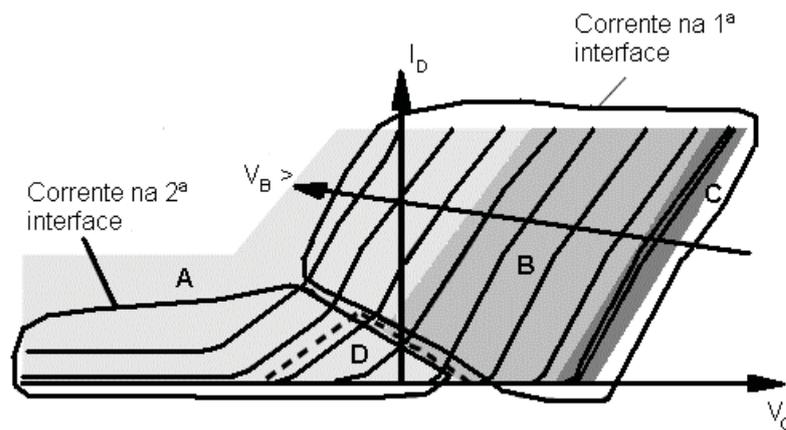
- Por fim, para a 2ª interface depletada, $Q_{inv1}=Q_{s2}=0$ e $\Phi_{s1}=2\phi_F$, logo: [3]

$$V_{T1,depl2} = \phi_{MS1} - \frac{Q_{ox1}}{C_{ox1}} + \left(1 + \frac{C_{SI}}{C_{ox1}}\right) 2\phi_F - \frac{0,5Q_{depl}}{C_{ox1}} - \frac{C_{SI}C_{ox2}}{C_{ox1}(C_{SI} + C_{ox2})} (V_B - V_{B,acc}) \quad (2.8)$$

2.1.2.2 Curvas $I_D \times V_G$

A curva $I_D \times V_G$ (corrente de fonte e dreno em função da tensão aplicada na porta) de um SOI nMOSFET em escala linear pode ser vista na Figura 2.3 para diferentes tensões de substrato.

Figura 2.3: Corrente de dreno em função da tensão de porta para diferentes tensões de substrato.



Fonte: baseado em [3].

Na Figura 2.3 pode-se observar 4 regiões na curva $I_D \times V_G$. Na região A há uma pequena corrente de dreno mesmo para tensões negativas de porta. Esta corrente é referente à 2ª interface uma vez que a 1ª interface está em acumulação. Além disso, esta corrente aumenta quanto mais positivo for a tensão no substrato, indicando que a 2ª interface está invertida. [3]

Na região C, não há deslocamento da curva com a variação da tensão no substrato, demonstrando que a 2ª interface está em acumulação. Há ainda uma elevação da corrente de dreno com a tensão de porta, logo, a 1ª interface está invertida. [3]

Já na região B, a tensão de limiar depende linearmente da polarização do substrato, indicando que a 2ª interface está depletada. O aumento da corrente de dreno novamente demonstra que a 1ª interface está invertida. [3]

Em D, ambas estão depletadas também, porém a 2ª está próxima da inversão, fazendo com que qualquer aumento na tensão de porta leve à inversão da 2ª interface. [3]

2.1.2.3 Transcondutância

A transcondutância (g_m) é a taxa de variação da corrente de dreno em relação à tensão de porta, ou seja, esse parâmetro determina o quanto a tensão de porta consegue controlar a corrente de dreno. Dessa forma, seu valor é obtido por [3]:

$$g_m = \frac{dI_D}{dV_G} \quad (2.9)$$

resultando na expressão:

$$g_m = \frac{\mu_{ef} C_{ox} W}{nL} (V_G - V_T), \text{ para } V_D > V_{Dsat} \text{ (região de saturação)} \quad (2.10)$$

e em:

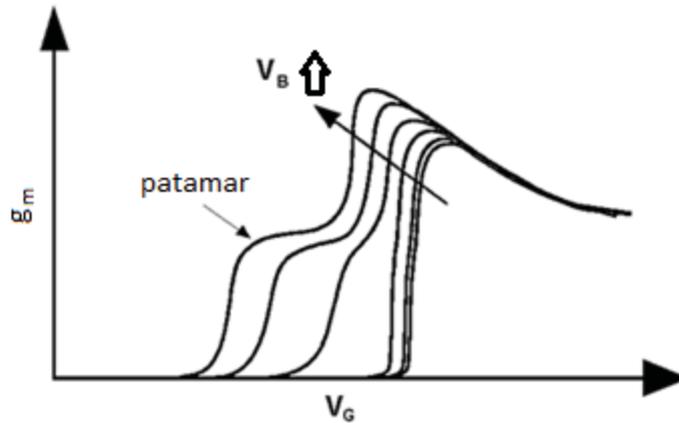
$$g_m = \frac{\mu_{ef} C_{ox} W}{nL} V_D, \text{ para } V_D < V_{Dsat} \text{ (região linear ou triodo)} \quad (2.11)$$

com μ_{ef} sendo a mobilidade efetiva no canal e $n=1+\alpha$, sendo $\alpha = C_b/C_{ox1}$ e C_b a capacitância existente entre o canal de inversão e o substrato aterrado. Podendo possuir os seguintes valores [3]:

- $C_b = C_D = \frac{\epsilon_{SI}}{x_{dmáx}}$: para dispositivos convencionais ou SOI parcialmente depletado, sendo C_D a capacitância da camada de depleção.
- $C_b = C_{SI}$: para um transistor totalmente depletado e com a 2ª interface acumulada
- $C_b = \frac{C_{SI} C_{ox2}}{C_{SI} + C_{ox2}}$: para um dispositivo totalmente depletado com a 2ª interface depletada

A dependência desse parâmetro (g_m) com a tensão de porta (V_G) e a tensão aplicada no substrato (V_B) tem o seguinte comportamento (Figura 2.4) [3].

Figura 2.4: Transcondutância em função da tensão de porta.



Fonte: baseado em [3]

Um fenômeno que ocorre nos transistores totalmente depletados é a possibilidade de formação de um patamar, às vezes até de um segundo pico, na curva da transcondutância em função da tensão de porta, dependendo da tensão no substrato (Figura 2.4). Esse fenômeno é devido à interação das camadas de depleção das duas interfaces, fazendo com que a segunda interface possa inverter antes da primeira [3].

2.1.2.4 Inclinação de sublimiar

A inclinação de sublimiar (S ou SS) é definida como o inverso da derivada do logaritmo da corrente de dreno em relação à tensão de porta, na região de sublimiar [3]:

$$S = \frac{dV_G}{d(\log I_D)} \quad (2.12)$$

Ela é a variação de tensão na porta é necessária para que a corrente de dreno aumente em uma década na região de sublimiar, ou seja, o quão rápido o dispositivo vai do corte para a condução. Quanto menor seu valor, mais rápido é essa transição e sua unidade é dada normalmente em mV/década.

Em SOI totalmente depletado, a expressão completa da inclinação de sublimiar é:

$$S = \frac{dV_G}{d \log(I_D)} = \frac{k_B T * \ln 10}{q} \left[\left(1 + \frac{C_{it1}}{C_{ox1}} + \frac{C_{Si}}{C_{ox1}} \right) - \frac{\frac{C_{Si}}{C_{ox2}} \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{it2}}{C_{ox2}} + \frac{C_{Si}}{C_{ox2}}} \right] \quad (2.13)$$

onde C_{it1} e C_{it2} são as capacitâncias de armadilhas das interfaces óxido de porta/Si e Si/óxido enterrado por unidade de área, onde $C_{it}=q \cdot N_{it}$ e N_{it} é a densidade de armadilhas de interface.

Desprezando as capacitâncias de armadilhas de interface, tem-se [3]:

$$S = \frac{k_B T * \ln(10)}{q} (1 + \alpha) = n \frac{k_B T}{q} \ln(10) \quad (2.14)$$

Em que, utilizando a mesma definição de n e α , explicitada na seção 2.1.2.3, resulta:

- para um dispositivo convencional ou SOI parcialmente depletado, desconsiderando a capacitância de armadilhas de interface:

$$S = \frac{k_B T * \ln(10)}{q} \left(1 + \frac{C_D}{C_{ox}} \right) \quad (2.15)$$

- e para o SOI totalmente depletado:

$$S = \frac{k_B T * \ln(10)}{q} \left[1 + \frac{1}{C_{ox2}} \left(\frac{C_{Si} C_{ox2}}{C_{Si} + C_{ox2}} \right) \right] \quad (2.16)$$

Percebe-se das equações (2.15) e (2.16) acima, a inclinação de sublimiar dos dispositivos totalmente depletados é menor (melhor) que a dos convencionais ou parcialmente depletado. Isso permite que se usem menores valores da tensão de limiar nele do que nos convencionais, sem um aumento da corrente de fuga para $V_G=0V$ [3].

2.1.2.5 Constante de efeito de corpo

Esse parâmetro representa o quanto a tensão do substrato influencia na tensão de limiar. Em transistores convencionais, ela é obtida a partir das equações (2.1), e (2.3), resultando: [3]

$$V_T = \Phi_{MS} - \frac{Q_{SS}}{C_{ox}} + 2\phi_F + \frac{\sqrt{2\varepsilon_{SI}qN_A(2\phi_F - V_B)}}{C_{ox}} \quad (2.17)$$

Considerando:

$$\gamma = \frac{\sqrt{2\varepsilon_{SI}qN_A}}{C_{ox}} \quad (2.18)$$

Pode-se chegar a:

$$V_T = \Phi_{MS} - \frac{Q_{SS}}{C_{ox}} + 2\phi_F + \gamma\sqrt{2\phi_F} - \gamma\sqrt{2\phi_F + \gamma\sqrt{(2\phi_F - V_B)}} \\ V_T = V_{T0} + \gamma\left(\sqrt{(2\phi_F - V_B)} - \sqrt{2\phi_F}\right) \quad (2.19)$$

Nos transistores SOI parcialmente depletados com o corpo aterrado, a tensão de limiar não varia com a tensão no substrato uma vez que não há acoplamento entre as interfaces. Porém, para altas tensões de dreno, se o corpo estiver flutuando, vários efeitos podem ocorrer devido ao alto campo elétrico formado na região próxima à junção canal/dreno (como o descrito em seções 2.1.4, além da ionização por impacto e o efeito do transistor bipolar parasitário [3]).

Em transistores FD SOI ela é obtida a partir da derivada da tensão de limiar com relação à tensão no substrato. Logo, derivando a (2.6), (2.7) e (2.8), tem-se: [3]

$$\frac{dV_{T1,acc2}}{dV_B} = 0, \quad (2.20)$$

$$\frac{dV_{T1,inv2}}{dV_B} = 0 \quad (2.21)$$

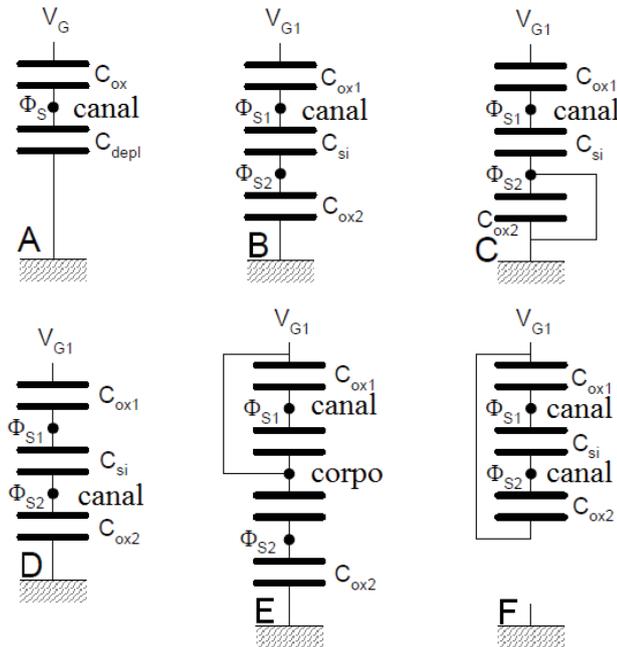
e

$$\frac{dV_{T1,depl2}}{dV_B} = -\frac{C_{Si}C_{ox2}}{C_{ox1}(C_{Si} + C_{ox2})} = \gamma \quad (2.22)$$

Ou seja, quando a 2ª interface estiver acumulada ou invertida, a tensão de limiar na 1ª interface é constante, já quando a 2ª interface estiver em depleção, ela diminui linearmente com o aumento da tensão no substrato.

A referência [3] apresenta um modelo unificado para representar o efeito de corpo, parte dele já foi apresentado na seção 2.1.2.3 (sobre a Transcondutância) para as tecnologias do MOS convencional e do SOI. Neste modelo, o efeito de corpo (n) é definido como $n=1+\alpha$, sendo $\alpha = C_b/C_{ox1}$ e C_b a capacitância existente entre o canal e o substrato. C_{ox1} nada mais é que a capacitância entre a porta e o canal: O modelo unificado extrapola esse parâmetro α para estimar o efeito de corpo de alguns transistores mais avançados como mostra a Figura 2.5.

Figura 2.5: Representação do modelo de capacitâncias. (A) para o MOS convencional, (B) para FDSOI, (C) FDSOI para a 2ª interface acumulada, (D) para FDSOI com a 2ª interface invertida, (E) para o DTMOS (seção 2.2.2) e (F) para o MuGFET de porta dupla.



Fonte: baseado em [3].

A partir da Figura 2.5, podemos entender intuitivamente porque o efeito de corpo de um DTMOS e um MuGFET de porta dupla horizontal é aproximadamente 1, apresentando uma inclinação de sublimiar próxima de 60mV/dec à temperatura ambiente. [3].

No DTMOS, a porta está determinando o potencial no corpo e, portanto, o potencial do substrato apresenta maior dificuldade em atuar no canal.

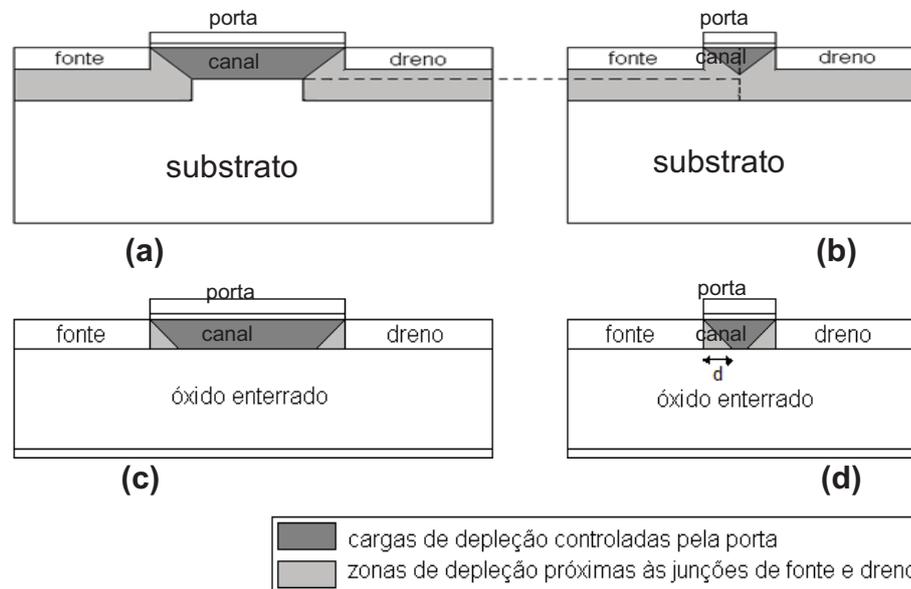
Já no transistor de porta dupla, a porta também controla a 2ª interface, portanto, o potencial do que seria o substrato também terá maior dificuldade em atuar no canal.

2.1.3 Efeitos de canal curto e o DIBL

Com a diminuição do comprimento do canal, para se obter uma maior integração dos dispositivos, observa-se o aparecimento de alguns efeitos parasitários. Estes efeitos ocorrem devido à perda do controle das cargas de depleção pela tensão de porta, uma vez que há um compartilhamento de cargas do canal com as regiões de depleção das junções fonte/canal e dreno/canal.

A Figura 2.6 apresenta um esquema das regiões de depleção em um transistor MOSFET convencional de canal longo e curto e em um SOI MOSFET de canal longo e curto.

Figura 2.6: Regiões de depleção em um transistor MOS convencional de canal longo e curto (a e b) e em um SOI MOSFET de canal longo e curto (c e d).



Fonte: baseado em [3]

Para os transistores MOS, a Figura 2.6 mostram que o perfil de cargas foi de um formato trapezoidal (Figura 2.6-a), no dispositivo de canal longo para um triangular (Figura 2.6-b), no de canal curto. Neste transistor, as cargas de depleção controladas pela porta (Q_{dl}) podem ser modeladas como sendo uma fração das cargas totais (Q_{depl}), dessa forma: [3]

$$Q_{dl} = Q_{depl} \left(1 - \frac{r_j}{L} \left(\sqrt{1 + \frac{2x_{dmax}}{r_j}} - 1 \right) \right) \quad (2.23)$$

com

$$Q_{depl} = qN_A x_{dmax} \quad (2.24)$$

onde r_j é a profundidade de junção.

Nos transistores SOI, a mesma Figura 2.6 –c e -d mostra que a presença do óxido enterrado diminui a profundidade da região de depleção e a quantidade de cargas de depleção controladas pelas junções de fonte e dreno, fazendo com que a fração das cargas controladas pela porta seja maior que aquela observada para a mesma diminuição do comprimento do canal apresentada pelo MOS convencional,

permitindo um escalamento maior. Neste caso, as cargas de depleção controladas pela porta podem ser modeladas segundo a equação: [3]

$$Q_{dl} = Q_{depl} \left(1 - \frac{d}{L}\right) \quad (2.25)$$

com

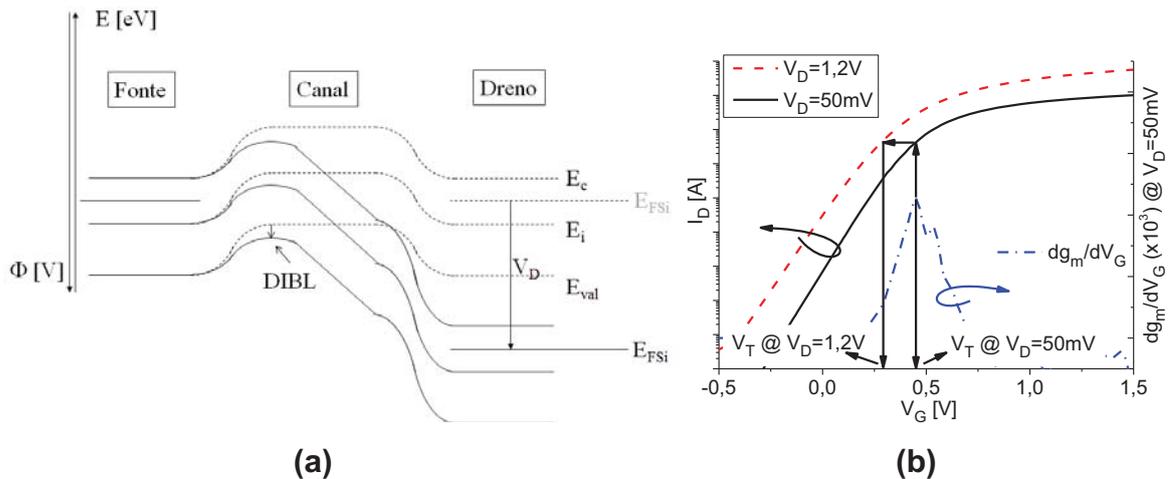
$$Q_{depl} = qN_A t_{Si} \quad (2.26)$$

e d é a distância definida na Figura 2.6-d.

Este efeito pode ser observado diretamente na curva $I_D \times V_G$ pela redução da tensão de limiar e pelo aumento da inclinação de sublimiar. Como parte das cargas está sendo controlada pela tensão do dreno, uma menor tensão de porta já é suficiente para inverter o canal. Assim, esta redução da tensão de limiar é dependente da tensão de dreno aplicada. Quanto maior for a tensão de dreno aplicada, maior será a camada de depleção da junção canal-dreno, podendo fazer com que a região controlada pelo dreno alcance a região controlada pela fonte, reduzindo a barreira de potencial no canal (Figura 2.7-a). Nesse caso, a região de estrangulamento do canal (*pinch off*) se desloca em direção à fonte quanto maior a tensão de dreno aplicada. Dessa forma, quando o canal é curto, menor será a tensão necessária para ocorrer este efeito, conhecido como DIBL (*Drain-Induced Barrier Lowering* ou redução da barreira de potencial induzida pelo dreno). O resultado deste efeito é uma diminuição da tensão de limiar com o aumento da tensão de dreno (Figura 2.7-b). [3]

Nos dispositivos SOI totalmente depletados esse efeito aparece apenas para comprimentos de canal menores e tensão de dreno mais elevados. Como toda a região do corpo está depletada ($t_{Si} < x_{dmáx}$), o comprimento do canal em que começa a ocorrer a diminuição da camada de depleção da porta é menor. Nesse mesmo tipo de transistor, a presença do óxido enterrado faz com que a região das cargas controladas pela tensão de fonte e dreno se torne menor quando comparado com as cargas totais (Figura 2.6), diminuindo o efeito DIBL [3].

Figura 2.7: Redução da barreira de potencial do canal induzida pela tensão no dreno.



Fonte: autor

Neste trabalho, este parâmetro foi extraído pela equação: [34]

$$\text{DIBL} = \frac{V_{T,VD\text{baixo}} - V_{T,VD\text{alto}}}{V_{D\text{alto}} + V_{D\text{baixo}}} \quad (2.27)$$

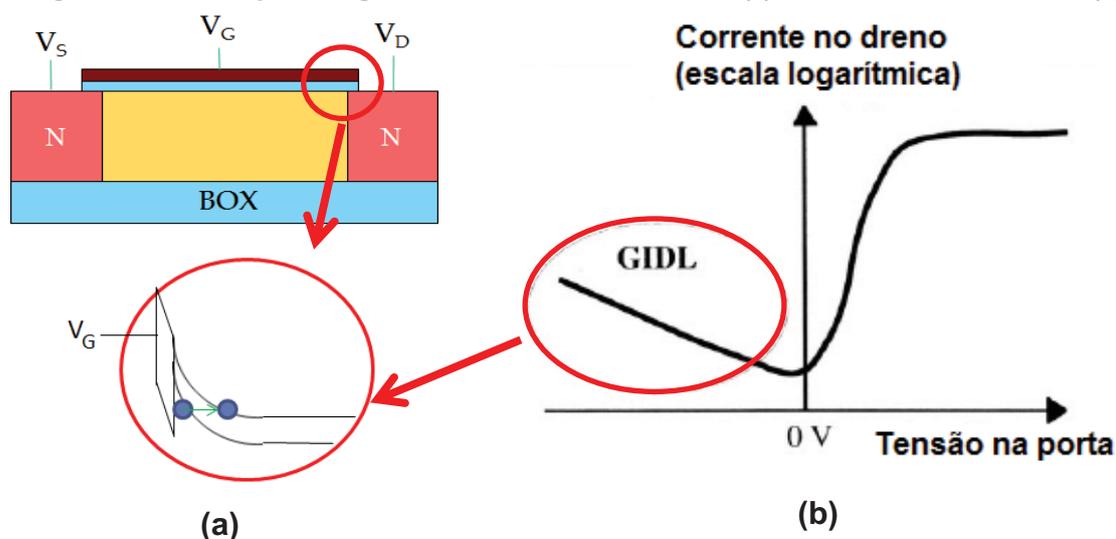
Onde:

- $V_{T,VD\text{baixo}}$ é a tensão de limiar para um valor baixo de V_D ($V_{D\text{baixo}}=50\text{mV}$), extraído pelo método da 2ª derivada.
- $V_{T,VD\text{alto}}$ é a tensão de limiar para um valor alto de V_D ($V_{D\text{alto}}=1,2\text{V}$), obtido pela tensão de porta em que o nível de corrente de dreno é igual àquele para $V_G=V_{T,VD\text{baixo}}$.

2.1.4 GIDL - Corrente de fuga pelo dreno induzida pela porta

Quando se tem uma tensão positiva no dreno e negativa na porta, forma-se uma depleção na região sobreposta da porta sobre o dreno o que leva ao tunelamento de elétrons entre as bandas de valência e condução (BBT) do próprio silício gerando pares elétrons-lacunas. Os elétrons, que vão em direção à região de maior potencial, vão para o dreno, enquanto que as lacunas vão em direção à região de menor potencial, isto é, o corpo (Figura 2.8-a). Este efeito é visto na curva $I_D \times V_G$ como mostra a Figura 2.8-b. [35] [36] [37] [38]

Figura 2.8: Localização e diagrama de bandas durante o GIDL (a) e seu efeito na curva $I_D \times V_G$ (b).



Fonte: baseado em [39]

Os elétrons que vão para o dreno geram uma corrente de dreno que se eleva para valores negativos de dreno, enquanto que as lacunas formam a corrente de substrato em transistores MOS. Em transistores SOI, essas cargas ficam armazenadas no corpo, elevando o potencial de corpo, o que diminui a tensão de limiar. Atualmente esse efeito está sendo estudado também para aplicações de memória. [35] [36] [40] [41] [38]

2.1.5 Parâmetros analógicos

2.1.5.1 Razão g_m/I_D

A razão g_m/I_D é considerada a eficiência do transistor, uma vez que ela corresponde à razão da amplificação obtida pelo transistor (g_m) pela energia responsável pela obtenção desta amplificação (I_D) [3], portanto, deseja-se que seu valor seja o maior possível. Este parâmetro é importante para projetos de Ci CMOS analógicos, principalmente em aplicações LVLP (baixa tensão e baixa potência), em que se requer um bom modelamento da inversão fraca até a forte e em condições de saturação e não-saturação [42].

Este parâmetro alcança seu valor máximo na inversão fraca e é dado pela equação (2.28). [3] [42]

$$\frac{g_m}{I_{DS}} = \frac{q}{nk_B T} = \frac{\ln 10}{SS} \quad (2.28)$$

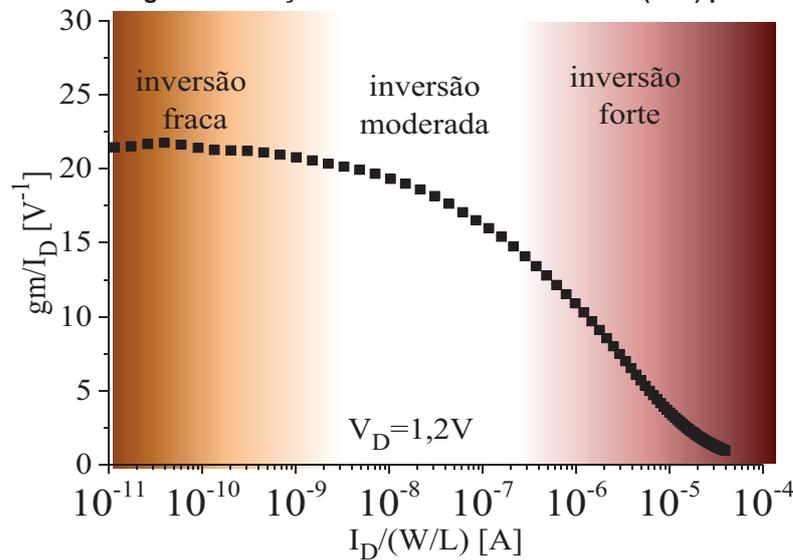
Onde, como já mencionado anteriormente, q é a carga elementar, k é a constante de Boltzmann, T é a temperatura absoluta, n é o fator de corpo na inversão fraca e SS é a inclinação de sublimiar.

À medida que o dispositivo se aproxima da inversão forte, seu valor diminui, devido a saturação da velocidade dos portadores, o que limita a conversão da corrente em transcondutância [43]. Neste regime seu valor é dado pela equação (2.29). [3] [42]

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu_n C_{ox1} \frac{W}{L}}{nI_{DS}}} \quad (2.29)$$

A partir das equações (2.28) e (2.29), percebe-se que a razão g_m/I_D é dependente da tecnologia, a partir do fator de corpo e das dimensões do transistor e da polarização. Dessa forma, este parâmetro é apresentado em função da corrente normalizada ($I_D/(W/L)$). A Figura 2.9 mostra um exemplo desta curva obtida experimentalmente.

Figura 2.9: Razão g_m/I_D em função da corrente normalizada $I_D/(W/L)$ para $V_D=1,2V$.

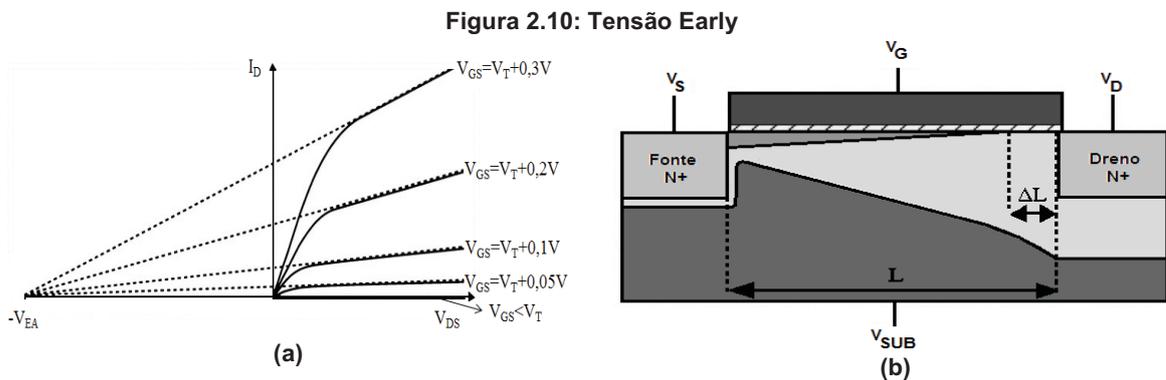


Fonte: autor.

Em [42], foi observado experimentalmente que a razão g_m/I_D é sempre maior para dispositivos SOI do que o MOS convencional. De acordo com essa mesma referência, esta tendência é devido à menor inclinação de sublimiar e fator de corpo apresentado pelos dispositivos SOI.

2.1.5.2 Tensão Early (V_{EA})

Normalmente, aproxima-se a corrente na região de saturação a uma constante I_{Dsat} , porém, na realidade, há uma elevação dessa corrente com o aumento da tensão de dreno (Figura 2.10-a). Isso ocorre porque para V_D maiores que a tensão de saturação, a região de depleção da junção dreno-canal aumenta, fazendo com que a tensão de limiar próxima ao dreno se eleve, conseqüentemente, o comprimento efetivo do canal diminui (Figura 2.10-b). [39]



Fonte: baseado em [39].

A extrapolação da reta tangente à parte linear da curva da corrente de dreno em função da tensão de dreno ($I_{DS} \times V_{DS}$) na região de saturação intercepta o eixo V_{DS} ($I_{DS}=0$) em uma tensão $V_{DS}=-V_{EA}$, denominada tensão Early (Figura 2.10-a). [39]

A extração deste parâmetro pode ser realizada por meio da equação (2.30).

$$V_{EA} \cong \frac{I_{Dsat}}{g_{Dsat}} \quad (2.30)$$

Onde I_{Dsat} é a corrente de dreno quando o transistor opera na região de saturação e g_{Dsat} é a condutância de saída também na saturação. [39]

Na prática, deseja-se que seu valor ($|V_{EA}|$) seja o maior possível, significando a maior estabilidade da corrente de dreno por qualquer variação da tensão de dreno e, como apresentado mais à frente, maior será o ganho intrínseco de tensão do transistor.

2.1.5.3 Condutância de saída (g_D)

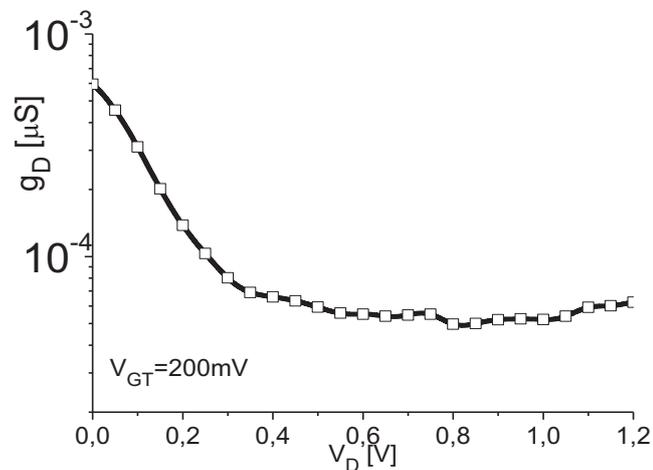
De acordo com [42], a condutância de saída também tem grande importância na análise analógica de aplicações LVLP. Assim como a tensão Early, este parâmetro

também está relacionado à atuação do campo elétrico proveniente da tensão aplicada entre a fonte e o dreno sobre o canal. No entanto, sua extração é dada pela derivada da corrente de dreno com relação à tensão no dreno para uma determinada tensão de porta [equação (2.31)].

$$g_D = \left[\frac{dI_{DS}}{dV_{DS}} \right]_{V_{GS}=\text{constante}} \quad (2.31)$$

Dessa forma, é possível obter a curva da condutância de saída em função da tensão do dreno (Figura 2.11).

Figura 2.11: Condutância de saída em função da tensão de dreno obtida experimentalmente de um SOI MOSFET para $V_{GT}=200\text{mV}$.



Fonte: autor

Assim, deseja-se a menor condutância de saída possível, significando que a corrente de dreno muda pouco com o aumento da tensão do dreno, em outras palavras, maior é a estabilidade da corrente de dreno para qualquer possível variação da tensão de dreno e, como apresentado mais à frente, maior será o ganho intrínseco de tensão do transistor.

2.1.5.4 Ganho intrínseco de tensão (A_v)

O ganho intrínseco de tensão está relacionado com a efetividade de um transistor em controlar a corrente de dreno considerando uma determinada resistência de saída [12], ou seja, a inclinação da corrente de dreno na região de saturação, onde comumente se polariza o transistor operando como um amplificador operacional [44]. A razão g_m/g_D limita o ganho de malha aberta de amplificadores operacionais para determinada largura de banda [12].

O módulo do ganho intrínseco de tensão de um transistor MOS em baixas frequências é dado pela equação (2.32) [3]

$$|A_V| = \frac{g_m}{g_D} \cong \frac{g_m}{I_{DS}} V_{EA} \quad (2.32)$$

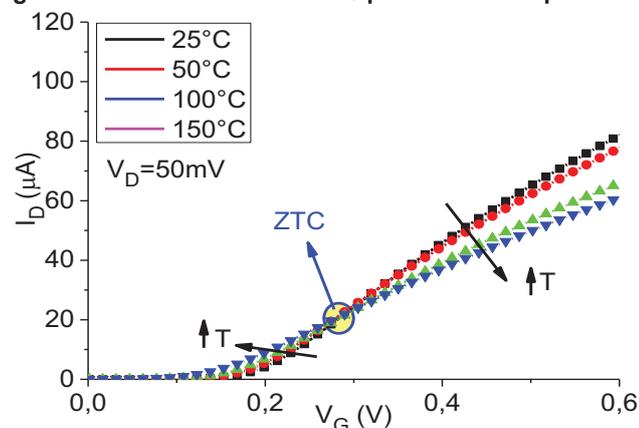
A rigor, o sinal de saída estará defasado de 180° , o que acrescentaria um sinal negativo à equação (2.32), porém, no presente estudo analisaremos apenas seu módulo.

Observando a equação (2.32), podemos afirmar que quanto maior a razão g_m/I_D , a tensão Early e a transcondutância e menor a condutância de saída, maior será o ganho de tensão.

2.1.6 Operação em alta temperatura e o ponto invariante com a temperatura (ZTC – Zero Temperature Coefficient)

A característica $I_D \times V_G$ é fortemente dependente da temperatura. Entretanto, essa dependência não é igual em todas as regiões de operação, como mostra a Figura 2.12. Para baixos valores de V_G , a corrente de dreno se eleva, devido ao aumento da concentração intrínseca de portadores (n_i), o que reduz o potencial de Fermi e, conseqüentemente, a tensão de limiar. Já para altos valores de V_G , o aumento da temperatura aumenta a vibração da rede cristalina e o espalhamento dos fônons, reduzindo a mobilidade das cargas e, conseqüentemente, a corrente de dreno. O ponto de compensação desses dois efeitos é denominado ZTC (*Zero Temperature Coefficient*) ou ponto invariante com a temperatura.

Figura 2.12: Característica $I_D \times V_G$ para várias temperaturas.



A importância de se polarizar o transistor nesse ponto de operação é que a corrente de dreno permanece praticamente constante com qualquer variação da temperatura. Dessa forma, em aplicações em alta temperatura ou que há variações de temperatura, ou mesmo no aquecimento da própria placa, a corrente sofre muito pouca alteração. [45] [46] [47]

Em [48], [49], [46] e [47] o ponto ZTC foi modelado na região de triodo para transistores SOI MOSFET de porta única e de porta tripla, apresentando as equações (2.33), (2.34) e (2.35).

$$V_{ZTC} = \frac{V_{T1} - \left(\frac{T_1}{T_2}\right)^c \cdot \left(V_{T1} + \frac{\partial V_T}{\partial T} \cdot (T_2 - T_1)\right)}{1 - \left(\frac{T_1}{T_2}\right)^c} + \frac{nV_{DS}}{2} \quad (T_2 > T_1) \quad (2.33)$$

com

$$\frac{\partial V_T}{\partial T} = \frac{V_{T2} - V_{T1}}{T_2 - T_1} \quad (T_2 > T_1) \quad (2.34)$$

$$c = \frac{\log gm_2 - \log gm_1}{\log T_1 - \log T_2} \quad (T_2 > T_1) \quad (2.35)$$

onde

- V_{ZTC} é a tensão de porta em que ocorre o ZTC;
- T_1 é a temperatura referência (em Kelvin);
- T_2 é a segunda temperatura, sendo $T_2 > T_1$;
- V_{T1} é a tensão de limiar na temperatura T_1 ;
- V_{T2} é a tensão de limiar na temperatura T_2 ;
- gm_1 é a transcondutância na temperatura T_1 ;
- gm_2 é a transcondutância na temperatura T_2 .

Aqui $\frac{\partial V_T}{\partial T}$ é a sensibilidade da tensão de limiar com a temperatura e c é o fator de degradação da transcondutância com a temperatura.

2.2 SOI UTBB

Uma das linhas de pesquisa para obtenção de transistores avançados é a que se encaminha para as estruturas tridimensionais, que é o caso dos MuGFET's (*Multiple Gates Field Effect Transistor*) [12] [3] ilustrado na Figura 2.13-a, e outra é a utilização ainda da tecnologia planar com o transistor SOI MOSFET totalmente

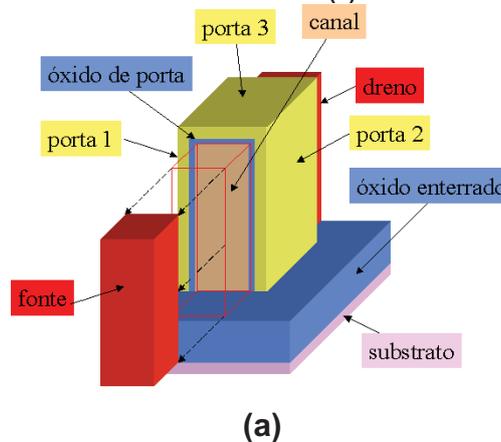
depletado (Figura 2.1), porém com espessuras do óxido enterrado e camada de silício muito finas, estrutura esta denominada UTBB (*Ultra Thin Body and Buried Oxide*) (Figura 2.13-b e Figura 2.13-c) [50].

A principal vantagem apresentada pelos dispositivos SOI UTBB é a possibilidade de se utilizar a polarização de substrato como forma de melhorar seu desempenho elétrico, o que é mais difícil conseguir em transistores MuGFETs, devido ao alto acoplamento das portas laterais. Além disso, o custo de fabricação dos SOI UTBB é menor que o dos MuGFETs [18].

A redução tanto do filme de silício como do óxido enterrado levam a algumas vantagens como maior acoplamento da porta e do substrato no canal e, conseqüentemente, maior influência da tensão aplicada nesse contato o que resulta em um melhor controle na indução do efeito de corpo flutuante, necessários para a aplicação nas memórias 1T-DRAM e menor efeitos de canal curto. Outros aspectos positivos apresentados por essa tecnologia são: [13] [15] [16] [35] [51] [52] [53] [20] [17] [19] [21]

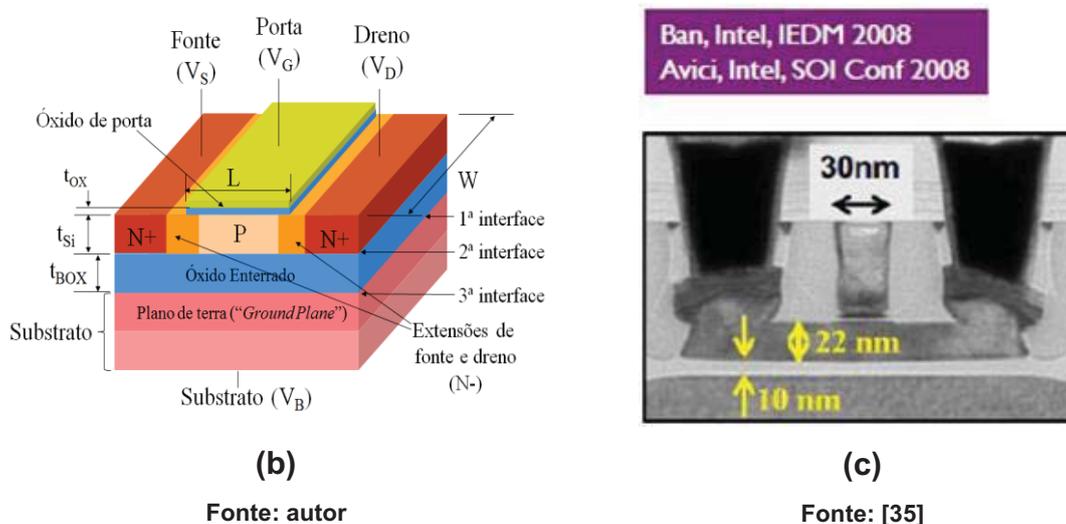
- Melhor controle da tensão de limiar pelo substrato,
- Menor resistência térmica do óxido enterrado,
- Menor corrente de fuga pela porta
- Possibilidade de operar com menores tensões de alimentação
- Melhor eficiência na potência em aplicações de alta frequência.

Figura 2.13: Estrutura de um transistor MuGFET (a) e UTBOX SOI nMOSFET de forma simplificada (b) e de forma real (c).



(a)
Fonte: autor.

Figura 2.13: Estrutura de um transistor MuGFET (a) e UTBOX SOI nMOSFET de forma simplificada (b) e de forma real (c).



De acordo com a patente do processo de obtenção do óxido enterrado fino [54], uma estrutura é considerada UTBOX (*ultrathin buried oxide*) quando ela apresenta uma espessura menor que 50 nm. Porém, para que a atuação da polarização do substrato seja efetiva, sua dimensão deve ser igual ou menor que 10nm [55], uma vez que ela permite um melhor acoplamento do canal pela tensão do substrato.

O processo de obtenção do óxido enterrado fino é descrito como uma dissolução do óxido, ou seja, inicia-se com uma lâmina SOI de óxido espesso e o óxido enterrado é afinado por meio de uma decomposição em um ambiente com argônio e um recozimento em oxigênio. [54]

2.2.1 Plano de terra, *Ground Plane* (GP)

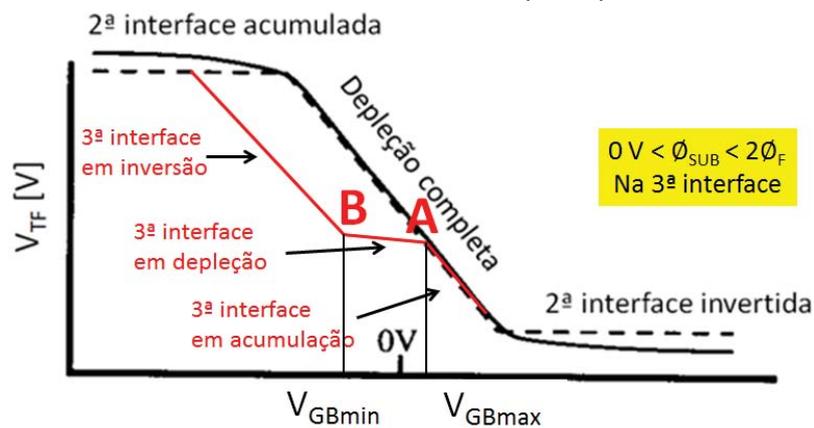
O comportamento descrito para as 1ª e 2ª interfaces de um transistor SOI MOSFET também ocorre na interface óxido enterrado/substrato, fazendo com que a espessura efetiva do isolante enterrado seja maior no caso desta interface estar na região de depleção. Dessa forma, a máxima espessura desta camada de depleção pode ser minimizada pela dopagem da região logo abaixo do óxido enterrado (equação 2.1). Esta região mais dopada é denominada GP (*Ground Plane* ou Plano de terra) [15] [16].

Além disso, o óxido enterrado fino junto com o GP (*Ground Plane*) permite o controle da tensão de limiar sem a necessidade de se aumentar a concentração da

região do canal, o que pode resultar na degradação da mobilidade e no chamado RDF (*Random-Dopant Fluctuations* ou flutuação aleatória de dopantes) [53]. Com a redução da camada de silício e baixas dopagens, é possível que uma pequena variação dos dopantes seja significativa face às cargas totais do canal, afetando o desempenho do transistor e aumentando a variabilidade da concentração do canal dos transistores de uma mesma lâmina, esses são alguns dos problemas relacionados ao RDF.

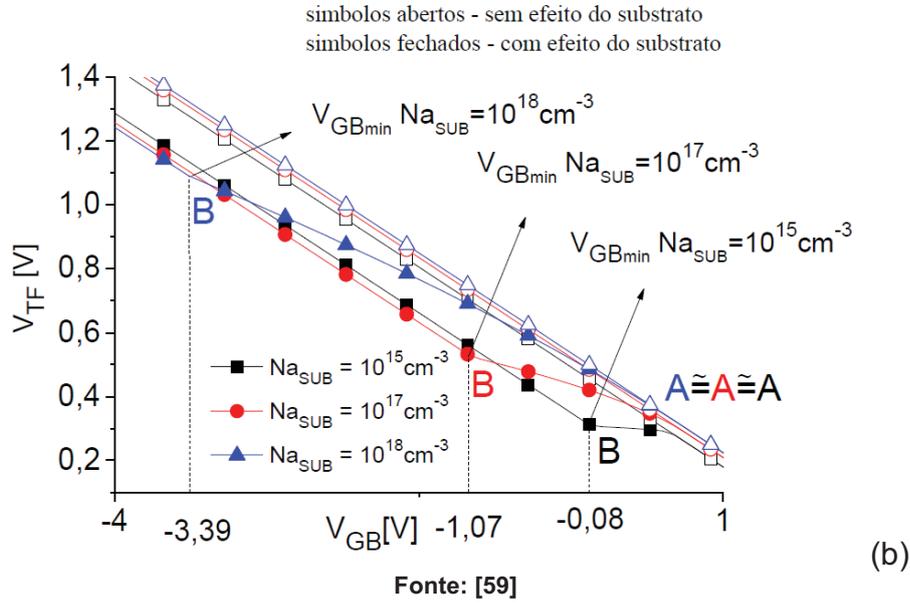
Em [56] e, mais recentemente, em [57], [58] e [59], a influência do comportamento dessa interface óxido enterrado/substrato (denominada 3ª interface, Figura 2.13-b) na tensão de limiar do dispositivo está sendo estudada. Em [57], quando se compara o comportamento da tensão de limiar com e sem a queda no substrato, observa-se uma redução deste parâmetro quando esta interface está invertida ou depletada (Figura 2.14). A Figura 2.14-a mostra a tensão de limiar em função da tensão de substrato em dispositivos SOI com e sem o efeito da 3ª interface e na Figura 2.14-b, a mesma curva é apresentada para diferentes concentrações de substrato (GP) em transistores UTBB.

Figura 2.14: Tensão de limiar da primeira interface em função da tensão do substrato considerando a queda de potencial no substrato. Ponto A é a tensão de substrato máxima (V_{GBmax}) e o ponto B, a tensão de substrato mínima (V_{GBmin}).



Fonte: [57]

Figura 2.14: Tensão de limiar da primeira interface em função da tensão do substrato considerando a queda de potencial no substrato. Ponto A é a tensão de substrato máxima (V_{GBmax}) e o ponto B, a tensão de substrato mínima (V_{GBmin}).



V_{GBmax} (ponto A) e V_{GBmin} (ponto B) são definidos como as tensões de substrato limites dentro do qual a 3ª interface está em depleção [57]. Esse efeito foi modelado em [56], [57] e [59] obtendo-se as equações:

$$V_{GF} = V_{FB1} + \frac{qNa t_{Si}}{2C_{ox1}} + \left(\frac{\epsilon_{Si}}{t_{Si}C_{ox1}} + 1 \right) \phi_{S1} - \frac{\epsilon_{Si}}{t_{Si}C_{ox1}} \phi_{S2} - \frac{Q_{inv}}{C_{ox1}} \quad (2.36)$$

$$V_{GB} = V_{FB2} + \frac{qNa t_{Si}}{2C_{ox2}} + \left(\frac{\epsilon_{Si}}{t_{Si}C_{ox2}} + 1 \right) \phi_{S2} - \frac{\epsilon_{Si}}{t_{Si}C_{ox2}} \phi_{S1} - \frac{Q_{S2}}{C_{ox2}} \quad (2.37)$$

$$\phi_{SUB} = \left[\frac{-\sqrt{2qNa_{SUB}\epsilon_{Si}}}{2C_{ox2}} + \sqrt{\left(\frac{2qNa_{SUB}\epsilon_{Si}}{4C_{ox2}^2} - V_{FB3} \right) + (\phi_{S2} - V_{GB})} \right]^2 \quad (2.38)$$

onde

$$\phi_{SUB} = 0 \rightarrow V_{GB} = V_{GBmax} = \phi_{S2} - V_{FB3} \quad (2.39)$$

$$\phi_{SUB} = 2\phi_{FB} \rightarrow V_{GB} = V_{GBmin} = \phi_{S2} - V_{T3} \quad (2.40)$$

e

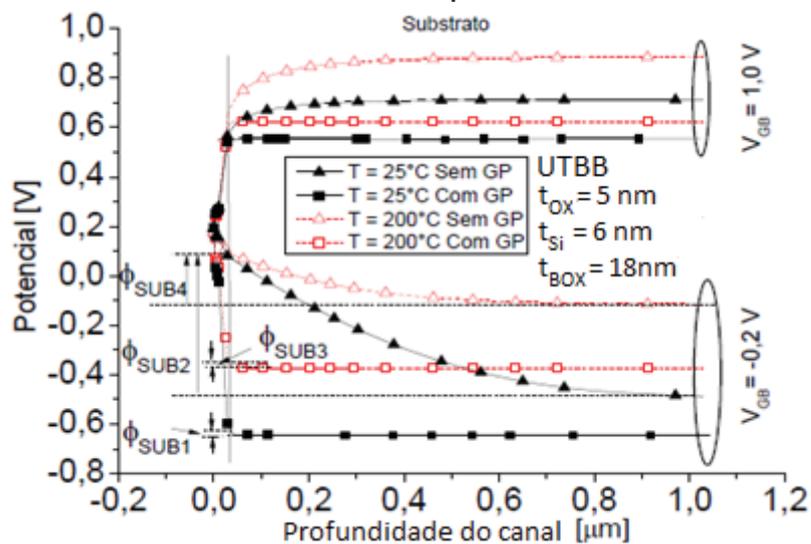
$$V_{FB3} = \Phi_{MS} - \frac{Q_{ox3}}{C_{ox2}} = \frac{k_B T}{q} \ln \frac{N_A}{N_{ASUB}} - \frac{Q_{ox3}}{C_{ox2}} \quad (2.41)$$

$$V_{T3} = V_{FB3} + 2\phi_{FB} + \frac{\sqrt{2qNa_{SUB}\epsilon_{Si}2\phi_{FB}}}{C_{ox2}} \quad (2.42)$$

A partir das equações e das figuras, observa-se que há um aumento de V_{GBmax} , mas principalmente uma redução de V_{GBmin} com o aumento da concentração do substrato. O aumento de V_{GBmax} é consequência da redução de V_{FB3} (tensão de faixa plana da 3ª interface, equações 2.39 e 2.41) e a redução de V_{GBmin} é efeito do aumento de V_{T3} (tensão de limiar da 3ª interface, equações 2.40 e 2.42) [57] [59].

Em [58], o comportamento dos dispositivos com e sem GP em função da temperatura foi analisado. A Figura 2.15 mostra o potencial ao longo da profundidade de transistores com e sem GP, a temperatura ambiente e em alta temperatura.

Figura 2.15: Potencial ao longo do substrato para $V_{GF}=0V$ e $V_{GB}=-0,2V$ e $1V$, comparação dos dispositivos SOI UTBB com e sem GP para $25^{\circ}C$ e $200^{\circ}C$.



Fonte: [58]

Da Figura 2.15, definimos:

- ϕ_{SUB1} : potencial de superfície da 3ª interface na condição **25°C, com GP**
- ϕ_{SUB2} : potencial de superfície da 3ª interface na condição **25°C, sem GP**
- ϕ_{SUB3} : potencial de superfície da 3ª interface na condição **200°C, com GP**
- ϕ_{SUB4} : potencial de superfície da 3ª interface na condição **200°C, sem GP**

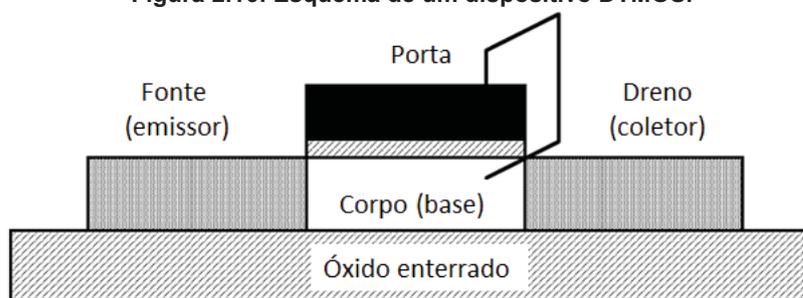
Percebe-se que $\phi_{SUB1} \approx \phi_{SUB3}$ enquanto que $\phi_{SUB2} > \phi_{SUB4}$. Como indicado na equação (2.1), quanto menor a concentração do substrato, maior a máxima espessura da camada de depleção e maior a influência do potencial de Fermi na máxima espessura da camada de depleção. Dessa forma, a influência do menor potencial de Fermi para elevadas temperaturas é mais forte em dispositivos sem GP, o que levou à significativa redução do ϕ_{SUB} nos transistores sem GP em altas temperaturas [57] [58]. Isso significa que a implantação do GP minimiza a influência da temperatura na queda de potencial na região do GP. Além disso, nos dispositivos com GP, o potencial

do substrato que realmente chega na região do canal é mais próximo da tensão aplicada.

2.2.2 DTMOS e DT2-UTBB

Tentando evitar os problemas relacionados ao substrato flutuante, em 1987, Colinge propôs o dispositivo denominado DTMOS (Figura 2.16) em transistores PDSOI [30]. Mais recentemente, esse estudo está sendo realizado em transistores de múltiplas portas MuGFETs [60] [61] e em transistores SOI UTBB [31] [32].

Figura 2.16: Esquema de um dispositivo DTMOS.



Fonte: [30]

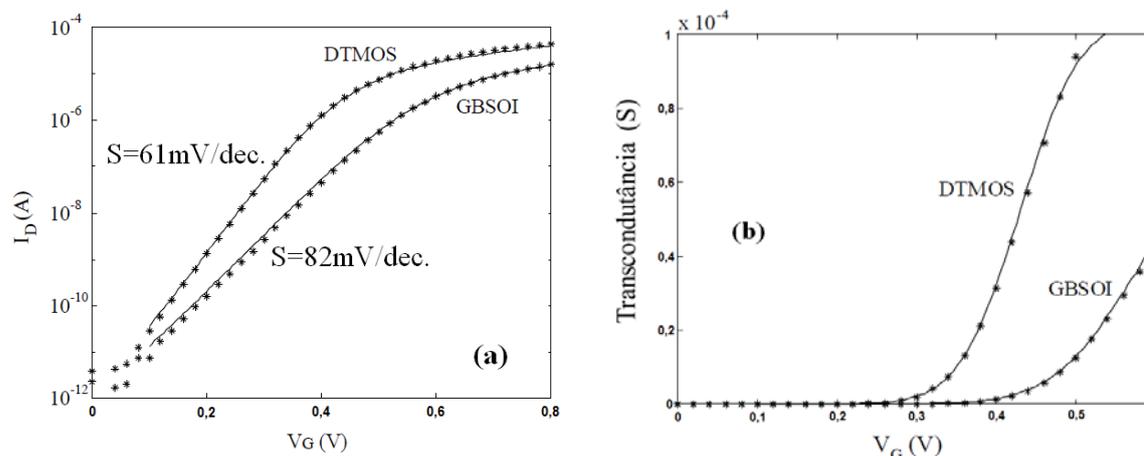
Em transistores DTMOS, o terminal de porta está conectado ao corpo do transistor (Figura 2.16), de forma que um aumento da tensão de porta também significa um aumento do potencial de corpo. Dessa forma, quando o dispositivo está cortado, o potencial do corpo é baixo, o que maximiza o valor da tensão de limiar e minimiza a corrente de estado desligado (I_{OFF}). Quando uma tensão positiva é aplicada à porta, o potencial de corpo se eleva, o que diminui a tensão de limiar devido ao efeito de corpo. Esta redução da tensão de limiar aumenta a condução de corrente de dreno para uma dada tensão de porta, quando comparado com um transistor MOS sem o curto entre a porta e o corpo. [30]

Assim, o DTMOS apresenta excelente característica de sublimiar (com inclinações de sublimiar bem próximos de 60mV/dec.) e maior transcondutância (Figura 2.17), bem como um menor efeito de corpo e maior corrente de dreno de condução (I_{ON}), além de ser bastante usado em aplicações de baixa tensão (0,5V) [3] [62].

Em [63], o desempenho dos dispositivos DTMOS foram comparados com os PDSOI em altas temperaturas, apresentando melhores resultados como maior

corrente de dreno de condução, maior transcondutância, menor dependência da tensão de limiar com a temperatura e menor características na região de sublimiar.

Figura 2.17: $I_D \times V_G$ em escala logarítmica (a) e transcondutância (b) em dispositivos DTMOS e SOI de corpo aterrado. $V_D=100\text{mV}$, $t_{ox}=8\text{nm}$, $W=10\mu\text{m}$, $L=2\mu\text{m}$.



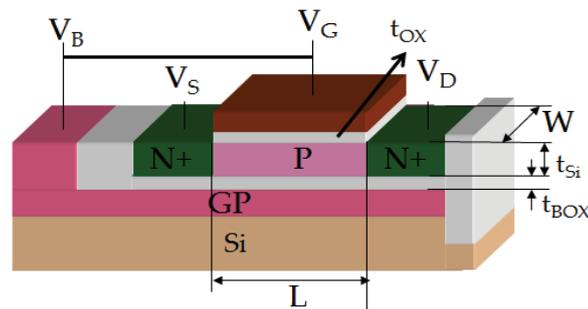
Fonte: [3] [62]

No entanto, esses dispositivos não operam para valores de tensão de porta maiores do que 0,7V, uma vez que a junção canal-dreno se torna diretamente polarizada. Além disso, na evolução dos transistores, agora enfatizando o escalamento na camada de silício e no óxido enterrado, encontram-se o SOI UTBB e o MuGFET como tendências para o futuro. Em ambas as tecnologias, o fato da região do canal estar cada vez menor dificulta a construção de um contato no corpo do transistor. Estes dois fatores levam à vantagem de se implementar este conceito da tensão de limiar dinâmica em transistores SOI UTBB.

Também denominado QDG (*quasi-double-gate*) ou “regime de porta dupla assimétrica” (*asymmetric double gate regime*) uma vez que o substrato pode ser visto como uma segunda porta, assim como os dispositivos MuGFETs de porta dupla, este transistor tem sido extensivamente estudado para diversas aplicações como em aplicações de baixa potência [64] [65] [66], em aplicações analógicas [31] [32] e em amplificadores de alta-precisão [31]. O circuito gerador da tensão de substrato no modo kDT em uma aplicação de baixa potência é apresentado em [66]. Em [67], essa configuração foi utilizada para minimizar a histerese apresentada em dispositivos MOSFET do tipo p de germânio.

A Figura 2.18 mostra um dispositivo SOI UTBB no modo de tensão de limiar dinâmica (DT2-UTBB).

Figura 2.18: Estrutura de um dispositivo DT2-UTBB.



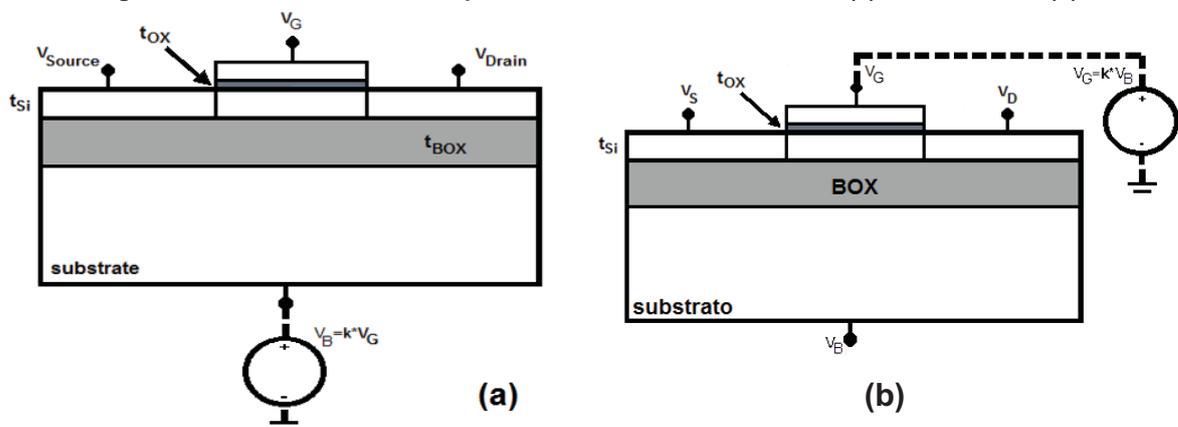
Fonte: [68]

Implementado em transistores SOI UTBB, o contato de porta é curto-circuitado ao substrato ao invés do corpo do transistor, assim, o óxido enterrado fica entre a aplicação da tensão e o corpo do transistor, portanto, este dispositivo permite polarizações da porta maiores que 0,7V.

Além disso, com a melhor atuação do substrato no canal provido pelos óxidos enterrados ultrafinos, a evolução dos transistores permitiu que a operação de tensão de limiar dinâmica pudesse ser implementada em dispositivos FDSOI, uma vez que isso não era possível devido ao óxido enterrado grosso, onde era necessário aplicar tensões mais elevadas para que o efeito do substrato no canal fosse mais expressiva.

Uma forma de melhorar ainda mais o desempenho dos dispositivos DT2-UTBB é com a aplicação de uma tensão no substrato variando mais do que a da porta, ou seja, aplicando uma tensão de substrato como um múltiplo da tensão de porta ($V_B = kV_G$) [31], denominado neste trabalho de modo kDT (Figura 2.19-a). Outra forma, proposto neste trabalho, é o modo kDT inverso, ou seja, a tensão de porta é um múltiplo da tensão de substrato ($V_G = kV_B$) (Figura 2.19-b).

Figura 2.19: Estrutura de um dispositivo SOI-UTBB no modo kDT (a) e kDT inverso (b).

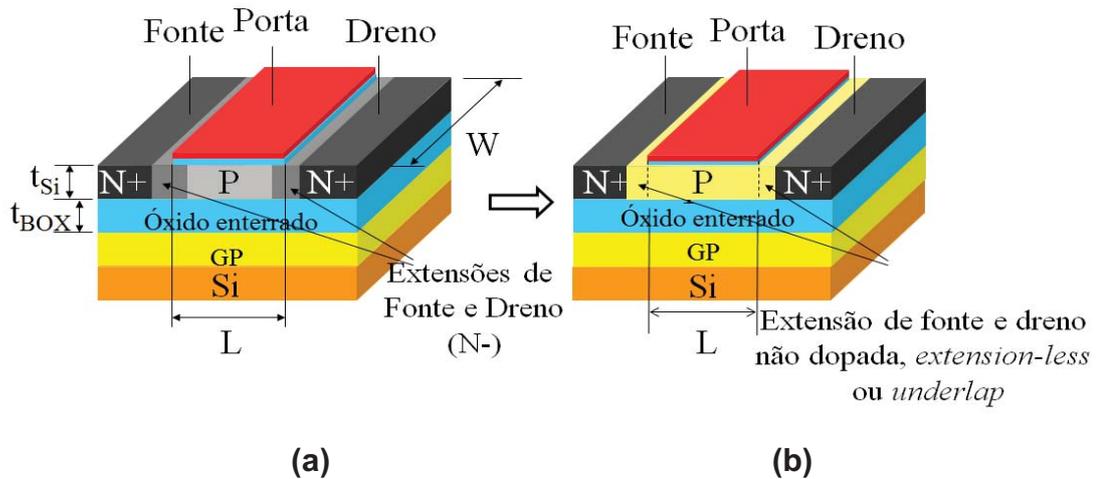


Fonte: baseado em [32].

2.3 Dispositivos não auto-alinhados (“*underlap*”)

Na tentativa de seguir com a tendência proposta pela Lei de Moore, estruturas com regiões de extensão de fonte e dreno menos dopadas (Figura 2.20-a) [7] [8] [9] [10] [14] e, mais recentemente, estruturas sem a dopagem dessa extensão (denominadas *extension-less* ou *underlap*) (Figura 2.20-b), tem sido estudadas para minimizar os efeitos de canal curto [4] [5] [6] [69].

Figura 2.20: Estruturas com (a) e sem (b) a dopagem das regiões de extensão de fonte e dreno.



Fonte: Autor.

Normalmente, o que ocorre durante o processo de fabricação de um transistor é a sobreposição da porta sobre a junção fonte-canal e dreno-canal resultado da difusão lateral dos dopantes do dreno e da fonte sobre o canal. Esta região é aqui denominada *overlap*. Sabe-se que a difusão lateral é diretamente proporcional ao gradiente de concentração entre as regiões. Assim, com essa região menos dopada, também denominada LDD (*Lightly Doped Drain*), os efeitos de canal curto são minimizados devido à menor difusão lateral e ao menor potencial efetivamente aplicado na região do canal. Uma vez que há uma queda de potencial nessa região de menor dopagem, levando a um menor campo elétrico lateral e menor quantidade de cargas cujo controle é compartilhado entre a tensão de porta e a de dreno. [7] [8] [9] [10]

Por outro lado, a partir do mesmo processo de obtenção dessas regiões menos dopadas por meio de espaçadores (*spacer*), a não implantação dessa região faz com que a difusão lateral possa não atingir a região do canal, resultando em um dispositivo com “*underlap*” (em oposição à “*overlap*”) ou *extension-less* (sem a região de

extensão), quando ainda resta uma região do canal sem o controle direto da porta. Neste caso há apenas um espreadimento do potencial da porta e do dreno.

Em [70], o comprimento dessa região foi analisado e constatado que se este comprimento for muito pequeno, em vez de um dispositivo com uma distância entre a porta e a fonte/dreno como projetado, o resultado será um dispositivo com sobreposição da porta sobre a fonte/dreno. Uma vez que nestes dispositivos, a difusão lateral para dentro do canal é maior, já que o gradiente entre o canal e as regiões de fonte e dreno (e não de suas extensões menos dopadas) é maior.

Esta região entre a porta e o dreno (*underlap*) funciona como uma extensão de fonte e dreno sem dopagem adicional, dessa forma, apresentará um potencial e um campo elétrico lateral ainda menor atuando sobre o canal, resultando em uma melhora nos efeitos de canal curto [4] [5] [6] [41]. Além disso, já foram reportados alguns estudos deste dispositivo para aplicações analógicas e em seu uso como uma célula de memória, apresentando vantagens como: [4] [5] [6] [41]

- melhor tensão Early,
- melhor razão I_{on}/I_{off} ,
- melhor razão g_m/I_D (que representa a amplificação obtida no dispositivo por energia fornecida [3]),
- menor corrente de fuga,
- promissor em termos de escalamento de seu uso como uma célula 1T-DRAM.

De acordo com [69], quando a tensão na porta é pequena, ou seja, o dispositivo está na inversão fraca, o comprimento efetivo do canal pode ser considerado como a soma do comprimento de porta e os comprimentos das extensões de fonte e de dreno.

$$L_{ef} \cong L_{porta} + 2L_{LDD} \quad (2.43)$$

Já na inversão forte, onde o canal já está formado, o comprimento efetivo se aproxima do comprimento de porta.

$$L_{ef} \cong L_{porta} \quad (2.44)$$

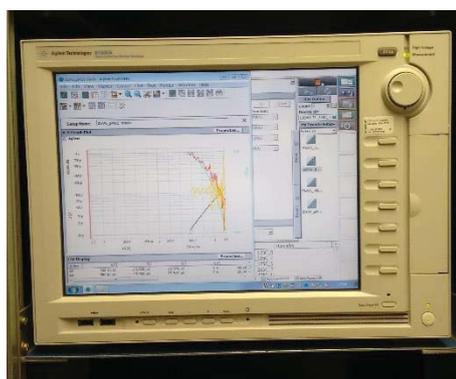
3 Influência do plano de terra (*Ground Plane*) em transistores SOI UTBB MOSFET operando no modo de tensão de limiar dinâmica

Para um estudo preliminar do funcionamento do modo de tensão de limiar dinâmica, os principais parâmetros de um transistor UTBB SOI MOSFET foram extraídos analisando-se a influência da existência do plano de terra (*Ground Plane*, GP). Desta forma, este capítulo aborda, primeiramente, o princípio de funcionamento do modo de tensão de limiar dinâmica seguido da análise da influência do GP nos principais parâmetros do transistor.

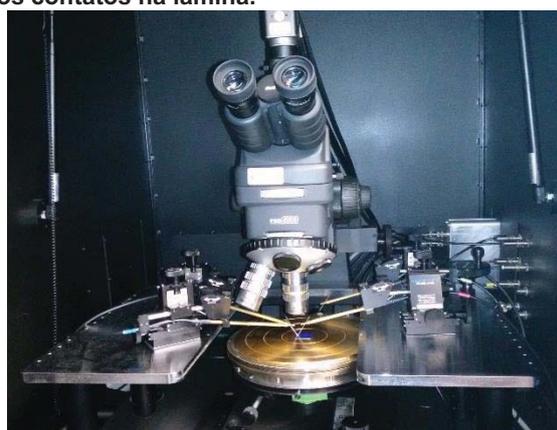
Nesta etapa do trabalho foram medidas duas cascatas de transistores, uma com e outra sem GP, com as espessuras nominais do filme de silício (t_{si}) e do óxido enterrado (BOX) de 20nm e 10nm, respectivamente, com o comprimento efetivo do canal variando de 55nm a 935nm e largura de 1 μm . A porta é composta de 5nm de TiN depositado sobre 5nm de SiO₂. A dopagem do canal é de 10^{15} cm^{-3} e os dispositivos com GP foram obtidos a partir de duas implantações de boro. [50]

O equipamento de medidas utilizado foi o analisador de dispositivos semicondutores *Agilent B1500* (Figura 3.1). Nele, há um parâmetro denominado “*ratio*” que nada mais é do que a razão do quanto a tensão aplicada em uma ponta (definida como VAR1’) é maior que outra (a VAR1).

Figura 3.1: Equipamentos de medida: (a) analisador de dispositivo *Agilent B1500A* e (b) caixa preta com as pontas para os contatos na lâmina.



(a)



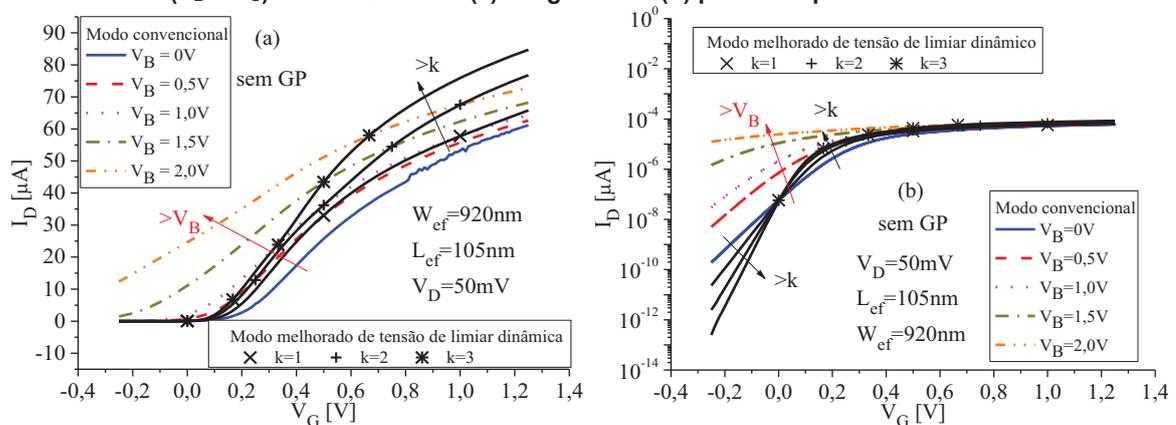
(b)

Fonte: autor

3.1 Princípio de funcionamento

A Figura 3.2 mostra a curva experimental de I_D em função de V_G de dispositivos SOI UTBB operando em modo convencional (com tensão de substrato independente e constante) e em modo de tensão de limiar dinâmica (com a tensão do substrato sendo um múltiplo da tensão de porta); em escala linear (a) e logarítmica (b). Os pontos evidenciados na curva para o dispositivo em modo de tensão de limiar dinâmica referem-se ao nível de corrente de dreno em que as polarizações de substrato em ambos os modos são os mesmos.

Figura 3.2: I_D x V_G para o modo convencional (substrato independente) e de tensão de limiar dinâmica ($V_B=kV_G$) em escala linear (a) e logarítmica (b) para o dispositivo sem GP.



Fonte: autor

Percebe-se um deslocamento das curvas I_D x V_G do dispositivo em modo DT2 em relação às do modo de V_B constante. Uma vez que a varredura de V_G está conectada com o V_B , a tensão de limiar diminui dinamicamente durante o aumento da varredura de V_B . Da mesma forma, para tensões negativas de V_G , a menor tensão de substrato eleva a tensão de limiar, reduzindo a corrente de dreno. O resultado é uma curva I_D x V_G mais inclinada em ambas as curvas (linear e logarítmica), o que significa, neste caso, uma maior transcondutância e menor inclinação de sublimiar. Isso significa que uma maior corrente de condução (resultado de um menor V_T) e uma menor corrente parasitária de estado desligado estão presentes numa mesma curva.

Na condição do modo melhorado de tensão de limiar dinâmica, a polarização de substrato varia ainda mais para uma mesma varredura da tensão de porta devido ao fator multiplicativo k , o que leva a um efeito mais forte da tensão de limiar dinâmica. Em [66], uma possível implementação do circuito gerador desse fator multiplicativo foi estudado na tecnologia UTBB SOI de 28nm. Além disso, como se pode observar na

Figura 3.2, o dispositivo ainda funciona adequadamente para valores de V_G maiores que 0,7V, o que não ocorre com o dispositivo DTMOS original. Isso ocorre porque no dispositivo original, a porta está ligada ao corpo do transistor, dessa forma, $V_G > 0,7V$ significa que a junção entre dreno e canal se torna diretamente polarizada. No dispositivo SOI UTBB, a tensão é aplicada sob o óxido enterrado evitando a polarização direta. [68] [71] [72]

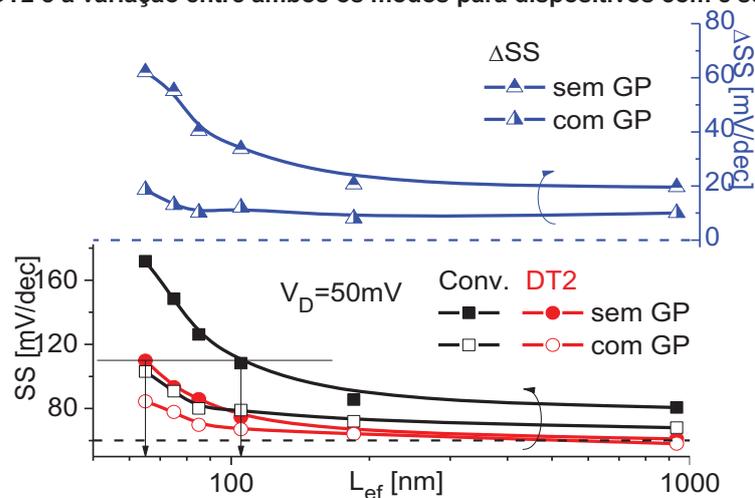
3.2 Influência do plano de terra (GP)

Esta análise está subdividida na análise da influência do modo convencional e DT2 em função do comprimento efetivo do canal e do estudo do fator multiplicativo nos modos direto e inverso da tensão de limiar dinâmica melhorada.

3.2.1 Escalamento de um dispositivo SOI UTBB nos modos convencional ($k=0$) e de tensão de limiar dinâmica ($k=1$)

A inclinação de sublimiar para os modos convencional e em tensão de limiar dinâmica, bem como a diferença entre os modos ($\Delta SS = SS_{conv} - SS_{DT2}$) em função do comprimento efetivo de canal para dispositivos com e sem GP pode ser observada pela Figura 3.3.

Figura 3.3: Inclinação de sublimiar em função do comprimento de canal para as operações convencional e DT2 e a variação entre ambos os modos para dispositivos com e sem GP.



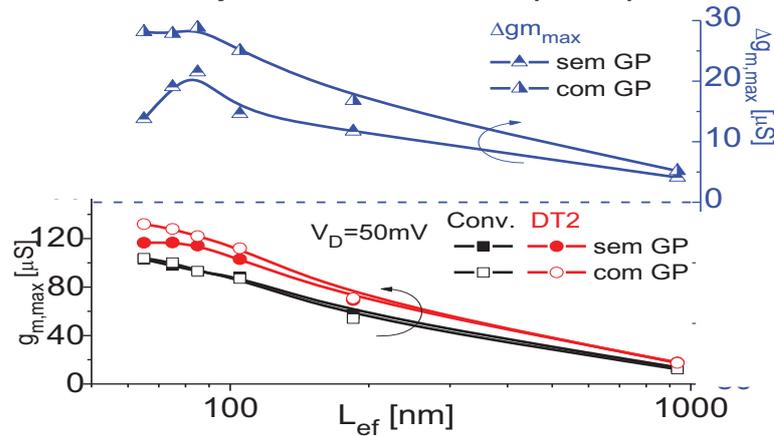
Fonte: [68] [72] [73]

Para os dispositivos sem GP (símbolos fechados), observa-se uma redução da inclinação de sublimiar para o modo DT2 para todos os comprimentos estudados. Na configuração DT2 um SS de aproximadamente 60mV/dec foi alcançado para os dispositivos mais longos, comparado com 81mV/dec do dispositivo em modo convencional. Para os transistores de canal mais curto, observa-se que o modo de tensão de limiar dinâmica minimizou o efeito de canal curto, permitindo que um $L_{\text{eff}}=65\text{nm}$ apresente um $\text{SS}=110\text{mV/dec}$, enquanto que, no modo convencional, a mesma inclinação foi obtida apenas para $L_{\text{eff}}=105\text{nm}$. Isso ocorre devido à redução dinâmica da tensão de limiar, causado pelo aumento do V_B na varredura de V_G (Figura 3.2). Analisando a diferença da inclinação de sublimiar nos dois modos (eixo da direita), observa-se uma redução maior para os dispositivos de canal curto quando aplicado no modo DT2. [68] [72] [73]

Já para os dispositivos com GP (símbolos abertos), a SS diminui em ambos os casos (convencional e DT2) devido ao melhor acoplamento do substrato sobre o canal. Comparando os dispositivos com GP frente aos sem GP, a redução da SS é mais pronunciada no modo convencional uma vez que o fator de corpo do SOI UTBB em modo DT2 é menor que em modo convencional [3]. Embora a diferença entre o SS nos dois modos (eixo da direita) é menor para os dispositivos com GP, um comportamento importante a se notar é a diferença desprezível para os dispositivos de canal longo quando se compara os transistores com e sem GP no modo DT2. Isso significa que é o modo DT2, e não o GP, o maior responsável pelo valor quase ideal da inclinação de sublimiar para os dispositivos de canal longo.

A Figura 3.4 apresenta a transcondutância máxima em função do comprimento efetivo do canal para os modos convencional e de tensão de limiar dinâmica, assim como a diferença entre este parâmetro ($\Delta g_{m,\text{max}}=g_{m\text{max,conv}}-g_{m\text{max,DT2}}$) nos dois modos para os dispositivos com e sem GP.

Figura 3.4: Transcondutância máxima em função do comprimento de canal para as operações convencional e DT2 e a variação entre ambos os modos para dispositivos com e sem GP.



Fonte: [68] [72] [73]

Observa-se uma maior transcondutância máxima para o modo DT2 devido à variação da tensão no substrato durante a varredura da tensão de porta, aumentando o controle da tensão de porta e, conseqüentemente do substrato, sobre a corrente de dreno para todos os comprimentos do canal.

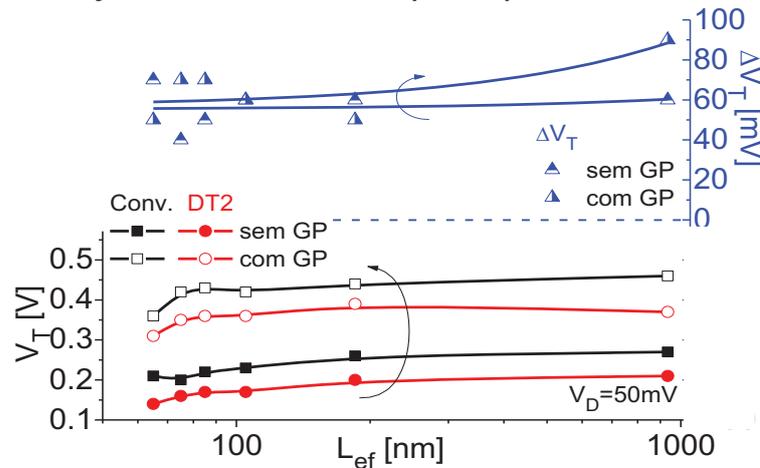
Analisando os dispositivos com GP, seu efeito foi desprezível para o modo convencional, já no modo DT2, houve uma pequena melhora, principalmente para os dispositivos de canal menor, o que causou a diferença nas curvas referentes ao eixo da direita. [72] [73]

Já em relação ao modo DT2, uma pequena diferença pode ser observada para dispositivos de canal longo [32], enquanto que uma melhora foi obtida para os dispositivos mais curtos com GP. Isto é devido à diminuição dinâmica da tensão de limiar, que é mais forte para os dispositivos com GP, ou seja, um melhor acoplamento do substrato, interferindo mais na interface canal-óxido de porta. [72] [73]

A melhora observada para o modo DT2 (eixo da direita) é acentuada para comprimentos mais curtos, atingindo um $\Delta g_{m,max} = 21 \mu S$ para $L_{eff} = 85 nm$. E é ainda maior para dispositivos com GP, alcançando quase $\Delta g_{m,max} = 29 \mu S$ para $L_{eff} = 85 nm$. [68] [73]

A Figura 3.5 mostra a redução na tensão de limiar em função do comprimento efetivo do canal, para os dispositivos operando nos modos convencional e DT2, bem como sua diferença ($\Delta V_T = V_{T,conv} - V_{T,DT2}$) para dispositivos com e sem GP.

Figura 3.5: Tensão de limiar em função do comprimento de canal para as operações convencional e DT2 e a variação entre ambos os modos para dispositivos com e sem GP.

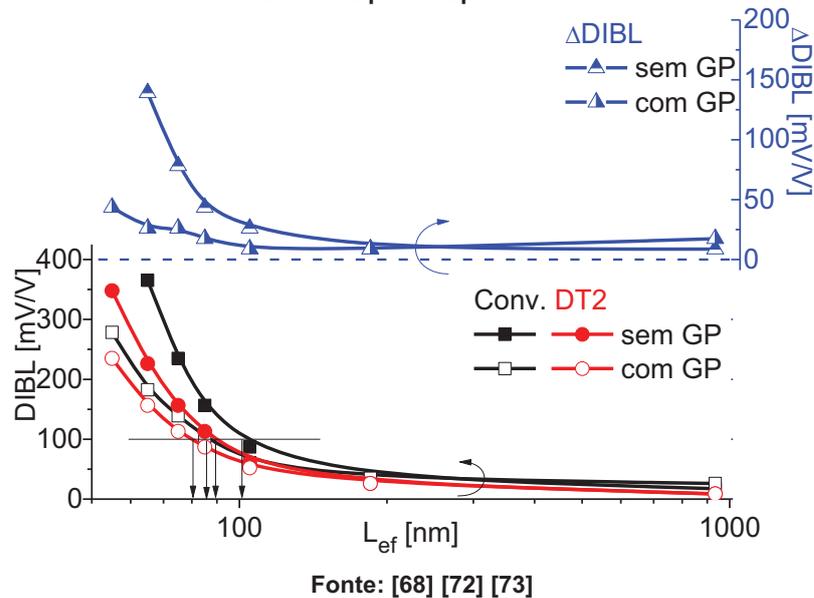


Fonte: [68] [72] [73]

Como esperado, há uma redução da tensão de limiar dos dispositivos operados no modo DT2 em relação ao modo convencional, devido à diminuição dinâmica da tensão de limiar pelo aumento da tensão de substrato à medida que a tensão de porta se eleva. Pode-se observar também um aumento da tensão de limiar para os dispositivos com GP, devido ao melhor acoplamento da tensão de substrato. Entretanto, não houve alteração significativa com o comprimento do canal para os dois modos de operação e considerando ou não o GP (eixo da direita). [68] [72] [73]

O DIBL (*Drain Induced Barrier Lowering*) em função do comprimento do canal encontra-se na Figura 3.6 para os dispositivos operando nos modos convencional e DT, bem como a diferença desses modos neste parâmetro ($\Delta\text{DIBL} = \text{DIBL}_{\text{conv}} - \text{DIBL}_{\text{DT2}}$) para dispositivos considerando ou não a implantação do GP.

Figura 3.6: DIBL em função do comprimento de canal para as operações convencional e DT2 e a variação entre ambos os modos para dispositivos com e sem GP.



Como esperado, o modo DT2 apresentou um DIBL melhor (menor), uma vez que este modo leva ao melhor acoplamento do substrato, diminuindo a influência do campo elétrico lateral no canal. [68] [73]

Os dispositivos de canal longo alcançaram um DIBL de 8,7mV/V para $L_{ef} = 935\text{nm}$ no modo DT2. Novamente, a melhora (eixo da direita) é mais significativa para os dispositivos de canal curto, ultrapassando 100mV/V para $L_{ef} = 65\text{nm}$. Com relação ao escalamento, o modo DT2 permitiu um comprimento efetivo do canal de 90nm, contra 100nm no modo convencional, apresentando o mesmo DIBL de 100mV/V. Já analisando o efeito do GP, esta implantação minimizou o efeito de canal curto e um comprimento efetivo de 80nm pôde ser utilizado apresentando o mesmo valor de DIBL mencionado anteriormente quando o mesmo foi operado no modo DT2. [68] [73]

3.2.2 Comparação dos modos direto e inverso da tensão de limiar dinâmica

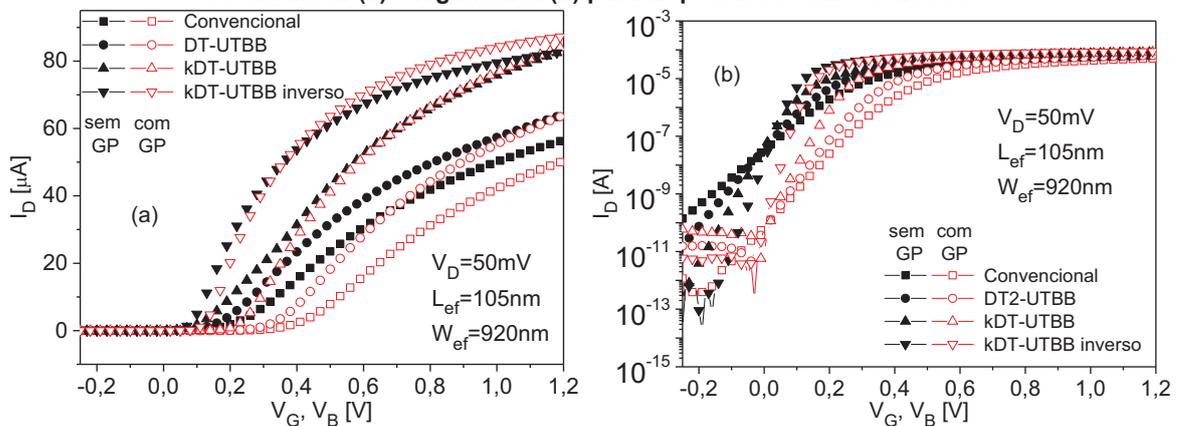
A influência do potencial de corpo também pode ser melhorada pelo aumento do passo do V_B , mantendo o V_G na mesma varredura. Em outras palavras, considerando apenas valores positivos inteiros para o fator k , no modo melhorado da tensão de limiar dinâmica (kDT), a tensão de substrato é um múltiplo da tensão de porta ($V_B = k \cdot V_G$, para a varredura de V_G no modo kDT). Um modo proposto neste trabalho,

onde a tensão de porta é um múltiplo da tensão de substrato ($V_G=k*V_B$, para a varredura de V_B no modo kDT inverso) também é analisado.

Os dados apresentados nesta seção referem-se ao transistor de comprimento efetivo do canal de 105nm, pois esse foi o menor comprimento de canal sem efeitos de canal curto no transistor. No modo kDT o maior fator k utilizado foi 5 e no modo kDT inverso foi 3 para evitar ruptura dos óxidos de substrato e de porta.

A curva $I_D \times V_G$ pode ser observada na Figura 3.7 (em -(a) escala linear e -(b) logarítmica) nas configurações: convencional ($V_B=0V$), DT2, kDT e kDT inverso.

Figura 3.7: $I_D \times V_G$ nas configurações convencional ($V_B=0V$), DT2 e kDT e $I_D \times V_B$ no modo kDT inverso em escala linear (a) e logarítmica (b) para dispositivos com e sem GP.

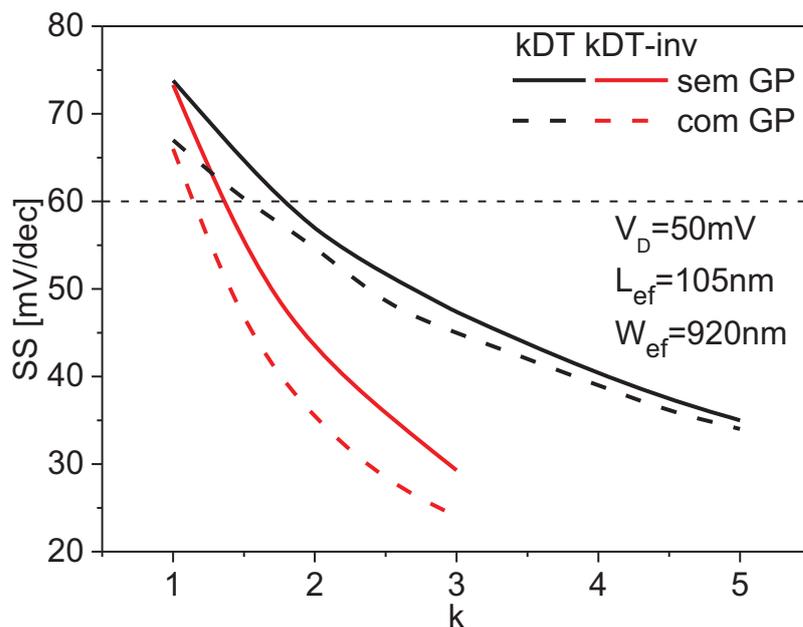


Fonte: [72] [73]

Nota-se um melhor comportamento da corrente para as estruturas no modo kDT e ainda melhor no modo kDT inverso devido ao óxido de porta ser mais fino que o enterrado. O óxido de porta mais fino melhora o acoplamento da tensão de porta e, como é o V_G que é multiplicado pelo fator k, a diminuição dinâmica da tensão de limiar é mais afetada. O melhor acoplamento do substrato no canal pelo GP faz com que sua presença aumente a corrente de condução (I_{ON}) e diminua a corrente parasitária (I_{OFF}). [72] [73]

A Figura 3.8 mostra a inclinação de sublimiar em função do fator k para um SOI UTBB de $L_{eff}=105nm$ no modo kDT e kDT inverso,

Figura 3.8: Inclinações de sublimiar nas configurações DT2, kDT e kDT inverso para dispositivos com e sem GP.



Fonte: [72] [73]

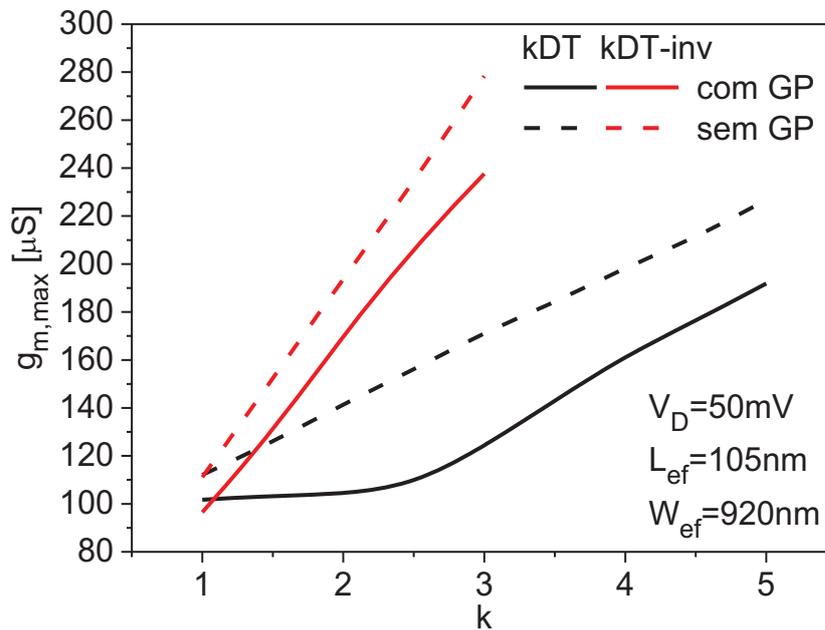
Na configuração DT2 ($k=1$), um SS de aproximadamente 75 mV/dec foi obtido enquanto que para o modo convencional seu valor foi de 108 mV/dec ($V_B=0V$) para as estruturas sem GP. Apesar do mecanismo de condução predominante ser o de difusão e deriva, quando o modo kDT é aplicado, o SS pode chegar a valores menores que 60mV/dec para um valor de k apropriado. [72] [73]

No modo kDT a inclinação de sublimiar atinge valores menores que 60mV/dec para $k>1,8$, enquanto que para o modo kDT inverso, este valor diminui para 1,3. Quando a região GP é considerada, estes valores reduzem ainda mais para 1,5 e 1,1, respectivamente. Para $k=3$, o SS é 47mV/dec no modo kDT e diminui para 29mV/dec no modo kDT inverso. Para as estruturas com GP, o SS reduz ainda mais para 45mV/dec e 24mV/dec, respectivamente. [72] [73]

Isto ocorre devido à redução dinâmica da tensão de limiar causada pelo aumento da tensão no substrato, cujo impacto é ainda maior quando o GP está presente. Uma vez que o óxido de porta (5nm) é mais fino que o enterrado (10nm) a tensão de limiar dinâmica é ainda mais reduzida no modo kDT inverso, apresentando melhores resultados (menor SS) para todos os $k>1$. [72] [73]

A transcondutância máxima em função do fator k pode ser vista na Figura 3.9 para os dispositivos com e sem GP e nos modos kDT e kDT inverso.

Figura 3.9: Transcondutâncias máximas nas configurações DT2, kDT e kDT inverso para dispositivos com e sem GP.



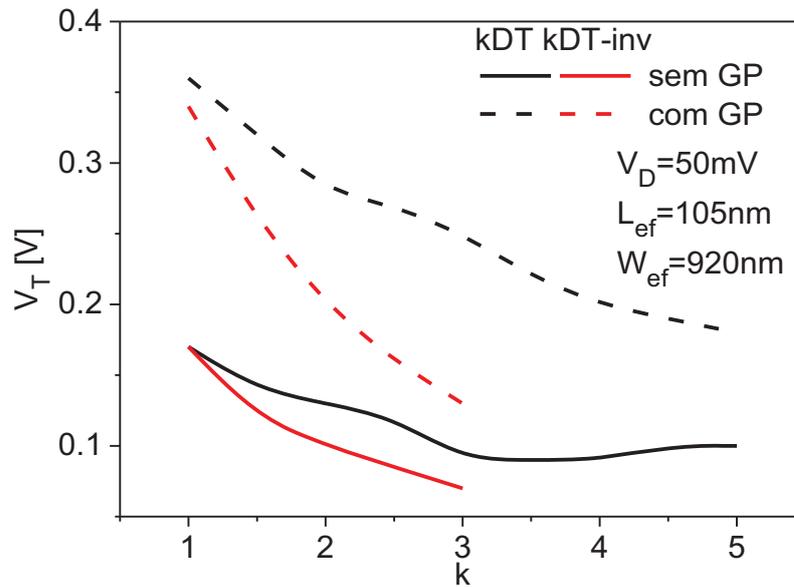
Fonte: [72] [73]

Observa-se que a transcondutância máxima é maior para os dispositivos no modo DT2 do que no convencional e para os com GP em relação àqueles que não possuem esta implantação. Este parâmetro é ainda melhor no modo kDT e, principalmente, no kDT inverso apresentando um $g_{m,max}$ 247% maior para $k=3$ comparado com o modo DT2 ($k=1$). Além disso, quando se compara a curva dos transistores sem GP no modo kDT inverso com os dispositivos com GP no modo kDT, o aumento do primeiro dispositivo supera o do segundo. [72] [73]

Novamente, isso ocorre devido ao maior acoplamento do substrato no canal e à maior redução dinâmica da tensão de limiar, levando a uma maior variação da corrente para um mesmo intervalo da tensão de porta, no modo kDT, ou tensão de substrato, no caso kDT inverso. [72] [73]

A Figura 3.10 mostra a tensão de limiar em função do fator k para dispositivos com e sem GP operando em modo kDT e kDT inverso.

Figura 3.10: Tensões de limiar nas configurações DT2, kDT e kDT inverso para dispositivos com e sem GP.



Fonte: [72] [73]

Como esperado, há uma redução da tensão de limiar para maiores valores de k , uma vez que o efeito DT é mais forte. A tensão de limiar também é menor para o modo kDT inverso, devido ao melhor controle do V_G na interface do canal com o óxido enterrado, já que o óxido de porta é mais fino. [72] [73]

Com a adição do GP, a tensão de limiar aumenta quando comparado com os dispositivos sem GP devido ao maior acoplamento do substrato no canal, porém, o mesmo efeito também resulta num efeito DT mais forte o que leva a uma maior variação (diminuição) do V_T para os dispositivos com GP para k maiores, tomando o modo convencional como referência [72] [73]. A maior tensão de limiar também reduz a corrente em estado desligado (I_{OFF}), como pode ser observado na Figura 3.7-(b) para $V_G=0$, por exemplo.

4 Influência da espessura da camada de silício em transistores SOI UTBB MOSFET operando no modo de tensão de limiar dinâmica

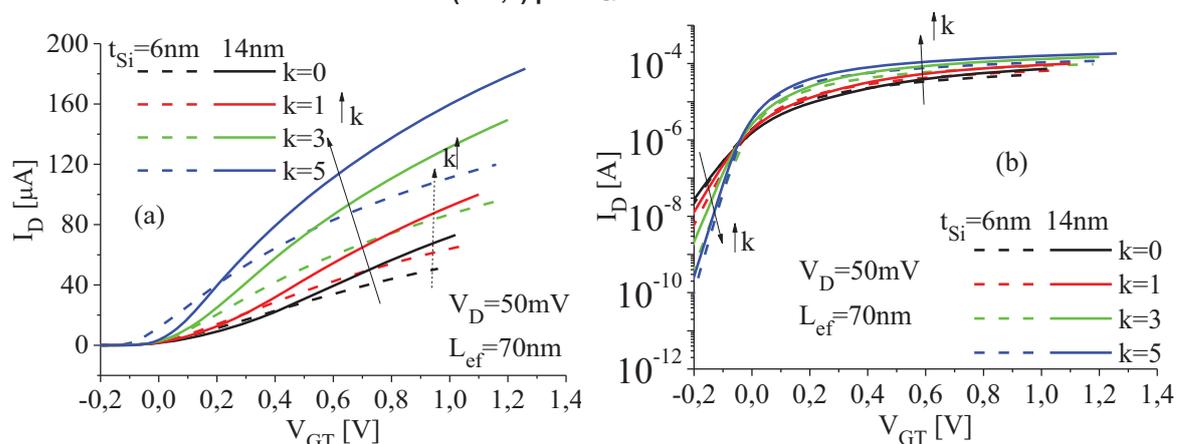
Como se trata do estudo de transistores de camada de silício e óxido enterrado ultrafinos, esta seção apresenta a análise do efeito da tensão de limiar dinâmica para duas espessuras da camada de silício. A partir daqui, foram considerados apenas os dispositivos com GP, uma vez que estes apresentaram um melhor desempenho, como mostrado no capítulo 3. Esta análise está dividida entre os parâmetros relacionados à região linear (baixo $V_D = 50\text{mV}$) e à região de saturação (alto $V_D = 1,2\text{V}$).

Os transistores medidos nesta etapa do trabalho foram construídos no imec e apresentam a região de extensão de fonte e dreno não dopada (tipo N) de 15nm. A espessura do filme de silício é de 6nm ou 14nm, e do óxido enterrado, de 18nm. O comprimento efetivo do canal é de 70nm, com largura de $1\mu\text{m}$. O óxido de porta é de 5nm, com 5nm de TiN e 100nm de Si amorfo. O canal não é dopado, ou seja, possui uma concentração de 10^{15} cm^{-3} , e a implantação do GP é do tipo P. Mais detalhes dessa estrutura podem ser encontrados em [41].

4.1 Região linear – baixo V_D

A Figura 4.1 compara a corrente de dreno em função da sobretensão de porta na escala linear (a) e logarítmica (b), para diferentes valores de k e espessuras da camada de silício. Como o efeito da tensão de limiar na curva $I_D \times V_G$ de um transistor em modo kDT já foi analisado na seção 3.2, a característica $I_D \times V_G$ para dispositivos com $t_{\text{Si}}=14\text{nm}$ e 6nm é apresentada em função da sobretensão de porta para enfatizar a análise da espessura da camada de silício.

Figura 4.1: I_D x V_{GT} em escala linear (a) e logarítmica (b) para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$.

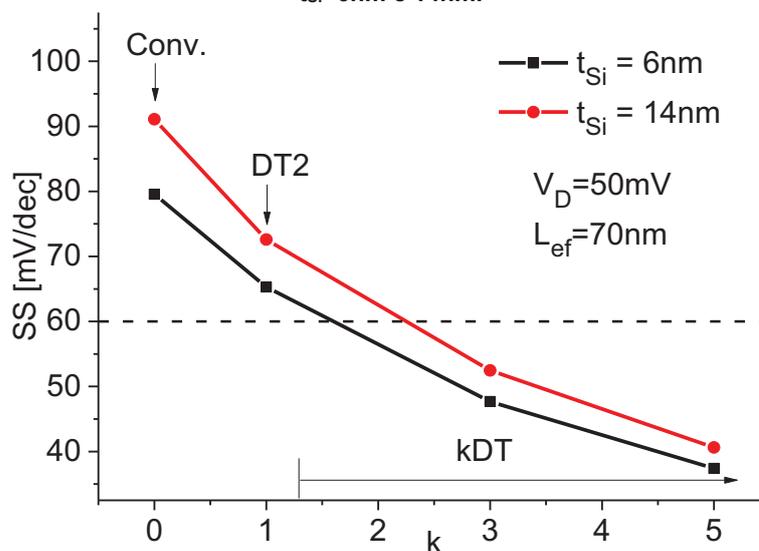


Fonte: [74]

Nota-se um aumento da corrente de dreno com o aumento do valor de k para ambas espessuras da camada de silício devido à redução dinâmica da tensão de limiar. Além disso, vê-se que o dispositivo com a camada de silício mais fino apresenta uma corrente de dreno menor. Isso porque, para V_{GT} maior, a resistência série e a degradação da mobilidade são mais pronunciadas, degradando a corrente de dreno para t_{Si} menores. [74]

O comportamento da inclinação de sublimiar em função do fator k pode ser vista na Figura 4.2 para duas espessuras da camada de silício: 6nm e 14nm.

Figura 4.2: Inclinações de sublimiar para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$.

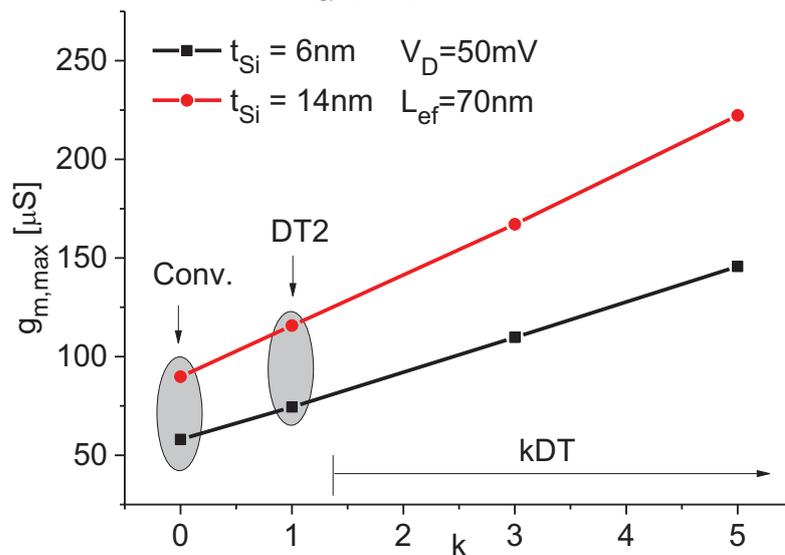


Fonte: [74]

Pode-se observar pela Figura 4.1 e pela Figura 4.2 que quanto maior o valor de k , menor a inclinação de sublimiar, permitindo valores menores que 60mV/dec para ambas espessuras de silício, sendo também menor para o silício mais fino. O valor ideal de 60mV/dec é atingido para um k menor de 1,5 no dispositivo de 6nm enquanto que, no de 14nm, seu valor sobe para 2,2. O menor valor da inclinação de sublimiar obtido para maiores valores do fator k é devido ao mais forte efeito DT. Menores valores de t_{Si} resulta em um melhor acoplamento das polarizações de porta e substrato sobre o canal. Portanto, a influência do V_B na tensão de limiar da primeira interface é ainda mais forte. Conseqüentemente, o efeito DT é mais intenso, reduzindo o SS. [74]

A Figura 4.3 apresenta a transcondutância máxima em função do fator k para ambas espessuras do filme de silício: 14nm e 6nm.

Figura 4.3: Transcondutâncias máximas para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e 14nm.



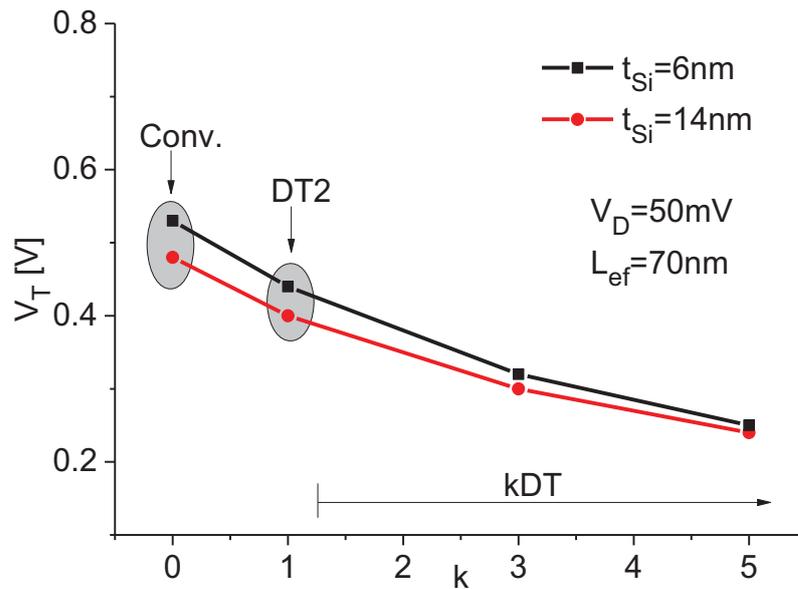
Fonte: [74]

No modo DT2, à medida que o fator k aumenta, a transcondutância máxima também se eleva, devido à redução dinâmica da tensão de limiar pelo aumento do V_B na varredura de V_G , o que também eleva a corrente de condução de dreno. Como visto na Figura 4.1, para maiores valores da sobretensão de porta, a corrente é menor para o filme de silício mais fino. Assim, a transcondutância máxima também é degradada pelo filme de silício mais fino, possivelmente pela maior resistência do canal, menor resistência série (e conseqüentemente maior resistência total) e maior degradação da mobilidade, o que influencia o $g_{m,max}$. O fato do dispositivo possuir um

espaçamento de 15nm para a formação da região de extensão de fonte e dreno, faz com que a resistência total seja ainda maior [5] e, portanto, a influência da espessura da camada de silício no $g_{m,max}$ é ainda maior. [74]

A tensão de limiar em função do valor de k para ambas as espessuras da camada de silício pode ser vista na Figura 4.4.

Figura 4.4: Tensões de limiar para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$.



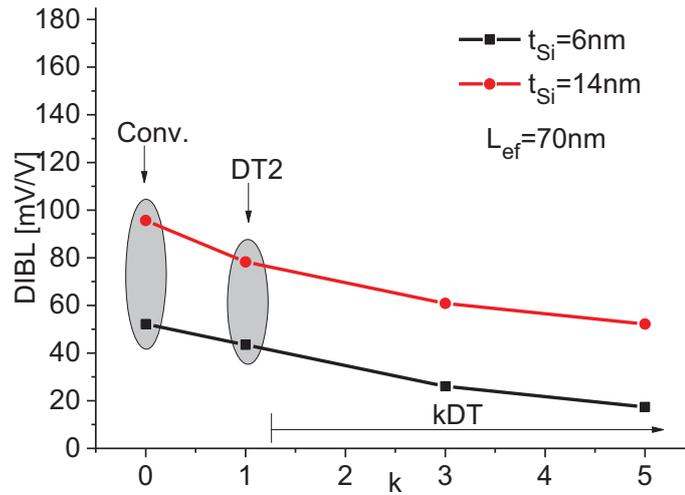
Fonte: [74]

Observa-se, como esperado, uma redução da tensão de limiar para maiores valores de k , devido ao efeito DT, e para filmes mais espessos da camada de silício, devido ao melhor acoplamento da porta e do substrato sobre o canal. Uma vez que o t_{Si} é muito fino, o potencial do canal necessário para se atingir a inversão é maior [12]. Vê-se também que, para maiores valores de k , a diferença entre as tensões de limiar para as duas espessuras do filme de silício estudadas é desprezível. [74]

4.2 Região de saturação – alto V_D

Para a análise da região de saturação, foram extraídos o DIBL e o GIDL. O DIBL pode ser visto na Figura 4.5 em função do fator k para ambas as espessuras de silício.

Figura 4.5: DIBL para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$.

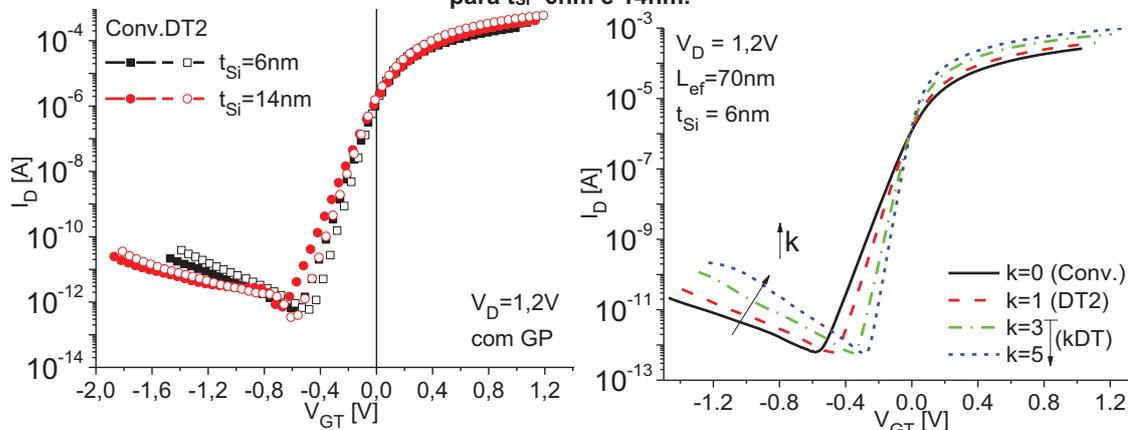


Fonte: [74]

Nota-se uma redução do DIBL para camadas mais finas de silício para todos os valores de k . Isso ocorre pelo melhor acoplamento do substrato, o que enfraquece o campo elétrico lateral do dreno sobre o canal. [74]

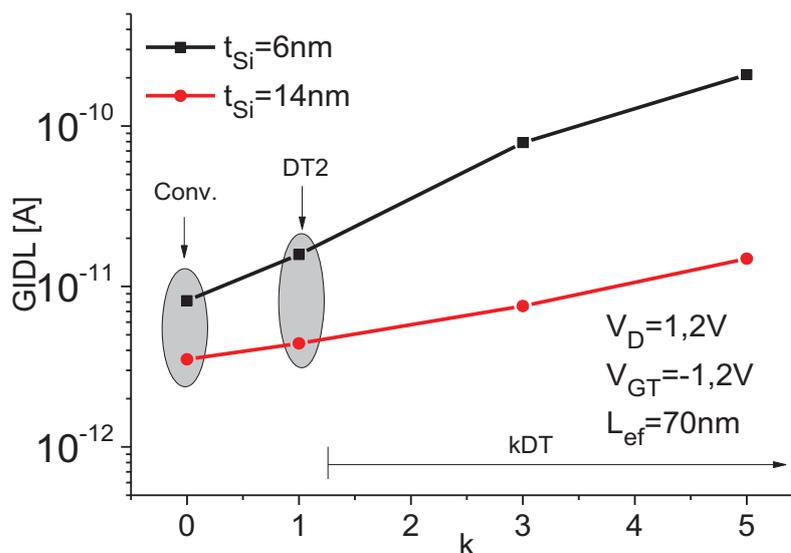
A Figura 4.6 mostra a corrente de dreno em função da sobretensão de porta (V_{GT}) para diferentes espessuras do filme de silício (a) e diferentes valores de k (b) e a corrente de dreno originada pelo GIDL à $V_{GT}=-1,2V$ para diferentes valores de k e espessuras do filme de silício encontra-se na Figura 4.7. A comparação considerando o V_{GT} (ao invés do valor direto do V_G) foi necessária devido às diferentes tensões de limiar dos modos considerados e das espessuras do filme de silício, considerando o mesmo regime como referência entre os dispositivos e modos de operação.

Figura 4.6: $I_D \times V_{GT}$ para tensão alta no dreno. para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$.



Fonte: [74]

Figura 4.7: GIDL para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para $t_{Si}=6nm$ e $14nm$.



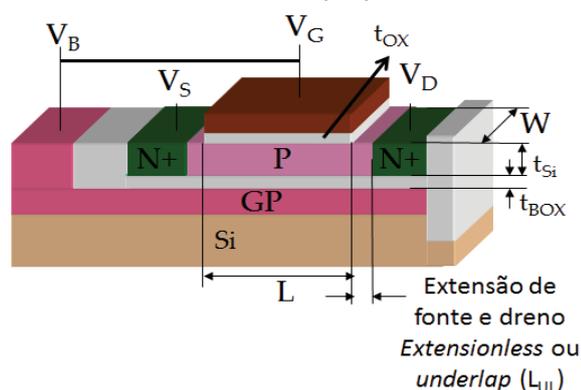
Fonte: [74]

Percebe-se um maior GIDL para camadas mais finas de silício e para maiores valores de k . Possivelmente devido ao potencial mais baixo induzido por um V_B mais negativo na primeira interface, elevando o campo elétrico vertical na região próxima à junção canal/dreno, o que gera mais cargas de tunelamento. O GIDL mais elevado obtido para o filme de silício mais fino é também uma possível evidência que a maior influência do V_B no filme de silício está atuando no aumento do GIDL, uma vez que o dispositivo mais fino apresenta um acoplamento maior da porta e do substrato. [74]

5 Influência do comprimento da região de extensão de fonte e dreno em transistores SOI UTBB MOSFET operando em modo de tensão de limiar dinâmica

Uma das tecnologias que vem sendo considerada para o futuro dos transistores, apresentando um melhor comportamento na região de sublimiar e menores efeitos de canal curto para aplicações de baixa tensão [21] e para o uso em memórias [4] [6] [69] [75] são os dispositivos sem a implantação da região de extensão de fonte e dreno (chamada pela literatura de *underlap* ou *extensionless*). Dessa forma, este capítulo apresenta um estudo da influência do comprimento dessa região de extensão não dopada em transistores SOI UTBB operando em modo de tensão de limiar dinâmica (Figura 5.1). Foram analisados parâmetros digitais e analógicos.

Figura 5.1: Estrutura de um transistor DT2-UTBB mostrando o comprimento da região de extensão de fonte e dreno (L_{UL}).



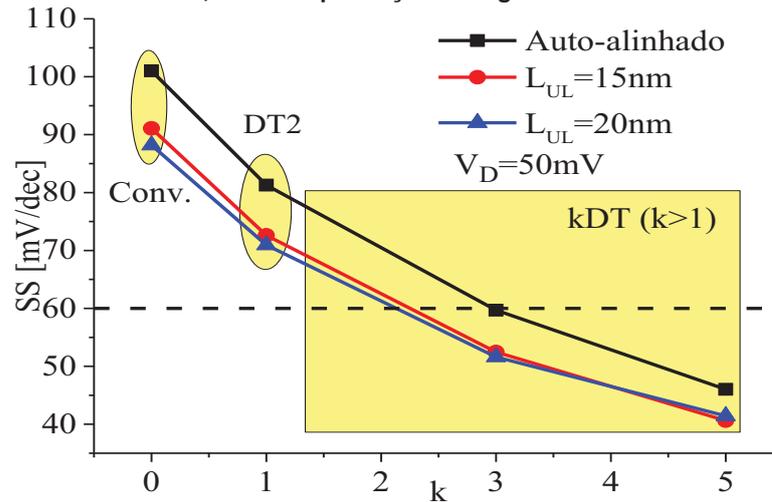
Fonte: autor

Os transistores medidos nesta etapa do trabalho foram construídos no imec (da mesma lâmina utilizada na seção 4) e apresentam a região de extensão de fonte e dreno de 15nm, 20nm ou apresentam esta região dopada do tipo N (sendo considerado neste trabalho como auto-alinhado). A espessura do filme de silício é de 14nm e do óxido enterrado, de 18nm. O comprimento efetivo do canal é de 70nm, com largura de 1 μ m. O óxido de porta é de 5nm, com 5nm de TiN e 100nm de Si amorfo. O canal não é dopado, ou seja, possui uma concentração de 10¹⁵ cm⁻³ (dopagem natural da lâmina), e a implantação do GP é do tipo P. Mais detalhes dessa estrutura podem ser encontrados em [41].

5.1 Parâmetros elétricos digitais

A Figura 5.2 mostra a inclinação de sublimiar em função do fator k para o dispositivo auto-alinhado e para ambos os comprimentos da região de extensão (15nm e 20nm) não dopadas.

Figura 5.2: Inclinações de sublimiar para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.

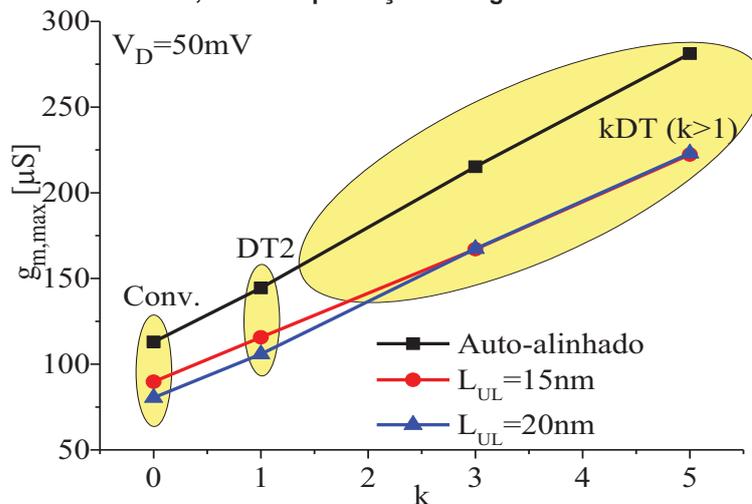


Fonte: [76] [77]

A menor inclinação de sublimiar dos dispositivos sem a implantação da região de extensão é devido ao maior comprimento efetivo do canal na inversão fraca [4] [69]. Adicionado à este comportamento, há também uma redução do SS quando o fator k aumenta devido ao efeito DT mais forte (a redução dinâmica da tensão de limiar pelo aumento de V_B durante a varredura de V_G). [76] [77]

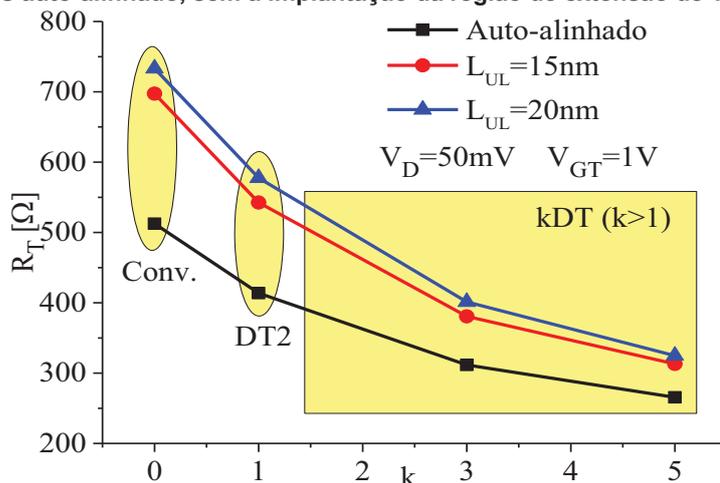
A transcondutância máxima e a resistência total (R_T) em função do fator k para o dispositivo auto-alinhado e para ambos os comprimentos da região de extensão (15nm e 20nm) encontra-se na Figura 5.3 e na Figura 5.4, respectivamente.

Figura 5.3: Transcondutâncias máximas para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.



Fonte: [76] [77]

Figura 5.4: Resistências totais para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.

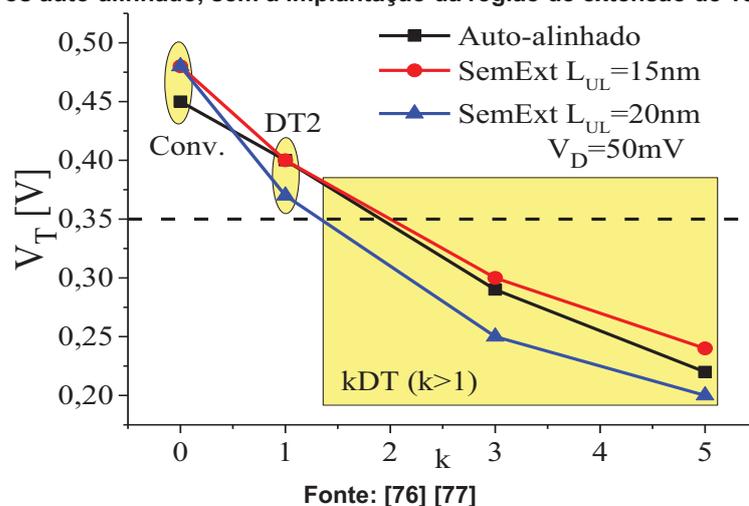


Fonte: [76] [77]

A maior resistência total para os dispositivos sem a implantação da região de extensão (Figura 5.4) pode explicar a menor transcondutância obtida para os mesmos (Figura 5.3). Já a melhora observada para maiores valores de k (maior transcondutância máxima e menor resistência total) pode ser explicada pelo efeito DT, o que significa que uma maior corrente de dreno está fluindo para uma mesma tensão de porta e de dreno. [76] [77]

Na Figura 5.5, nota-se a redução da tensão de limiar quando o fator k aumenta para o dispositivo auto-alinhado e para ambos os comprimentos da região de extensão (15nm e 20nm).

Figura 5.5: Tensões de limiar para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.



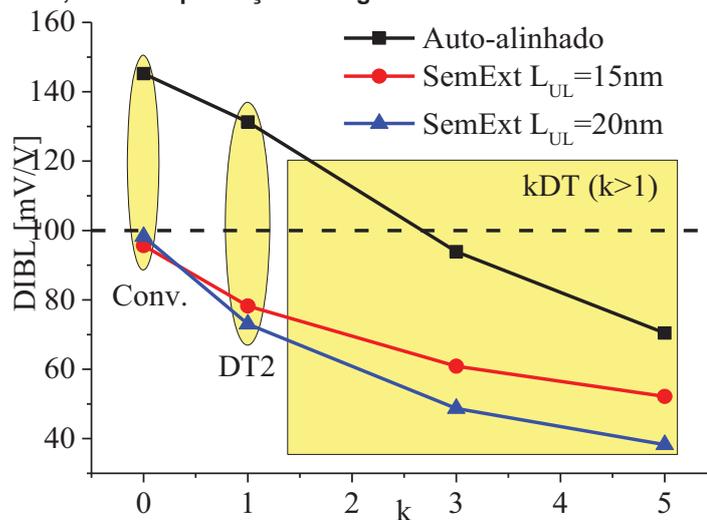
Como já observado anteriormente, a menor tensão de limiar foi obtida para valores de k maiores, devido ao efeito DT, uma vez que a tensão de substrato é maior. [76] [77]

Além disso, a Figura 5.5 também mostra uma maior variação da tensão de limiar para os dispositivos sem a implantação da região de extensão de fonte e dreno quando os diferentes valores de k são considerados, em outras palavras, uma variação de 0,22V foi obtido para os dispositivos auto-alinhados quando o valor de k foi aumentado de 0 para 5, enquanto que para a extensão de 20nm, a variação foi de 0,28V. Isso pode ser explicado pelo menor campo elétrico lateral dos dispositivos sem a implantação da região de extensão, o que permite uma melhor acoplamento da porta e do substrato sobre o canal, o que resulta em um efeito DT mais forte e, portanto, maior redução da tensão de limiar. [76] [77]

É importante enfatizar que menores tensões de limiar, aqui obtido para os dispositivos no modo kDT, permite sua utilização em aplicações onde a tensão de alimentação é baixa, considerado como um requisito para futuros nós tecnológicos [21].

O DIBL em função do fator k para os diferentes dispositivos estudados pode ser visto na Figura 5.6.

Figura 5.6: DIBL para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.

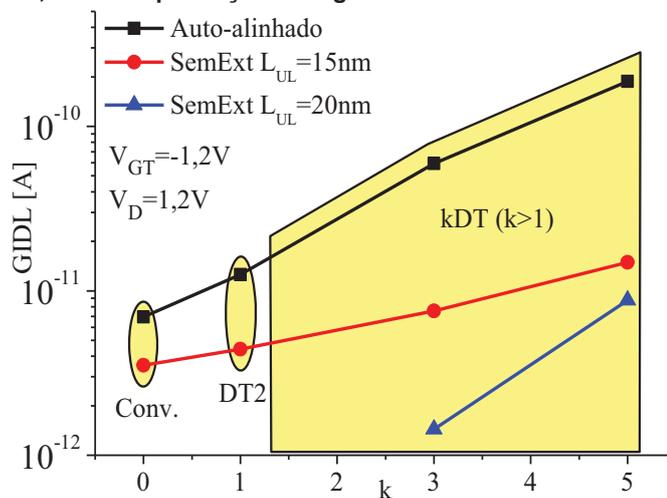


Fonte: [76] [77]

Os valores de DIBL foram menores que 100mV/V para todos os valores de k nos dispositivos sem a implantação da região de extensão e o efeito DT foi mais forte para os dispositivos com maior região de extensão (20nm). Assim, devido ao menor campo elétrico lateral e melhor controle da porta e do substrato, os dispositivos sem a implantação da região de extensão operando em modo DT, e ainda mais em modo kDT, apresentaram melhores DIBL. [76] [77]

A Figura 5.7 apresenta o GIDL em função do fator k e para ambos os tipos de junção (auto-alinhado e com a região de extensão de 15nm e 20nm).

Figura 5.7: GIDL para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.



Fonte: [76] [77]

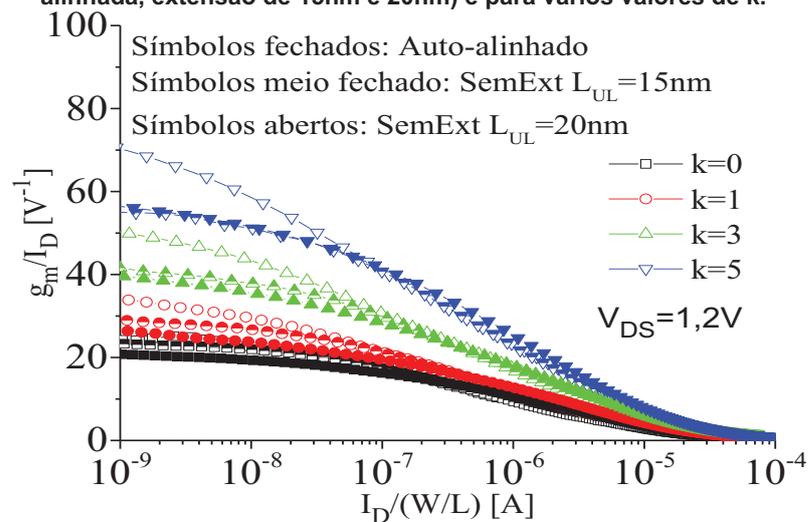
Como observado anteriormente, a corrente devido ao GIDL aumenta nos modos DT e kDT, devido ao maior tunelamento próximo ao dreno causado pelo maior campo elétrico transversal. Porém, os dispositivos sem a implantação da região de extensão com $k=5$ apresentaram aproximadamente a mesma ordem de grandeza de GIDL que os auto-alinhados com $k=0$. Dessa forma, os dispositivos com extensão de 20nm obtiveram melhores resultados (menor GIDL), devido ao menor campo elétrico lateral, o que diminui o tunelamento que origina o GIDL. Isso significa que os dispositivos sem a implantação da região de extensão podem ser uma solução para o maior GIDL obtido para maiores valores de k . [76] [77]

5.2 Parâmetros elétricos analógicos

Para a análise analógica, foram extraídos a eficiência do transistor (razão g_m/I_D), a tensão Early (V_{EA}), a condutância de saída (g_D), a transcondutância na saturação e o ganho intrínseco de tensão.

A Figura 5.8 mostra a razão g_m/I_D dos transistores com as diferentes configurações de fonte e dreno estudadas (auto-alinhada, extensão de 15nm e de 20nm) para vários valores de k .

Figura 5.8: Razões g_m/I_D em função de $I_D/(W/L)$ para as diferentes configurações de fonte e dreno (auto-alinhada, extensão de 15nm e 20nm) e para vários valores de k .



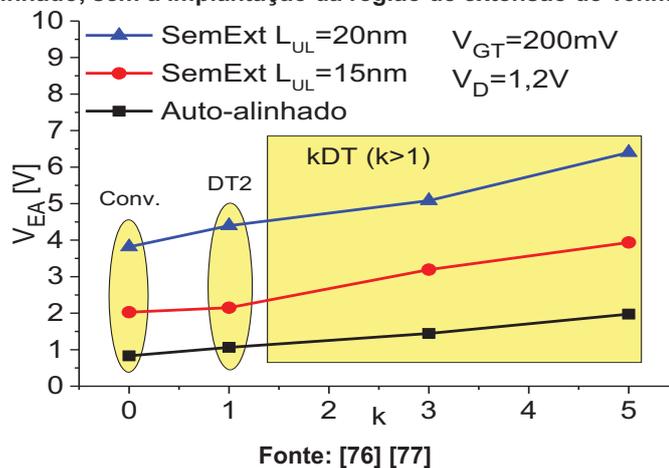
Fonte: [76] [77]

Por possuírem um comprimento efetivo maior na região de inversão fraca, os dispositivos com $L_{UL}=20\text{nm}$ apresentam menor inclinação de sublimiar, o que eleva o

ganho g_m/I_D (equação 2.32). Além disso, uma vez que o efeito DT é mais forte nos dispositivos sem a implantação da região de extensão, resultando em inclinações de sublimiar ainda menores (Figura 5.2), estes transistores também apresentam uma maior razão g_m/I_D na inversão fraca, já que este parâmetro é inversamente proporcional à SS (equação 2.32). [76] [77] Como o modo de tensão de limiar dinâmica melhorado permite inclinações de sublimiar menores que o limite teórico de 60mV/dec, valores expressivamente altos de g_m/I_D podem ser alcançados.

A tensão Early (V_{EA}) pode ser observada na Figura 5.9 para vários valores de k e estruturas de fonte e dreno.

Figura 5.9: Tensões Early para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.



Devido às extensões não dopadas, o campo elétrico lateral é menor [78] e, portanto, um maior valor da tensão Early pode ser alcançado. Além disso, o efeito DT mais forte para maiores valores de k melhora o acoplamento da porta e do substrato, enfraquecendo a influência do campo elétrico lateral. Portanto, uma melhor tensão Early pode ser obtida para o modo kDT. [76] [77]

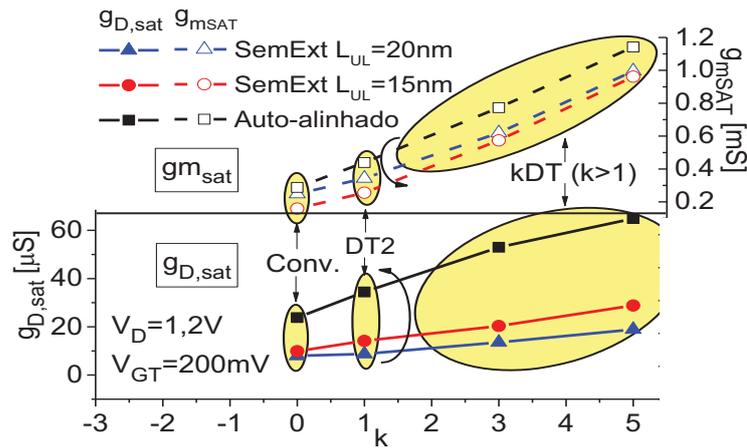
A Figura 5.10 mostra a condutância de saída (eixo da esquerda) e a transcondutância na saturação (eixo da direita) em função do fator k para os dispositivos auto-alinhados e com a extensão de 15nm e 20nm. Estes parâmetros foram utilizados para se obter o ganho intrínseco de tensão (Figura 5.11), $|A_v|=|g_m/g_D|$ em V/V (eixo da esquerda) e em dB (eixo da direita).

Observa-se uma melhor (menor) condutância de saída para os transistores com a extensão de 20nm, devido ao melhor acoplamento da porta e do substrato sobre o

canal e, conseqüentemente, menor influência do campo elétrico do dreno. Isso também explica porque estes dispositivos apresentaram menor variação da condutância de saída com o aumento do fator k que os dispositivos auto-alinhados. [76] [77]

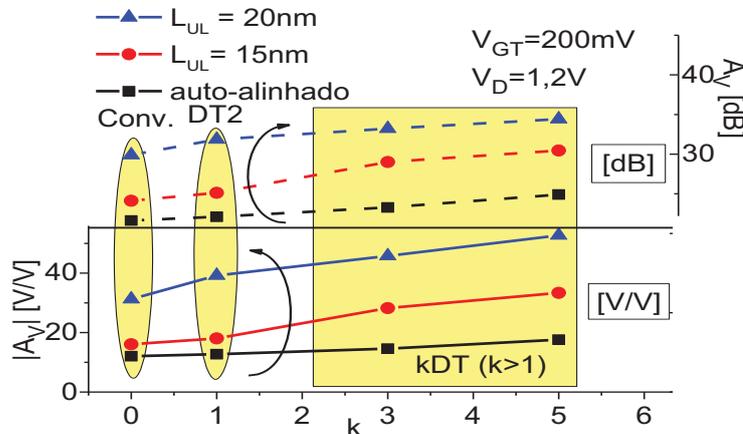
Dessa forma, apesar da menor transcondutância na saturação obtida para os transistores sem a implantação na região de extensão, a melhora da condutância de saída é muito mais significativa, fazendo com que o ganho intrínseco de tensão seja melhor (maior) para estes dispositivos. A maior diferença no g_D entre o dispositivo auto-alinhado e os que consideram a implantação da região de extensão resultou no aumento mais expressivo do ganho intrínseco de tensão para o dispositivo sem a implantação no modo kDT. [76] [77]

Figura 5.10: Condutâncias de saída e transcondutâncias na saturação para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.



Fonte: [76] [77]

Figura 5.11: Ganho intrínseco de tensão para os modos convencional ($k=0$), DT2 ($k=1$) e kDT ($k=3,5$) para dispositivos auto-alinhado, sem a implantação da região de extensão de 15nm e 20nm.



Fonte: [76] [77]

6 Efeito do superacoplamento entre as portas em dispositivos SOI UTBB MOSFET

Nesta etapa do trabalho, o estudo da espessura do filme de silício foi retomado, porém, com dispositivos fabricados no MINATEC, Grenoble, França. Nesta seção foi possível observar claramente o efeito do superacoplamento entre as portas (porta e substrato), uma vez que foram comparados dispositivos com o filme de silício mais fino, de 7nm (com o efeito do superacoplamento), e outro mais espesso, de 25nm (em que, certamente, o referido efeito está ausente).

Como forma de melhor explicar o efeito do superacoplamento, a seção 6.1 apresenta as análises das curvas da capacitância em função da tensão de porta (curvas CV) em diodos p-i-n com porta fabricados em lâmina SOI UTBB.

Em seguida, como tema desse trabalho de doutorado, a seção 6.2 aborda o efeito do superacoplamento em transistores UTBB operando em modo de tensão de limiar dinâmica.

Finalmente, a seção 6.3 mostra o escalamento do fator de corpo em transistores UTBB FDSOI com e sem o efeito do superacoplamento.

6.1 Característica capacitância em função da tensão de porta em diodos p-i-n UTBB com porta

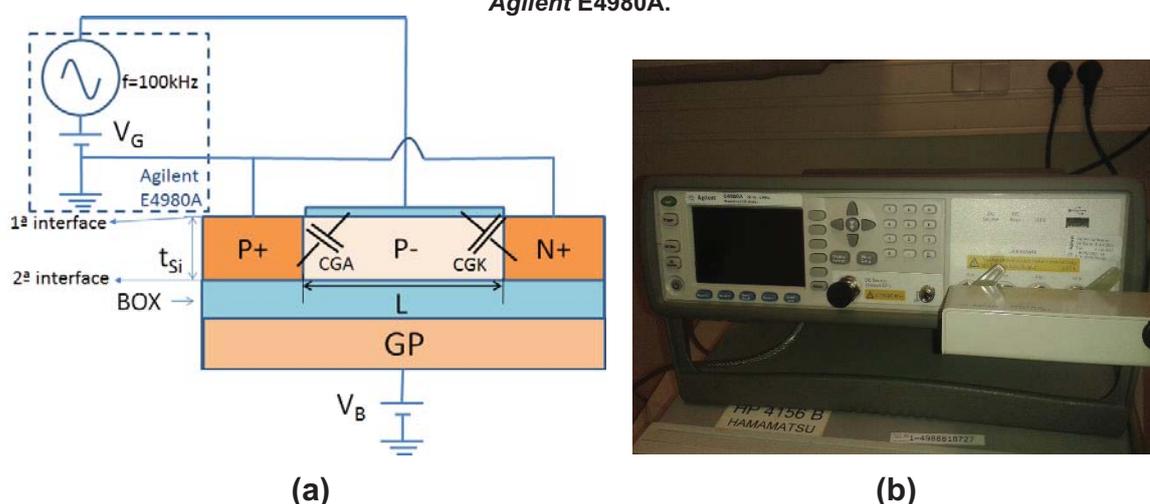
Nesta parte do trabalho, comprovou-se a existência do superacoplamento nas lâminas de 7nm de filme de silício, bem como sua ausência nos dispositivos de 25nm de filme de silício, por meio da análise das curvas CV de diodos p-i-n com porta. Também foi analisado a confiabilidade de dois métodos de extração do filme de silício a partir de curvas CV em diodos p-i-n ao longo de toda a lâmina. Isso porque não foi possível aplicar o primeiro método (aqui denominado de método básico) em dispositivos ultrafinos de filme de silício.

O método clássico se utiliza de curvas CV em transistores MOS para extrair a espessura do filme de silício [79]. Há dois principais motivos para se utilizar diodos p-i-n ao invés de transistores: a primeira é a disponibilidade imediata tanto dos elétrons como das lacunas pelos terminais N+ e P+; a segunda é a resiliência contra os efeitos transitórios induzidos pelo corpo flutuante.

A Figura 6.1-a ilustra a estrutura de um diodo p-i-n UTBB com porta e a configuração usada nas medidas e a Figura 6.1-b, o medidor LCR E4980A, da *Agilent*. O medidor LCR de precisão foi fixado em 100kHz de forma a reduzir os ruídos causados pela carga e descarga dos portadores ao mesmo tempo que se garanta tempo um tempo suficiente para que as cargas possam responder ao sinal CA. A configuração empregada fornece a soma das capacitâncias CGA e CGK, respectivamente as capacitâncias entre a porta e o anodo (P+) e entre a porta e o catodo (N+).

Os diodos medidos foram fabricados no LETI e na STMicroelectronics, ambos situados na França. A espessura do óxido enterrado é de 25nm com um GP tipo P no substrato. Os óxidos de porta são compostos de óxidos de silício e de háfnio resultando em espessuras efetivas do óxido (EOT) apresentadas na Tabela 1. Também estão indicadas na Tabela 1 as espessuras (t_{si}), comprimentos (L) e larguras (W) do canal de cada dispositivo. As simulações numéricas 2D apresentadas nesta seção foram realizadas apenas para explicar os métodos de extração do t_{si} e do t_{ox} utilizados. Foi utilizado o modelo CVT para o ajuste da mobilidade, cargas de interface e função trabalho para o ajuste da tensão de limiar e do metal de porta. Os Esses modelos também foram utilizados na seção 7.2.

Figura 6.1: (a) Estrutura de um diodo p-i-n com porta e configuração das medidas e (b) medidor LCR *Agilent E4980A*.



Fonte: [80]

Tabela 1: Dimensões do dispositivo.

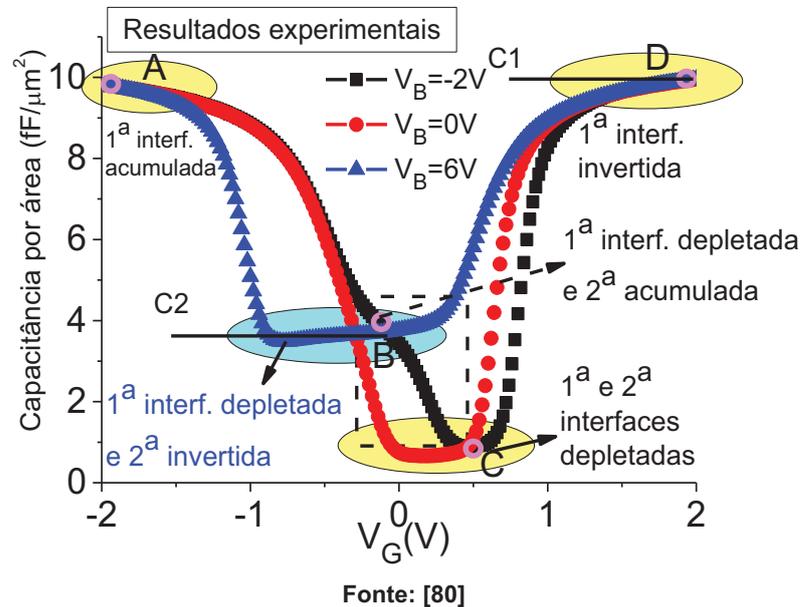
t_{si}	EOT	L	W
25nm	3,1nm	1 μ m	100 μ m
7nm	3,5nm	0,5 μ m	100 μ m

6.1.1 Extração da espessura do filme de silício

6.1.1.1 Método Básico

A Figura 6.2 mostra as curvas CV típicas de um diodo p-i-n de $t_{Si}=25\text{nm}$ para diferentes tensões de substrato, indicando os regimes das interfaces (acumulação, depleção e inversão).

Figura 6.2: Capacitância por área em função da tensão de porta para $V_B=-2\text{V}$, 0V e 6V obtido para $t_{Si}=25\text{nm}$, indicando a extração das capacitâncias C1 e C2 por meio do método básico, bem como os regimes das interfaces (acumulação, depleção e inversão).



As extrações das capacitâncias C1 e C2 e das espessuras do óxido de porta (t_{ox}) e do filme de silício (t_{Si}) por meio do método básico são apresentadas a seguir: [81]

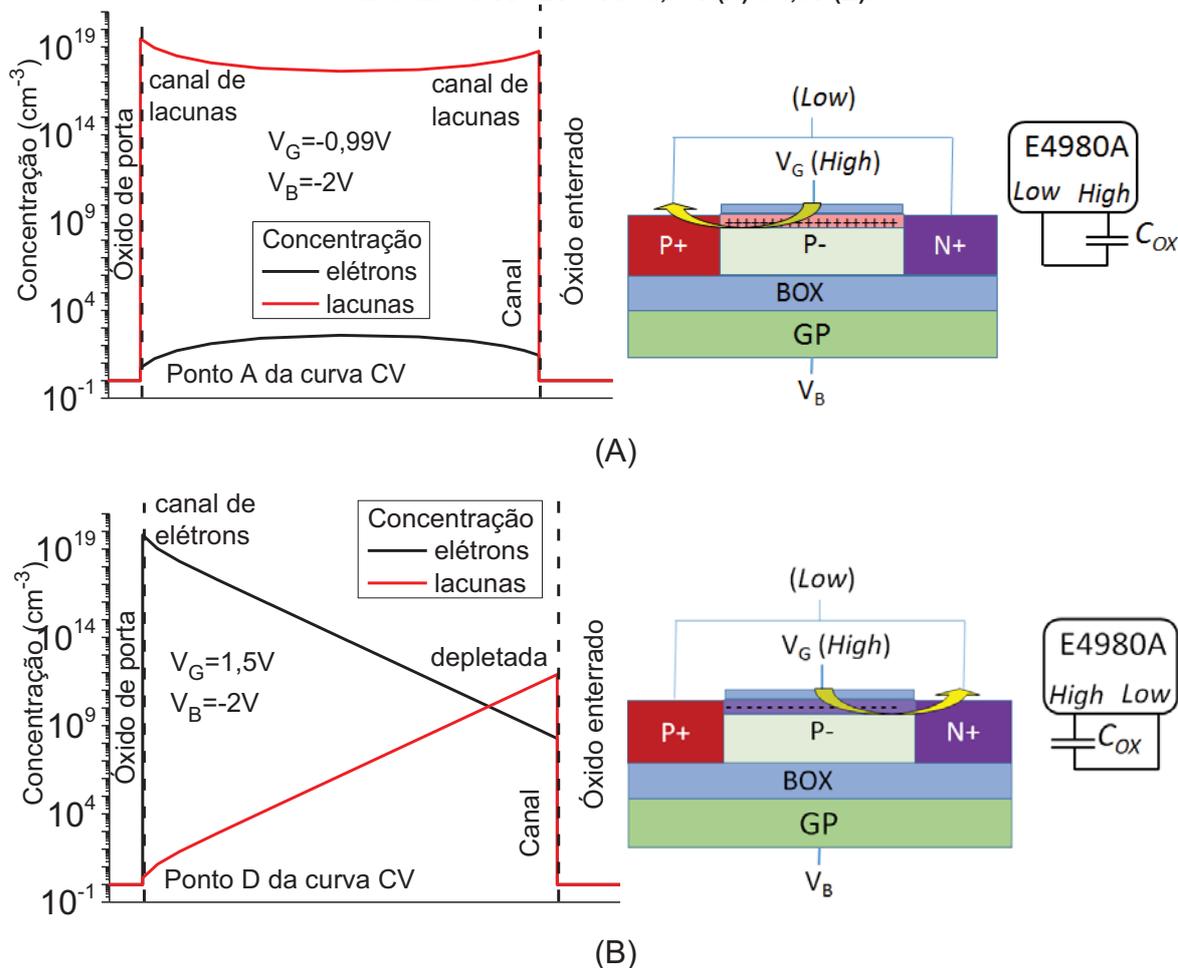
- Quando o canal (de elétrons ou lacunas) na 1ª interface é formado (Figura 6.3), o resto da estrutura SOI é mascarada e somente a capacitância do óxido de porta (C_{ox}) pode ser medida (C1 na Figura 6.2). Assim, a curva CV apresenta seu valor máximo (pontos A e D da Figura 6.2). C1 é dado então pela equação (6.1):

$$C1 = C_{ox}A = \frac{\epsilon_{ox}A}{t_{ox}} \quad (6.1)$$

Onde A, ϵ_{ox} e t_{ox} são a área, a permissividade e a espessura do óxido de porta, respectivamente.

As concentrações de elétrons e de lacunas ao longo da profundidade do canal referentes aos pontos A e D são apresentadas na Figura 6.3.

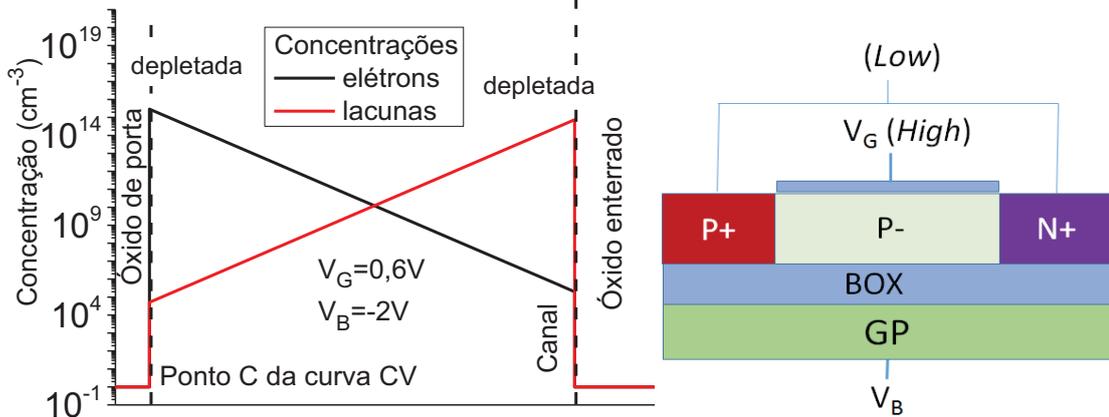
Figura 6.3: Concentrações de elétrons e lacunas para a 1ª interface acumulada (canal de lacunas) ou invertida (canal de elétrons). Corte realizado no meio do canal durante a simulação da Figura 6.6-(B) para as tensões $V_B = -2V$ e $V_G = -0,99V$ (A) e $1,5V$ (B).



Fonte: autor

- No intervalo onde a 1ª interface está depletada, a curva CV reflete o comportamento da 2ª interface, uma vez que não há cargas na 1ª interface para mascará-la. Quando a 2ª interface está depletada, não há cargas no canal inteiro (Figura 6.4, concentração de elétrons e lacunas no canal referente ao ponto C) e a capacitância medida atinge seu valor mínimo (ponto C, Figura 6.2).

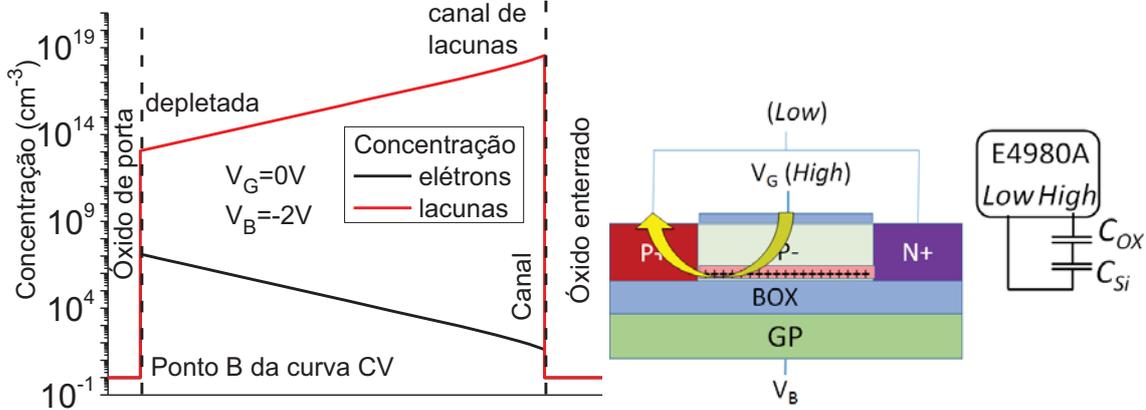
Figura 6.4: Concentrações de elétrons e lacunas para o canal completamente depletado. Corte realizado no meio do canal durante a simulação da Figura 6.6-(B) para as tensões $V_B=-2V$ e $V_G=0,6V$.



Fonte: autor

- Ainda com a 1ª interface depletada, para valores mais negativos de V_G , um canal de lacunas é formado na 2ª interface (Figura 6.5, concentração de elétrons e lacunas no canal referente ao ponto B). Portanto, a capacitância $C2$ é o ponto de mínimo valor da curva CV para $V_B=6V$ (Figura 6.2). Neste caso, tem-se o método básico.

Figura 6.5: Concentrações de elétrons e lacunas para a 1ª interface depletada e a 2ª interface acumulada (canal de lacunas). Corte realizado no meio do canal durante a simulação da Figura 6.6-(B) para as tensões $V_B=-2V$ e $V_G=0V$.



Fonte: autor

- $C2$ é, então, a associação em série da capacitância de porta ($=C_{ox}$), em série com a capacitância do filme de silício (C_{Si}). Seu valor pode ser obtido pela equação (6.2).

$$\frac{1}{C2} = \frac{1}{C_{ox}} + \frac{1}{C_{Si}} \tag{6.2}$$

Desse modo, a espessura do filme de silício pode ser obtida pela equação (6.3).

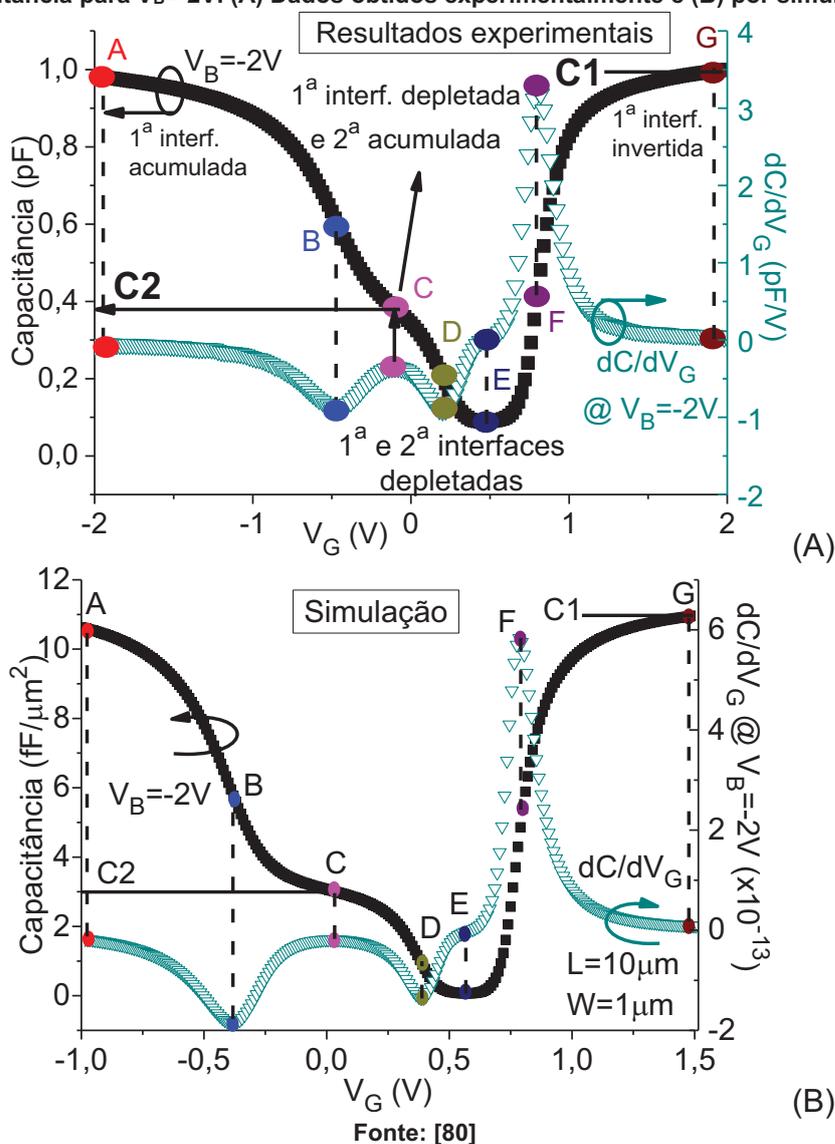
$$t_{Si} = \left(\frac{C_{ox} - C_2}{C_{ox} C_2} \right) \varepsilon_{Si} \quad (6.3)$$

onde ε_{Si} é a permissividade do silício.

6.1.1.2 Método da derivada

A Figura 6.6-A, apresenta a curva CV (também para $t_{Si}=25\text{nm}$) para $V_B=-2\text{V}$ com as condições das interfaces, sua derivada e seus pontos notáveis. Já na Figura 6.6-B, encontra-se a curva CV obtida por simulação, sua derivada e seus pontos notáveis.

Figura 6.6: Extração das capacitâncias C1 e C2 para $t_{Si}=25\text{nm}$ por meio da curva da derivada da capacitância para $V_B=-2\text{V}$. (A) Dados obtidos experimentalmente e (B) por simulação.



A extração das capacitâncias C_1 e C_2 por meio do método básico da derivada e a identificação dos pontos notáveis são explicadas a seguir: [81]

- Da mesma forma que no método básico, quando o canal (de elétrons ou lacunas) na 1ª interface é formado (Figura 6.3), o resto da estrutura SOI é mascarada e somente a capacitância do óxido de porta (C_{ox}) pode ser medida (C_1 na Figura 6.6). Assim, a curva CV apresenta seu valor máximo (pontos A e G da Figura 6.6). C_1 é dado então pela equação (6.1):
As concentrações de elétrons e de lacunas ao longo da profundidade do canal referentes aos pontos A e G são apresentadas na Figura 6.3.
- Na sua transição para a depleção, a concentração das cargas da 1ª interface diminui drasticamente e os pontos B e F (Figura 6.6) representam a tensão de limiar dos canais de lacunas e elétrons, respectivamente [81].
- Novamente, no intervalo onde a 1ª interface está depletada, a curva CV reflete o comportamento da 2ª interface, uma vez que não há cargas na 1ª interface para mascará-la. Quando a 2ª interface está depletada, não há cargas no canal inteiro (Figura 6.4, concentração de elétrons e lacunas no canal referente ao ponto E) e a capacitância medida atinge seu valor mínimo (ponto E, Figura 6.6).
- Quando a 2ª interface começa a inverter, o ponto D (Figura 6.6) indica a tensão de limiar do canal de lacunas da 2ª interface.
- Também no método da derivada, ainda com a 1ª interface depletada, para valores mais negativos de V_G , um canal de lacunas é formado na 2ª interface (Figura 6.5, concentração de elétrons e lacunas no canal referente ao ponto C). Portanto, a capacitância C_2 é o ponto de inflexão da curva CV para $V_B = -2V$ (Figura 6.6). Neste caso, trata-se do método da derivada.
- Assim C_2 é, novamente, a associação em série da capacitância de porta ($=C_{ox}$), em série com a capacitância do filme de silício (C_{Si}). Seu valor pode ser obtido pela equação (6.2) e a espessura do filme de silício pode ser obtida pela equação (6.3).

6.1.2 Comparação dos métodos e observação do superacoplamento

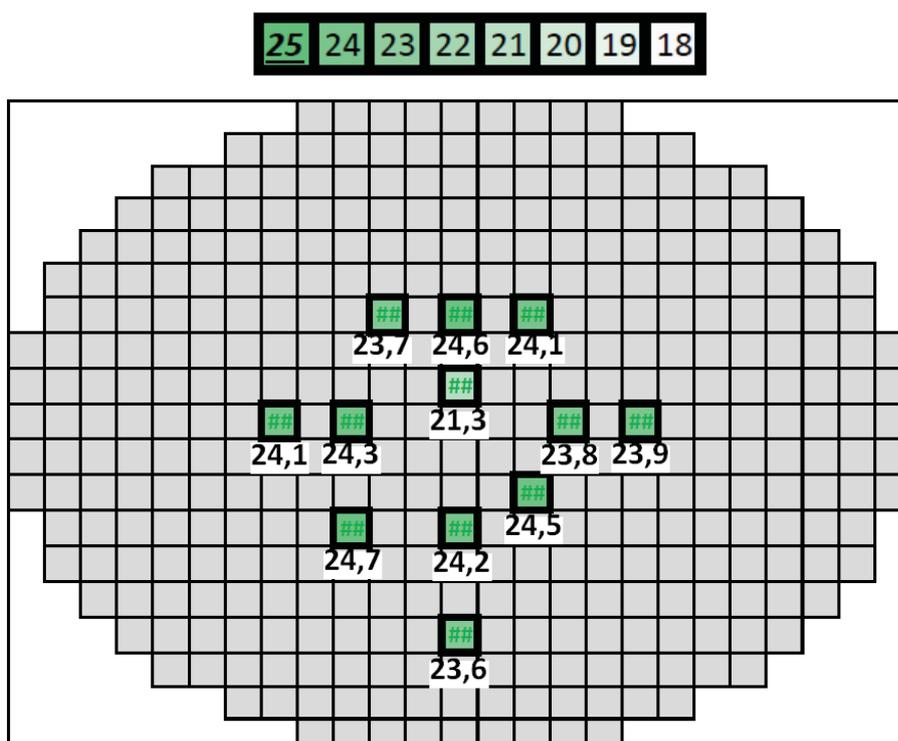
A Tabela 2 resume os resultados obtidos para a lâmina de $t_{Si}=25\text{nm}$ por meio do método básico e da derivada (Figura 6.2 e Figura 6.6). 12 diodos p-i-n idênticos, distribuídos pela lâmina, foram considerados (Figura 6.7 e Figura 6.8).

Tabela 2: Espessuras do filme de silício obtidos para espessura nominal de silício de 25nm.

Método	t_{Si} médio	Desvio padrão	Diferença porcentual (%)
CV básico	23,9nm	0,90nm	4,4%
Derivada	21,1nm	0,95nm	15,6%

Figura 6.7: Dispositivos medidos na lâmina de 25nm de filme de silício com o método CV básico. Os chips das bordas foram desprezados.

Espessuras extraídas do canal [nm]:

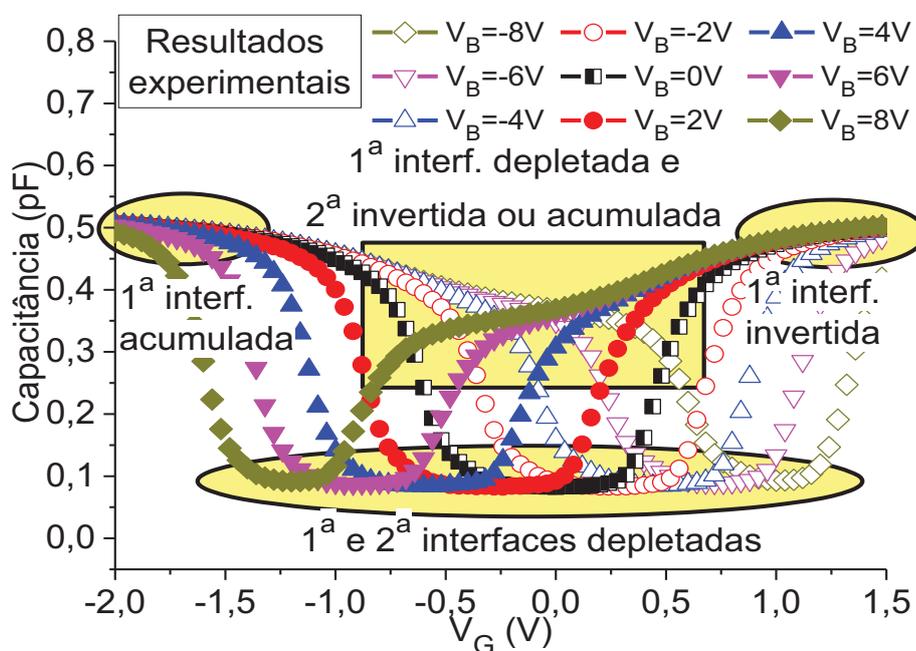


Fonte: [80]

- Para altos valores de V_G a 1ª interface está invertida, portanto a 2ª interface está inacessível;
- À medida que o V_G vai diminuindo, a 1ª interface entra em depleção e a 2ª aparece invertida, pois a tensão de substrato é muito alta;
- Antes da 1ª interface entrar em acumulação (o que aumentaria a capacitância), ao invés da 2ª permanecer invertida, ela entra em depleção (houve uma redução da capacitância), induzida pela 1ª interface depletada (agora indo na direção da acumulação), mesmo com a tensão de substrato sendo alta;
- E finalmente, para valores muito baixos de V_G , a 1ª interface está acumulada, mascarando a 2ª interface.

Percebe-se, portanto, na Figura 6.9, que mesmo para $V_B = \pm 8V$, o canal não consegue atingir uma inversão/acumulação completa da 2ª interface enquanto a 1ª interface está depletada. Isso impede a extração da espessura do filme de silício pelo método básico. [80]

Figura 6.9: Características CV dos dispositivos de 7nm de filme de silício para diferentes V_B , mostrando as condições das interfaces (acumulada, depletada e invertida).



Fonte: [80]

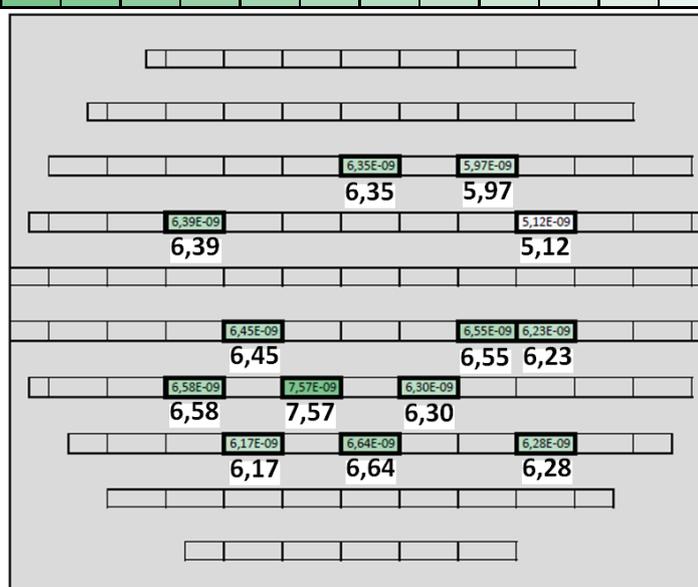
No caso das medidas nas lâminas de 7nm, 13 diodos p-i-n idênticos foram analisadas (Figura 6.10). A Tabela 3 apresenta as espessuras do filme de silício caracterizadas com o método da derivada.

Tabela 3: Espessuras do filme de silício obtidos para espessura nominal de silício de 7nm.

Método	t_{si} médio	Desvio padrão	Diferença porcentual (%)
Básico CV	Impossível devido ao superacoplamento		
Derivada	6,35nm	0,53nm	9,3%

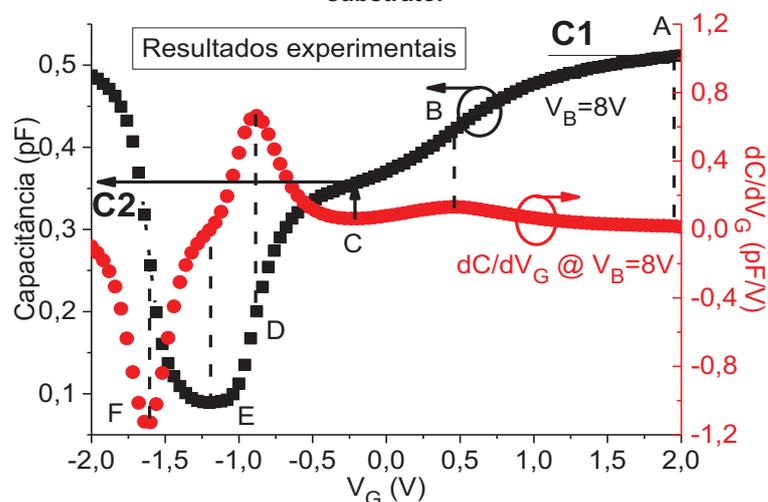
Figura 6.10: Dispositivos medidos da lâmina de 7nm de filme de silício. Espessuras extraídas do canal [nm]:

8	7,8	7,6	7,4	7,2	7	6,8	6,6	6,4	6,2	6	5,8	5,6	5,4	5,2	5
---	-----	-----	-----	-----	---	-----	-----	-----	-----	---	-----	-----	-----	-----	---



Fonte: [80]

Figura 6.11: Capacitância em função da tensão de porta para $V_B=8V$ e sua derivada em diodos ultrafinos. Extração das capacitâncias C1 e C2 por meio do método da derivada. Os pontos em destaque representam os respectivos regimes indicados na Figura 6.6, mas para um valor positivo da tensão do substrato.



Fonte: [80]

A vantagem do método da derivada é a sua viabilidade em filmes de silício ultrafinos. A Figura 6.11 reproduz uma das curvas da Figura 6.9 junto com a derivada da capacitância. Observa-se que C_2 só pode ser determinada como o ponto de inflexão (ponto C, Figura 6.11) entre as tensões de limiar do canal de elétrons das 2ª e 1ª interfaces na curva da capacitância. Do valor da capacitância, avaliou-se uma espessura do filme diferente de aproximadamente 0,5-0,6nm do valor nominal. O desvio padrão de 0,5nm indica que, apesar da espessura abaixo de 10nm, o filme é uniforme ao longo da lâmina. [80]

6.2 Impacto do efeito do superacoplamento na melhora da mobilidade em transistores UTBB em modo de tensão de limiar dinâmica

Esta seção apresenta o efeito do superacoplamento em transistores UTBB SOI tipo N e P nos modos de operação de tensão de limiar dinâmica. A transcondutância e a mobilidade são analisadas para duas espessuras de filme de silício nos modos convencional e de tensão de limiar dinâmica. Dados experimentais revelam que o superacoplamento fortalece o efeito da inversão de volume e melhora o impacto do fator k , levando ao aumento da transcondutância e da mobilidade.

As mesmas lâminas apresentadas na seção 6.1 foram consideradas aqui, porém utilizaram-se os transistores UTBB SOI. As lâminas SOI têm uma espessura de 25nm de óxido enterrado e filme de silício (t_{si}) de 25nm e 7nm. Seus comprimentos de canal (L), espessuras efetivas do óxido de porta (EOT) e as concentrações do canal (N_A) estão resumidas na Tabela 4. O comprimento do canal foi escolhido de forma a manter sua proporção com o filme de silício.

Tabela 4: Dimensões dos dispositivos

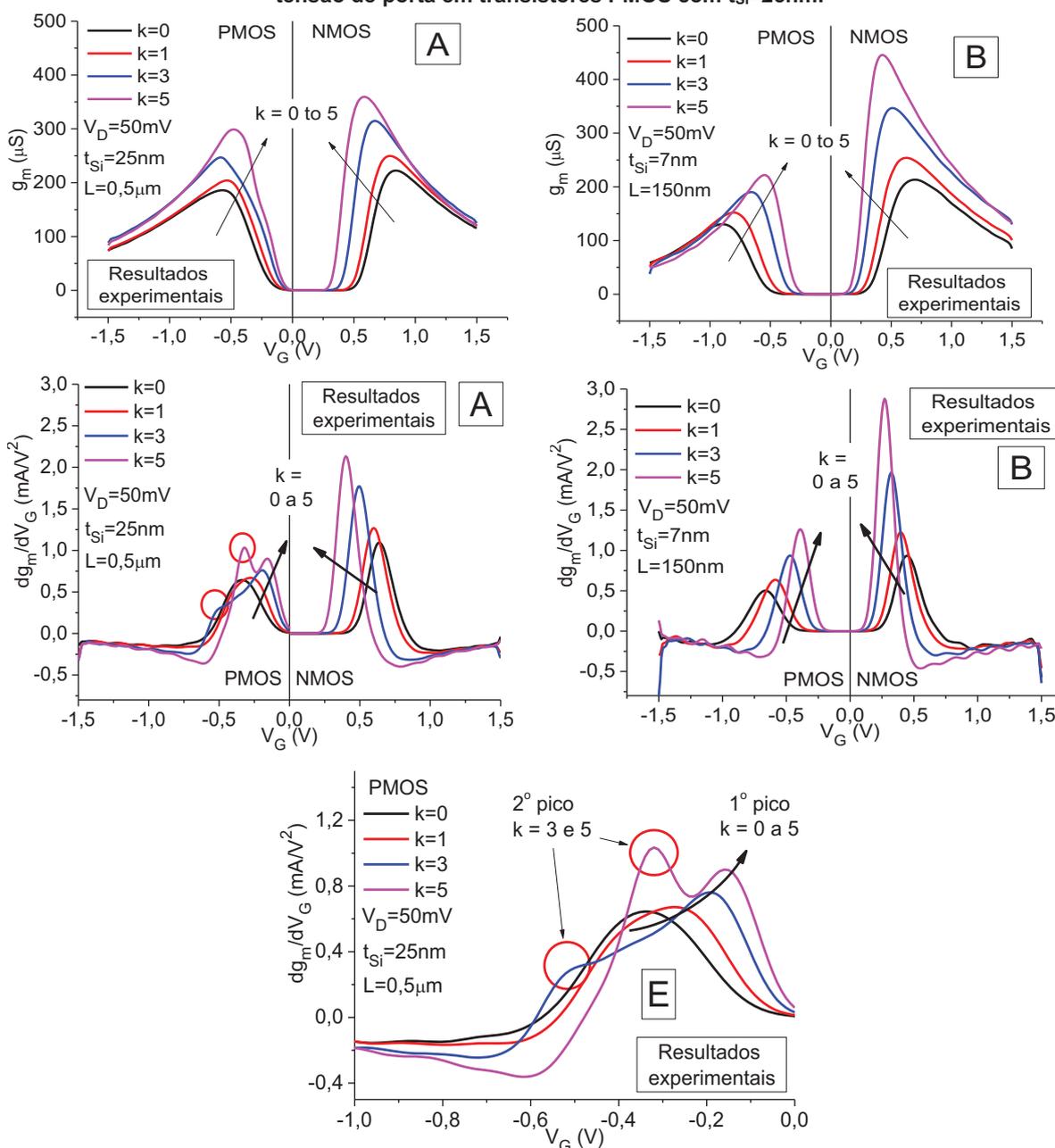
	t_{si}	EOT	$L \sim 20 \cdot t_{si}$	N_A
LETI	25nm	3,1nm	500nm	$2 \times 10^{17} \text{cm}^{-3}$
ST	7nm	3,5nm	150nm	$1 \times 10^{15} \text{cm}^{-3}$

A curva da transcondutância (g_m) e sua derivada (dg_m/dV_G) em função da tensão de porta pode ser vista na Figura 6.12 para transistores espessos (Figura 6.12-A e C) e finos (Figura 6.12-B e D) do filme de silício em dispositivos NMOS e PMOS.

A Figura 6.12-E amplia o gráfico da Figura 6.12-C PMOS, enfatizando o segundo pico presente para $k=3$ e 5 nos transistores mais espessos. Esses picos indicam a inversão das 1ª e 2ª interfaces para diferentes valores da tensão de porta. No entanto,

apenas um pico é observado nos dispositivos de $t_{Si}=7\text{nm}$ (Figura 6.12-D). Como demonstrado na seção 6.1.2, o transistor de 7nm apresenta o efeito do superacoplamento, motivo pelo qual o segundo pico da derivada da transcondutância está ausente. [82]

Figura 6.12: Transcondutância (A e B) e sua derivada (C e D) em função da tensão de porta para vários valores do fator k em dispositivos NMOS e PMOS de filmes de silício de 25nm (A e C) e 7nm (B e D). (E) é a ampliação da Figura 6.12-A, mostrando os dois picos na derivada da transcondutância em função da tensão de porta em transistores PMOS com $t_{Si}=25\text{nm}$.



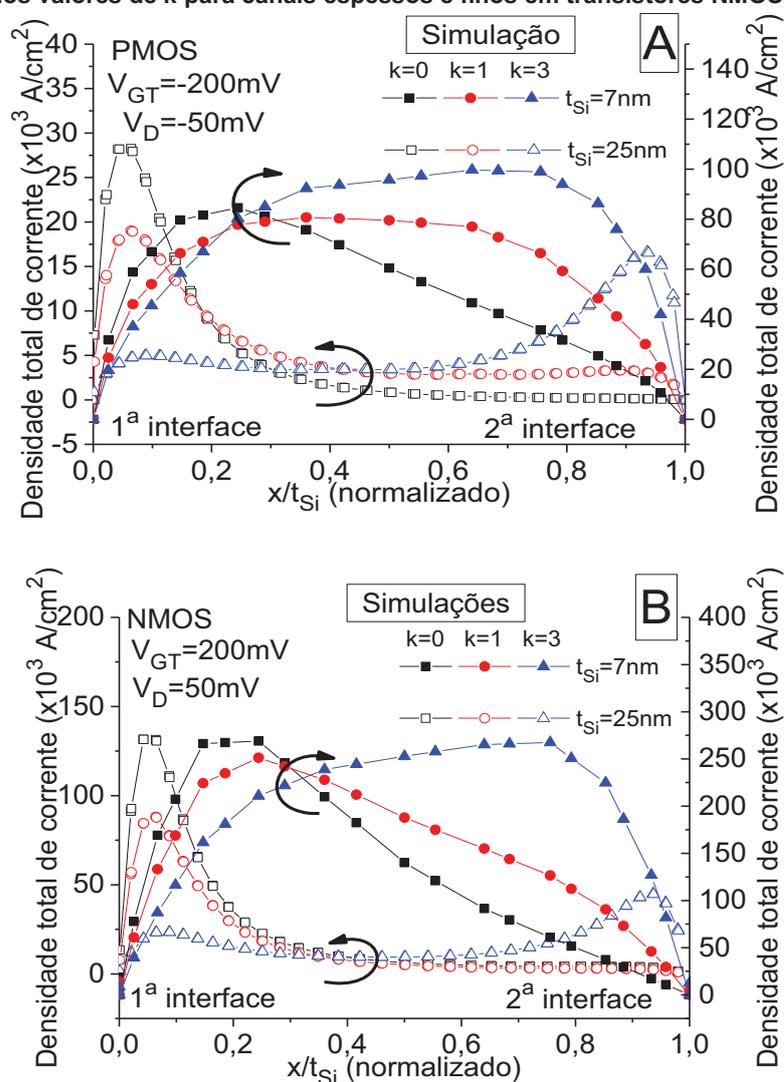
Fonte: [82]

A Figura 6.13 mostra a densidade total de corrente ao longo da profundidade normalizada do canal obtido por simulação. Foi utilizado o simulador ATLAS, da Silvaco, considerando o modelo BQP (*Bohm Quantum Potential*) com

$b_{qp.n\alpha} = b_{qp.p\alpha} = 0.5$. Este valor resulta numa expressão similar para o potencial quântico obtido pelo modelo “*Density Gradient*” do mesmo simulador, porém com melhor convergência [83]. Este último considera as equações de Schrodinger juntamente com as de Poisson [83].

Nota-se que, enquanto para $t_{Si} = 25\text{nm}$ há uma concentração maior nas regiões próximas às interfaces, quando o canal é fino a maior concentração está mais próxima do centro do canal, demonstrando a inversão de volume nos transistores ultrafinos principalmente no modo de tensão de limiar dinâmica para $k=3$. [84]

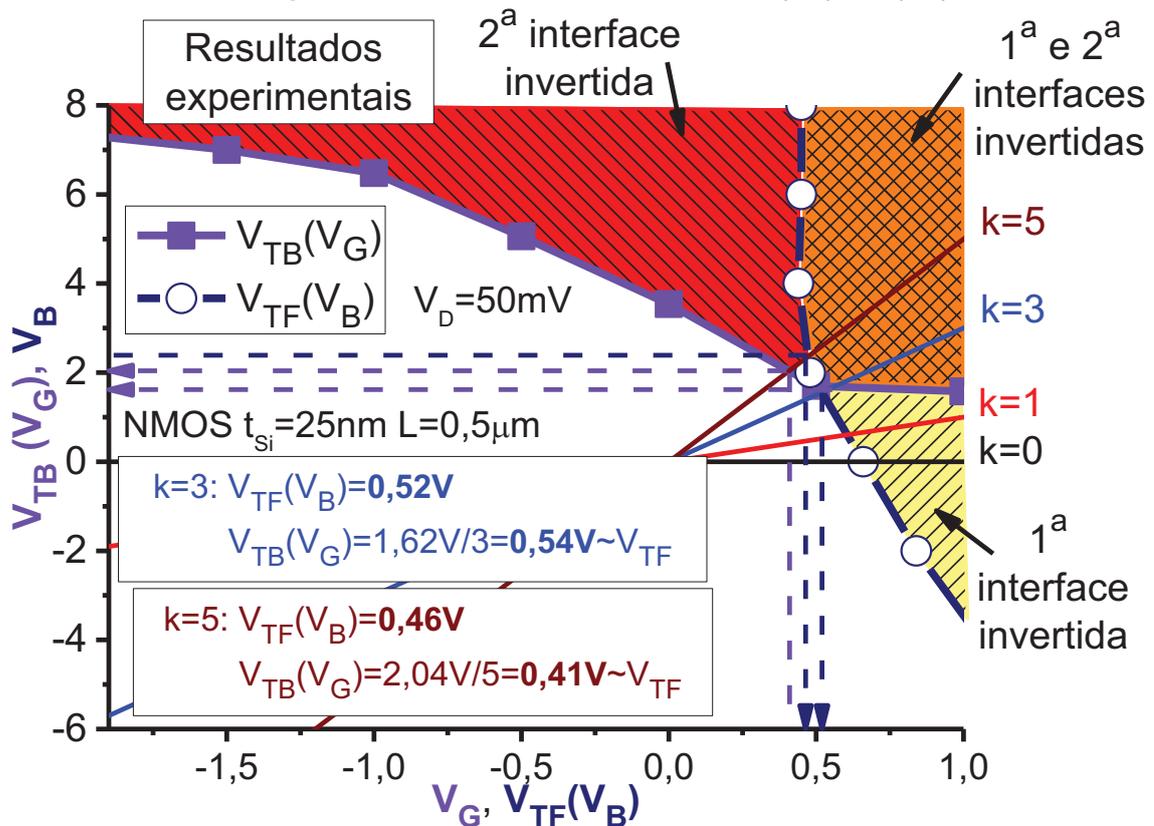
Figura 6.13: Densidade total de corrente obtido por simulação ao longo da profundidade normalizada do canal para vários valores de k para canais espessos e finos em transistores NMOS (A) e PMOS (B).



Também se nota apenas um pico nos transistores NMOS (Figura 6.12-C). A explicação encontra-se na Figura 6.14 que ilustra a inversão das interfaces de acordo com as tensões de porta e de substrato aplicadas. As curvas referem-se às tensões

de limiar das duas interfaces e as regiões hachuradas, ao regime de inversão das mesmas. As linhas contínuas sem símbolos são as polarizações em que o modo de tensão de limiar dinâmico opera. Os valores nos quadros são as tensões de limiar extraídas pela intersecção das retas de $k=3$ e 5 com as curvas $V_{T1}(V_{G2})$ e $V_{T2}(V_{G1})$.

Figura 6.14: Inversão das 1ª e 2ª interfaces de acordo com as tensões de porta e de substrato aplicadas. As curvas referem-se às tensões de limiar das 1ª e 2ª interfaces e as regiões hachuradas, ao regime de inversão das interfaces. As linhas contínuas sem símbolos são as polarizações em que o modo de tensão de limiar dinâmico opera. Os valores nos quadros são as tensões de limiar extraídas pela intersecção das retas de $k=3$ e 5 com as curvas $V_{T1}(V_{G2})$ e $V_{T2}(V_{G1})$.

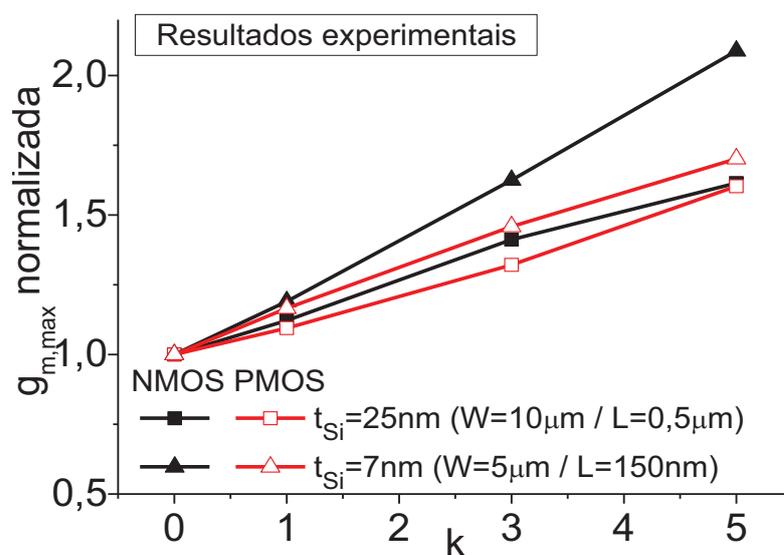


Fonte: autor

Nota-se que as curvas para $k=0$ e 1 não se cruzam com a curva de V_{TB} , o que significa que somente a 1ª interface atinge a inversão. Entretanto, para $k=3$ e 5 , a intersecção das respectivas linhas com as curvas de V_{TF} e V_{TB} estão muito próximas. Como consequência, pode-se dizer que há dois picos sobrepostos, mas apenas um é visível na Figura 6.12-C NMOS. [82]

Figura 6.15 mostra a transcondutância máxima normalizada em função do fator k .

Figura 6.15: Transcondutâncias máximas normalizada para vários valores de k em NMOS e PMOS de 25nm e 7nm de filme de silício.



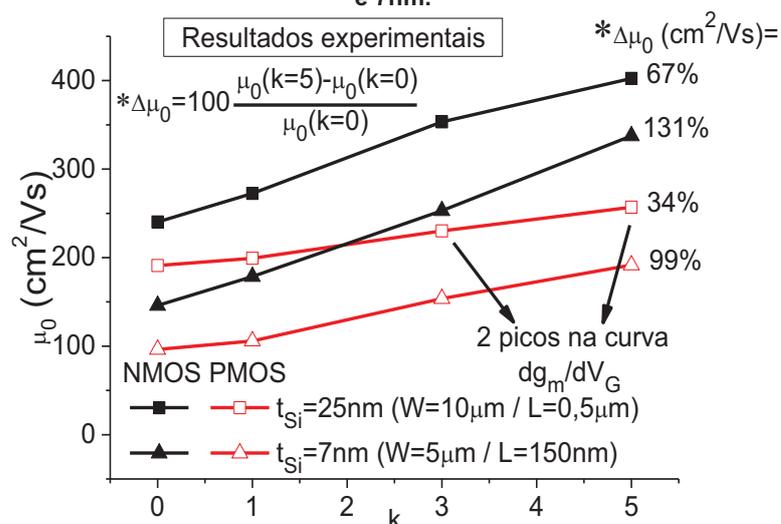
Fonte: [82]

Como esperado, a transcondutância máxima se eleva para maiores valores de k graças ao efeito mais forte da tensão de limiar dinâmica [76] [73], especialmente em dispositivo NMOS ultrafinos.

Uma das principais vantagens da configuração DT é a elevação na mobilidade das cargas. O superacoplamento facilita a condução de volume no dispositivo [84], reduzindo os eventos de espalhamento induzidos pela superfície e os defeitos das interfaces, melhorando a mobilidade. [82]

A mobilidade de baixo campo (μ_0), extraída pelo método da função $Y=I_D/(g_m)^{0,5}$ [85], pode ser vista na Figura 6.16 em função do fator k . E na Tabela 5 encontra-se a variação porcentual de cada dispositivo obtidas pela equação (6.4).

Figura 6.16: Influência do fator k na mobilidade de transistores NMOS e PMOS de filme de silício de 25nm e 7nm.



Fonte: [82]

Tabela 5: Elevação da mobilidade causada pelo aumento do fator k (de 0 a 5). Valores obtidos a partir da equação (6.4).

Tipo	t_{Si}	$\Delta\mu_0$
NMOS	25nm	67%
	7nm	131%
PMOS	25nm	34%
	7nm	99%

$$\Delta\mu_0(\%) = \frac{\mu_0(k=5) - \mu_0(k=0)}{\mu_0(k=0)} \times 100 \quad (6.4)$$

Nota-se um aumento quase linear da mobilidade com o fator k. Isso porque o maior V_B aplicado amplifica a contribuição do canal da 2ª interface, levando a uma maior corrente e transcondutância. [82]

Para dispositivos mais espessos, a mobilidade é maior que nos dispositivos ultrafinos. Entretanto, a melhora da mobilidade pelo fator k no modo kDT é mais forte em dispositivos finos e podem exceder 100% (Tabela 5). Isso pode ser explicado pelo deslocamento do centro de cargas das interfaces para o centro do filme de silício, onde a mobilidade é maior [84] [86]. O efeito do superacoplamento amplifica essa tendência ajudando na ativação simultânea de ambos os canais (inversão de volume) [87] e acentua o impacto do fator k na transcondutância e na mobilidade. [82]

O efeito mais forte da tensão de limiar dinâmica (influência do fator k) em transistores NMOS que em PMOS é explicado pela diferença (i) do tipo de dopante do filme de silício e do GP [88], e (ii) da massa efetiva de elétrons e lacunas, o que

leva (via quantização [89] [90] [91] [92]) a diferentes perfis de portadores e centros das cargas no regime da inversão de volume, como se observa na Figura 6.13. [82]

6.3 Escalamento do efeito de corpo em transistores UTBB com e sem o efeito do superacoplamento

Continuando com a análise do acoplamento, nessa seção comparou-se o escalamento do comprimento do canal de transistores UTBB com e sem o efeito do superacoplamento a partir do efeito de corpo, ou seja, a razão da tensão de limiar da primeira interface com a tensão de substrato ($\alpha_1 = \Delta V_{TF} / \Delta V_B$) e da tensão de limiar da segunda interface com a tensão de porta ($\alpha_2 = \Delta V_{TB} / \Delta V_G$).

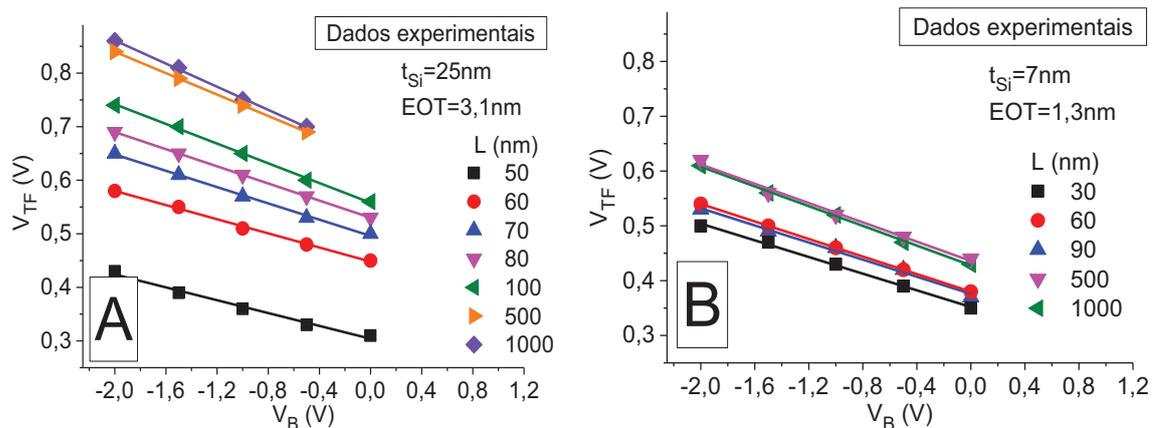
Novamente, esse estudo foi realizado experimentalmente utilizando transistores da mesma lâmina descrita na seção 6.2, porém com as características apresentadas na Tabela 6. As simulações consideram novamente o modelo BQP (*Bohm Quantum Potential*) para os efeitos quânticos e as características dos dispositivos medidos (Tabela 6).

Tabela 6: Detalhes dos dispositivos medidos e simulados.

	t_{Si} (nm)	EOT (nm)	L (nm)	N_A (cm ⁻³)
LETI	25	3,1	50-1000	2×10^{17}
ST	7	1,3	30-1000	1×10^{15}
Simulações	25	3	50-1000	2×10^{17}
	7	1 e 3	20-1000	1×10^{15}

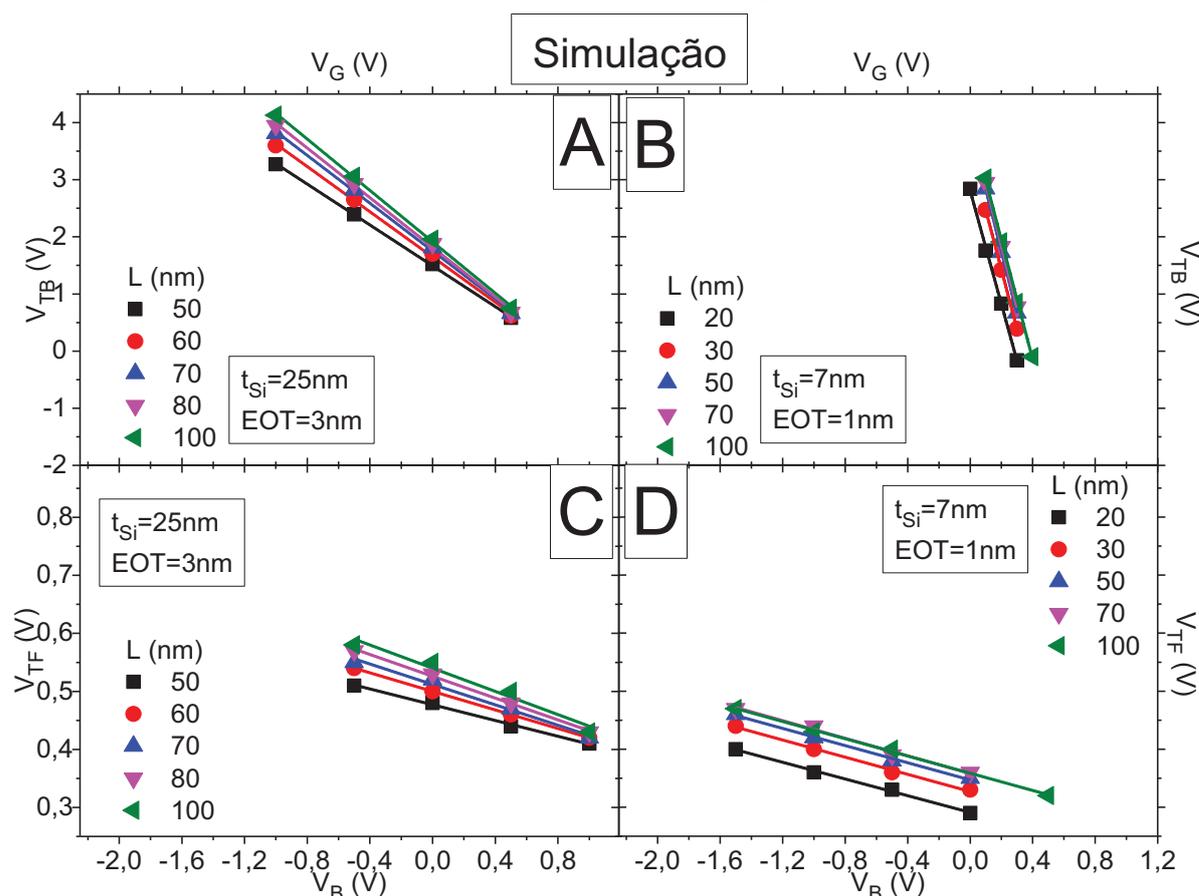
A Figura 6.17 apresenta a tensão de limiar da 1ª interface em função da tensão de substrato para canais espessos (Figura 6.17-A) e finos (Figura 6.17-B) obtidos a partir de resultados experimentais. Já a Figura 6.18 mostra a tensão de limiar da 1ª interface em função da tensão de substrato (C e D) e a tensão de limiar da 2ª interface em função da tensão de porta (A e B) também para canais espessos (A e C) e finos (B e D), obtidos por simulação.

Figura 6.17: Tensões de limiar da primeira interface em função da tensão de substrato para vários comprimentos de canal em dispositivos ultrafinos (A) e espessos (B) obtidos experimentalmente.



Fonte: [93]

Figura 6.18: Tensões de limiar das 1ª (C e D) e 2ª (A e B) interfaces em função da tensão de substrato e da porta (respectivamente) para diferentes comprimentos de canal em filmes finos (B e D) e espessos (A e C) de silício obtidos por simulação.



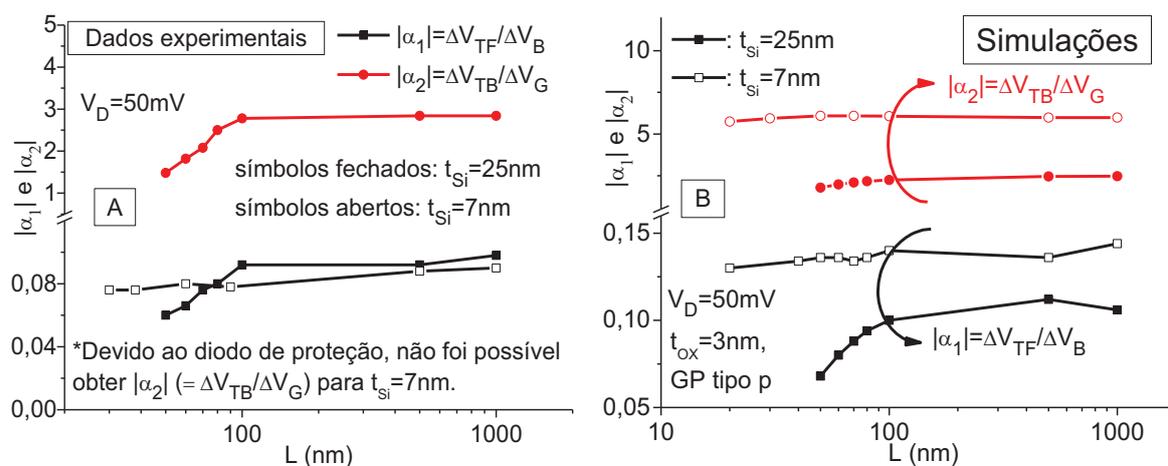
Fonte: [93]

Como esperado, nota-se tanto nos dados obtidos experimentalmente como por simulação, uma redução da tensão de limiar para canais mais curtos devido aos efeitos de canal curto (SCE). Porém, enquanto que para $t_{Si}=25nm$, a inclinação da

curva vai diminuindo para comprimentos menores, para $t_{Si}=7\text{nm}$, elas permanecem praticamente constantes. O reflexo disso no efeito de corpo, aqui também denominado coeficiente de acoplamento, é apresentado a seguir.

A inclinação da regressão linear das curvas da Figura 6.17 e da Figura 6.18 resulta nos coeficientes de acoplamento ($\alpha_1=\Delta V_{TF}/\Delta V_B$ e $\alpha_2=\Delta V_{TB}/\Delta V_G$), os quais são comparados na Figura 6.19 para diferentes comprimentos e espessuras do canal.

Figura 6.19: Coeficientes de acoplamento (efeito de corpo) da tensão de substrato sobre a 1ª interface (α_1) e da tensão de porta sobre a 2ª interface (α_2) em função do comprimento do canal para filmes de silício espesso ($t_{Si}=25\text{nm}$) e fino ($t_{Si}=7\text{nm}$) obtidos experimentalmente (A) e por simulação (B).



Fonte: [93]

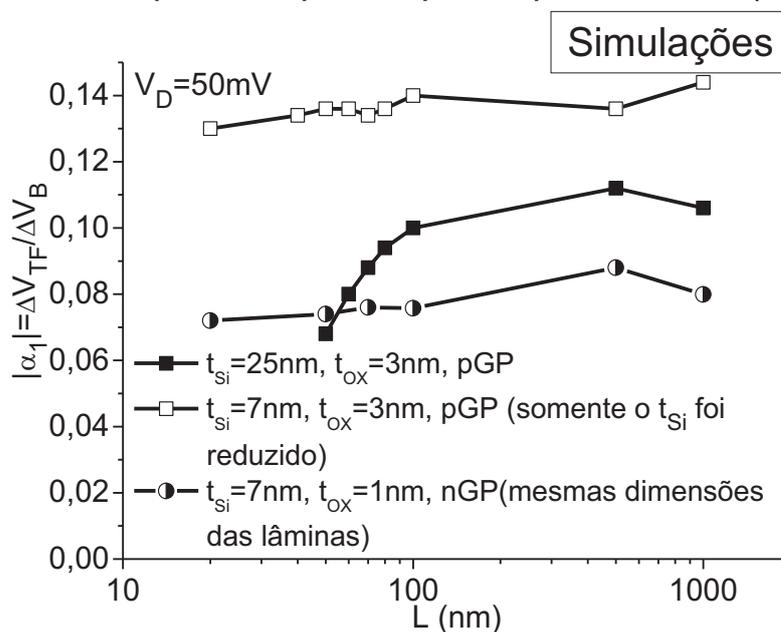
A Figura 6.18 e a Figura 6.19 mostram que o coeficiente α_2 é maior que o α_1 devido ao óxido de porta ser mais fino que o óxido enterrado, sendo a tensão de porta mais influente que a tensão de substrato.

Também se vê que a queda dos coeficientes de acoplamento é mais acentuada em transistores com o filme de silício mais espesso (queda de 39% para dispositivos com $L=50\text{nm}$ em relação ao de $L=1\mu\text{m}$) devido à perda do controle das cargas do canal pelas tensões de porta e do substrato. Em transistores ultrafinos, embora ainda haja uma queda (de 15% para transistores de $L=30\text{nm}$ em relação ao de $L=1\mu\text{m}$), o coeficiente de acoplamento permanece praticamente constante, indicando que os transistores UTBB podem atingir comprimentos de canal menores sem perder o acoplamento das portas sobre o canal. [93]

A diferença observada no coeficiente α_1 obtidos experimentalmente e por simulação é explicada pela Figura 6.20, onde o coeficiente α_1 é apresentada em função do comprimento do canal para (i) dispositivos espessos ($t_{Si}=25\text{nm}$, $t_{ox}=3\text{nm}$), (ii) dispositivos finos em que apenas a espessura do canal foi reduzida ($t_{Si}=7\text{nm}$, $t_{ox}=3\text{nm}$) e (iii) dispositivos finos com as mesmas características dos transistores

medidos ($t_{Si}=7\text{nm}$, $t_{Ox}=1\text{nm}$). Aqui o óxido de porta mais fino enfraquece o impacto da tensão de substrato na tensão de limiar da 1ª interface, reduzindo o valor de α_1 . Se o t_{Si} fosse a única diferença entre as amostras, o acoplamento do dispositivo mais fino seria mais forte. Isso significa que ambos, o óxido de porta e o enterrado, devem ser dimensionados em conjunto para manter o coeficiente de acoplamento constante. [93]

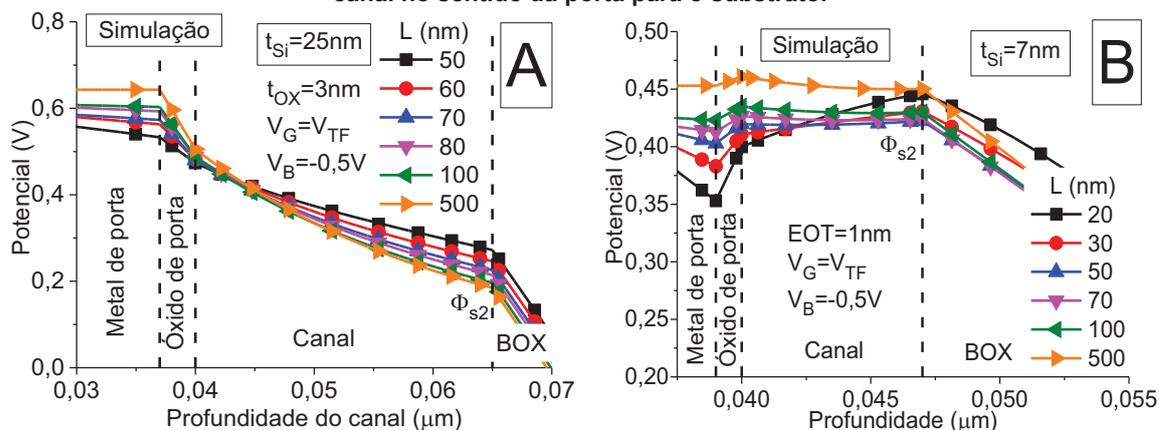
Figura 6.20: Coeficientes de acoplamento da tensão do substrato sobre a 1ª interface em função do comprimento do canal para: dispositivos espessos ($t_{Si}=25\text{nm}$, $t_{Ox}=3\text{nm}$), dispositivos finos em que apenas a espessura da camada e silício foi reduzida ($t_{Si}=7\text{nm}$, $t_{Ox}=3\text{nm}$) e dispositivos finos, mas considerando as mesmas espessuras e tipo de GP que os dispositivos medidos ($t_{Si}=7\text{nm}$, $t_{Ox}=1\text{nm}$).



Fonte: [93]

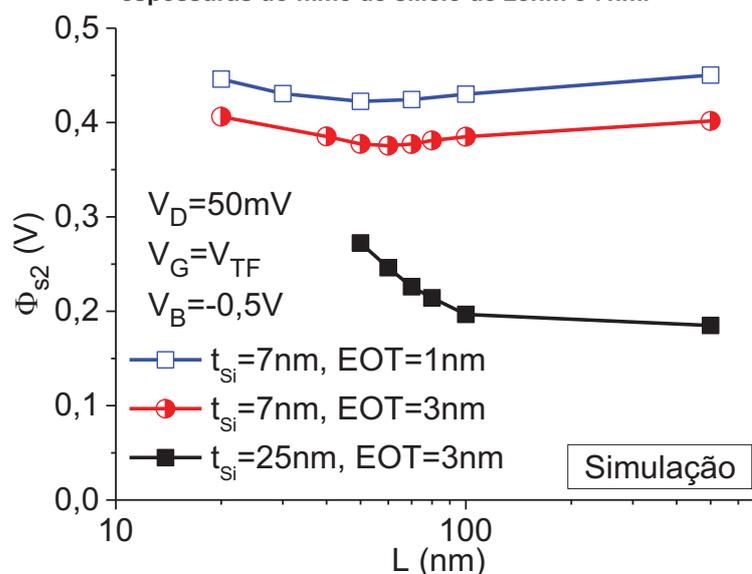
A fim de analisar como o superacoplamento beneficia o escalamento, o potencial ao longo da profundidade do canal (no meio do canal, no sentido da porta para o substrato) pode ser visto na Figura 6.21 para vários comprimentos de canal na condição de $V_G = V_{TF}$. A Figura 6.21-A ilustra o potencial em dispositivos com $t_{Si}=25\text{nm}$ e a Figura 6.21-B, em dispositivos com $t_{Si}=7\text{nm}$. O potencial na 2ª interface para diferentes comprimentos do canal foram extraídos da Figura 6.21 e pode ser observado na Figura 6.22.

Figura 6.21: Potencial ao longo da profundidade do canal obtido por simulação para vários comprimentos de canal em transistores espessos ($t_{Si}=25\text{nm}$, A) e finos ($t_{Si}=7\text{nm}$, B). O corte foi realizado no meio do canal no sentido da porta para o substrato.



Fonte: [93]

Figura 6.22: Potencial da 2ª interface (Φ_{s2}) obtido por simulação em função do comprimento do canal para espessuras do filme de silício de 25nm e 7nm.



Fonte: [93]

Para $t_{Si}=25\text{nm}$, à medida que o transistor se torna mais curto, o potencial na 1ª interface diminui devido à queda na tensão de limiar, uma vez que o dispositivo está na condição de $V_G=V_{TF}$. Na 2ª interface, o potencial se eleva devido a perda do controle da 2ª interface, causada pelo campo lateral que chega ao canal pelo óxido enterrado [93].

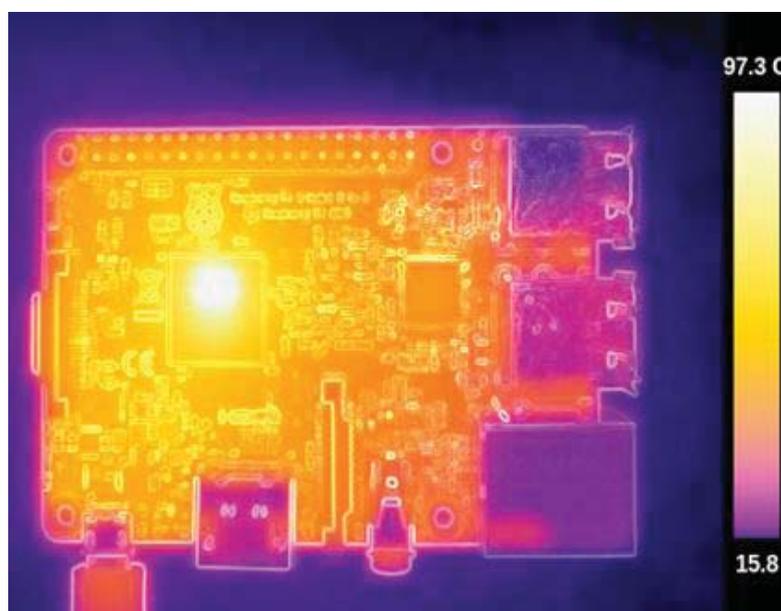
Porém, um comportamento diferente da 2ª interface é observado para dispositivos com $t_{Si}=7\text{nm}$. A Figura 6.21-B e a Figura 6.22 mostram que o acoplamento da porta se fortalece em dispositivos de canal mais fino e a 2ª interface tende a seguir

o potencial na 1ª interface, neutralizando o efeito do campo lateral [93]. O resultado é: (i) a elevação do potencial da 2ª interface (Φ_{S2}) para $t_{Si}=7nm$, (ii) a redução do Φ_{S2} à medida que o comprimento do canal é reduzido até 60nm e (iii) um aumento suave do Φ_{S2} para canais menores que 60nm. Isso significa que nos dispositivos de 7nm de filme de silício: (i) novamente, há um melhor acoplamento da porta e do substrato sobre o canal, (ii) novamente, o efeito do superacoplamento está presente e (iii) os dispositivos UTBB sofrem menos com o campo lateral. Em outras palavras, a Figura 6.22 demonstra como os dispositivos UTBB são mais resilientes contra os efeitos de canal curto graças não apenas ao compartilhamento limitado das cargas da fonte e do dreno, mas também ao efeito do superacoplamento. [93]

7 Operação dos dispositivos SOI UTBB MOSFET em altas temperaturas

Devido a operação em altas temperaturas em aplicações como a indústria automobilística, espacial, nuclear e até mesmo devido ao aumento de temperatura no próprio circuito integrado (Figura 7.1) [45], esta seção aborda o comportamento em altas temperaturas dos transistores UTBB em duas diferentes análises: em modo de tensão de limiar dinâmica e nas curvas das capacitâncias.

Figura 7.1: Distribuição de temperatura em uma placa Raspberry Pi 3.



Fonte: <http://rebrn.com/re/planning-to-put-your-pi-in-a-case-make-sure-youve-got-a- heatsink-2535381/>

O estudo da alta temperatura na operação de tensão de limiar dinâmica teve enfoque no ponto ZTC (*Zero-Temperature-Coefficient*). Outros parâmetros também foram analisados em alta temperatura, como inclinação de sublimiar, tensão Early, razão g_m/I_D , ganho intrínseco de tensão e DIBL. Este último parâmetro, por estar diretamente relacionado ao campo elétrico lateral, também foi analisado juntamente com o comprimento da região de *underlap* (L_{UL}) e *overlap* (L_{OL}). A Figura 7.2 mostra os equipamentos utilizados para a elevação e o controle da temperatura.

Figura 7.2: Equipamentos utilizados para controlar a temperatura. (a) S-1060 Series, da Signatone e (b) ThermoFlex 1400, da Thermo Scientific.



(a)



(b)

Fonte: autor

Sendo uma continuação do estudo apresentado na seção 6.1, a análise das capacitâncias em altas temperaturas foi realizada por simulação, motivado na aplicação dos diodos p-i-n com porta como um novo tipo de dispositivo que vem sendo estudado, o TFET (*Tunneling Field-Effect-Transistor*) [25] [26] [27] [28] [29]. Assim, além da alta temperatura, a influência do comprimento das regiões de *underlap* e *overlap* também foi estudada.

7.1 Modo de tensão de limiar dinâmica.

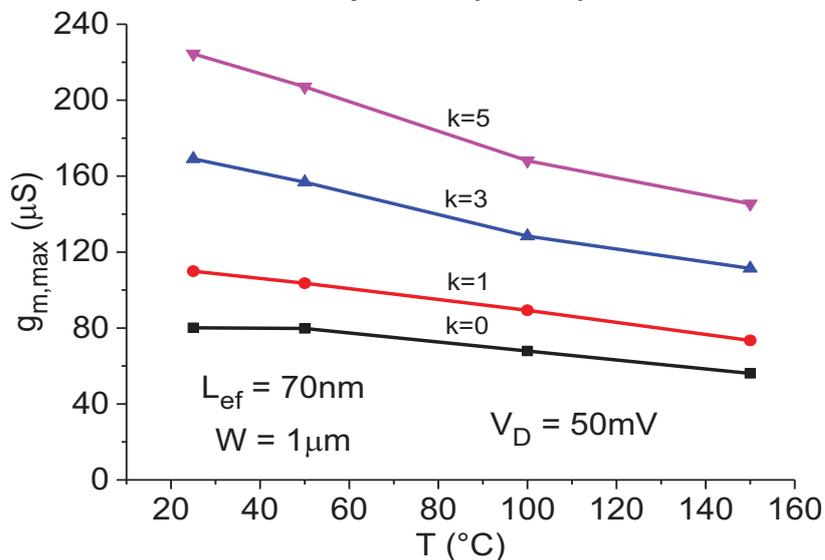
7.1.1 Ponto invariante com a temperatura (ZTC - *Zero-Temperature-Coefficient*)

Retomando o dispositivo medido da seção 5, nessa etapa do trabalho foram medidas três amostras de transistores UTBB com a espessura do canal (t_{si}) e do óxido enterrado (t_{BOX}) de 14nm e 18nm, respectivamente.

A Figura 7.3 e a Figura 7.4 mostram a transcondutância máxima e a tensão de limiar respectivamente em função da temperatura para diferentes valores do fator k . Quando a temperatura aumenta, a transcondutância é degradada devido à redução da mobilidade. Além disso, também há uma diminuição da tensão de limiar devido à redução do nível de Fermi como esperado [94] [95]. Entretanto, a transcondutância se

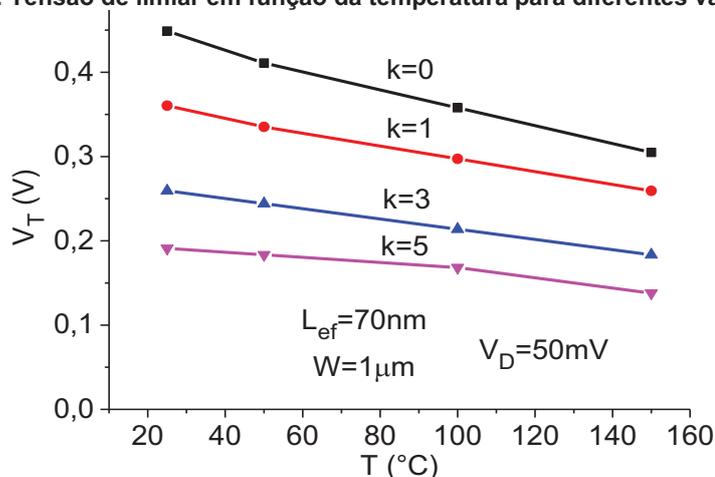
eleva e a tensão de limiar é reduzida para maiores valores do fator k devido ao efeito DT mais forte. [96]

Figura 7.3: Transcondutância em função da temperatura para diferentes valores de k .



Fonte: [96]

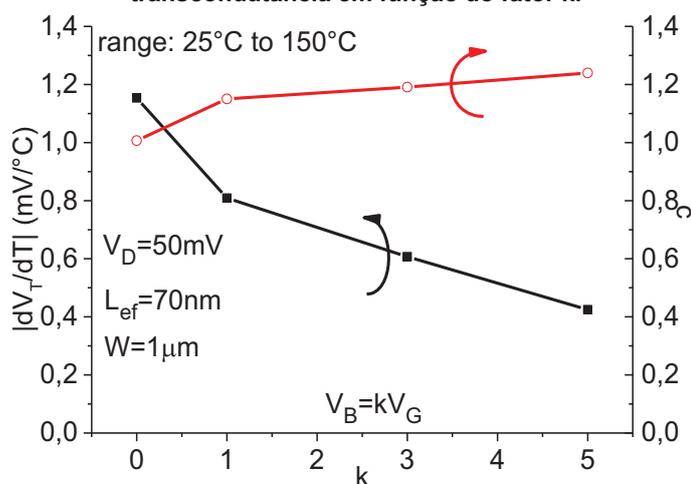
Figura 7.4: Tensão de limiar em função da temperatura para diferentes valores de k .



Fonte: [96]

A partir desses dados, foram extraídos a sensibilidade da tensão de limiar com a temperatura (dV_T/dT) e o fator de degradação da transcondutância com a temperatura (c) em função do fator k (Figura 7.5). Para isso foram utilizadas as equações (2.34) e (2.35). [48] [47]

Figura 7.5: Sensibilidade da tensão de limiar com a temperatura e fator de degradação da transcondutância em função do fator k.



Fonte: [96]

Percebe-se uma menor dependência da tensão de limiar com a temperatura (menor dV_T/dT) e um maior fator de degradação da transcondutância com a temperatura (c) para maiores valores do fator k. Esse comportamento pode ser explicado pela menor tensão de limiar para maiores temperaturas, o que reduz o campo elétrico da porta sobre o canal e, conseqüentemente, reduz o efeito DT. Em outras palavras, o efeito DT é enfraquecido levando a uma menor variação da tensão de limiar com a temperatura e uma menor melhora na transcondutância máxima. [96]

O ponto ZTC em função do fator k é mostrado na Figura 7.6, descrita pela tensão (V_{ZTC}) e pela corrente (I_{ZTC}) no ponto ZTC. Para maiores valores de k, a tensão de ZTC diminui (eixo da esquerda da Figura 7.6) principalmente devido à redução da tensão de limiar como pode ser observado na equação (2.33) [48] [97] [47] [46] e na Figura 7.7, com a característica $I_D \times V_G$ para várias temperaturas e dois valores do fator k ($k=0$ e $k=5$). Um benefício observado no eixo da direita da Figura 7.6 e na Figura 7.7 é a corrente de dreno quase constante para todos os valores do fator k. [96]

A Figura 7.8 apresenta a inclinação de sublimiar obtida pela figura Figura 7.7, em função do fator k para várias temperaturas. Como esperado, embora esse parâmetro seja degradado em altas temperaturas, a melhora causada pelo modo de tensão de limiar dinâmica supera essa desvantagem. [96]

Figura 7.6: Ponto ZTC (tensão e corrente no ponto ZTC) em função do fator k. A inserção mostra a determinação do ponto ZTC na curva $I_D \times V_G$ para diferentes temperaturas.

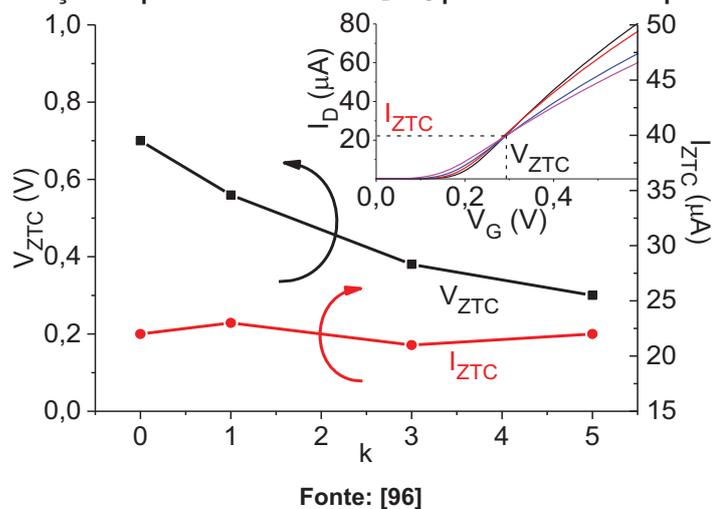


Figura 7.7: Características $I_D \times V_G$ para $k=0$ e $k=5$ e para várias temperaturas. O ponto ZTC e a inclinação de sublimiar estão enfatizados.

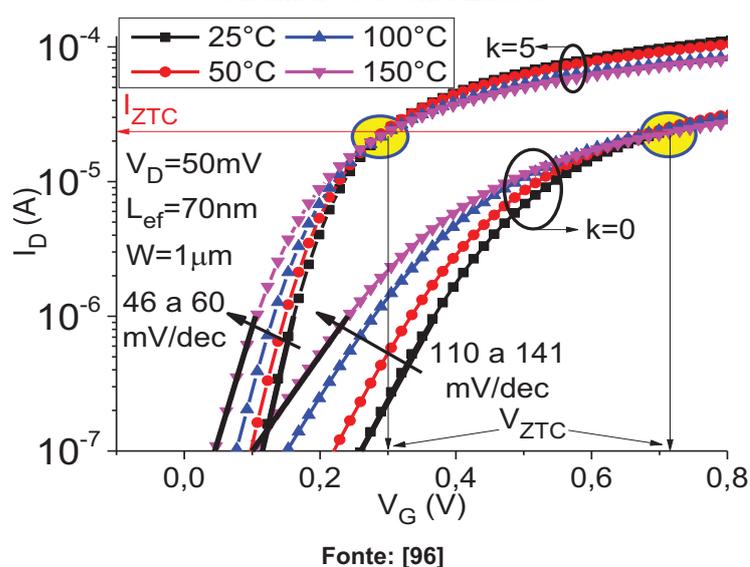
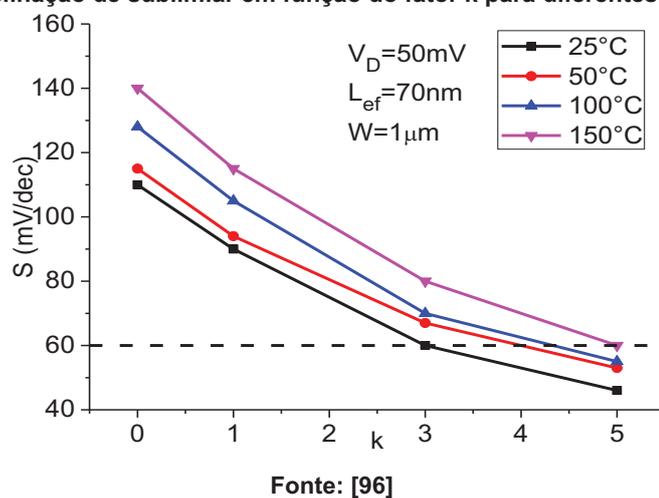


Figura 7.8: Inclinação de sublimiar em função do fator k para diferentes temperaturas.



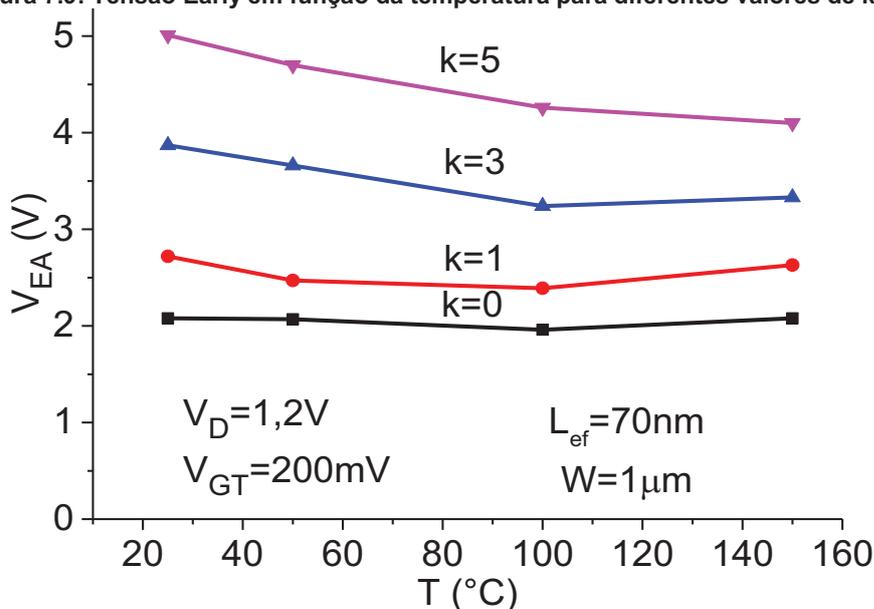
Tem-se, portanto, três grandes vantagens em se polarizar o transistor no ponto ZTC em modo de tensão de limiar dinâmica:

- A manutenção do nível da corrente de dreno com o aumento da temperatura e do fator k ;
- A possibilidade de se aplicar menores tensões de porta e, conseqüentemente, menores tensões de substrato, a partir do controle do fator k . Sendo interessante para aplicações em baixa tensão.
- Possibilidade de se ajustar a tensão de limiar e a tensão de polarização de acordo com a aplicação.

7.1.2 Parâmetros elétricos analógicos

A Figura 7.9 mostra a tensão Early (V_{EA}) em função da temperatura para vários valores do fator k . Observa-se uma diferença desprezível com a temperatura para menores valores do valor k . Para valores maiores de k , há uma redução da do V_{EA} em altas temperaturas devido à menor influência da tensão de substrato sobre o canal, o que permite uma influência mais forte do campo elétrico do dreno, degradando a tensão Early. [96]

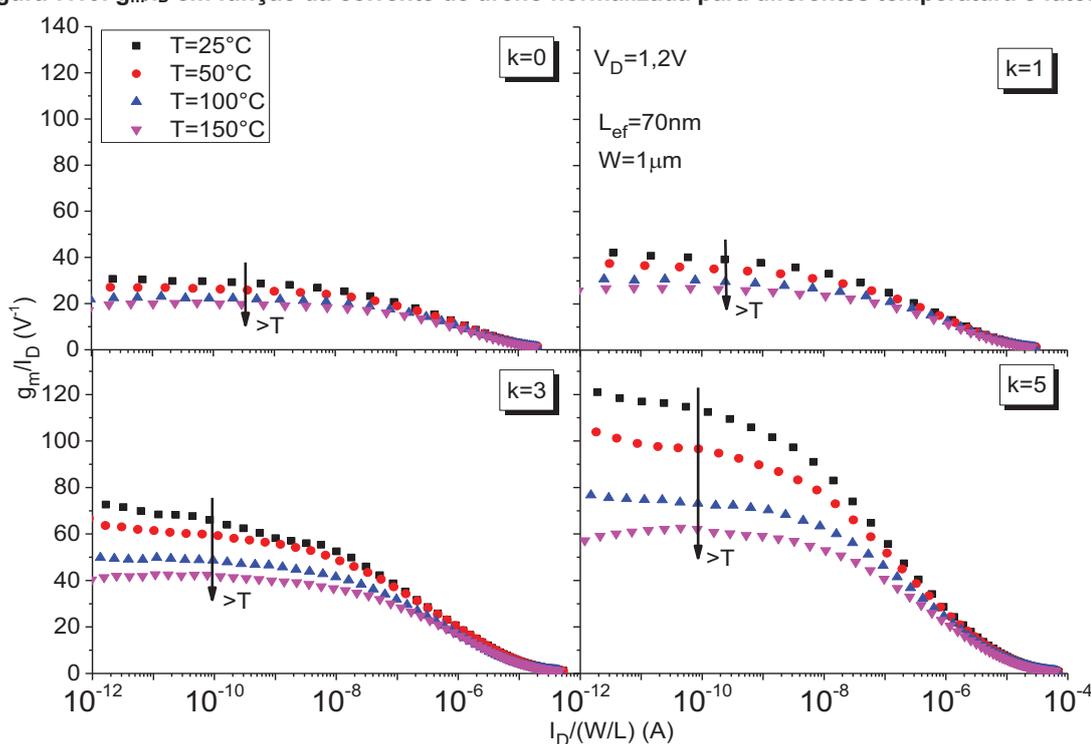
Figura 7.9: Tensão Early em função da temperatura para diferentes valores de k .



Fonte: [96]

A eficiência do transistor (g_m/I_D) em função da corrente de dreno normalizada pode ser vista na Figura 7.10 para várias temperaturas e diferentes valores de k . Nota-se uma degradação desse parâmetro para temperaturas mais altas, devido à degradação da inclinação de sublimiar (Figura 7.8, equação 2.28). E um aumento da razão g_m/I_D é observada com o aumento do fator k devido ao efeito da tensão de limiar dinâmica. [96]

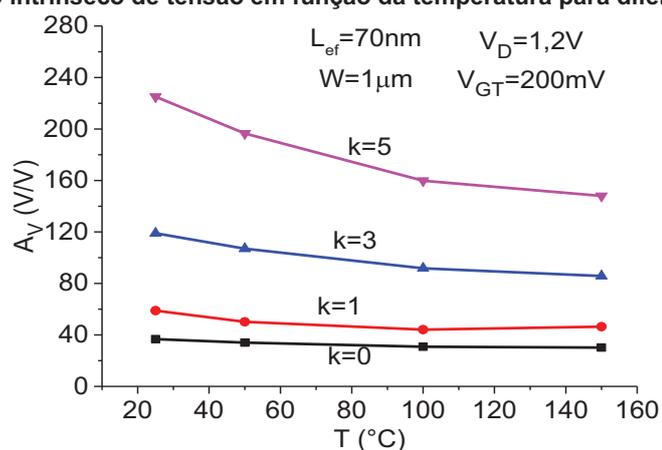
Figura 7.10: g_m/I_D em função da corrente de dreno normalizada para diferentes temperatura e fator k .



Fonte: [96]

A Figura 7.11 mostra o ganho intrínseco de tensão em função da temperatura para vários valores do fator k . Pode-se observar que, para menores valores de k , o ganho é quase constante, enquanto que para maiores valores de k , o ganho enfraquece com o aumento da temperatura, seguindo o comportamento da tensão Early, o qual é o fator predominante. Ressalta-se aqui que a razão g_m/I_D considerada para o cálculo do ganho deve estar na inversão forte, apresentando, portanto, variações de menos de $1 V^{-1}$. [96]

Figura 7.11: Ganho intrínseco de tensão em função da temperatura para diferentes valores de k.



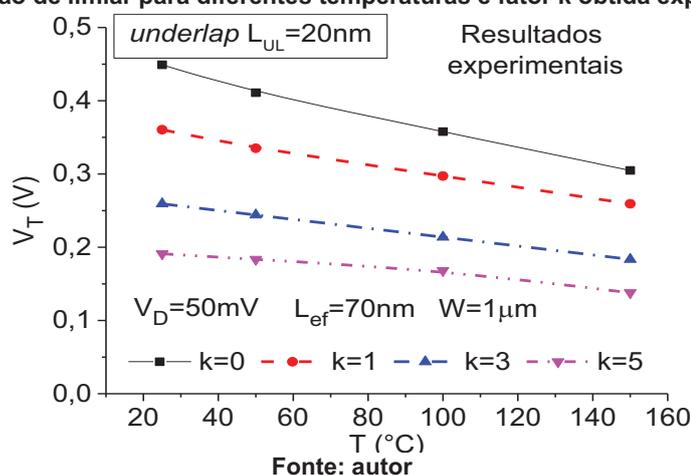
Fonte: [96]

7.1.3 DIBL

Para a análise do DIBL, parâmetro relacionado com o campo elétrico lateral do dreno, simulações foram ajustadas com as medidas apresentadas na seção 7.1.1 e o comprimento da região de extensão de fonte e dreno foi variado de 10nm de *overlap* para 40nm de *underlap*. Foi necessário acrescentar as regiões de LDD nos dispositivos com *overlap* para uma operação razoável (corrente de estado desligado menor que $1\mu\text{A}$, $I_{OFF} < 1\mu\text{A}$).

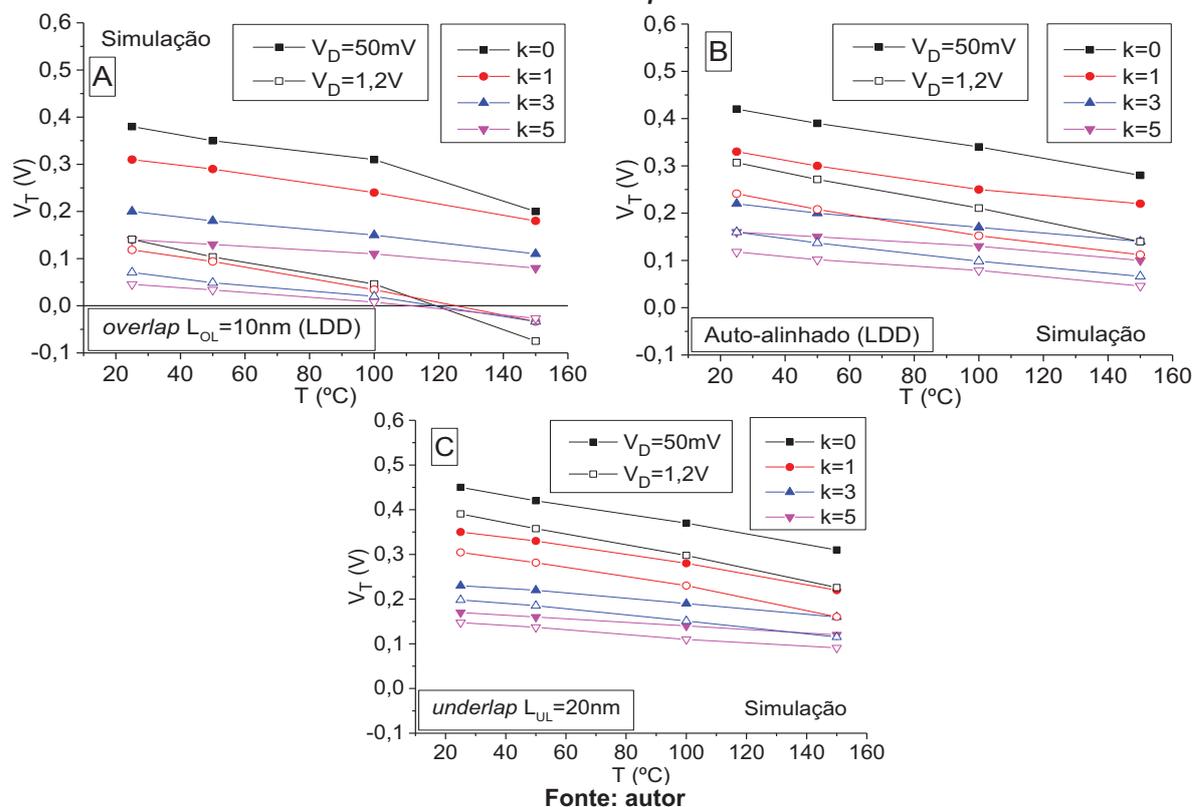
A Figura 7.12 apresenta a tensão de limiar para várias temperaturas e valores de k, obtido experimentalmente. Por simulação, as tensões de limiar também estão ilustradas para baixa e alta tensões de dreno, para várias temperaturas, valores de k e com $L_{OL}=10\text{nm}$ de *overlap* e $L_{UL}=20\text{nm}$ de *underlap* na Figura 7.13.

Figura 7.12: Tensão de limiar para diferentes temperaturas e fator k obtida experimentalmente.



Fonte: autor

Figura 7.13: Tensão de limiar para diferentes temperaturas e fator k obtida por simulação. (A) são os dados extraídos para 10nm de sobreposição; (B), para os dispositivos auto-alinhados e (C), para 20nm de *underlap*.



Como esperado, há uma redução da tensão de limiar para maiores valores de k e em altas temperaturas. Um fator k maior, significa uma variação maior do V_B durante a varredura de V_G , levando a uma redução mais forte dinâmica da tensão de limiar. Em altas temperaturas a formação do canal é favorecida por um menor nível de Fermi.

Na comparação da tensão de limiar para diferentes tensões de dreno (símbolos fechados e abertos), a redução da tensão de limiar é mais fraca para o modo kDT , temperatura ambiente e em dispositivos com maior *underlap*. Isso reflete no comportamento do DIBL, visto na Figura 7.14 para várias temperaturas e valores de k obtido experimentalmente. Resultados obtidos por simulação estão presentes na Figura 7.15 para várias temperaturas, valores de k e extrapolado de 10nm de *overlap* para 20nm de *underlap*, mostrando a mesma tendência observada experimentalmente.

Figura 7.14: DIBL em função da temperatura para diferentes valores do fator k obtido experimentalmente para diferentes temperaturas e fator k obtida experimentalmente.

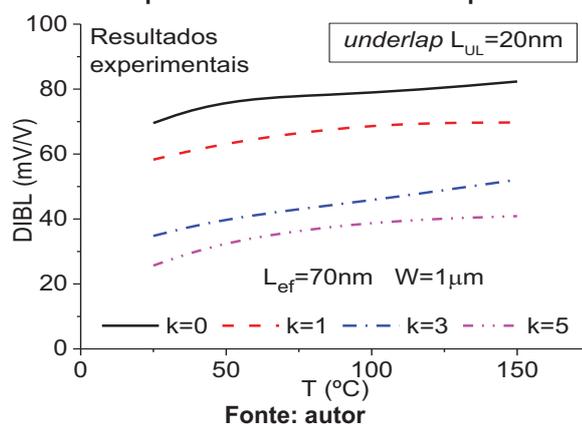
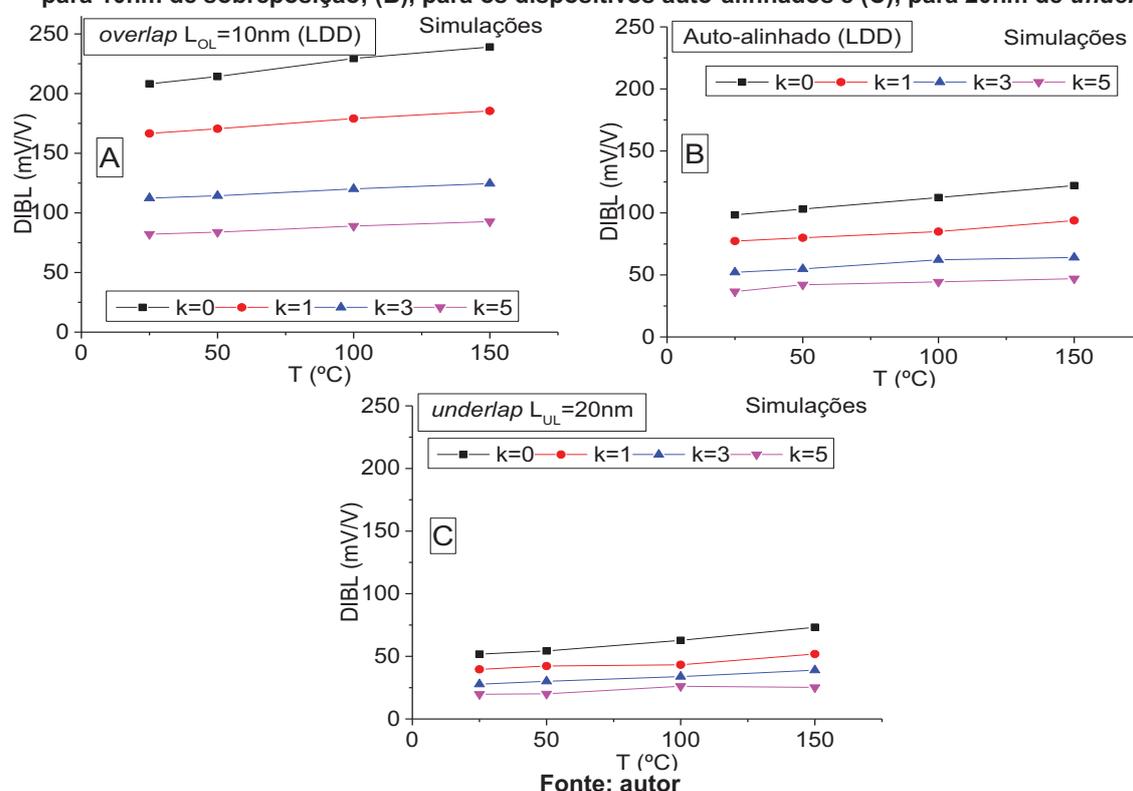


Figura 7.15: DIBL para diferentes temperaturas e fator k obtido por simulação. (A) são os dados extraídos para 10nm de sobreposição; (B), para os dispositivos auto-alinhados e (C), para 20nm de *underlap*.



Nota-se os melhores valores de DIBL (menor) no modo kDT, temperatura ambiente e dispositivos com *underlap* mais longo.

Dispositivos no modo de operação melhorado de tensão de limiar dinâmica são melhor acoplados graças ao controle da tensão de substrato. Quanto maior a tensão de substrato, maior o potencial do canal, reduzindo o gradiente de potencial entre o canal e o dreno. Isso significa um menor campo elétrico lateral e uma menor dependência da tensão de limiar sobre a tensão do dreno. O resultado é uma redução mais suave da tensão de limiar e menor DIBL.

Com relação à temperatura, o maior DIBL é causado pela maior concentração das cargas intrínsecas, o que reduz o nível de Fermi.

A distância maior entre a fonte/dreno e a porta provê um gradiente de potencial mais suave próximo às junções. Em outras palavras, os dispositivos com *underlap* apresentam um menor campo elétrico lateral, melhorando o DIBL.

As Tabela 7, Tabela 8 e Tabela 9 mostram uma comparação entre os efeitos estudados: temperatura, comprimento do *underlap/overlap* e o fator k , respectivamente. Cada um foi quantificado pelas equações (7.1, 7.2 e 7.3).

$$\frac{DIBL}{T} = \frac{DIBL(T_f) - DIBL(T_i)}{T_f - T_i} \quad (7.1)$$

$$\frac{DIBL}{L_{UL}} = \frac{DIBL(L_{OL}) - DIBL(L_{UL})}{L_{UL} + L_{OL}} \quad (7.2)$$

$$\frac{DIBL}{k} = \frac{DIBL(k_i) - DIBL(k_f)}{k_f - k_i} \quad (7.3)$$

Onde:

- $T_i=25^\circ\text{C}$ e $T_f=150^\circ\text{C}$;
- $L_{UL}=40\text{nm}$ e $L_{OL}=10\text{nm}$. L_{UL} é o comprimento do *underlap* e L_{OL} , comprimento do *overlap*;
- fator k foram $k_i=0$ and $k_f=5$.

Quando analisado todos os efeitos juntos, embora o aumento da temperatura degrade o desempenho do DIBL (Tabela 7), ambos, o *underlap* mais longo (Tabela 8) e, principalmente, o fator k maior (Tabela 9) apresentam um DIBL menor. Quanto mais longo o *underlap* e maior o fator k , mais estável e menor será o DIBL com a temperatura.

Tabela 7: Degradação do DIBL pela temperatura.
DIBL/T [mV/V/°C]

k	$L_{OL}=10\text{nm}$	Auto-alinhado	$L_{UL}=10\text{nm}$	$L_{UL}=20\text{nm}$	$L_{UL}=40\text{nm}$
0	<u>0,25</u>	0,19	0,18	0,17	0,13
1	0,15	0,13	0,13	0,10	0,03
3	0,10	0,10	0,09	0,09	0,06
5	0,08	0,08	0,09	0,04	<u>0,02</u>

Tabela 8: Redução do DIBL pelo comprimento do *underlap*.
DIBL/*underlap* [mV/V/nm-*underlap*]

<i>k</i>	<i>T</i> =25°C	<i>T</i> =50°C	<i>T</i> =100°C	<i>T</i> =150°C
0	3,46	3,51	3,71	3,74
1	2,69	2,83	2,91	2,97
3	1,86	1,81	1,85	1,94
5	<u>1,31</u>	1,33	1,38	1,46

Tabela 9: Elevação do DIBL pelo fator *k*.
DIBL/*k* [mV/V/*k*-factor]

<i>T</i> (°C)	<i>L</i> _{OL} = 10nm	<i>auto-</i> <i>alinhado</i>	<i>L</i> _{UL} = 10nm	<i>L</i> _{UL} = 20nm	<i>L</i> _{UL} = 40nm
25	25,21	12,36	8,40	6,40	<u>3,74</u>
50	26,18	12,20	9,18	6,85	4,24
100	28,10	13,61	11,82	7,32	5,44
150	29,26	15,01	10,67	9,60	6,48

As Tabela 7, Tabela 8 e Tabela 9 indicam que:

- (i) o efeito com menor influência no DIBL é a temperatura, sendo mais benéfico (mais estável) para *underlap* mais longo e maior fator *k* (0.25mV/V/°C no pior caso) e
- (ii) o fator *k* é mais vantajoso que a extensão do *underlap* (redução de 3.74mV/V/fator *k* e 1.31mV/V/nm-*underlap* nos piores casos).

Isso sugere que o campo elétrico lateral e, principalmente, o acoplamento são mais eficientes que o nível de Fermi na influência do DIBL.

7.2 Influência da engenharia de fonte e dreno e da temperatura na característica C-V de diodos p-i-n UTBB com porta

Sendo uma continuação do estudo apresentado na seção 6.1, a análise das capacitâncias em altas temperaturas foi realizada por simulação, motivado na aplicação dos diodos p-i-n com porta como um novo tipo de dispositivo que vem sendo estudado, o TFET (*Tunneling field-effect-transistor*) [25] [26] [27] [28] [29].

A operação do TFET pelo mecanismo de tunelamento é promissora para se atingir uma inclinação de sublimiar menor que 60mV/dec. Como um dispositivo ambipolar, ele requer uma engenharia de fonte e dreno assimétrica, usando heterojunções ou um perfil de dopagem em particular. Uma solução simples é implementar uma região de sobreposição (*overlap*) da porta sobre a fonte e uma região de subposição (*underlap*) próximo ao dreno. Dessa forma, essa seção

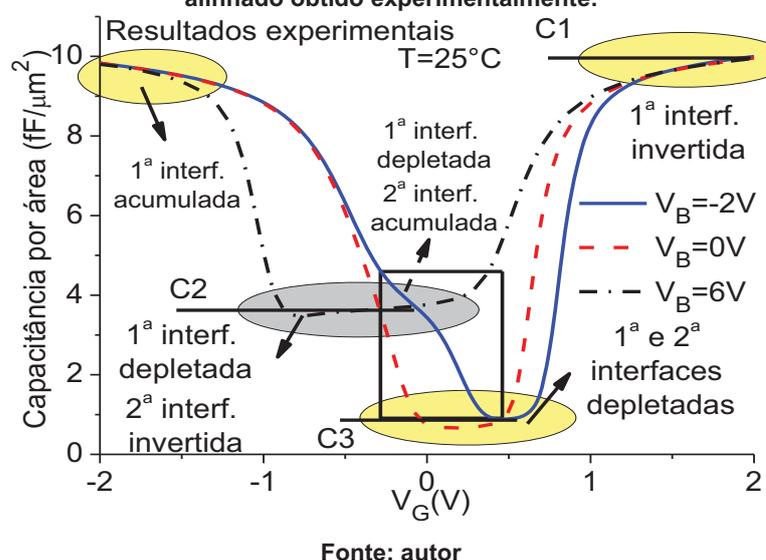
apresenta primeiro a influência da engenharia de fonte e dreno na curva da capacitância e, em seguida, a influência da temperatura na curva CV de UTBB auto-alinhado e com os comprimentos de *underlap/overlap* (L_{UL} e L_{OL} , respectivamente) de um TFET.

Os resultados experimentais foram obtidos da mesma forma que no item 6.1 [81] [80], porém, apenas a amostra fabricada no LETI, com a região do canal de 25nm de espessura, foi considerada. A largura e o comprimento do canal foram selecionados de forma a obter $100\mu\text{m}^2$ de área da capacitância. Para as simulações, foram utilizados os mesmos modelos apresentados na seção 6.1.

7.2.1 Engenharia de fonte e dreno

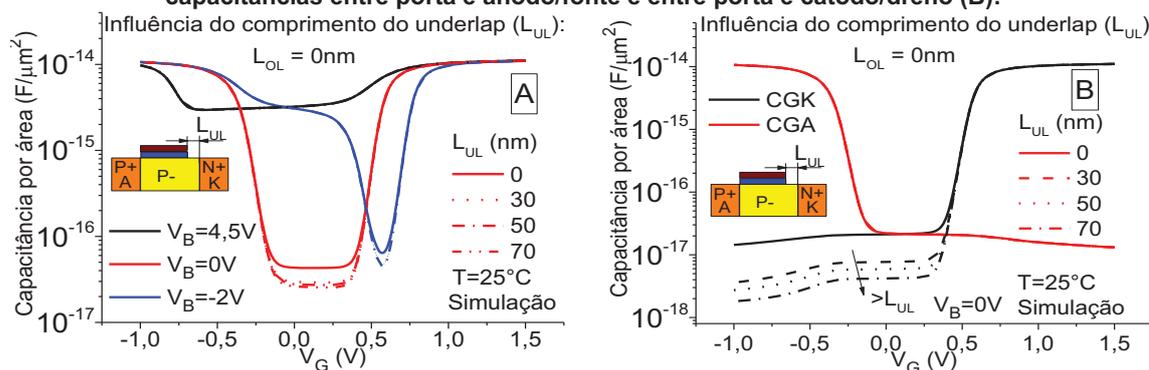
A Figura 7.16 mostra a curva de capacitância em função da tensão de porta (CV) para diferentes tensões de substrato, $V_B = -2\text{V}$, 0V e $4,5\text{V}$, obtido experimentalmente. Diferentes tensões de porta e de substrato revelam 3 níveis de capacitâncias: C1, em que a 1ª interface está acumulada/invertida; C2, quando a 1ª interface e está depletada e a 2ª, acumulada ou invertida; e C3, onde o canal inteiro está depletado. A partir de C1 podemos obter a espessura do óxido t_{ox} e C2 corresponde à associação em série da capacitância do óxido de porta (C_{ox}) e do filme de silício (C_{Si}). Os pontos de inflexão da curva CV indicam as tensões de limiar tanto do canal do tipo P (esquerda) como do canal do tipo N (direita).

Figura 7.16: Capacitância em função da tensão de porta para várias tensões de substrato em diodo auto-alinhado obtido experimentalmente.



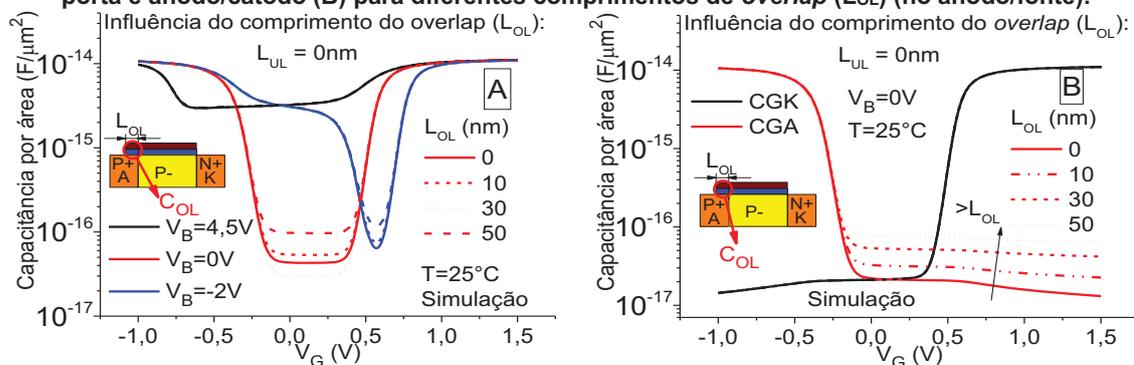
Características semelhantes foram obtidos por simulação. O comportamento da curva de capacitância muda quando o comprimento do *underlap* varia de auto-alinhado até 70nm de *underlap* próximo ao catodo, como mostra a Figura 7.17. Já a análise do comprimento do *overlap* de auto-alinhado até 50nm de *overlap* próximo ao anodo encontra-se na Figura 7.18.

Figura 7.17: Impacto do comprimento do *underlap* (L_{UL}) (no catodo/dreno) na característica da capacitância em função da tensão de porta para várias tensões de substrato ($V_B = -2V, 0V$ e $4,5V$) (A) e nas capacitâncias entre porta e anodo/fonte e entre porta e catodo/dreno (B).



Fonte: autor

Figura 7.18: Capacitância em função da tensão de porta para $V_B = -2V, 0V$ e $4,5V$ (A) e capacitância entre porta e anodo/catodo (B) para diferentes comprimentos de *overlap* (L_{OL}) (no anodo/fonte).



Fonte: autor

Nota-se que as curvas de capacitância são alteradas somente quando o filme está totalmente depletada (Figura 7.17-A), ou seja, na região não útil para a extração de parâmetros. O mecanismo é revelado pela comparação das curvas CGA e CGK (Figura 7.17-B). O menor CGK para *underlap* mais longo (Figura 7.17-B) pode ser explicado pelo aumento da espessura da capacitância de depleção. Com relação ao *overlap*, a maior área da capacitância do *overlap* (C_{OL} , estruturas da Figura 7.18) levam ao maior CGA para *overlap* mais longo (Figura 7.18-B).

A influência do comprimento do *underlap/overlap* nos valores de C1 e C2 e nos pontos de inflexão é desprezível (Figura 7.17-A e Figura 7.18-A), significando que a extração de parâmetros é dificilmente afetada. Isso explica o pequeno erro nos valores extraídos de t_{ox} e t_{si} (Tabela 10).

Tabela 10: Espessuras do óxido de porta e do filme de silício para diferentes comprimentos de *overlap* (na fonte/anodo) e de *underlap* (no dreno/catodo).

Anodo-Overlap [nm]	Catodo-Underlap [nm]	t_{ox} [nm]	erro (%)	t_{si} [nm]	erro (%)
0	0	3,13	4%	25,8	3%
30	50	3,13	4%	25,4	2%
10	0	3,14	5%	25,7	3%
30	0	3,13	4%	25,9	4%
50	0	3,14	5%	25,3	1%
0	30	3,13	4%	25,7	3%
0	50	3,13	4%	25,7	3%
0	70	3,13	4%	25,7	3%

7.2.2 Alta temperatura

Analisando a temperatura, a curva da capacitância em função da tensão de porta para várias tensões de substrato de 25°C a 150°C, obtido nas estruturas auto-alinhadas e nas com 30nm de comprimento de *overlap* e 50nm no *underlap* estão ilustradas nas Figura 7.19 e Figura 7.20, respectivamente.

Figura 7.19: Capacitância em função da tensão de porta para $V_B = -2V, 0V$ e $4,5V$ (A) e capacitância entre porta e anodo/catodo (B) para temperaturas de 25°C a 150°C. Dispositivo auto-alinhado.

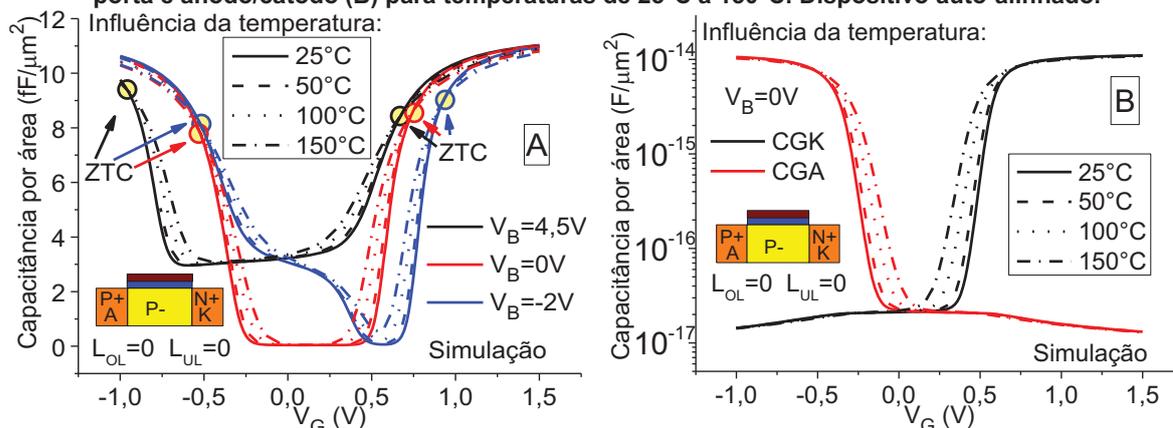
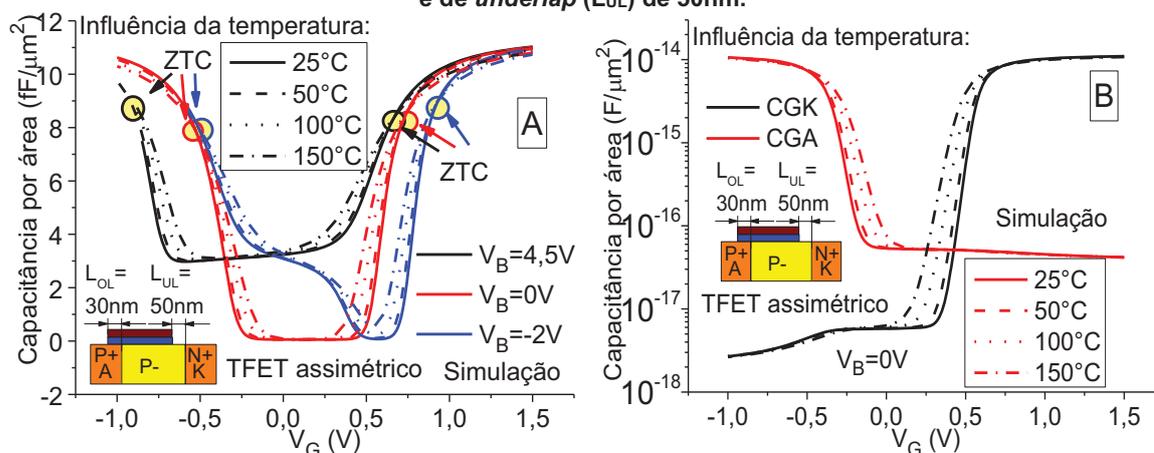


Figura 7.20: Capacitância em função da tensão de porta para $V_B = -2V, 0V$ e $4,5V$ (A) e capacitância entre porta e anodo/catodo (B) para altas temperaturas. Dispositivo com comprimento de *overlap* (L_{OL}) de 30nm e de *underlap* (L_{UL}) de 50nm.



Fonte: autor

Percebe-se que as curvas CV são mais estreitas em altas temperaturas devido à redução do valor da tensão de limiar para ambos os canais, tipos N e P. Dois pontos ZTC são observados na Figura 7.19 e na Figura 7.20: o da esquerda está relacionado ao canal de lacunas e o da direita à formação do canal de elétrons. Segundo [98] os pontos ZTC na curva CV são explicados pela competição de efeitos da temperatura no valor da tensão de limiar, na densidade das armadilhas de interface e na variação dos perfis de cargas. Uma vez que os valores de C_1 e C_2 são bastante independentes com a temperatura, a extração das espessuras t_{ox} e t_{si} permanecem precisos, com erros abaixo de 7% (Tabela 11).

Tabela 11: Espessuras do óxido de porta e do filme de silício para temperaturas de 25°C a 150°C.

T [°C]	Anodo- Overlap [nm]	Catodo- Underlap [nm]	t_{ox} [nm]	erro (%)	t_{si} [nm]	erro (%)
25	0	0	3,13	4%	25,8	3%
50	0	0	3,15	5%	25,5	2%
100	0	0	3,17	6%	24,8	1%
150	0	0	3,20	7%	24,1	3%
25	30	50	3,13	4%	25,4	2%
50	30	50	3,15	5%	25,1	1%
100	30	50	3,17	6%	24,5	2%
150	30	50	3,19	6%	23,8	5%

8 Conclusões e trabalhos futuros

8.1 Conclusões

Neste trabalho foi apresentado um estudo dos dispositivos SOI UTBB operando em modo de tensão de limiar dinâmica, onde o contato de porta é curto-circuitada com o contato de substrato. Características essenciais deste tipo de transistor, como a região do plano de terra (*Ground Plane*) e a espessura do filme de silício, bem como a influência da região de extensão de fonte e dreno foram estudadas. Também foi considerado um modo melhorado deste modo de tensão de limiar dinâmica, o kDT, onde a tensão de substrato é um múltiplo da tensão de porta, e proposto o modo kDT inverso, onde a tensão de porta é um múltiplo da tensão de substrato.

Para todos os comprimentos de canal estudados, o efeito DT2 foi melhor sobre o método convencional (com substrato aterrado) principalmente para canais menores. Os dispositivos com GP também apresentaram melhor desempenho sobre os dispositivos sem esta região. Ou seja, os dispositivos com GP no modo DT2 apresentaram menor inclinação de sublimiar, maior transcondutância e menor DIBL. Isso devido ao melhor acoplamento da porta e do substrato sobre o canal, o que fortalece o controle da tensão de limiar pela tensão do substrato. A Tabela 12 resume a melhora obtida com a configuração DT2 para os dispositivos sem e com GP.

Tabela 12: Comparações dos parâmetros elétricos entre a configuração DT2 com a convencional, para dispositivos com e sem GP e de canal curto. A referência em todos os casos foram os dispositivos sem GP no modo convencional.

Parâmetro	DT2, sem GP	DT2, com GP
SS	36%	51%
$g_{m,max}$	23%	32%
DIBL	57%	100%

Já no modo melhorado da tensão de limiar dinâmica, o efeito DT mais forte também leva a melhores parâmetros elétricos. Portanto o dispositivo com GP no modo kDT inverso, devido ao óxido de porta mais fino, apresentou menor inclinação de sublimiar e maior transcondutância máxima. A Tabela 13 resume a melhora obtida com a configuração kDT inverso para os dispositivos sem e com GP.

Tabela 13: Comparações dos parâmetros elétricos entre a configuração kDT inverso com a DT2, para dispositivos com e sem GP e $L_{eff}=105\text{nm}$. A referência em todos os casos foram os dispositivos sem GP no modo DT2.

Parâmetro	Inverso kDT, sem GP	Inverso kDT, com GP
SS	60%	68%
$g_{m,max}$	147%	189%

Logo, os melhores efeitos de canal curto apresentados pelos modos DT2, kDT e kDT inverso sobre o modo convencional levam à conclusão que essas configurações podem ser úteis para melhorar o desempenho do dispositivo; principalmente a condição DT2, que pode ser mais facilmente obtido que os modos kDT. Adicionalmente, a presença do GP tornou os modos de polarização estudados ainda mais vantajosos.

Sobre a análise do filme de silício, para maiores valores de sobretensão de porta, a maior resistência série e a maior degradação da mobilidade dos dispositivos de silício mais fino degradaram mais a corrente de dreno. Já para tensões de porta negativas, o GIDL é mais elevado para menores espessuras do filme de silício. Entretanto, o menor t_{Si} mostrou ser vantajoso no modo kDT na região de sublimiar, alcançando inclinações de 38mV/dec para $k=5$, contra 41mV/dec para os dispositivos de filmes de silício mais espessos nas mesmas condições de polarização. Além disso, o menor t_{Si} levou a uma menor dependência da tensão de dreno que os dispositivos mais espessos, apresentando DIBL de 17mV/V (para $t_{Si}=6\text{nm}$) e 61mV/V (para $t_{Si}=14\text{nm}$), ambos para $k=5$.

Portanto, o escalamento do filme de silício é vantajoso quando o acoplamento mais forte atua positivamente, ou seja, no DIBL, diminuindo o campo elétrico do dreno, e no SS, onde o campo elétrico vertical não é suficiente para degradar o parâmetro do dispositivo.

O superacoplamento foi observado e identificado em transistores UTBB com o filme de silício de 7nm a partir da comparação entre as suas curvas de capacitância em função da tensão de porta e as dos dispositivos de 25nm. Sobre a extração do filme de silício, para 25nm de filme de silício, o método básico (sem a derivada) é confiável. A completa formação do canal da 2ª interface e seu confinamento são fatores importantes para uma extração precisa da espessura do filme de silício. Por outro lado, o método da derivada provou ser uma boa alternativa para filmes finos de silício, apresentando valores médios próximos à espessura nominal.

A comparação dos transistores finos e espessos mostra que o efeito do superacoplamento é forte e benéfico em dispositivos UTBB operando no modo de tensão de limiar dinâmica. O superacoplamento amplifica o efeito da inversão de volume, como demonstrado na ausência do segundo pico da curva da derivada da transcondutância (dg_m/dV_G , Figura 6.12) para $k>3$ e $t_{Si}=7\text{nm}$. Como resultado, o impacto do fator k é mais forte em dispositivos de filme de silício mais finos, levando a uma elevação considerável da transcondutância (de até 2 vezes para transistores NMOS com $t_{Si}=7\text{nm}$) e da mobilidade (de até 131% para transistores NMOS com $t_{Si}=7\text{nm}$).

Medidas e simulações mostraram o impacto do superacoplamento no potencial da 2ª interface bem como a variação do coeficiente de acoplamento em transistores UTBB SOI para diferentes comprimentos de canal. Um acoplamento mais forte em filmes finos de silício foi observado quando a espessura do óxido de porta foi mantida. Portanto, o filme de silício mais fino é uma estrutura mais escalável não somente devido ao compartilhamento limitado de cargas, mas também ao efeito do superacoplamento.

Com relação à engenharia de fonte e dreno, os melhores resultados foram obtidos para os dispositivos sem a implantação da região de extensão e com comprimento dos espaçadores de 20nm, ou seja: $SS = 41\text{mV/dec}$, $V_T = 0,2\text{V}$, $DIBL = 38\text{mV/V}$, $g_m/I_D = 70\text{V}^{-1}$ (na inversão fraca), $V_{EA} = 6,4\text{V}$, $A_V = 52\text{V/V}$ ou 34dB para um comprimento de canal de 70nm.

O desempenho dos dispositivos de 20nm de região de extensão também demonstrou ser mais suscetível com o aumento do fator k . Portanto, os dispositivos sem a implantação da região de extensão no modo kDT apresentaram o melhor comportamento na região de sublimiar e desempenho analógico para aplicações de baixa tensão. As únicas desvantagens observadas para a operação em kDT foi a mais alta corrente de GIDL (uma ordem de grandeza maior para $k=5$ quando comparado com $k=0$) e condutância de saída (quase 3 vezes maior para $k=5$ em relação ao modo convencional), entretanto, os dispositivos sem a implantação da região de extensão apresentaram menor GIDL (uma ordem de grandeza menor para dispositivos sem a implantação comparado com os dispositivos auto-alinhados e ambos com $k=5$) e menor condutância de saída (quase 3,5 vezes menor para os dispositivos sem a implantação em relação aos auto-alinhados, ambos com $k=5$) comparado com os

auto-alinhados devido ao menor campo elétrico do dreno, o que pode ser uma solução para essas desvantagens.

Na análise em alta temperatura, embora os modos DT e kDT terem apresentado um fator de degradação do g_m com a temperatura maior, a variação de V_T com a temperatura diminuiu de $1,2 \text{ mV}/^\circ\text{C}$ a $0,4 \text{ mV}/^\circ\text{C}$. Além disso, a redução da tensão de limiar pelo fator k foi o principal fator atuante na redução da tensão do ponto ZTC. Do ponto de vista analógico, apesar da degradação dos parâmetros com o aumento da temperatura, a melhora apresentada pelo modo de operação kDT é ainda mais forte, compensando a degradação com a temperatura. Altas temperaturas reduzem o efeito DT devido ao menor nível de Fermi; entretanto, a configuração kDT supera a degradação pelo aumento da temperatura, melhorando o campo elétrico vertical. Há portanto, três principais vantagens em se polarizar o transistor no ponto ZTC em modo de tensão de limiar dinâmica: (i) a manutenção do nível de corrente de dreno com o aumento da temperatura e do fator k ; (ii) a possibilidade de se aplicar menores tensões de substrato, a partir do controle do fator k , sendo interessante para aplicações em baixa tensão e (iii) a possibilidade de se ajustar a tensão de limiar e a tensão de polarização de acordo com a aplicação.

Na análise do DIBL em dispositivos UTBB com e sem as regiões de extensão (*overlap/underlap*) em modo de operação DT e kDT e em altas temperaturas, pode-se afirmar que, para os intervalos considerados: (i) o fator k é mais vantajoso no DIBL que o comprimento do *underlap* ($3,74 \text{ mV}/\text{V}/k$ -fator contra $1,31 \text{ mV}/\text{V}/\text{nm}$ -*underlap*, no pior caso); (ii) apesar de degradar, o aumento da temperatura tem um efeito mais fraco que o fator k e o comprimento do *underlap* ($0,25 \text{ mV}/\text{V}/^\circ\text{C}$) e (iii) o DIBL mais estável ($0,02 \text{ mV}/\text{V}/^\circ\text{C}$) foi encontrado no transistor com *underlap* de 40 nm e $k=5$.

O método da capacitância para a extração da espessura do filme de silício pode ser seguramente usado para caracterização de transistores TFETs na tecnologia UTBB. A modificação na arquitetura (diferentes comprimentos de *overlap/underlap*) e a operação em alta temperatura levam a desvios nas curvas CV que não prejudicam a precisão da extração da espessura do filme de silício.

Finalmente, o modo DT, kDT e kDT inverso juntamente com a engenharia de fonte e dreno da não implantação da região de extensão, com o GP e com a camada de silício mais fina em transistores SOI UTBB foram as melhores características mesmo operando em altas temperaturas. O melhor desempenho apresentado pelos modos de operação DT2, kDT e kDT inverso sobre o convencional levam à conclusão

que essas configurações podem ser úteis para melhorar o desempenho do dispositivo; principalmente a condição DT2, que pode ser mais facilmente obtido que os modos kDT. A Tabela 14 resume as vantagens e desvantagens apresentadas pelo modo de tensão de limiar dinâmica melhorado e a Tabela 15 (no apêndice) quantifica a influência do fator k em cada parâmetro estudado neste trabalho.

Tabela 14: Vantagens e desvantagens do fator k.

Vantagens	Desvantagens
<ul style="list-style-type: none"> • maior corrente de estado ligado (I_{ON}) e menor corrente em estado desligado (I_{OFF}) • maior transcondutância máxima ($g_{m,max}$), menor resistência total (R_T) e maior mobilidade (μ_0) • maior acoplamento da porta e do substrato sobre o canal • menor inclinação de sublimiar (SS), com possibilidade de atingir valores menores que o limite teórico (60mV/dec) • tensão de limiar (V_T) e tensão de porta no ponto invariante com a temperatura (V_{ZTC}), ambos, ajustáveis • menor sensibilidade da tensão de limiar com o aumento da temperatura (dV_T/dT) • corrente no ponto ZTC constante (I_{ZTC}) também com o fator k • menor campo elétrico lateral, minimizando a atuação da tensão de dreno na tensão de limiar (menor DIBL) • melhores parâmetros analógicos como a eficiência do transistor (g_m/I_D), a tensão Early (V_{EA}) e o ganho intrínseco de tensão (A_V) • melhor escalamento • excelente desempenho em dispositivos UTBB, com GP e com a região de extensão não dopada (<i>underlap</i>) mesmo operando em alta temperatura 	<ul style="list-style-type: none"> • maior corrente de fuga do dreno induzida pela porta (GIDL), mas o uso da região de extensão não dopada (<i>underlap</i>) minimiza drasticamente esta corrente de fuga • maior condutância de saída (g_D), mas o uso da região de extensão não dopada (<i>underlap</i>) reduz este parâmetro • maior c (degradação da transcondutância com o aumento da temperatura) • maior consumo de espaço devido ao circuito gerador do V_B em função do V_G

Lembrando do fato que um circuito integrado é formado por dispositivos de diferentes tecnologias, o modo kDT é então interessante em aplicações específicas (como de baixa tensão e analógicas) ou em caminhos críticos onde as diversas vantagens apresentadas por esse modo de operação são essenciais, justificando a perda de espaço devido ao circuito gerador da tensão de substrato como função da tensão de porta.

8.2 Trabalhos futuros

Como propostas de trabalhos futuros destacam-se:

- A análise do método da capacitância para transistores TFETs com comprimentos de canal menores (por simulação);
- A análise do método da capacitância para transistores TFETs com efeito do superacoplamento (experimentalmente e por simulação);
- Influência do tensionamento mecânico na mobilidade de transistores UTBB com e sem o efeito do superacoplamento operando em modo de tensão de limiar dinâmica.
- Estudo do modo de tensão de limiar dinâmica melhorado e invertido em circuitos.

Publicações

Durante este trabalho foram publicados os seguintes artigos de minha autoria e coautoria:

Artigos em revista (4):

- **K.R.A.Sasaki**, T.Nicoletti, L.M.Almeida, S.D. dos Santos, A. Nissimoff, M.Aoulaiche, E.Simoen, C.Claeys, J.A.Martino, “Improved Retention Times in UTBOX nMOSFETs for 1T-DRAM Applications”, Solid State Electronics 2014;
- **K.R.A.Sasaki**, M.B.Manini, E.Simoen, C.Claeys, J.A.Martino, “Enhanced Dynamic Threshold Voltage UTBB SOI nMOSFETs”, Solid State Electronics 2015;
- A. Nissimoff, **K.R.A.Sasaki**, M.Aoulaiche, J.A.Martino, E.Simoen, C.Claeys, “Observation of the Two Sided Read Window Observed on UTBOX SOI 1T-DRAM: Measurement Setup, Numerical and Empirical Results”, JICS2014 – Journal of Integrated Circuits and Systems.
- **K.R.A.Sasaki**, M.Aoulaiche, E.Simoen, C.Claeys, J.A.Martino, “Extensionless UTBB FDSOI Devices in dynamic threshold mode under low power point of view”, JLPEA2015 – Journal of Low Power Electronics and Applications.

Artigos em congresso (20):

- **K.R.A.Sasaki**, L.M.Almeida, A. Nissimoff, M.Aoulaiche, E.Simoen, C.Claeys, J.A.Martino, “Semiconductor Film Bandgap Influence on Retention Time of UTBOX SOI 1T-DRAM Using Pulsed Back Gate Bias”, SBMicro2013 – 28th Symposium on Microelectronics Technology and Devices;

- A. Nissimoff, **K.R.A.Sasaki**, M.Aoulaiche, E.Simoen, C.Claeys, J.A.Martino, “Two Sided Read Window Observed on UTBOX SOI 1T-DRAM”, SBMicro2013 – 28th Symposium on Microelectronics Technology and Devices;
- T.Nicoletti, S.D. dos Santos, **K.R.A.Sasaki**, J.A.Martino, M.Aoulaiche, E.Simoen, C.Claeys, “The Activation Energy Dependence on the Electric Field in UTBOX SOI FBRAM Devices”, S3S Conference 2013 – IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S);
- M.B.Manini, **K.R.A.Sasaki**, J.A.Martino, “Transistor SOI MOSFET de óxido enterrado ultrafino operando com tensão de limiar variando dinamicamente”, SIICUSP2013 – 21^o Simpósio de Iniciação Científica da Universidade de São Paulo;
- **K.R.A.Sasaki**, M.B.Manini, E.Simoen, C.Claeys, J.A.Martino, “Enhanced Dynamic Threshold Voltage UTBB SOI nMOSFETs”, EUROSOI2014 – X Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits;
- S.D. dos Santos, **K.R.A.Sasaki**, T.Nicoletti, J.A.Martino, M.Aoulaiche, M.Jurczak, E.Simoen, C.claeys, “The Negative Word-Line Holding Bias Effect on the Retention Time in FBRAMs”, EUROSOI2014 – X Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits;
- **K.R.A.Sasaki**, M.B.Manini, J.A.Martino, M.Aoulaiche, E.Simoen, L. Witters, C.Claeys, “Ground Plane Influence on the Enhanced Dynamic Threshold UTBB SOI nMOSFETs”, ICCDCS2014 – IX International Caribbean Conference on Devices, Circuits and Systems;
- **K.R.A.Sasaki**, M.B.Manini, M.Aoulaiche, E.Simoen, C.Claeys, J.A.Martino, “Channel Length Influence on the Dynamic Threshold UTBB SOI nMOSFETs”, Seminatec2014 –Workshop on Semiconductors and Micro & Nano Technology;

- **K.R.A.Sasaki**, M.Aoulaiche, E.Simoen, C.Claeys, J.A.Martino, “Silicon Film Thickness Influence on Enhanced Dynamic Threshold UTBB SOI nMOSFETs”, SBMicro2014 – 29th Symposium on Microelectronics Technology and Devices;
- **K.R.A.Sasaki**, M.Aoulaiche, E.Simoen, C.Claeys, J.A.Martino, “Influence of the Underlap on UTBB SOI MOSFETs in Dynamic Threshold Mode”, S3S Conference 2014 – IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S).
- **K.R.A.Sasaki**, M.B.Manini, E.Simoen, C.Claeys, J.A.Martino, “Enhanced Dynamic Threshold UTBB SOI at High Temperature”, EUROSUI-ULIS2015 – I Joint International EUROSUI Workshop and International Conference on Ultimate Integration on Silicon;
- V.T.Itocazu, **K.R.A.Sasaki**, M.B.Manini, V.Sonnenberg, J.A.Martino, E.Simoen, C.Claeys, “Threshold Voltage Modeling for Dynamic Threshold UTBB SOI in Different Operation Modes”, 227th ECS Meeting – 227th Electrochemical Society Meeting;
- **K.R.A.Sasaki**, C.Navarro, M.Bawedin, F.Andrieu, J.A.Martino, S.Cristoloveanu, “Reliability of film thickness extraction through CV curves of SOI p-i-n gated diodes”, SBMicro2015 – 30th Symposium on Microelectronics Technology and Devices;
- **K.R.A.Sasaki**, C.Navarro, M.Bawedin, F.Andrieu, J.A.Martino, S.Cristoloveanu, “Impact of Supercoupling Effect on Mobility Enhancement in UTBB SOI MOSFETs in Dynamic Threshold Mode”, S3S Conference 2015 – IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S);
- **K.R.A.Sasaki**, C.Navarro, M.Bawedin, F.Andrieu, J.A.Martino, S.Cristoloveanu, “Body effect scaling in UTBB SOI with supercoupling effect”, EUROSUI-ULIS2016 – II Joint International EUROSUI Workshop and International Conference on Ultimate Integration on Silicon;

- **K.R.A.Sasaki**, J.A.Martino, S.Cristoloveanu, “Supercoupling effect in UTBB SOI devices through different analysis”, Seminatec2016 – Workshop on Semiconductors and Micro & Nano Technology;
- R.V.Zobaran, **K.R.A.Sasaki**, J.A.Martino, “Control of UTBB SOI devices split-CV curves measurement and threshold voltage determination using Labview”, Seminatec2016 – Workshop on Semiconductors and Micro & Nano Technology;
- **K.R.A.Sasaki**, E.Simoen, C.Claeys, J.A.Martino, “DIBL in enhanced dynamic threshold operation of UTBB SOI with different drain engineering at high temperatures”, SBMicro2016 – 31th Symposium on Microelectronics Technology and Devices;
- **K.R.A.Sasaki**, C.Navarro, M.Bawedin, F.Andrieu, J.A.Martino, S.Cristoloveanu, “Influence of source-drain engineering and temperature on split-capacitance characteristics of FDSOI p-i-n gated diodes”, S3S Conference 2016 – IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S);
- R.V.Zobaran, **K.R.A.Sasaki**, J.A.Martino, “Estudo de transistores FinFETs em alta temperatura”, SIICUSP2016 – Simpósio Internacional de Iniciação Científica e Tecnológica da USP;

Referências Bibliográficas

1. MOORE, G. E. Progress in Digital Integrated Electronics. **Intel**, 1975. Disponível em: <download.intel.com/museum/Moores_Law/Articles-Press_Releases/Gordon_Moore/1975_Speech.pdf>. Acesso em: 26 Abril 2012.
2. CHANG, L. et al. Moore's law lives on CMOS Transistor. **IEEE Circuits & Devices Magazine**, p. 35-42, 2003.
3. COLINGE, J.-P. **Silicon-on-Insulator Technology: Materials to VLSI**. New York: Springer, 2004.
4. NICOLETTI, T. et al. **The Impact of the Gate Length Scaling on UTBOX FDSOI Devices: the Digital/Analog Performance of Extension-less Structures**. Proceedings of 13th Ultimate Integration on Silicon. Grenoble: [s.n.]. 2012.
5. SANTOS, S.; NICOLETTI, T.; MARTINO, J. **Analog performance of Gate-Source/Drain Underlap Triple Gate SOI nMOSFET**. Microelectronics Technology and Devices - SBMicro 2011. Pennington, NJ, USA: [s.n.]. 2011.
6. SONG, K.-W. et al. **55nm Capacitorless 1T-DRAM Cell Transistor with Non-overlap Structure**. IEEE International Electron Device Meeting. Washington, DC: [s.n.]. 2008.
7. NICOLETT, A. S. et al. Extraction of the lightly doped drain concentration of fully depleted SOI NMOSFETs using the back gate bias effect. **Solid-State electronics**, v. 44, p. 677-684, 2000.
8. NICOLETTI, T. **Estudo da Resistência Série de Fonte e Dreno de Transistores SOI FinFETs de Porta Tripla e com Canal Tensionado (Dissertação de Mestrado)**. Universidade de São Paulo. São Paulo. 2009.
9. DIXIT, A. et al. Analysis of the Parasitic S/D Resistance in Multiple-Gate FETs. **IEEE Transactions on Electron Devices**, v. 52, n. 6, p. 1132-1140, 2005.
10. HU, G. J.; CHANG, C.; CHIA, Y.-T. Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's. **IEEE Transactions on Electron Devices**, v. 34, n. 12, p. 2469-2475, 1987.
11. TERADA, K.; MUTA, H. A New Method to Determine the Effective MOSFET Channel Length. **Japanese Journal of Applied Physics**, v. 18, n. 5, p. 953-959, 1979.
12. COLINGE, J. P. **FinFETs and Other Multi-Gate Transistors**. New York: Springer, 2008.
13. FUJIWARA, M. et al. **Impact of BOX Scaling on 30 nm Gate Length FD SOI MOSFETs**. Proceedings of 2005 IEEE International SOI Conference. Honolulu, Hawaii: [s.n.]. 2005.
14. YAN, R. et al. **LDD Depletion Effects in Thin-BOX FDSOI Devices with a Ground Plane**. Proceedings of 2009 IEEE International SOI Conference. Foster City, California: [s.n.]. 2009. p. 1-2.
15. FENOUILLET-BERANGER, C. et al. **Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI Devices for 32nm node and below**. Proceedings of the European Solid State Device Research Conference, 2009. Athens: [s.n.]. 2009.

16. FENOUILLET-BERANGER, C. et al. FDSOI devices with thin BOX and ground plane integration for 32 nm node and below. **Solid State Electronics**, v. 53, p. 730-734, 2009.
17. BOEUF, F. LETI Annual review: speakers' presentations. **Leti Innovation Days**, 25 junho 2013. Disponível em: <www.leti-innovationdays.com/index.php?langue=en&onglet=20&access=&idUser=>. Acesso em: 03 dezembro 2013.
18. JONES, H. Why migration to FDSOI is better approach than bulk CMOS and FinFETs at 20nm and 14/16nm for price-sensitive markets. **Advanced Substrate News**, 2014. Disponível em: <www.advancedsubstratenews.com/2014/03/why-migration-to-fd-soi-is-better-approach-than-bulk-CMOS-and-FinFETs-at-20nm-and-1416nm-for-price-sensitive-markets/>. Acesso em: 7 maio 2014.
19. KHAKIFIROOZ, A. Body Biasing in FD-SOI: A designer's nightmare or a longtime friend? **Advanced Substrate News**, 2014. Disponível em: <www.advancedsubstratenews.com/2014/04/body-biasing-in-fd-soi-a-designers-nightmare-or-a-longtime-friend/>. Acesso em: 07 maio 2014.
20. LE PAILLEUR, L. **Fully-Depleted-silicon-on-insulator from R&D concept to industrial reality**. SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE. Monterey, CA: IEEE. 2013. p. 1-2.
21. NGUYEN, B.-Y.; MALEVILLE, C. FD-SOI: Back to basics for best cost energy efficiency and performance. **Advanced Substrate News**, 2014. Disponível em: <www.advancedsubstratenews.com/2014/03/fd-soi-back-to-basics-for-best-cost-energy-efficiency-and-performance>. Acesso em: 7 maio 2014.
22. SKOTNICKI, T. ST: FD-SOI for competitive SOCs at 28nm and beyond. **Advanced Substrate News**, 2011. Disponível em: <<http://www.advancedsubstratenews.com/2011/11/st-fd-soi-for-competitive-socs-at-28nm-and-beyond/>>. Acesso em: 2014.
23. ITRS. International Technology Roadmap for Semiconductor, 2011. Disponível em: <www.itrs.net/Links/2011Winter/1_ORTC_Allan.pdf>. Acesso em: 22 janeiro 2014.
24. IWAI, H. Future of Nano CMOS Technology. **Solid-State Electronics**, v. 112, p. 56-67, 2015.
25. IONESCU, A. M.; RIEL, H. Tunnel field-effect-transistors as energy efficient electronic switches. **Nature**, v. 479, p. 329-337, 2011.
26. AGOPIAN, P. G. D. et al. Temperature impact on the Tunnel FET off-state current components. **Solid-State Electronics**, v. 78, p. 141, 2012.
27. SIVIERI, V. D. B. **Estudo de transistores de tunelamento induzido por efeito de campo (TFET) construídos em nanofio. (Dissertação de Mestrado)**. Universidade de São Paulo. São Paulo. 2016.
28. SOUZA, F. N. **Caracterização elétrica de túnel-FET em estruturas de nanofio com fontes de SiGe e Ge em função da temperatura. (Tese de Doutorado)**. Universidade de São Paulo. São Paulo. 2015.
29. MARTINO, M. D. V. **Estudo de transistores de tunelamento controlados por efeito de campo. (Dissertação de Mestrado)**. Universidade de São Paulo. São Paulo. 2012.

30. COLINGE, J. P. An SOI voltage-controlled bipolar-MOS device. **IEEE Transactions on Electron Devices**, v. 34, p. 845-849, 1987.
31. KILCHYTSKA, V.; FLANDRE, D.; ANDRIEU, F. **On the UTBB SOI MOSFET Performance Improvement in Quasi-Double-Gate Regime**. Solid-State Device Research Conference (ESSDERC), 2012 Proceedings of the European. Bordeaux: IEEE. 2012. p. 246-249.
32. ARSHAD, M. K. M. et al. **UTBB SOI MOSFETs analog figures of merits: effect of ground plane and asymmetric double gate regime**. Proceedings of EUROSOI. Montpellier: [s.n.]. 2012. p. 111.
33. LIM, H.-K.; FOSSUM, J. G. Threshold Voltage of Thin Film Silicon on Insulator (SOI) MOSFET's. **IEEE Transactions on Electron Devices**, v. 30, n. 10, p. 1244-1251, Outubro 1983.
34. GHITANI, H. **DIBL coefficient in short channel NMOS transistors**. 16th National Radio Science Conference. Cairo, Egypt: [s.n.]. 1999.
35. JURCZAK, M. Memories on SOI: Floating Body Cell Memory. **Site da EUROSOI**, 17 janeiro 2011. Disponível em: <http://www.eurosoi.org/public/T5_EUROSOI2011_MJurczak.pdf>. Acesso em: 26 Setembro 2011.
36. BAWEDIN, M. et al. **Floating-Body SOI Memory: Concepts, Physics and Challenges**. ECS Transactions. San Francisco, California: The Electrochemical Society. 2009. p. 243-256.
37. YOSHIDA, E.; TANAKA, T. A Capacitorless 1T-DRAM technology using gate induced drain leakage (GIDL) current for low power and high speed embedded memory. **IEEE Transactions on Electron Devices**, 4 Abril 2006. 692-697.
38. SASAKI, K. R. A. et al. **Temperature Influence on UTBOX 1T-DRAM Using GIDL for Writing Operation**. Proceeding of 8th International Caribbean Conference on Devices, Circuits and Systems. Playa del Carmen, Mexico: [s.n.]. 2012.
39. COLINGE, J. P.; COLINGE, C. A. **Physics of Semiconductor Devices**. New York: Springer, 2006.
40. NISSIMOFF, A. et al. **Two Sided Read Window Observed on UTBOX SOI 1T-DRAM**. Microelectronics Technology and Devices (SBMicro), 2013 Symposium on. [S.l.]: [s.n.]. 2013. p. 1-4.
41. NICOLETTI, T. et al. The Dependence of Retention Time on Gate Length in UTBOX FBRAM with Different Source/Drain Junction Engineering. **IEEE Electron Device Letters**, Julho 2012. 940-942.
42. FLANDRE, D. et al. Modeling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. **Solid-State Electronics**, v. 39, n. 4, p. 455-460, abril 1996. ISSN 0038-1101.
43. SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA. **IEEE Journal of Solid-State Circuits**, v. 31, n. 9, p. 1314-1319, setembro 1996.
44. SEDRA, A. S.; SMITH, K. C. **Microeletrônica**. 5. ed. São Paulo: Pearson Prentice Hall, 2007.

45. EL KAAMOUCI, M. et al. **Zero-temperature-Coefficient Biasing Point of 2.4-GHz LNA in PD SOI CMOS Technology**. Proceedings of 37th European Microwave Conference. [S.l.]: [s.n.]. 2007. p. 1101-1104.
46. CAMILLO, L. M. **Estudo do ponto invariante com a temperatura ("Zero Temperature Coefficient") em transistores SOI MOSFET fabricados em tecnologia ultra-submicrométrica (Tese de Doutorado)**. Universidade de São Paulo. São Paulo. 2011.
47. ALMEIDA, L. M. **Estudo de célula de memória dinâmica de apenas um transistor SOI de óxido enterrado ultrafino (Tese de Doutorado)**. Universidade de São Paulo. São Paulo. 2012.
48. CAMILLO, L. M. et al. The temperature mobility degradation influence on the zero-temperature-coefficient of partially and fully depleted SOI MOSFETs. **Microelectronics Journal**, v. 37, n. 9, p. 952, 2006.
49. ALMEIDA, L. M. et al. **Improved analytical model for ZTC bias point for strained tri-gates FinFETs**. ECS transactions. [S.l.]: ECS - The electrochemical society. 2010. p. 385-392.
50. COLLAERT, N. et al. **Analysis of sense margin and reliability of 1T-DRAM fabricated on thin-film UTBOX substrates**. IEEE International SOI Conference. Foster City, CA: [s.n.]. 2009.
51. ALMEIDA, L. M. et al. **Analysis of UTBOX 1T-DRAM Memory Cell at High Temperatures**. Microelectronics Technology and Devices. [S.l.]: ECS Transactions. 2011. p. 61-68.
52. ALMEIDA, L. M. et al. One Transistor Floating Body RAM Performances on UTBOX Devices Using the BJT Effect. **Journal of Integrated Circuits and Systems**, São Paulo, 2012. 113-119.
53. OHTOU, T.; SARAYA, T.; HIRAMOTO, T. Variable-Body-Factor SOI MOSFET with Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control. **IEEE Transactions on Electron Devices**, Janeiro 2008. 40-47.
54. KONONCHUK, O. **Precise Oxide Dissolution**. US2010/0193899 A1, 5 Agosto 2010.
55. MONFRAY, S. et al. Emerging silicon-on-nothing (SON) devices technology. **Solid-State Electronics**, v. 48, p. 887-895, 2004.
56. MARTINO, J. A. **Modelagem do substrato e novos métodos de caracterização elétrica de SOI MOSFET (Tese de Livre Docência)**. Universidade de São Paulo. [S.l.]. 1998.
57. ITOCAZU, V. T. **Efeito do substrato em transistores SOI de camada de silício e óxido enterrado ultrafinos (Dissertação de Mestrado)**. Universidade de São Paulo. São Paulo, p. 86. 2014.
58. SONNENBERG, V. et al. **Influence of High temperature on UTBB SOI nMOSFETs with and without Ground Plane**. ECS Transactions. Toronto, Canadá: The Electrochemical Society. 2013. p. 85-91.
59. ITOCAZU, V. T. et al. **Substrate effect on UTBB SOI nMOSFET**. Microelectronics Technology and Devices (SBMicro), 2013 Symposium on. Curitiba, PR, Brasil: IEEE. 2013. p. 1-4.
60. ANDRADE, M. G. C. et al. Behavior of triple-gate Bulk FinFETs with and without DTMOs operation. **Solid-State Electronics**, v. 71, p. 63-68, 2012. ISSN 0038-1101.

61. ANDRADE, M. G. C. et al. Investigation of Bulk and DTMOS triple-gate devices under 60MeV proton irradiation. **Microelectronics Reliability**, 2014.
62. COLINGE, J. P.; PARK, J. T. **Application of the EKV model to the DTMOS SOI transistor**. Proceedings of the International Semiconductor Device Research Symposium. [S.l.]: [s.n.]. 2003. p. 264.
63. LEE, J.-K. et al. Temperature dependence of DTMOS transistor characteristics. **Solid-State Electronics**, v. 48, p. 183-187, 2004. ISSN 0038-1101.
64. LE COZ, J. et al. **DTMOS power switch in 28nm UTBB FDSOI technology**. SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2013 IEEE. [S.l.]: [s.n.]. 2013. p. 1-2.
65. BOL, D. et al. **Quasi-Double Gate Mode for Sleep Transistors in UTBB FD SOI Low-Power High-Speed Applications**. SOI Conference (SOI), 2012 IEEE International. Napa, CA: [s.n.]. 2012. p. 1-2.
66. KILCHYTSKA, V. et al. Quasi-double-gate regime to boost UTBB SOI MOSFET performance in analog and sleep transistor applications. **Solid-state electronics**, v. 84, p. 28-37, 2013.
67. OLIVEIRA, A. V. et al. **Dynamic threshold voltage influence on Ge pMOSFET hysteresis**. Microelectronics Technology and Devices (SBMicro), 2015 30th Symposium on. Salvador: [s.n.]. 2015. p. 1-4.
68. SASAKI, K. R. A. et al. **Channel Length Influence on the Dynamic Threshold UTBB SOI nMOSFETs**. Proceedings of the SEMINATEC 2014. Sao Paulo: [s.n.]. 2014. p. 53-54.
69. FOSSUM, J. G. et al. **Physical Insights on Design and Modeling of Nanoscale FinFETs**. IEEE International Electron Devices Meeting. Washington, DC: [s.n.]. 2003.
70. SANTOS, S. D. et al. **Spacer Length and Tilt Implantation Influence on Scaled UTBOX FD MOSFETs**. SBMicro 2012: 27th Symposium on Microelectronics Technology and Devices. [S.l.]: [s.n.]. 2012. p. 483-489.
71. SASAKI, K. R. A. et al. **Enhanced Dynamic Threshold Voltage UTBB SOI nMOSFETs**. Proceedings of EUROSOI 2014. Tarragona, Espanha: [s.n.]. 2014. p. 19-20.
72. SASAKI, K. R. A. et al. **Ground Plane Influence on Enhanced Dynamic Threshold UTBB SOI nMOSFETs**. Proceedings of 9th ICCDCS. Playa del Carmen, Mexico: [s.n.]. 2014. p. 57-60.
73. SASAKI, K. R. A. et al. Enhanced Dynamic Threshold voltage UTBB SOI nMOSFETs. **Solid-State Electronics**, v. 112, p. 19-23, 2015.
74. SASAKI, K. R. A. et al. **Silicon Film Thickness Influence on Enhanced Dynamic Threshold UTBB SOI nMOSFETs**. Proceedings of SBMicro 2014. Aracaju: IEEE. 2014. p. 1-4.
75. TRIVEDI, V.; FOSSUM, J. G.; CHOWDHURY, M. M. Nanoscale FinFETs with Gate-Source/Drain Underlap. **IEEE Transactions on Electron Devices**, v. 52, n. 1, p. 56, 2005.
76. SASAKI, K. R. A. et al. **Influence of Underlap on UTBB SOI MOSFETs in Dynamic Threshold Mode**. Proceedings of S3S Conference 2014. Millbrae, California, EUA: IEEE. 2014. p. 105-107.

77. SASAKI, K. R. A. et al. Extensionless UTBB FDSOI devices in enhanced dynamic threshold mode under low power point of view. **Journal of Low Power Electronics and Applications**, v. 5, p. 69-80, 2015.
78. SASAKI, K. R. A. et al. Improved retention times in UTBOX nMOSFETs for 1T-DRAM applications. **Solid-State Electronics**, v. 97, p. 30-37, Julho 2014.
79. CHEN, J. et al. A CV technique for measuring thin SOI film thickness. **IEEE Electron Device Letters**, v. 12, n. 8, p. 453, 1991.
80. SASAKI, K. R. A. et al. **Reliability of film thickness extraction through CV curves of SOI p-i-n gated diodes**. Microelectronics Technology and Devices (SBMicro), 2015 30th Symposium on. Salvador, BA: [s.n.]. 2015. p. 1-4.
81. NAVARRO, C. et al. Fully Depleted SOI Characterization by Capacitance Analysis of p-i-n Gated Diodes. **IEEE Electron Devices Letters**, v. 36, n. 1, p. 5, 2014.
82. SASAKI, K. R. A. et al. **Impact of supercoupling effect on mobility enhancement in UTBB SOI in dynamic threshold mode**. SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2015 IEEE. Sonoma, CA, USA: [s.n.]. 2015. p. 1-3.
83. SILVACO INTERNATIONAL. **Atlas 2014 User's Manual**. Santa Clara, CA: [s.n.], 2014.
84. BALESTRA, F. et al. Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance. **IEEE Electron Device Letters**, v. 8, n. 9, p. 410, 1987.
85. GHIBAUDO, G. New Method for the extraction of MOSFET parameters. **Electronics Letters**, v. 24, n. 9, p. 543-545, 1988.
86. ERNST, T. et al. Ultimately thin double-gate SOI MOSFETs. **IEEE Transaction on Electron Devices**, v. 50, n. 3, p. 830, 2003.
87. EMINENTE, S. et al. Ultra-thin fully-depleted SOI MOSFETs: special charge properties and coupling effects. **Solid-State Electronics**, v. 51, n. 2, p. 239, 2007.
88. FENOUILLET-BERANGER, C. et al. Impact of local back biasing on performance in hybrid FDSOI/Bulk high-k/metal gate low power (LP) technology. **Solid-State Electronics**, v. 88, p. 15, 2013.
89. OHATA, A. et al. Mobility Enhancement by back gate biasing in ultrathin SOI MOSFETs with thin BOX. **IEEE Electron Device Letters**, v. 33, n. 3, p. 248-250, 2012.
90. OHATA, A. et al. Impact of back-gate biasing on effective field and mobility in ultrathin silicon-on-insulator metal-oxide-semiconductor field-effect-transistors. **Journal of Applied Physics**, v. 113, n. 14, p. 144514, 2013.
91. KOBAYASHI, S.; SAITOH, M.; UCHIDA, K. Hole Mobility enhancement by double-gate mode in ultrathin-body silicon-on-insulator transistors. **Journal of Applied Physics**, v. 106, p. 024511, 2009.
92. DYAKONOV, M. I. **Syn Physics in Semiconductor**. 1. ed. [S.l.]: Springer, v. 157, 2008.
93. SASAKI, K. R. A. et al. **Body factor scaling in UTBB SOI with supercoupling effect**. 2016 Joint International EUROSIOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSIOI-ULIS). Viena, Austria: [s.n.]. 2016. p. 174-177.

94. PRETET, J.; VANDOOREN, A.; CRISTOLOVEANU, S. **Temperature operation of FDSOI devices with metal gate (TaSiN) and high-k dielectric**. Proceedings of 33rd ESSDERC Conference. [S.l.]: [s.n.]. 2003. p. 573.
95. GROESENEKEN, G. et al. Temperature dependence of threshold voltage in thin-film SOI MOSFETs. **IEEE Electron Devices Letters**, v. 11, n. 8, p. 329-331, 1990.
96. SASAKI, K. R. A. et al. **Enhanced dynamic threshold UTBB SOI at high temperatures**. Ultimate Integration on Silicon (EUROSUI-ULIS), 2015 Joint International EUROSUI Workshop and International Conference on. Bolonha, Italy: [s.n.]. 2015. p. 261-264.
97. MARTINO, J. A. et al. **Zero-temperature-coefficient of planar and MuGFET SOI devices**. Solid-State and Integrated Circuit Technology (ICSICT), 2010 10th IEEE International Conference on. [S.l.]: [s.n.]. 2010. p. 1753-1756.
98. LING, C. H. Some characteristics of Zero-Temperature-Coefficient Capacitance of an MOS Capacitor in Accumulation. **Japanese Journal Applied Physics**, v. 30, n. 5, p. 917, 1991.

Apêndice

Tabela 15: Quantificação da influência (positiva/negativa) do fator k em cada parâmetro deste trabalho (continua).

Característica em estudo	Características dos dispositivos em estudo (características do dispositivo referência)	Influência positiva do fator k				
		SS	$g_{m,max}$	DIBL	μ_0	R_T
Escalamen- to e Plano de terra (GP)	k=1, canal curto, sem GP , $t_{si}=20nm$, auto-alinhado, $T=25^\circ C$, NMOS (ref: <u>k=0, canal curto, sem GP</u>)	redução de 36%	elevação de 23%	redução de 57%	-	-
	k=1, canal curto, com GP , $t_{si}=20nm$, auto-alinhado, $T=25^\circ C$, NMOS (ref: <u>k=0, canal curto, sem GP</u>)	redução de 51%	elevação de 32%	redução de 100%	-	-
t_{si} e superaco- plamento *	k=5 , $L_{ef}=70nm$, com GP, $t_{si}=6nm$, $L_{UL}=15nm$, $T=25^\circ C$, NMOS (ref: <u>k=0, $t_{si}=14nm$</u>)	redução de 59%	elevação de 62%	redução de 82%	-	-
	k=5 , $L=150nm$, com GP, $t_{si}=7nm$, $T=25^\circ C$, NMOS (ref: <u>k=0</u>)	-	-	-	elevação de 131%	-
Sem extensão (underlap)	k=5 , $L=70nm$, com GP, $t_{si}=14nm$, $L_{UL}=20nm$, $T=25^\circ C$, NMOS (ref: <u>k=0, auto-alinhado</u>)	redução de 59%	elevação de 97%	redução de 74%	-	redução de 37%
Alta temperatu- ra	k=5 , $L=70nm$, com GP, $t_{si}=14nm$, $L_{UL}=20nm$, $T=150^\circ C$, NMOS (ref: <u>k=0, $L_{UL}=20nm$, $T=25^\circ C$</u>)	redução de 45%	elevação de 82%	redução de 41%	-	-

* transistores do CEA-LETI e STMicroelectronics

Obs.: as características dos dispositivos-referência entre parênteses são apenas o que foi alterado. Sua ausência significa que as características foram as mesmas das características dos dispositivos em estudo.

Tabela 15: Quantificação da influência (positiva/negativa) do fator k em cada parâmetro deste trabalho (continua).

Característica em estudo	Características dos dispositivos em estudo (características do dispositivo referência)	Influência positiva do fator k				
		dV_T/dT	V_{ZTC}	I_{ZTC}	A_V	V_{EA}
Escalamen- to e Plano de terra (GP)	k=1, canal curto, sem GP , $t_{si}=20nm$, auto-alinhado, $T=25^\circ C$, NMOS (ref: <u>k=0, canal curto, sem GP</u>)	-	-	-	-	-
	k=1, canal curto, com GP , $t_{si}=20nm$, auto-alinhado, $T=25^\circ C$, NMOS (ref: <u>k=0, canal curto, sem GP</u>)	-	-	-	-	-
t_{si} e superaco- plamento *	k=5 , $L_{ef}=70nm$, com GP, $t_{si}=6nm$, $L_{UL}=15nm$, $T=25^\circ C$, NMOS (ref: <u>k=0, $t_{si}=14nm$</u>)	-	-	-	-	-
	k=5 , $L=150nm$, com GP, $t_{si}=7nm$, $T=25^\circ C$, NMOS (ref: <u>k=0</u>)	-	-	-	-	-
Sem extensão (<i>underlap</i>)	k=5 , $L=70nm$, com GP, $t_{si}=14nm$, $L_{UL}=20nm$, $T=25^\circ C$, NMOS (ref: <u>k=0, auto-alinhado</u>)	-	-	-	elevação de 336% (V/V)	elevação de 670%
Alta temperatu- ra	k=5 , $L=70nm$, com GP, $t_{si}=14nm$, $L_{UL}=20nm$, $T=150^\circ C$, NMOS (ref: <u>k=0, $L_{UL}=20nm$, $T=25^\circ C$</u>)	redução de 63%	redução de 57%	Constan- te	elevação de 303%	elevação de 97%

* transistores do CEA-LETI e STMicroelectronics

Obs.: as características dos dispositivos-referência entre parênteses são apenas o que foi alterado. Sua ausência significa que as características foram as mesmas das características dos dispositivos em estudo.

Tabela 15: Quantificação da influência (positiva/negativa) do fator k em cada parâmetro deste trabalho (final).

Característica em estudo	Características dos dispositivos em estudo (características do dispositivo referência)	Influência positiva do fator k		Influência negativa do fator k		
		g_{mSAT}	g_m/I_D (inversão fraca)	GIDL	g_D	c
Escalamento e Plano de terra (GP)	k=1, canal curto, sem GP , $t_{si}=20nm$, auto-alinhado, $T=25^\circ C$, NMOS (ref: k=0, canal curto, sem GP)		-	-	-	-
	k=1, canal curto, com GP , $t_{si}=20nm$, auto-alinhado, $T=25^\circ C$, NMOS (ref: k=0, canal curto, sem GP)		-	-	-	-
t_{si} e superacoplamento *	k=5 , $L_{ef}=70nm$, com GP, $t_{si}=6nm$, $L_{UL}=15nm$, $T=25^\circ C$, NMOS (ref: k=0, $t_{si}=14nm$)		-	elevação de quase 2 ordens de grandeza	-	-
	k=5 , $L=150nm$, com GP, $t_{si}=7nm$, $T=25^\circ C$, NMOS (ref: k=0)		-	-	-	-
Sem extensão (underlap)	k=5 , $L=70nm$, com GP, $t_{si}=14nm$, $L_{UL}=20nm$, $T=25^\circ C$, NMOS (ref: k=0, auto-alinhado)	elevação de 234%	elevação de 240%	elevação de 26% (6,9pA para 8,8pA)	redução de 20%	-
Alta temperatura	k=5 , $L=70nm$, com GP, $t_{si}=14nm$, $L_{UL}=20nm$, $T=150^\circ C$, NMOS (ref: k=0, $L_{UL}=20nm$, $T=25^\circ C$)	-	elevação de 96%	-	-	elevação de 23%

* transistores do CEA-LETI e STMicroelectronics

Obs.: as características dos dispositivos-referência entre parênteses são apenas o que foi alterado. Sua ausência significa que as características foram as mesmas das características dos dispositivos em estudo.