CLAUDIA ALMERINDO DE SOUZA OLIVEIRA

**ESTUDO E PROJETO DE UM CONVERSOR D/A DE
ALTA VELOCIDADE EM TECNOLOGIA CMOS**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para obtenção do Título de Mestre
em Engenharia Elétrica

São Paulo

2005

CLAUDIA ALMERINDO DE SOUZA OLIVEIRA

**ESTUDO E PROJETO DE UM CONVERSOR D/A DE
ALTA VELOCIDADE EM TECNOLOGIA CMOS**

Dissertação apresentada à Escola
Politécnica da Universidade de São
Paulo para obtenção do Título de Mestre
em Engenharia Elétrica

Área de Concentração:
Microeletrônica

Orientador:
Dr. João Navarro Soares Junior

São Paulo
2005

FICHA CATALOGRÁFICA

Oliveira, Claudia Almerindo de Souza

Estudo e projeto de um conversor D/A de alta velocidade em tecnologia CMOS / C.A.S. Oliveira. -- São Paulo, 2005.

101 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Microeletrônica 2.Circuitos integrados MOS 3.Conversores A/D e D/A I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

“Nunca ande pelo caminho traçado, pois ele
conduz somente até onde os outros foram.”
(Graham Bell)

AGRADECIMENTOS

À Deus, pela força durante estes últimos anos para a realização deste projeto.

Ao Doutor João Navarro Soares Junior, meu orientador, pela oportunidade de desenvolver este trabalho na Universidade de São Paulo e pelas sugestões ao bom andamento do trabalho.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pelo suporte financeiro dado através da bolsa de mestrado.

À Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), pelo financiamento da fabricação dos circuitos integrados.

Ao Laboratório de Sistemas Integráveis (LSI) e ao Laboratório de Circuitos Elétricos, pela disposição de sua infra-estrutura física para o desenvolvimento deste trabalho.

Ao Dr. Marco Antonio S. Dal Pos pela disponibilidade para adaptação da placa de circuito impresso utilizada para o teste do CI e também pela ajuda na programação do FPGA.

Aos colegas da Divisão de Metodologias e Projetos VLSI (DMPSV) pelas alegres conversas.

Aos meus queridos amigos Kátia, Denise e Michel pelas distraídas conversas nas horas vagas.

Ao meu querido Marcelo que durante estes últimos anos sempre esteve ao meu lado tanto nas horas alegres como nas tristes, pela sua amizade, companheirismo, dedicação e afeto. Obrigada por você existir e estar sempre ao meu lado.

À minha família, pois sem o apoio deles eu não teria chegado tão longe...

RESUMO

Neste trabalho é descrito o projeto e testes de um conversor digital/analógico de alta velocidade fabricado em tecnologia CMOS. O conversor projetado possui resolução de 6 *bits*, trabalha em frequência de 200 *MSample/s*, e foi fabricado na tecnologia CMOS de 0,35 μm da *AMS (Austriamicrosystems)*, com quatro níveis de metal e 2 de silício policristalino.

Uma das principais aplicações dos conversores D/A de alta velocidade é no processamento digital de sinais de vídeo, utilizado em sistemas de vídeo tais como os de TV digital e TVs de alta definição. Nestes sistemas, conversores D/A em tecnologia CMOS possuem vantagens tais como baixo consumo, baixo custo e a capacidade de sua integração com outros circuitos.

O conversor D/A projetado é composto por uma matriz de células de corrente que são ativadas por dois decodificadores: um decodificador de colunas e outro decodificador de linhas. Estes recebem como entrada o sinal digital que deve ser convertido. As células de corrente são compostas por portas lógicas OR e NAND, inversores, *latches*, fontes de corrente e chaves que conectam ou não cada fonte individual a saída.

Simulações do conversor D/A foram realizadas a partir de *netlists* extraídos do *layout* do circuito e através dos *softwares HSPICE e ELDO*. Para estas simulações foi utilizado o modelo BSIM3v3 com parâmetros típicos, *worst speed* e *worst power*. Através de simulação foi verificado o desempenho do conversor pela avaliação do número efetivo de *bits*. Os resultados demonstraram que o conversor possui uma boa resolução com uma frequência de amostragem de 200 MHz, consumo de potência de 70 mW (corrente de saída variando de 0 a 19,8 mA) e tensão de alimentação $V_{DD} = 3,3 \text{ V}$.

Nos testes experimentais, o conversor implementado apresentou erros de não linearidade integral menores que 0,46 LSB e erros de não linearidade diferencial menores que 0,22 LSB, o que assegura a monotonicidade do circuito. O *chip* implementado possui uma área ativa de 0,4 mm x 0,31 mm.

ABSTRACT

In this work is described the design and tests of a high speed digital/analog converter fabricated in CMOS technology. The digital/analog converter has 6 bits of resolution, 200 MSample/s, and it was fabricated in the AMS (*Austriamicrosystems*) 0.35 μm CMOS process, with four metal levels and double-polysilicon.

The main applications of high speed converters D/A is in digital processing of video signals, used in video systems such as digital TV and high-definition TV. In these systems, D/A converters in CMOS technology have advantages such as low power consumption, low cost, and the capability of being integrated with other circuits.

The designed D/A converter are composed of a matrix of current cells that are activated by two decoders: a column decoder and a row decoder. These decoders receive as input the digital signal to be converted. The current cells are composed of logic OR and NAND, inverters, latches, current sources and switch transistors that connect or not each individual current source to the output.

Simulations results were obtained from the extracted netlist of the circuit layout using the *HSPICE* and *ELDO* software. For these simulations the BSIM3v3 transistor model was used with typical, worst speed and worst power parameters. Simulation tests were applied to check the performance through the effective number of bits, and the results show that the converter can reach 200 MSample/s with 70 mW power consumption (the output current ranging from 0 mA to 19.8 mA) and 3.3 V power supply.

In the experimental measurements, the converter presented DC integral non linearity errors lower than 0.46 LSB and DC differential non linearity errors lower than 0.22 LBS, what ensures the monotonicity of the converter. The implemented chip active area is 0.4 mm x 0.31 mm.

SUMÁRIO

RESUMO	i
ABSTRACT	ii
LISTA DE FIGURAS	v
LISTA DE TABELAS	viii
LISTA DE ABREVIATURAS E SIGLAS	ix
LISTA DE SIMBOLOS	x
CAPÍTULO 1	1
1. INTRODUÇÃO	1
1.1. Motivação	3
1.2. Objetivos	4
1.3. Descrição dos Capítulos da Dissertação	5
CAPÍTULO 2	6
2. ASPECTOS TEÓRICOS	6
2.1. Conversor Ideal	6
2.2. Especificações	8
2.3. Esquemas de Codificação	17
2.4. Arquiteturas do Conversor D/A	18
CAPÍTULO 3	38
3. PROJETO, IMPLEMENTAÇÃO E SIMULAÇÃO DO CONVERSOR D/A	38
3.1. Técnicas de Projeto de Circuito do Conversor D/A	38
3.2. Determinação dos Valores dos Componentes da Célula Básica	48
3.3. Implementação do Conversor D/A	54
3.4. Simulação do Conversor D/A	61
CAPÍTULO 4	68
4. RESULTADOS EXPERIMENTAIS DO CONVERSOR D/A	68
4.1. Procedimento Experimental	70
4.2. Resultados de Caracterização do Conversor D/A	71

CAPÍTULO 5	75
5. CONCLUSÕES E SUGESTÕES	75
5.1. Conclusões	75
5.2. Sugestões para Trabalhos Futuros.....	76
ANEXO A: Parâmetros de Simulação	77
ANEXO B: Tabela Distribuição Normal Reduzida	88
ANEXO C: Programação do FPGA.....	91
ANEXO D: Principais parâmetros da tecnologia MOS 0,35 μm da AMS.	96
REFERÊNCIAS	98

LISTA DE FIGURAS

Figura 1.1: Categorias da tecnologia do silício.....	2
Figura 1.2: Interface entre o mundo analógico e o processamento digital.....	2
Figura 1.3: Diagrama de um bloco simplificado de uma filmadora portátil eletrônica.	3
Figura 2.1. Representação em bloco de um conversor D/A.....	6
Figura 2.2. Função de transferência ideal para um conversor D/A de 3 bits.....	7
Figura 2.3. Erro de <i>offset</i> para um conversor D/A de 3 Bits.....	9
Figura 2.4. Erro devido ao ganho.....	10
Figura 2.5. Erro de não linearidade diferencial para um conversor D/A.....	11
Figura 2.6. Ilustração gráfica das diferentes não linearidades presentes na saída.	11
Figura 2.7. Erro de não linearidade integral (INL).	12
Figura 2.8. Representação dos erros dinâmicos. A figura mostra a transição de um código na entrada para outro.	13
Figura 2.9. Exemplo de <i>glitch</i>	15
Figura 2.10: Definição da Faixa Dinâmica Livre de Espúrios.....	16
Figura 2.11. Conversor D/A com rede de resistores simples.....	19
Figura 2.12. Conversor D/A série de resistores, a) código termômetro e b) código binário.	20
Figura 2.13: Modelo do descasamento do resistor com um gradiente linear.....	22
Figura 2.14: Divisão de carga simples.	25
Figura 2.15: (a) Configuração modificada de um divisor de carga; (b) Circuito no modo descarregado; (c) circuito no modo de avaliação.....	26
Figura 2.16: Divisor de carga com entrada binária.	26
Figura 2.17: Estrutura Típica de um Capacitor Monolítico.	28
Figura 2.18: (a) capacitâncias parasitárias da placa superior do capacitor; (b) série de capacitores segmentados incluindo a capacitância parasitária da placa superior.	29
Figura 2.19: (a) Divisão de corrente uniforme e (b) Divisão de corrente binária.	31
Figura 2.20: Replicação de corrente simples.	31
Figura 2.21: (a) série de fontes de corrente segmentadas e (b) série de fontes de corrente binárias.....	32
Figura 2.22: Conversão da corrente de saída de uma série de fontes de corrente para tensão utilizando (a) um resistor e (b) um amplificador de transimpedância.	33
Figura 2.23: Fontes de corrente MOS idênticas, (a) fonte convencional e (b) fonte com resistores de degeneração.	34
Figura 2.24: Série de fontes de corrente incluindo a impedância de saída de cada fonte de corrente.....	37
Figura 3.1: Diagrama de blocos da arquitetura do conversor D/A.	39
Figura 3.2: Circuito de decodificação de alta velocidade.	41
Figura 3.3: a) Sequência de chaveamento serial da matriz e b) Sequência de chaveamento simétrico da matriz. Os números nas células indicam a ordem de chaveamento para cada caso.	43
Figura 3.4: Configuração da fonte de corrente.....	44

Figura 3.5: <i>Latch</i> dinâmico para controle das chaves.	45
Figura 3.6: Sinais de entrada e saída do <i>latch</i>	46
Figura 3.7: <i>Latch</i> dinâmico para controle das chaves com os inversores adicionados.	47
Figura 3.8: Sinais de controle de chaveamento. (a) Sinal na saída do <i>latch</i> sem os inversores e (b) sinal na saída do <i>latch</i> com os inversores.	47
Figura 3.9: Esquematização da célula básica de corrente.	48
Figura 3.10: Gráficos: (a) (Casamento das fontes de corrente X número de <i>bits</i>) e (b) (Área do transistor X número de <i>bits</i>).	50
Figura 3.11: Esquematização do circuito simulado.	51
Figura 3.12: Corrente de saída da fonte de corrente, I_{DS2} , e Tensão porta-fonte do Transistor M_2 , V_{GS2} , X Largura do canal (W) de M_2	52
Figura 3.13: Análise DC da tensão mínima para o transistores chaves mudarem de região de operação. O transistor M_4 tem sua tensão de porta fixa em 3,3 V e o transistor M_5 tem sua tensão variando de 2 V a 3,3 V.	52
Figura 3.14: Variação da corrente em função da tensão de saída.	53
Figura 3.15: Variação da tensão no nó de dreno da fonte de corrente.	54
Figura 3.16: <i>Layout</i> da célula básica de corrente (figura 3.9).	55
Figura 3.17: <i>Layout</i> dos transistores da fonte de corrente.	56
Figura 3.18: <i>Layout</i> dos inversores, <i>latch</i> e portas <i>OR</i> e <i>NAND</i>	57
Figuras 3.19: Transistor Espelho de Corrente M_1	57
Figura 3.20: <i>Layout</i> dos decodificadores periféricos. (a) Decodificador de linhas e (b) Decodificador de colunas.	57
Figuras 3.21: Atraso em função do Número de estágios.	59
Figura 3.22: <i>Layout</i> do <i>Buffer</i> utilizado no conversor D/A.	59
Figura 3.23: <i>Layout</i> do conversor D/A com seus blocos principais em destaque.	60
Figura 3.24: <i>Layout</i> final do conversor D/A.	60
Figura 3.25: Diagrama de blocos do circuito simulado.	62
Figura 3.26: Tensão de saída diferencial quando $f_{sample} = 100$ MHz, $f_{sinal} = f_{sample} \cdot 801 / (f_{in} \cdot 800)$ (onde se $f_{in} = 200$, f_{sinal} está próximo de 500 KHz, se $f_{in} = 10$, f_{sinal} está próximo de 10 MHz, etc.) e carga de saída igual a 9,1 pF.	63
Figura 3.27: Tensão de saída diferencial quando $f_{clk} = 200$ MHz, $f_{sinal} = f_{sample} \cdot 801 / (f_{in} \cdot 800)$ (onde se $f_{in} = 200$, f_{sinal} está próximo de 1 MHz, se $f_{in} = 10$, f_{sinal} está próximo de 20 MHz, etc.) e carga de saída igual a 9,1 pF.	64
Figura 3.28: Configuração para avaliar o erro RMS do conversor D/A. Erro RMS = $\lim_{T \rightarrow \infty} \sqrt{\frac{1}{T} \int_T (v_{outL} - v_{outR})^2} \cdot$	65
Figura 3.29: Número efetivo de <i>bits</i> quando (a) A taxa de amostragem é 100 MSample/s e (b) a taxa de amostragem é 200 MSample/s; carga capacitiva de saída igual a 9,1 pF.	66
Figura 4.1: Fotomicrografia do <i>chip</i> fabricado.	68
Figura 4.2: Fotomicrografia do conversor D/A fabricado.	69
Figura 4.3: Diagrama de encapsulamento do circuito conversor.	69
Figura 4.4: Placa de circuito impresso utilizada para caracterização do conversor D/A.	70
Figura 4.5: Montagem do procedimento experimental do conversor D/A.	71

Figura 4.6: Forma de onda em rampa da saída do conversor D/A com taxa de amostragem de 250 kHz.....	72
Figura 4.7: Curva de transferência de um conversor D/A.	73
Figura 4.8: INL medido do conversor D/A.....	73
Figura 4.9: DNL medido do conversor D/A.	74
Figura C.1: Bloco de teste do conversor D/A.	95
Figura C.2: Representação dos blocos contador e LUT.....	95

LISTA DE TABELAS

Tabela 2.1: Valores da função de transferência para um conversor D/A ideal.....	7
Tabela 2.2: Códigos Binários, Termômetro e 1- <i>of-n</i>	18
Tabela 3.1: Parâmetros de processo: μ_N é a mobilidade dos elétrons do transistor NMOS, ϵ_{OX} é constante de permissividade do óxido, x_{OX} é a espessura do óxido de porta do transistor, L_{min} é o mínimo comprimento de canal e W_{min} é a mínima largura de canal (tanto dos transistores N como P), V_{TN} é a tensão de limiar para o transistor tipo N, μ_P é a mobilidade das lacunas do transistor PMOS e V_{TP} é a tensão de limiar para o transistor tipo P.	38
Tabela 3.2: Parâmetros de casamento da tecnologia.....	50
Tabela 3.3: Dimensões dos transistores utilizados na fonte de corrente, no transistor cascata, nas chaves, no <i>latch</i> e nos inversores. Para todos os transistores $L = 0,35 \mu\text{m}$	54
Tabela 3.4: Características do conversor D/A (condições típicas).	67
Tabela 4.1: Lista de especificações gerais do conversor D/A com fontes de corrente com valores típicos.....	74
Tabela B.1: Tabela Distribuição Normal Reduzida.	89
Tabela D.1: Alcance da tensão de Operação para tecnologia MOS 0,35 μm da AMS.	97
Tabela D.2: Densidades de Correntes para tecnologia MOS 0,35 μm da AMS.	97

LISTA DE ABREVIATURAS E SIGLAS

A/D	Analógico/Digital
AMS	Austriamicrosystems
CAD	Conversor Analógico-Digital
CCDs	<i>Charge Coupled Devices</i>
CDA	Conversor Digital-Analógico
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
D/A	Digital/Analógico
DNL	Não Linearidade Diferencial
FSR	<i>Full Scale Range</i>
HDTV	<i>High Definition Television</i>
INL	Não Linearidade Integral
LSB	<i>Least Significant Bit</i>
MOSFETs	<i>Metal-Oxide-Semiconductor Field Transistors</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
MSB	<i>Most Significant Bit</i>
SFDR	<i>Spurious Free Dynamic Range</i>
RMS	<i>Root Mean Square</i>
SiO₂	Dióxido de Silício
SNR	<i>Signal-to-Noise Ratio</i>
VLSI	<i>Very Large-Scale Integrated</i>

LISTA DE SIMBOLOS

A_{β}	Parâmetro de casamento relativo do fator de ganho da corrente
α_j	Coefficiente de tensão de ordem j -ésimo
A_{VT}	Parâmetro de casamento relativo da tensão de limiar
β	Ganho do transistor MOS
β_1	Ganho do transistor M_1 da fonte de corrente
β_2	Ganho do transistor M_2 da fonte de corrente
C	Unidade de capacitância de qualquer valor
C_{IN}	Capacitância de entrada
C_{junc}	Capacitância de junção
C_L	Carga capacitiva da saída do <i>buffer</i>
C_0	Capacitância com polarização zero
C_{out}	Capacitância de saída
C_{ox}	Capacitância do óxido de porta por unidade de área
C_p	Capacitância parasitária total
C_T	Capacitância parasitaria total
ΔI_0	Variação causada pela modulação sobre a corrente total
$C_{xi,xj}$	Covariância entre x_j e x_i
ΔV	Tensão aplicada entre as portas dos transistores chaves M_4 e M_5
D_{N-1}	<i>Bit</i> mais significativo
D_0	<i>Bit</i> menos significativo
dq	Incremento de carga
dV	Incremento de tensão
ε	Constante dielétrica

E_{RMS}	Erro RMS
ϵ_{OX}	Constante de permissividade do óxido
Φ	Potencial de trabalho
F	Fração definida pela entrada digital $D_i, D_0, D_1, \dots, D_N$
f_{clk}	Frequência de <i>clock</i>
f_{sample}	Frequência de amostragem
f_{sig}	Frequência do sinal de entrada
g_m	Transcondutância do transistor MOS
I_D	Corrente de dreno do transistor
I_{D1}	Corrente de dreno no transistor M_1 da fonte de corrente
I_{D2}	Corrente de dreno no transistor M_2 da fonte de corrente
I_F	Valor da corrente de cada célula básica
I_{ref}	Corrente de referência
I_{TOTAL}	Corrente total
j	Altura do código termômetro ou binário
$j-th$	No da rede resistiva
L	Comprimento do canal do transistor
L_{ef}	Comprimento efetivo do canal do transistor
μ	Mobilidade dos portadores no canal
μ_N	Mobilidade dos elétrons do transistor NMOS
μ_P	Mobilidade das lacunas do transistor PMOS
m_j	Constante com valor entre 0,3 e 0,5
M	2^N
N	Número de <i>bits</i>

NH	Numero de harmônicas
Q_{REF}	Carga de referencia
r	Fator de proporcionalidade
r_0	Impedância de saída de cada fonte de corrente
R	Valor nominal do resistor
R_c	Resistência adicional devido a cada contato
R_S	Resistência de degeneração
R_{SAIDA}	Resistência de saída
ρ	Resistividade
σ^2_C	Variância do valor capacitivo
σ_i	Variância das fontes de corrente
σ^2_{ID}	Variância da corrente de saída
σ^2_{INL}	Variância do INL
σ^2_L	Variância do comprimento de canal
$\sigma^2_{\mu Cox}$	Variância de μCox
σ^2_ρ	Variância da resistividade
σ^2_R	Variância do valor do resistor, R
σ^2_{Rc}	Variância da resistência de contato
σ^2_{Rs}	Variância do resistor de degeneração
σ^2_t	Variância da espessura
σ^2_{Vt}	Variância da tensão de limiar
σ^2_W	Variância da largura
S/N	<i>Sinal-to-noise ratio</i>
S/N_{MAX}	Relação sinal-ruído máximo

t	Espessura do resistor
T	Período
t_{ox}	Espessura do óxido de porta do transistor
THD	Distorção total de harmônicas
V	Tensão
V_{DD}	Tensão de alimentação
V_{FS}	Tensão de escala total
$V(fsig)$	Amplitude da fundamental
v_j	Tensão na junção dreno/substrato ou fonte/substrato
$V(j.fsig)$	Trigésima harmônica
V_{gs}	Tensão porta/fonte (<i>gate/source</i>)
V_{gs1}	Tensão porta/fonte (<i>gate/source</i>) do transistor M_1
V_{gs2}	Tensão porta/fonte (<i>gate/source</i>) do transistor M_2
V_{ref}	Tensão de referência
V_0	Tensão inicial
v_{out}	Tensão de saída analógica
v_{sat}	Velocidade de saturação dos portadores
V_t	Tensão de limiar do transistor
V_{tn}	Tensão de limiar do transistor NMOS
V_{tp}	Tensão de limiar do transistor PMOS
W	Largura do canal do transistor
W_{min}	Largura mínima do canal do transistor
WL_{min}	Área de porta mínima dos transistores
W_N	Largura do canal do transistor NMOS

W_P	Largura do canal do transistor PMOS
χ	Fator de aumento entre os inversores
$x_1, x_2, \dots, x_N$	Variáveis aleatórias
$(\overline{x_1}, \sigma_{x1}^2)$	Média das variáveis aleatórias
$(\overline{x_n}, \sigma_{xn}^2)$	Variância das variáveis aleatórias
x_{OX}	Espessura do óxido de porta do transistor

CAPÍTULO 1

1. INTRODUÇÃO

Nos últimos anos tem-se observado um grande aumento na complexidade tanto dos circuitos digitais como dos circuitos analógicos. Nos circuitos digitais, o aumento ocorreu devido à necessidade de sistemas com crescente capacidade de processamento de informações enquanto nos circuitos analógicos, devido a constante incorporação de novas funcionalidades.

As duas tecnologias mais populares utilizadas para o projeto de circuitos integrados são as tecnologias Bipolar e MOS (*Metal Oxide Semiconductor*), ambas sobre silício. Dentro de cada uma dessas tecnologias há diversas variantes como ilustra a figura 1.1.

A tecnologia CMOS passou, a partir dos anos 80, a ser dominante na fabricação de circuitos integrados devido às vantagens sem igual que ela oferece: baixo consumo de potência, simplicidade de projeto e principalmente alto nível de integração. A atual tecnologia CMOS permite a completa integração de sistemas, incluindo a maior parte das interfaces analógicas, para diversos campos de aplicação tais como vídeo, áudio, telecomunicações, implantes biomédicos, etc. Disto resulta maior confiabilidade e portabilidade [1]. Nos últimos anos, 75% dos circuitos semicondutores (tanto em quantidade como em valor) foram produzidos em CMOS, fato que adiciona outra vantagem à tecnologia: redução de custo devido à escala de produção.

Não obstante muitas das vantagens das tecnologias CMOS estarem relacionadas aos circuitos digitais, muitos blocos analógicos foram também desenvolvidos em CMOS. Estes blocos são indispensáveis para o desenvolvimento dos sistemas requeridos em grande parte das aplicações modernas.

Um exemplo destes blocos são os conversores. Para realizar a interface entre o mundo analógico e o mundo digital, circuitos de aquisição e reconstrução devem

ser utilizados: os conversores analógicos/digitais (CAD), que servem para adquirir e digitalizar sinais analógicos, e os conversores digitais/analógicos (CDA), que servem para transformar os dados digitais para uma grandeza analógica, figura 1.2.

Figura 1.1: Categorias da tecnologia do silício.

Há diversas aplicações de interfaces de conversão de dados em produtos de consumo, tais como tocadores *compact disc*, filmadoras, telefones, *modems* e televisões de alta definição (HDTV), e em sistemas especializados, tais como processadores de imagens médicas, processadores de voz, instrumentos de medição, controle industrial e radares.

Figura 1.2: Interface entre o mundo analógico e o processamento digital.

A figura 1.3 ilustra um sistema completo onde há conversão A/D, processamento digital e conversão D/A. Ela apresenta um bloco simplificado de uma filmadora eletrônica portátil. A imagem inicial atua sobre um conjunto de dispositivos de cargas acopladas (CCDs – *charge-coupled devices*) que produz cargas de saída proporcionais à intensidade luminosa. As cargas de todos os CCDs

são detectadas em serie e convertidas para tensão e o sinal resultante é digitalizado por conversores A/D. O sinal digitalizado é processado e, posteriormente, é convertido para um sinal analógico de vídeo através de conversores D/A.

Figura 1.3: Diagrama de um bloco simplificado de uma filmadora portátil eletrônica.

1.1. Motivação

Uma das principais aplicações para conversores D/A de alta velocidade é o processamento digital de sinais de vídeo, utilizado em sistemas de vídeo tais como os de TV digital e TVs de alta definição. Nestes conversores há a necessidade de resoluções acima de 6 *bits*.

Para estes sistemas, conversores D/A em tecnologia CMOS são vantajosos, pois possuem baixo consumo e baixo custo; adicionalmente, podem ser integrados com memórias e com os outros blocos do processamento digital [2].

Outra aplicação de conversores D/A é em alguns sistemas de comunicação *wireless*. Para os sistemas *wireless* portáteis, os que mais têm crescido em uso [3], duas características constituem fatores críticos: os custos e consumo de potência. Como os custos para fabricar tais sistemas são proporcionais ao número de componentes discretos existentes, maior o número maior o custo, há grande interesse no desenvolvimento de sistemas completamente integrados. Adicionalmente a diminuição de custos, circuitos integrados normalmente apresentam menor consumo e maior à confiabilidade [4].

Dentre as possíveis arquiteturas de conversores D/A, a arquitetura com fontes de corrente é particularmente interessante para altas velocidades, pelos seguintes motivos: 1) pode ser projetada para uma tecnologia digital CMOS padrão, com

evidente vantagem de custo e nível de integração, e 2) são aquelas que permitem a maior taxa de amostragem entre todas as arquiteturas de conversores D/A [5, 6, 7].

Conversores D/A com fontes de corrente são tipicamente utilizados em aplicações de alta velocidade, desde que não sejam necessários *buffers* na saída do circuito para acionar circuitos de baixa impedância de entrada, e são tradicionalmente fabricados utilizando tecnologia bipolar [8]. Por outro lado, a redução constante das dimensões nas tecnologias CMOS e o conseqüente aumento na velocidade dos seus transistores as tornam uma alternativa atraente. A precisão do conversor, por sua vez, depende de como as fontes de corrente estão casadas.

1.2. Objetivos

Neste trabalho será realizado o estudo e o projeto de um conversor digital-analógico (D/A) de 6 *bits* trabalhando em uma frequência de amostragem de 200 *Msamples/s*, fabricado em tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) de 0,35 μm da AMS (*Austriamicrosystems*), 4 níveis de metal e 2 de silício policristalino [9, 10].

O trabalho está dividido nas seguintes partes:

- Estudar arquiteturas de conversores digital-analógicos, escolher uma arquitetura para projeto de conversor de alta velocidade, projetar e simular o comportamento elétrico do circuito;
- Realizar o *layout* e estudar o comportamento elétrico com as capacitâncias parasitas incluídas;
- Fabricar o circuito;
- Realizar testes experimentais para verificar os requisitos de operação do conversor.

1.3. Descrição dos Capítulos da Dissertação

Esta dissertação está dividida em cinco capítulos. No primeiro capítulo foram descritas, de forma geral, as aplicações do circuito conversor D/A, as motivações e os objetivos do trabalho.

O segundo capítulo contém a base teórica deste trabalho e uma revisão das referências bibliográficas. Inicia com os aspectos gerais de um conversor D/A e especificações. A seguir, uma comparação entre as principais arquiteturas de conversores é apresentada para justificar a arquitetura escolhida para ser projetada.

O terceiro capítulo mostra o procedimento de projeto, cálculos, simulações *pré-layout*, desenho do *layout* e simulações *pós-layout*.

O quarto capítulo apresenta a placa de teste e os resultados experimentais do teste do conversor D/A.

O quinto capítulo corresponde às conclusões do trabalho e são feitas várias sugestões para sua continuidade.

CAPÍTULO 2

2. ASPECTOS TEÓRICOS

2.1. Conversor Ideal

Um conversor digital-analógico ideal é um circuito que é utilizado para converter um código digital da entrada para um valor correspondente analógico na saída.

Os sinais digitais são aplicados ao conversor como sinais paralelos. Tipicamente, a saída de um conversor D/A é um valor que é uma fração de um valor de referência (que pode ser tensão ou corrente) e é dada pela equação [8]:

$$v_{out} = FV_{ref} \quad (2.1)$$

onde v_{out} é a saída analógica, V_{ref} é o valor de referência e F é a fração definida pelas entradas digitais D_i , D_0 , D_1 , ..., D_{N-1} (N é o número de *bits*). A representação em bloco de um conversor D/A é mostrada na figura 2.1.

Figura 2.1. Representação em bloco de um conversor D/A.

D_0 representa o *Bit* menos Significativo (*Least Significant Bit – LSB*) e D_{N-1} representa o *Bit* mais Significativo (*Most Significant Bit – MSB*). Para o caso de codificação binária, o número de combinações na entrada é relacionado ao número de *bits* por [8]:

$$\text{Número de combinações na entrada} = 2^N \quad (2.2)$$

O máximo valor analógico que pode ser gerado na saída é conhecido como o valor de escala total, V_{FS} , e pode ser generalizado para qualquer conversor D/A como [8]:

$$V_{FS} = \frac{2^N - 1}{2^N} \cdot V_{REF} \quad (2.3)$$

O *bit* menos significativo (LSB) define a menor possibilidade de mudança no valor da saída analógica. O LSB é dado por [8]:

$$1LSB = \frac{V_{REF}}{2^N} \quad (2.4)$$

O *bit* mais significativo (MSB) refere-se ao dígito “mais à esquerda” da entrada digital. Generalizando para um conversor D/A de N -bits, o MSB é denominado D_{N-1} e causa na saída uma variação igual à $\frac{1}{2}V_{REF}$.

A função de transferência de entrada/saída de um conversor D/A ideal é uma série de pontos discretos em linha reta como mostrado na figura 2.2.

Tabela 2.1: Valores da função de transferência para um conversor D/A ideal.

Figura 2.2. Função de transferência ideal para um conversor D/A de 3 bits.

2.2. Especificações

Embora os sistemas de comunicação sejam usualmente analisados e caracterizados dentro do domínio da frequência, a performance de um conversor D/A é tradicionalmente descrita utilizando-se especificações estáticas (DC) e dinâmicas no domínio do tempo [11]. Para se entender os conceitos básicos para determinar a performance de um conversor D/A serão apresentadas, a seguir, vários critérios de especificação de um conversor D/A.

2.2.1. Especificações Estáticas (DC)

Os tipos de erros estáticos que influenciam a performance do conversor D/A em DC e em baixas frequências são: erro de *offset*, erro de ganho, erro de não linearidade diferencial (DNL) e erro de não linearidade integral (INL) [12]. Estes erros são avaliados por critérios de mesmo nome que são expressos em unidades de LSB ou em porcentagem de FSR (*Full Scale Range*).

2.2.1.1. Erro de *Offset*

O erro de *offset* é mostrado na figura 2.3 e é definido como a constante de *offset* DC da função de transferência de entrada/saída de um conversor D/A, medido com o menor valor na entrada digital. De acordo com a figura 2.3, ele é a diferença entre o ponto de *offset* real e o ponto de *offset* nominal. Este erro não afeta as características da saída no domínio da frequência e afeta todos os códigos pelo mesmo valor.

Figura 2.3. Erro de *offset* para um conversor D/A de 3 Bits.

2.2.1.2. Erro de Ganho

O erro de ganho é mostrado na figura 2.4 e é definido como a diferença entre a extensão da saída real e da saída ideal. A extensão da saída é determinada através da diferença do valor de saída quando todos os *bits* da entrada são ajustados para 1 e do valor de saída quando todos os *bits* da entrada são ajustados para 0. Este erro representa as somas dos desvios entre a função de transferência ideal e a função de transferência medida (com o erro de *offset* removido) [13].

2.2.1.3. Erro de Não Linearidade Diferencial (DNL)

O erro de Não Linearidade Diferencial (DNL), figura 2.5, descreve a diferença entre dois valores de sinais analógicos adjacentes, gerados pela transição entre códigos adjacentes da entrada, comparada com o tamanho do passo (valor de um LSB) do conversor. O DNL tem valor igual a zero quando a transição entre vizinhos for igual a 1 LSB, valor positivo quando a transição for maior do que 1 LSB e valor negativo quando a transição for menor do que 1 LSB.

O valor de saída de um conversor D/A deve crescer com o aumento do sinal digital na entrada, um comportamento monotônico crescente. Este comportamento não será verdadeiro se o DNL for menor do que -1 LSB. A monotonicidade é crítica em muitas aplicações, em particular em aplicações de controle digital [14].

Figura 2.4. Erro devido ao ganho.

Os conceitos de linearidade e monotonicidade são ilustrados na figura 2.6. Quando uma sequência binária crescente é aplicada à entrada, a saída do conversor deve ser uma escada de tensão com degraus de 1 LSB. A uniformidade (altura e largura uniformes) desses degraus determina a linearidade na saída. O pior caso de não linearidade é quando os valores de tensão da saída não crescem com a elevação do código de entrada. O comportamento não monotônico pode acontecer devido ao acúmulo dos erros dos *bits*. As características de linearidade e monotonicidade tendem a degradar com o aumento da velocidade do conversor, devido às diferenças nas constantes de tempo dos *bits* [15].

Figura 2.5. Erro de não linearidade diferencial para um conversor D/A.

Figura 2.6. Ilustração gráfica das diferentes não linearidades presentes na saída.

2.2.1.4. Erro de Não Linearidade Integral (INL)

Erro de Não Linearidade Integral (INL), também referenciado como erro de não linearidade ou precisão relativa, é definido como a diferença entre os valores possíveis na saída, valores associados aos códigos binários da entrada, e a linha que passa através do primeiro e último valores possíveis na saída, a linha de referência. O INL define a linearidade da curva de transferência total e pode ser descrita pela equação (2.5). A figura 2.7 ilustra uma medida do INL através da curva de transferência de um conversor D/A, assumindo que os erros devidos ao *offset* e ao ganho são zero.

$$INL_n = (\text{valor da saída para um código } i \text{ na entrada} - \text{valor da linha de referência naquele ponto}) \quad [8] \quad (2.5)$$

É comum ser assumido que um conversor de N -Bits tenha DNL e INL menores do que $\pm \frac{1}{2} LSB$. O termo $\frac{1}{2} LSB$ tipicamente denota o máximo erro de um conversor de dados.

Figura 2.7. Erro de não linearidade integral (INL).

2.2.2. Especificações Dinâmicas (Domínio do Tempo)

As especificações dinâmicas no domínio do tempo mais comum são: *Settling Time*, *Slew Rate*, Energia de *Glitch* e Tempo de Chaveamento, apresentadas na figura 2.8 e descritas a seguir.

Figura 2.8. Representação dos erros dinâmicos. A figura mostra a transição de um código na entrada para outro.

2.2.2.1. *Settling Time*

O *Settling Time* de um sistema é definido como o intervalo de tempo necessário, a partir do início de uma transição, para que a saída alcance seu novo valor dentro de uma faixa de precisão especificada. Este parâmetro deve ser especificado para uma carga na saída e seu valor será menor para cargas menos capacitivas. Invariavelmente, conversores D/A com rápido *settling* são conversores com fontes de corrente chaveadas [15].

2.2.2.2. *Slew Rate*

O *Slew Rate* (taxa de inclinação) é a máxima relação de mudança de tensão na saída em função do tempo. Geralmente o *slew rate* é expresso em unidades de volts por micro segundos (V/ μ s). Esta relação é obtida observando o sinal de saída do conversor quando é aplicada a entrada uma variação grande no código digital.

2.2.2.3. *Glitches*

Quando se projetam conversores D/A, especialmente os de alta velocidade, para trabalhar em uma faixa específica de erro, estes podem apresentar picos elevados na saída que são conhecidos como “*glitches*”. Isto ocorre devido à desigualdade entre os tempos de chaveamento dos transistores chaves do conversor D/A. O resultado final é a perda dos níveis de saída correspondentes às entradas digitais.

Um *glitch* pode ocorrer da seguinte maneira: aplicamos a saída de um contador à entrada do conversor D/A e teremos na sua saída uma escada de tensão e o número de *bits* envolvidos na mudança do código estabelece as transições. As maiores transições normalmente acontecem na metade da escala, quando o conversor D/A troca todos os *bits*, isso é, de 011...111 para 1000...00 (ou vice-versa). Se as chaves são mais rápidas para chavear para *OFF* do que para *ON*, por um curto intervalo de tempo, o conversor D/A terá uma saída igual à zero, e retornará depois para o valor $\frac{1}{2}V_{REF}$ requerido. Esta descontinuidade na transição é um exemplo de “*glitch*”, figura 2.9 [15, 16].

Uma solução para reduzir o *glitch* é adicionar na saída do conversor D/A um circuito conhecido como *degitcher*. Entretanto, como o circuito *degitcher* utiliza um elemento analógico para reter o sinal da saída durante a transição do código, este tipo de circuito é difícil de ser implementado com um nível de distorção inferior a 1 LSB. Como solução prática é utilizado geralmente um circuito simples de ser otimizado, como um *latch* ou um *bit-switch*, para se reduzir o *glitch* ao mínimo. Estes são

projetados para se obter um *glitch* de saída mínimo durante o chaveamento do conversor. A vantagem desta configuração de circuito é que *latches* juntamente com *bit switches* podem melhorar o desempenho do chaveamento do circuito.

Figura 2.9. Exemplo de *glitch*.

2.2.2.4. Tempo de Chaveamento (*Switching Time*)

Em um conversor D/A, o tempo de chaveamento é a quantidade de tempo necessária para a chave mudar do estado desligado para ligado ou vice-versa.

2.2.3. Especificações no Domínio da Frequência

As especificações no domínio da frequência fornecem informações mais completas para aplicações em comunicações, pois todas as não linearidades, estáticas e dinâmicas, manifestam-se como distorções e ruídos no domínio da frequência. Analisando o espectro do sinal de saída do conversor, gerado a partir de uma entrada digital de “tom único” é executada a caracterização do conversor D/A no domínio da frequência. Em geral, a saída do conversor contém, além da fundamental, espúrios harmônicos e não-harmônicos (um conversor D/A é um circuito não linear).

2.2.3.1. Faixa Dinâmica Livre de Espúrios (SFDR)

Em conversores D/A, a Faixa Dinâmica Livre de Espúrios (SFDR) é a razão entre valor RMS do sinal na frequência do tom de entrada (componente máximo do sinal) e o valor RMS do componente de distorção máximo. O SFDR é usualmente medido em dBc (com relação à amplitude da frequência portadora) ou em dBFS (com respeito à escala total do conversor D/A). Na figura 2.10 o espectro da saída de um conversor é apresentado e a partir desta figura pode-se observar o SFDR.

Figura 2.10: Definição da Faixa Dinâmica Livre de Espúrios.

2.2.3.2. Distorção Total de Harmônicas

A distorção total de harmônica trata dos sinais de distorção que guardam uma relação harmônica com o sinal original. A relação harmônica, neste caso, significa que os sinais acrescentados são múltiplos da frequência de entrada, portanto se falarmos de uma frequência f_{sig} seu segundo harmônico será $2f_{sig}$, seu terceiro será $3f_{sig}$ e assim por diante.

Qualquer não linearidade em um conversor D/A produz distorções harmônicas. A distorção total de harmônicas (THD) é expressa como [16]:

$$THD = \frac{\sqrt{\sum_{k=2}^{NH+1} V^2(kf_{sig})}}{V(f_{sig})} \quad (2.6)$$

onde NH é o número de harmônicas a serem consideradas, $V(f_{sig})$ e $V(kf_{sig})$ a amplitude da fundamental e da j -ésima harmônica, respectivamente.

2.2.3.3. Relação Sinal-Ruído (*Signal-to-Noise Ratio* – SNR)

A mais importante especificação dinâmica de um conversor é a relação sinal-ruído. O valor desta relação depende da resolução do conversor e a especificação inclui problemas de linearidade, distorção, intervalo de amostragem indeterminado, *glitches*, ruídos e *settling time*. A relação sinal/ruído em dB corresponde à diferença entre o nível do sinal recebido e o nível de ruído (em dB) gerado pelo conversor. No caso de um conversor ideal seu valor é [16]:

$$SNR = 6,02N + 1,76dB \quad (2.7)$$

A relação SNR mede a degradação proveniente da combinação entre o efeito de ruídos, erros de quantização e distorções harmônicas. O valor de SNR é geralmente medido para uma entrada senoidal, sendo uma função da frequência e amplitude do sinal de entrada.

A relação sinal ruído pode ser quantificada em número efetivo de *bits*. Neste caso é feita uma comparação do ruído introduzido pelo conversor com aquele introduzido por um conversor ideal.

2.3. Esquemas de Codificação

A entrada digital de um conversor D/A pode se apresentar em diferentes formatos de codificação. O formato binário é um dos muitos conhecidos, mas existem outros que podem ser utilizados, por exemplo, o código termômetro e o código 1-*of-n*. A tabela 3 ilustra a conversão de um código binário de 3 *bits* para os códigos termômetro e 1-*of-n*.

O código termômetro é uma alternativa para a representação na entrada digital do conversor. No código termômetro, cada vez que o sinal da entrada aumenta

em relação ao nível de referência teremos um “1” adicionado à saída. Como resultado, o número de “1s” do código está diretamente relacionado ao número de níveis de referência superado pela entrada. Com um número binário crescente o número de “1s” aumentará. Por exemplo, como mostra a tabela 3, para o número decimal 3 teremos três “1s” e quatro “0s”.

No código *1-of-n* são necessários N dígitos para representar N números de entrada. Cada número é representado por um “1” em um dos dígitos e “0s” em todos os outros, conforme indicado na tabela 2.2.

Tabela 2.2: Códigos Binários, Termômetro e *1-of-n*.

Decimal	Binário	Termômetro	<i>1-of-n</i>
0	000	0000000	0000000
1	001	0000001	0000001
2	010	0000011	0000010
3	011	0000111	0000100
4	100	0001111	0001000
5	101	0011111	0010000
6	110	0111111	0100000
7	111	1111111	1000000

2.4. Arquiteturas do Conversor D/A

Há uma grande variedade de arquiteturas de conversores D/A, indo das mais simples até as mais complexas. A linearidade de um conversor D/A depende da precisão da multiplicação ou divisão do nível de referência empregado para gerar os níveis analógicos na saída. Os parâmetros elétricos tensão, corrente ou carga elétrica são normalmente empregados como grandezas analógicas, podendo ser multiplicados ou divididos usando redes de resistores, circuitos de divisão de corrente e circuitos com capacitores chaveados, respectivamente. Cada uma destas implementações possui vantagens e desvantagens. Nesta sessão serão apresentadas algumas arquiteturas estudadas e em especial a arquitetura implementada neste projeto, a arquitetura de conversor D/A com fontes de corrente.

2.4.1. Conversor com Série de Resistores

O conversor D/A série de resistores é composto por um bloco que gera níveis de tensão e um conjunto de chaves que liga um destes níveis à saída, de acordo com a entrada digital. Para um conversor de N *bits*, codificação binária, os níveis de tensão podem ser gerados pela conexão de 2^N (M) resistores idênticos em série entre V_{REF} e 0 V, conforme mostra a figura 2.11. A figura 2.12 [17] apresenta mais detalhes da configuração para um conversor com código termômetro de N dígitos na entrada, (a), e outro com código binário, (b).

Figura 2.11. Conversor D/A com rede de resistores simples.

A resolução de um conversor D/A série de resistores determina o número de elementos resistivos; por exemplo, para um conversor de N -*bits* binários há a necessidade de 2^N resistores. Isso é um problema para alto requerimento de *bits*, pois o tamanho do circuito cresce exponencialmente com N .

Os conversores D/A séries de resistores não tem sido muito utilizados ultimamente devido a muitos motivos. Um motivo é que o valor absoluto do resistor pode variar até em 50% devido às variações no processo, o que pode gerar diferenças significativas no consumo de potência de um *chip* para outro. Outro motivo é que não há muitas informações sobre casamento de resistores para determinar a precisão

entre resistores de um mesmo *chip*. Finalmente o conversor D/A série de resistores é lento devido às capacitâncias na saída.

Figura 2.12. Conversor D/A série de resistores, a) código termômetro e b) código binário.

2.4.1.1. Descasamento do Resistor

A precisão do conversor D/A série de resistores é limitada pelo *settling time* e pelo casamento dos resistores. Estes conversores são inerentemente monotônicos quando os elementos de chaveamento são projetados corretamente. O INL e o DNL são relativamente baixos comparados com outras arquiteturas e podem ser estimados a partir do valor do descasamento do resistor.

Os descasamentos entre os resistores são originados a partir de variações na geometria dos resistores e na resistividade do material que os formam. Na geometria estão incluídas as incertezas na definição das bordas dos resistores durante a litografia, que resultam em variações no comprimento e na largura dos resistores na rede, além das incertezas na definição da espessura. Na resistividade estão incluídas variações na dopagem ao longo da lamina.

Podemos distinguir os processos que geram variações nos parâmetros dos resistores em duas classes. Na primeira classe estão os processos físicos que têm variações de longa distância e que dependem da posição do elemento na lamina. Nesta classe estão às variações que crescem ou diminuem continuamente em certa direção (gradientes). Na segunda classe estão os processos físicos que têm variações de curta distância, podendo ser modelados como um ruído branco espacial. Nestas classes estão as variações randômicas.

Como exemplo de variações do tipo gradiente considere o circuito da figura 2.13. Nele os resistores têm seu valor aumentando de ΔR ao longo da cadeia resistiva.

A tensão de saída no nó j -th da rede é [18]:

$$V_j = \frac{jR + \frac{j(j-1)}{2} \Delta R}{MR + \frac{M(M-1)}{2} \Delta R} V_{REF} \quad (2.8)$$

onde ΔR é o desvio incremental de cada resistor na rede a partir do valor nominal de R . O valor do INL será dado por [18]:

$$INL_j = \frac{j}{M} V_{ref} - \frac{jR + \frac{j(j-1)}{2} \Delta R}{MR + \frac{M(M-1)}{2} \Delta R} V_{ref} \quad (2.9)$$

Simplificando a equação (2.9) teremos [18]:

$$INL_j = \frac{j(M-j)}{R + \frac{M-1}{2} \Delta R} \frac{\Delta R}{2M} V_{ref} \quad (2.10)$$

Assumindo $R \gg (M-1)\Delta R/2$, INL_j alcança um máximo valor de $MV_{ref}(\Delta R/8R)$ em $j = NM/2$.

Figura 2.13: Modelo do descasamento do resistor com um gradiente linear.

Para o gradiente linear descrito na figura 2.13, o DNL é obtido através do desvio $(V_{j+1} - V_j)$ e do valor ideal de 1 LSB $(=V_{ref}/M)$ [18]:

$$DNL_j = V_{j+1} - V_j - \frac{V_{ref}}{M} \quad (2.11)$$

o qual pode ser simplificado para [18]:

$$DNL_j \approx \left(j - \frac{M-1}{2} \right) \frac{\Delta R}{R} \frac{V_{ref}}{M} \quad (2.12)$$

Se considerarmos $R \gg (M-1)\Delta R/2$ e grandes valores de M , a magnitude deste erro alcança um máximo de aproximadamente $V_{ref}(\Delta R/2R)$ para $j = 1$ e $j = M - 1$.

Para um tratamento mais cuidadoso dos descasamentos consideremos um resistor de comprimento L , largura W e espessura t . O valor do resistor pode ser expresso como [18]:

$$R = \frac{\rho L}{Wt} + 2R_C \quad (2.13)$$

onde ρ é a resistividade e R_C representa uma resistência adicional devido aos contatos.

Podemos relacionar a variância do valor do resistor com as variâncias da resistividade (σ_ρ^2), da largura (σ_W^2), do comprimento (σ_L^2), da espessura (σ_t^2) e da resistência de contato (σ_{RC}^2). Para tal considere o seguinte teorema [19]:

Teorema: Considere as variáveis aleatórias $x_1, x_2, \dots, x_n$, com média e variância $(\bar{x}_1, \sigma_{x1}^2), \dots, (\bar{x}_n, \sigma_{xn}^2)$, respectivamente, e a variável aleatória $y, y = g(x_1, x_2, \dots, x_n)$. Se a função g é suficientemente suave ("*smooth*") perto de $(\bar{x}_1, \dots, \bar{x}_n)$, então a variância de y pode ser estimada em termos da média, variância e covariância de $x_1, x_2, \dots, x_n$:

$$\sigma_y^2 = \sum_{i,j}^n \frac{\partial g}{\partial x_i} \frac{\partial g}{\partial x_j} C_{xi,xj} \quad (2.14)$$

onde: $C_{xi,xj}$ é a covariância entre x_i e x_j e a função g e suas derivadas são avaliadas em $(\bar{x}_1, \dots, \bar{x}_n)$.

Observe que $C_{xi,xi} = \sigma_{xi}^2$

Aplicando-se este teorema, a variância do valor do resistor é calculada (assume-se a covariância entre diferentes parâmetros igual à zero):

$$\sigma_R^2 = \left(\frac{L \sigma_\rho}{Wt} \right)^2 + \left(\frac{\rho \sigma_L}{Wt} \right)^2 + \left(\frac{\rho L \sigma_W}{W^2 t} \right)^2 + \left(\frac{\rho L \sigma_t}{Wt^2} \right)^2 + (2\sigma_{RC})^2 \quad (2.15)$$

Este valor pode ser normalizado pela média de valor do resistor, R . Dentro da equação (2.13) $2R_C$ é usualmente uma fração pequena de R e os quatro primeiros termos da equação (2.15) podem ser simplificados pela substituição de $\rho L/Wt$ por R :

$$\left(\frac{\sigma_R}{R}\right)^2 = \left(\frac{\sigma_\rho}{\rho}\right)^2 + \left(\frac{\sigma_L}{L}\right)^2 + \left(\frac{\sigma_W}{W}\right)^2 + \left(\frac{\sigma_t}{t}\right)^2 + \left(\frac{2\sigma_{RC}}{R}\right)^2 \quad (2.16)$$

Desde que as resistências de contato diminuem com o aumento da largura do resistor, podemos escrever $R_C = r/W$, onde r é um fator de proporcionalidade. Então, como $\sigma_{RC} \approx \sigma_r/W$ a equação (2.16) pode ser reescrita como:

$$\left(\frac{\sigma_R}{R}\right)^2 = \left(\frac{\sigma_\rho}{\rho}\right)^2 + \left(\frac{\sigma_L}{L}\right)^2 + \left(\frac{\sigma_W}{W}\right)^2 + \left(\frac{\sigma_t}{t}\right)^2 + \left(\frac{2t\sigma_r}{\rho L}\right)^2 \quad (2.17)$$

Em um processo típico, ρ e t são parâmetros do processo e L , W e R são as variáveis sobre as quais o projetista tem controle.

Adicionalmente aos erros descritos acima, redes resistivas construídas com resistores difundidos também apresentam gradientes não lineares devido à dependência da espessura da camada de depleção com os níveis de tensão. Aumentando-se o perfil de dopagem diminui-se esta não linearidade, mas aumenta-se a capacitância devido à camada de depleção. Nas tecnologias atuais o casamento do resistor permite a construção de conversores de 8-9 *bits* com boa linearidade [20].

2.4.1.2. Erros de Chaveamento

As chaves conectadas entre pontos intermediários da rede de resistores e a saída são implementadas através de transistores MOS. Os transistores não são chaves perfeitas, mas apresentam uma resistência série que é inversamente proporcional à $(V_{gs}-V_t)$, onde V_{gs} é a tensão porta/fonte do transistor e V_t é a tensão de limiar do transistor. Adicionalmente as chaves superiores dentro da rede de resistores na figura 2.11 apresentarão maior resistência do que aquelas próximas ao terra (V_{gs} menor). Em consequência, a constante de tempo RC e o *settling time* variam de acordo com o código de entrada. Uma solução para este problema é utilizar outras redes para gerar as tensões de controle das chaves de modo que a tensão $(V_{gs}-V_t)$ seja constante para todo o conversor D/A.

O número total de chaves entre os nós da rede e o nó da saída dependerá do tipo do código digital na entrada do conversor D/A. Assim, na arquitetura da figura 2.12(b) N chaves são intercaladas entre a entrada e a saída.

2.4.2. Divisão de Carga

Nesta configuração uma carga de referência, Q_{REF} , é dividida em N partes iguais utilizando N capacitores idênticos ligados como, por exemplo, é mostrado na figura 2.14. Neste caso, antes que a chave S_I feche, C_I possui carga igual à Q_{REF} , enquanto $C_2, \dots, C_N$ possuem carga igual à zero. Quando S_I fecha, a carga de referência Q_{REF} é distribuída igualmente através de $C_I, \dots, C_N$, produzindo uma carga de Q_{REF}/N sobre cada capacitor [8, 17].

Uma versão de circuito conversor utilizando divisão de carga é mostrada na figura 2.15(a). Nela capacitores idênticos $C_I = \dots = C_M = C$ têm suas placas superiores interligadas. O circuito opera em duas etapas. Na primeira etapa, todos os capacitores $C_I, \dots, C_N$ são descarregados conectando ambos as placas ao terra (a chave S_p conecta a placa superior), figura 2.15(b). Na próxima etapa, S_p é desligada e um código termômetro com valor j é aplicado em $D_I, \dots, D_M$, conectando as placas inferiores de $C_I, \dots, C_j$ ao terra ou a tensão de referência, V_{REF} , dependendo do código e gerando uma saída igual a jV_{REF}/M , figura 2.15(c).

Figura 2.14: Divisão de carga simples.

O divisor de carga pode ser configurado em uma arquitetura segmentada ou binária. O exemplo considerado na figura 2.15 é uma série segmentada, com a propriedade importante de possuir a curva de entrada/saída monotônica. A figura

2.16 é uma versão binária, onde a entrada digital está na forma binário e capacitores unitários são agrupados para produzir valores binários. A operação é similar ao circuito da figura 2.15.

As não linearidades de um conversor D/A de divisão de carga são causadas por três fontes: descasamento dos capacitores, dependência do capacitor com a tensão e não linearidades das capacitâncias de junção das chaves conectadas ao nó de saída.

Figura 2.15: (a) Configuração modificada de um divisor de carga; (b) Circuito no modo descarregado; (c) circuito no modo de avaliação.

Figura 2.16: Divisor de carga com entrada binária.

2.4.2.1. Descasamento dos Capacitores

O conversor D/A de divisão de carga também possui problemas de descasamento como nos conversores D/A série de resistores. Consideremos um capacitor monolítico de comprimento L , largura W e distância entre placas igual à t_{ox} . Podemos relacionar a variância do valor do capacitor com as variâncias do seu comprimento (σ_L^2), de sua largura (σ_W^2) e da sua espessura (σ_{tox}^2).

A variância do valor da capacitância pode ser calculada como:

$$\left(\frac{\sigma_C}{C}\right)^2 = \left(\frac{\sigma_W}{W}\right)^2 + \left(\frac{\sigma_L}{L}\right)^2 + \left(\frac{\sigma_{tox}}{t_{ox}}\right)^2 \quad (2.18)$$

onde (σ_C^2) é a variância do valor da capacitância.

Esta expressão indica que um aumento de W , L ou t_{ox} melhora o casamento. Na prática, t_{ox} é uma constante do processo, sendo W e L as únicas variáveis a disposição do projetista. Entretanto, o aumento de W e L não reduz $\Delta C/C$ indefinidamente porque as variações de t_{ox} , principalmente aquelas do tipo gradiente, tornam-se mais significativas com o aumento das dimensões e o terceiro termo na equação (2.18) acaba por dominar a relação. Como consequência, $\Delta C/C$ alcança um valor mínimo para uma certa dimensão [21]. Para melhorar o casamento entre capacitores grandes, utilizam-se geometrias com centro comum [22] que cancelam, em parte, os problemas devido a variações do tipo gradiente.

2.4.2.2. Dependência do Capacitor em Relação à Tensão

Outra fonte de não linearidade nos conversores D/A distribuição de carga é a dependência do capacitor em relação à tensão [22]. A figura 2.17 mostra a estrutura típica do capacitor monolítico consistindo de duas placas de silício policristalino (dopadas) separadas por um dielétrico (usualmente SiO_2). A dependência do capacitor em relação à tensão origina-se da variação da constante dielétrica, ϵ , e da

espessura da região de depleção de cada placa do capacitor [22, 23]. Pode-se utilizar a equação a seguir para modelar esta não linearidade [18]:

$$C = C_0 + C_0\alpha_1V + C_0\alpha_2V^2 + \dots \quad (2.19)$$

onde α_j é o coeficiente de tensão de ordem j -ésimo.

Através da equação (2.19) mostra-se que se o capacitor possui uma tensão V , para ocorrer um incremento de tensão dV é necessário um incremento de carga, dq , dado por [18]:

$$dq = C_0(1 + \alpha_1V + \alpha_2V^2 + \dots)dV \quad (2.20)$$

Conseqüentemente, a carga total necessária para mudar a tensão do capacitor de V_1 para V_2 é [18]:

$$\Delta Q = C_0 \int_{V_1}^{V_2} (1 + \alpha_1V + \alpha_2V^2 + \dots)dV \quad (2.21)$$

Para muitas aplicações, os primeiros três termos da equação (2.19) representarão a não linearidade do capacitor com uma precisão razoável.

Figura 2.17: Estrutura Típica de um Capacitor Monolítico.

2.4.2.3. Não Linearidade das Capacitâncias de Junções das Chaves

A terceira fonte de não linearidade dos conversores D/A é a não linearidade das capacitâncias de junção da(s) chave(s) conectadas ao nó de saída. A capacitância de junção do dreno ou fonte em transistores MOSFETs (*Metal-Oxide-Semiconductor Field Effect Transistors*) pode ser expressa como [18]:

$$C_{junc} = \frac{C_0}{(1 + V_j / \Phi)^{m_j}} \quad (2.22)$$

onde C_0 é a capacitância para tensão zero, V_j é a tensão na junção dreno/substrato ou fonte/substrato, Φ potencial de trabalho e m_j é uma constante que está tipicamente entre 0,3 e 0,5.

Para propósitos de análise, poderemos aproximar a equação (2.22) por um polinômio empírico como [18]:

$$C_{junc} \approx C_0 \left[0,1m_j \left(\frac{V_j}{\Phi} \right)^2 - 0,63m_j \left(\frac{V_j}{\Phi} \right) + 1 \right] \quad (2.23)$$

Esta relação pode ser usada para estimar a não linearidade para uma dada tensão na saída.

Um último problema desta arquitetura é a existência de capacitâncias parasitárias na placa superior da série de capacitores e que introduz um erro de ganho. Estas capacitâncias são devidas às linhas do campo elétrico que emanam das placas superiores e terminam no substrato e não nas placas inferiores, como mostra a figura 2.18(a). Estas capacitâncias podem ser modeladas por um capacitor da saída ao terra, como representado por C_T na figura 2.18(b).

Figura 2.18: (a) capacitâncias parasitárias da placa superior do capacitor; (b) série de capacitores segmentados incluindo a capacitância parasitária da placa superior.

Neste caso a tensão de saída correspondente para um código termômetro de altura j será [18]:

$$V_0 = \frac{jC}{MC + C_T} V_{REF} \quad (2.24)$$

onde tipicamente $MC \gg C_T$. A equação (2.24) pode ser simplificada como [18]:

$$V_0 = \frac{jC}{MC \left[1 + \frac{C_T}{MC} \right]} V_{REF} \approx \frac{j}{M} \left(1 - \frac{C_T}{MC} \right) V_{REF} \quad (2.25)$$

indicando que o desvio do ganho depende da relação $C_T/(MC)$ [18]. Estes erros interditam o uso deste tipo de conversor para obter alta resolução [8, 17].

2.4.3. Divisão de Corrente

Nesta arquitetura de conversor uma corrente de referência I_{REF} é dividida em M correntes iguais usando M transistores idênticos, conforme figura 2.19(a). Estas correntes podem ser combinadas pelo uso de uma implementação binária, como é mostrada na figura 2.19(b) para um conversor de 3 *bits*. Neste exemplo, os quatro dispositivos do lado esquerdo possuem 4/7 da corrente de referência, os dispositivos no centro possuem 2/7, e do lado direito possuem 1/7 da corrente de referência. A entrada digital seleciona quais são as fontes, as de $1I$, $2I$ ou $4I$, ligadas à saída.

A implementação da figura 2.19(a) possui duas grandes desvantagens. A primeira é que o posicionamento dos transistores divisores de corrente, acima da I_{REF} , reduz a excursão da tensão na saída e pode não ser realizável em implementações com baixas tensões de alimentação. Segundo, desde que cada dispositivo divida a corrente de referência, I_{REF} deve ser M (o número total de níveis possíveis na saída) vezes maior do que a menor corrente na saída. Isto vai requerer um grande dispositivo para fornecer a corrente necessária.

Estes problemas da configuração acima podem ser contornados utilizando uma estrutura de replicação de correntes como mostra a figura 2.20. Neste caso um espelho de corrente com várias saídas gera as correntes necessárias.

A replicação de corrente pode ser implementada de duas formas, utilizando fontes de correntes iguais ou fontes de corrente de valores binários na saída. A figura 2.21 descreve estes dois casos de uma forma geral. No circuito da figura 2.21(a),

todas as fontes de corrente são iguais, controladas por um código termômetro e uma fonte de corrente é chaveada para a saída quando a entrada digital aumenta de 1. No circuito da figura 2.21(b) as fontes de corrente são de valores diferentes e controladas por um código binário. Quando um *bit* varia, a fonte de corrente associada a ele é ligada ou desligada à saída. As configurações da figura 2.21(a) e (b) são conhecidas como séries segmentadas e binárias, respectivamente.

Figura 2.19: (a) Divisão de corrente uniforme e (b) Divisão de corrente binária.

Figura 2.20: Replicação de corrente simples.

Uma característica importante da série segmentada é que esta arquitetura garante a monotonicidade: desde que os aumentos na entrada digital simplesmente causem um aumento adicional na saída analógica, a característica de transferência é uma função monotônica da entrada, mesmo se o INL máximo excede a 1 LSB. Em uma série binária, quando a fonte de corrente associada ao *bit* MSB, na figura 2.21(b) é representada pela fonte I_k , é ligada e todas as outras fontes de corrente são desligadas, devido à desativação dos *bits* menos significativos, a saída pode decrescer.

Figura 2.21: (a) série de fontes de corrente segmentadas e (b) série de fontes de corrente binárias.

A corrente total de saída de uma série de fontes de corrente pode ser convertida em tensão utilizando um resistor ou um amplificador de transimpedância, como mostra a figura 2.22. Na figura 2.22(a), um simples resistor R_I converte a corrente em tensão. Este resistor pode ser uma carga externa de $50\ \Omega$ e neste caso a corrente de escala total da saída deverá ser suficientemente grande para produzir uma tensão razoável em R_I . A velocidade de *settling* da saída é limitada pela capacitância parasitária total C_p no nó X .

Na figura 2.22(b), o resistor R_I é colocado em um *loop* de realimentação em torno do amplificador operacional A_I , garantindo um terra virtual no nó X . Como resultado, a variação de tensão em X é pequena e o *settling* da saída é determinado pela velocidade do amplificador operacional.

Conversores D/A que empregam séries de fontes de corrente apresentam três causas principais de não linearidades: descasamento das fontes de corrente, impedância finita na saída das fontes de corrente ou, quando utilizado, a não linearidade do amplificador de transimpedância e, por fim, a dependência do valor do resistor de carga, que converte a corrente de saída, com a tensão.

Figura 2.22: Conversão da corrente de saída de uma série de fontes de corrente para tensão utilizando (a) um resistor e (b) um amplificador de transimpedância.

2.4.3.1. Descasamento da Fonte de Corrente

As fontes de corrente em uma série podem apresentar descasamentos devido a variações randômicas e a variações em gradiente. Em uma tecnologia CMOS, as fontes de corrente são implementadas usando-se transistores MOS como espelho de corrente, figura 2.23(a). Assumindo que os transistores M_1 e M_2 são idênticos, eles têm o mesmo comportamento e a corrente de dreno na saturação é dada pela lei quadrática $I-V$ [18, 24] dado abaixo:

$$I_1 = I_2 = I_D = \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS} - V_T)^2 \quad (2.26)$$

onde μ é mobilidade dos portadores no canal, C_{OX} é capacitância do óxido de porta por unidade de área, W e L são largura e comprimento efetivos do dispositivo respectivamente, V_{GS} é a tensão porta-fonte e V_T é a tensão de limiar do dispositivo (esta relação descreve o funcionamento do transistor em primeira ordem).

Figura 2.23: Fontes de corrente MOS idênticas, (a) fonte convencional e (b) fonte com resistores de degeneração.

O descasamento relativo entre as correntes I_1 e I_2 , figura 2.23(a), é caracterizado pela variância, dada por [18]:

$$\left(\frac{\sigma_{I_D}}{I_D} \right)^2 = \left(\frac{\sigma_{\mu C_{OX}}}{\mu C_{OX}} \right)^2 + \left(\frac{\sigma_W}{W} \right)^2 + \left(\frac{\sigma_L}{L} \right)^2 + \left(\frac{2\sigma_{V_T}}{V_{GS} - V_T} \right)^2 \quad (2.27)$$

onde $(\sigma_{\mu C_{OX}}^2)$, (σ_W^2) , (σ_L^2) e $(\sigma_{V_T}^2)$ são as variâncias de μC_{OX} , W , L e V_T respectivamente.

Desde que μC_{OX} e V_T dependem apenas do processo de fabricação, W , L e V_{GS} são os únicos parâmetros que o projetista tem controle e eles devem ser escolhidos para se obter um baixo $\left(\frac{\sigma_{I_D}}{I_D} \right)^2$. Por outro lado, um W grande gera altas capacitâncias de porta/dreno, porta/fonte e dreno/substrato além de aumentar a área ocupada pelo dispositivo; um L grande exige um alto valor de $(V_{GS} - V_T)$ para produzir um dado I_D , e um $(V_{GS} - V_T)$ grande limita a variação de tensão possível nos drenos de M_1 e M_2 . Como consequência, alguns compromissos são usualmente necessários para obter uma razoável combinação de precisão, velocidade e tensão de excursão na saída [25].

Para MOSFETs de canal curto ($L < 2 \mu\text{m}$), desvios da curva $I - V$ em relação à lei quadrática surgem devido à saturação da velocidade dos portadores, à

degradação da mobilidade com o campo elétrico vertical e à variação da tensão de limiar com a tensão de dreno/fonte. Em casos de transistores com canal curto, a corrente de dreno para a saturação é melhor descrita pela relação [18]:

$$I_1 = I_2 = I_D = WC_{OX}(V_{GS} - V_T)v_{sat} \quad (2.28)$$

onde v_{sat} é a velocidade de saturação dos portadores [26]. Agora a variância da corrente de saída em um espelho de corrente pode ser escrito como [18],

$$\left(\frac{\sigma_{I_D}}{I_D}\right)^2 = \left(\frac{\sigma_{(C_{OX}v_{sat})}}{C_{OX}v_{sat}}\right)^2 + \left(\frac{\sigma_W}{W}\right)^2 + \left(\frac{\sigma_{V_T}}{V_{GS} - V_T}\right)^2 \quad (2.29)$$

o que indica as mesmas tendências da equação (2.26), exceto que o descasamento é independente de L .

Para fontes de corrente MOS, também é possível usar resistores de degeneração da fonte, como mostra a figura 2.23(b), para melhorar o casamento [27]. Esta melhora do casamento, entretanto, é significativa somente quando o valor dos resistores é superior ao inverso da transcondutância do transistor. Para entender isto observe a equação abaixo que é válida para o circuito da figura 2.23(b) [18]:

$$I_D R_S + \sqrt{\frac{2I_D}{\mu C_{OX} \frac{W}{L}}} + V_T = V_{GS} \quad (2.30)$$

onde R_S é a resistência de degeneração, V_{GS} é a tensão porta fonte do transistor M_1 e $I_D = I_1 = I_2$. Determinamos a variância e usando a expressão $g_m = \mu C_{ox} W (V_{GS} - V_T) / L$, teremos então para a variância:

$$\left(\frac{\sigma_{I_D}}{I_D}\right)^2 = \frac{1}{1 + 2g_m R_S} \left[\left(\frac{\sigma_{(\mu C_{OX})}}{\mu C_{OX}}\right)^2 + \left(\frac{\sigma_W}{W}\right)^2 + \left(\frac{\Delta L}{L}\right)^2 + \left(\frac{(\sqrt{1 + 2g_m R_S} - 1)\sigma_{V_T}}{V_{GS} - V_T}\right)^2 + \left(\frac{(\sqrt{1 + 2g_m R_S} + 1)\sigma_{R_S}}{R_S}\right)^2 \right] \quad (2.31)$$

onde $(\sigma_{\mu C_{ox}})^2$, (σ_W^2) , (σ_L^2) , $(\sigma_{V_T}^2)$ e $(\sigma_{R_S}^2)$ são as variâncias de μC_{OX} , W , L , V_T e R_S respectivamente.

Os três primeiros termos do lado direito da equação são iguais aos da equação (2.27), mas divididos por $(1 + g_m R_S)$. O quarto termos, por sua vez, é inferior a

metade do quarto termo da equação (2.27). O último termo representa o descasamento adicional devido a R_S . A equação indica que a degeneração da fonte é efetiva para melhorar o casamento quando $g_m R_S$ é maior do que a unidade e $(\sigma_{R_S})^2$ é pequeno. Um valor alto de $g_m R_S$ significa um alto valor de g_m o que exige, por sua vez, transistores grandes.

2.4.3.2. Impedância Finita da Saída das Fontes de Corrente

Se o nó de saída, onde é feita a somatória das correntes das fontes de corrente, experimenta uma grande excursão de tensão, figura 2.22(a), então outros tipos de não linearidade surgem a partir da impedância finita da saída das fontes de corrente. Considere o circuito equivalente de pequenos sinais para as fontes de corrente, figura 2.24, onde r_O representa a impedância da saída de cada fonte de corrente. Para um código termômetro de altura j , a tensão de saída é [18]:

$$V_{out} = -(j+1)I \left(R_1 \parallel \frac{r_O}{j+1} \right) \quad (2.32)$$

A dependência dos termos em parênteses com o valor de j introduz uma não linearidade integral. Para obter o perfil do INL, obtêm-se uma reta que passa pelos pontos $V_{out} = 0$ V e $V_{out} = -(M+1)I \left(R_1 \parallel \frac{r_O}{M+1} \right)$ V e determinasse a diferença entre (2.33) e esta reta. Assumindo $r_O \gg MR_L$, pode-se mostrar que [18]:

$$INL_j \approx \frac{IR_1^2}{r_O} (j+1)(M-j) \quad (2.33)$$

o qual possui um máximo de $IR_1^2(M+1)^2 / 4r_O$.

Figura 2.24: Série de fontes de corrente incluindo a impedância de saída de cada fonte de corrente.

2.4.3.3. Não Linearidade do Resistor de Carga

Outro tipo de não linearidade da série de fontes de corrente é a dependência do resistor de carga, R_l nas figuras 2.22(a) e (b), com a tensão. Em resistores de difusão as não linearidades originam-se a partir da variação da largura da região de depleção e é primariamente uma função dos níveis de dopagem [28].

Para linearidades acima de 6 *bits*, estes efeitos e sua dependência com temperatura devem ser precisamente medidos e caracterizados para o processo.

CAPÍTULO 3

3. PROJETO, IMPLEMENTAÇÃO E SIMULAÇÃO DO CONVERSOR D/A

3.1. Técnicas de Projeto de Circuito do Conversor D/A

Como já dito neste trabalho será realizado o projeto de um conversor digital-analógico (D/A) de 6 *bits* trabalhando em uma frequência de amostragem de 200 *Msamples/s*, fabricado em tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) de 0,35 μm da AMS (*Austriamicrosystems*), 4 níveis de metal e 2 de silício policristalino [9, 10]. Os principais parâmetros de processo da tecnologia utilizada se encontram na tabela 3.1 e os modelos dos transistores, no anexo A. Será utilizada tensão de alimentação V_{DD} de 3,3V.

Tabela 3.1: Parâmetros de processo: μ_N é a mobilidade dos elétrons do transistor NMOS, ϵ_{OX} é constante de permissividade do óxido, x_{OX} é a espessura do óxido de porta do transistor, L_{min} é o mínimo comprimento de canal e W_{min} é a mínima largura de canal (tanto dos transistores N como P), V_{TN} é a tensão de limiar para o transistor tipo N, μ_P é a mobilidade das lacunas do transistor PMOS e V_{TP} é a tensão de limiar para o transistor tipo P.

<i>Parâmetro</i>	<i>Valor</i>	<i>Unidade</i>
μ_N	$3,7 \cdot 10^{-2}$	m^2/Vs
μ_P	$1,26 \cdot 10^{-2}$	m^2/Vs
ϵ_{OX}	$3,45 \cdot 10^{-11}$	F / m
x_{OX}	$7,6 \cdot 10^{-9}$	m
L_{min}	0,35	μm
W_{min}	1,0	μm
V_{TN}	0,5	V
V_{TP}	-0,65	V

A arquitetura escolhida para o projeto foi a do conversor D/A fonte de corrente, devido as suas vantagens para aplicações em altas velocidades. O conversor

D/A neste caso é composto de uma matriz de células de corrente que são ativadas por um decodificador. Nos próximos subitens será descrito cada bloco do conversor D/A.

3.1.1. Arquitetura Básica

A arquitetura do conversor D/A é baseada em uma matriz de células de corrente que são ativadas por um decodificador [29, 30, 31], figura 3.1. Este decodificador é composto de dois decodificadores periféricos (de colunas e de linhas) que recebem como entrada o sinal digital binário que deve ser convertido. Junto a matriz de células há portas OR e NAND, inversores, *latches*, fontes de corrente e chaves que conectam ou não cada fonte individual a saída.

Para obter uma precisão de 6 *bits*, foi utilizada uma matriz com 63 fontes de corrente de tamanhos iguais. A saída final é obtida pela soma das correntes (I_F) das fontes que estão ligadas à saída. As fontes de corrente e as chaves são formadas por transistores tipo N para obter uma maior velocidade na conversão de dados.

Figura 3.1: Diagrama de blocos da arquitetura do conversor D/A.

3.1.2. Decodificação da Matriz

O sinal digital de 6 *bits* ($B_5 \dots B_0$) é dividido em dois grupos de sinais, $B_5B_4B_3$ e $B_2B_1B_0$. Os três *bits* menos significativos passam pelo decodificador de colunas, enquanto os três *bits* mais significativos passam pelo decodificador de linhas que gera sinais em forma de código termômetro. A matriz de células de correntes, por sua vez, tem suas linhas classificadas em três tipos: linhas tipo **L**, onde todas as células de corrente estão ligadas à saída; linhas **D**, onde todas as células de correntes estão desligadas da saída; uma linha **T**, onde a célula de corrente será ligada ou desligada da saída dependendo do sinal do decodificador da coluna.

Com esses três tipos de linhas, a decodificação lógica é realizada num primeiro passo nos decodificadores de linhas e colunas e num segundo, nas portas lógicas das células de corrente. A função destas portas é identificar o tipo de linha onde a célula se encontra, o que é feito pela comparação dos sinais de linha que chegam à célula (um associado à linha da própria célula, outro associado à linha abaixo). Se ambos os sinais de linha são de nível alto, então a linha é tipo **L** e a célula de corrente é ligada indiferente aos sinais de coluna; se ambos os sinais de linha são de nível baixo, então a linha é **D** e a célula de corrente é desligada indiferente aos sinais da coluna; se os dois sinais da linha são diferentes, então a linha é **T** e a célula de corrente é ligada ou desligada dependendo dos sinais da coluna. Vê-se assim que a função do decodificador de coluna é indicar quais são as células de corrente que devem estar ativadas na única linha tipo **T** que aparece para uma dada entrada.

A figura 3.2 (a) mostra os tipos de linhas da matriz e 3.2 (b) mostra em detalhes os decodificadores periféricos e as portas lógicas das células.

Figura 3.2: Circuito de decodificação de alta velocidade.

3.1.3. Chaveamento simétrico

Em um conversor D/A com fontes de corrente, as correntes estão tipicamente em torno de 10 a 20 mA, no total, para uma rápida conversão dos dados. Entretanto, esta corrente, pelo seu alto valor, pode causar erros de linearidade. Um mecanismo

por onde surgem erros de linearidade é a passagem das correntes das fontes através da linha de terra. Estas correntes podem causar variações de tensão ao longo da linha que, por sua vez, será responsável por variações nas tensões de polarização das fontes de corrente e que, por fim, acarretarão variações nos valores das correntes geradas. Para se reduzir este problema e também os problemas causados por descasamentos do tipo gradiente foi utilizada neste conversor uma sequência de chaveamento conhecida como “chaveamento simétrico”.

No chaveamento serial, convencional, as células de corrente são conectadas ao nó da saída sequencialmente, da esquerda para a direita, ou vice-versa, à medida que o código digital da entrada vai tendo valores maiores. Neste caso os erros não aleatórios da corrente nas fontes de corrente vão sendo acumulados produzindo um maior erro de linearidade integral. A figura 3.3(a) mostra um exemplo de uma sequência serial de chaveamento.

No chaveamento simétrico, as fontes de corrente são conectadas simetricamente, a partir do centro, à medida que o código digital da entrada vai tendo valores maiores. Com isso, os erros que dependem da posição da célula na lâmina podem ser compensados. A figura 3.3(b) mostra uma sequência de chaveamento simétrico e que foi aplicada no conversor desenvolvido. Suponha, por exemplo, que as fontes de corrente tenham um erro positivo máximo quando localizadas mais à esquerda da matriz e um erro negativo máximo quando localizadas à direita. Quando o chaveamento simétrico é aplicado, com o acionamento de uma chave à esquerda do centro e outra à direita, há a compensação dos erros e a redução do erro de linearidade. O chaveamento simétrico é introduzido dentro da coluna de chaveamento pela simples organização das portas lógicas do decodificador de coluna. O chaveamento simétrico também pode ser realizado nas linhas da matriz através da organização das portas lógicas do decodificador de linha.

Figura 3.3: a) Sequência de chaveamento serial da matriz e b) Sequência de chaveamento simétrico da matriz. Os números nas células indicam a ordem de chaveamento para cada caso.

3.1.4. Célula Básica

A célula básica é composta por portas OR e NAND, inversores, *latches*, fontes de corrente e chaves que conectam ou não cada fonte individual a saída. A fonte de corrente é formada pelos transistores M_2 e M_3 , estando M_3 em cascata com o transistor M_2 , como mostra a figura 3.4. Em adição a estes transistores aparecem os transistores M_4 e M_5 que funcionam como chaves. A corrente necessária para o funcionamento do conversor D/A é gerada através do espelho de corrente M_1/M_2 onde M_1 é um único elemento usado por todo o conversor [32, 33].

As fontes de correntes estão sempre conduzindo corrente e esta é desviada para *out* ou *outI*, fornecendo uma saída diferencial para o conversor. Com isso temos uma maior velocidade de chaveamento, desde que a fonte não precisa ser religada, e um menor ruído de saída, pois ela é diferencial.

Para determinar a corrente que flui por M_2 , consideremos inicialmente a corrente I_{D1} que passa por M_1 , dada por (em primeira aproximação):

$$I_{D1} = \frac{\mu_n C_{ox} W_1}{2L_1} (V_{GS1} - V_T)^2 = \frac{\beta_1}{2} \cdot (V_{GS1} - V_T)^2 \quad (3.1)$$

onde V_T é a tensão de limiar para que o transistor comece a operar, β_I é o ganho do transistor ($\beta = \frac{\mu_n C_{ox} W}{L}$) e V_{GS1} é a tensão de porta-fonte do transistor. Assumindo que M_2 está em saturação, a corrente que passa por M_2 é:

$$I_{D2} = I_0 = \frac{\beta_2}{2} \cdot (V_{GS2} - V_{TN})^2 \quad (3.2)$$

Desde que $V_{GS1} = V_{GS2}$ (tensão porta/fonte dos transistores) a razão entre as correntes de dreno será dada por:

$$\frac{I_{D2}}{I_{D1}} = \frac{\beta_2}{\beta_1} = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} = \frac{W_2 L_1}{W_1 L_2} \quad (3.3)$$

onde W é a largura de canal e L o seu comprimento. Os índices se referem aos transistores M_1 e M_2 . A corrente que flui através de M_2 é, portanto, proporcional a aquela que passa por M_1 sendo a proporção dada pela relação entre as dimensões dos transistores M_2 e M_1 .

Figura 3.4: Configuração da fonte de corrente.

Para V_{GS2} foi escolhida uma tensão de 1,5V. Este valor permite que a tensão do dreno de M_2 possa ser reduzida até a 1 V, mantendo o transistor em saturação. Também possibilita que a dimensão do transistor não cresça muito.

Para manter constante a corrente de saída de cada fonte de corrente, importante para a resolução do conversor D/A, não deve haver grandes variações na tensão de dreno do transistor M_2 . Durante o funcionamento de um conversor, variações nas tensões de saída, principalmente quando resistores são aí ligados, e o liga/desliga dos transistores chaves M_4 e M_5 poderiam causar variações na tensão deste nó. Para se minimizar este problema é adicionado o transistor M_3 em cascata com o transistor M_2 . O transistor M_3 opera na região de triodo e devido a isto as variações de tensões nas fontes dos transistores chaves M_4 e M_5 são, em parte, absorvidas por M_3 e afetam pouco a tensão no dreno de M_2 . Desta forma, a corrente que passa por M_2 é mais estável [3, 5].

A corrente gerada pela fonte de corrente é chaveada para I_{OUT} , via M_4 , ou para I_{OUT1} , via M_5 . Os transistores chaves são controlados por um *latch*, figura 3.5, que sincroniza a operação das chaves de corrente [4]. O *latch* gera os dois sinais necessários para o controle das chaves das fontes de corrente. Os sinais na entrada do *latch* são: D , $\overline{D}$ e mais o sinal de *clock*. Os sinais de saída C e $\overline{C}$ são determinados pelos sinais complementares nas entradas D e $\overline{D}$. Por exemplo: se o sinal em D for um sinal de nível lógico alto e o sinal do *clock* estiver em “1”, os transistores M_{14} e M_{15} conduzem, descarregando o nó $\overline{C}$. Por sua vez, o transistor M_{10} conduz fazendo com que o valor lógico alto apareça em C . O sinal em C mantém seu valor durante todo o tempo em que o sinal de *clock* esteja no nível baixo, figura 3.6.

Figura 3.5: *Latch* dinâmico para controle das chaves.

O *latch* servirá também para reduzir as variações na tensão das fontes de M_4 e M_5 e com isso reduzir as variações na corrente das fontes de corrente. Em um esquema convencional as tensões de controle na entrada dos transistores de chaveamento mudam simultaneamente, e nesta situação ambos os transistores chaves podem permanecer desligados por um curto período. Como resultado, os capacitores nas fontes de M_4 e M_5 são descarregados pela corrente absorvida pelas fontes de corrente. Quando uma das chaves é acionada novamente, surgem *glitches* de corrente na saída do conversor durante o intervalo de recarga destes capacitores, o que não é desejável.

Figura 3.6: Sinais de entrada e saída do *latch*.

Para evitar que os transistores M_4 e M_5 permaneçam simultaneamente desligados, são adicionados inversores nas saídas do *latch* e projetados de forma que os transistores tipo P possuam um W bem maior do que os dos transistores N, figura 3.7 [34, 35]. Em consequência, a transição do nível baixo para o nível alto é mais rápida do que a transição do nível alto para o nível baixo. Isto faz com que as chaves liguem antes que as suas chaves complementares desliguem e nunca ambas as chaves de uma fonte de corrente permaneçam desligadas. A figura 3.8 mostra como são os sinais de controle gerados pelo *latch* antes, figura 3.8(a), e após os inversores serem adicionados, figura 3.8(b).

Figura 3.7: *Latch* dinâmico para controle das chaves com os inversores adicionados.

Figura 3.8: Sinais de controle de chaveamento. (a) Sinal na saída do *latch* sem os inversores e (b) sinal na saída do *latch* com os inversores.

A célula básica recebe 3 sinais de entrada provenientes dos decodificadores (linha e coluna), onde 2 sinais são originados a partir do decodificador de linha (V_{LI} e

V_{L2}) e o outro sinal é originado pelo decodificador de coluna (V_C), figura 3.9. As portas lógicas *OR* e *NAND* de duas entradas recebem estes sinais lógicos provenientes dos decodificadores: os sinais V_C e V_{L2} passam pela porta lógica *OR* e a saída desta será aplicada à porta lógica *NAND* junto com V_{L1} . A saída da porta *NAND* será o sinal D de entrada do *latch*; como este possui uma entrada diferencial a saída da porta *NAND* é também invertida gerando o sinal $\overline{D}$, figura 3.9. Como o *latch* sincroniza os sinais das chaves, ele é implementado próximo às chaves para que não ocorram atrasos entre os sinais de sincronização.

Figura 3.9: Esquematização da célula básica de corrente.

3.2. Determinação dos Valores dos Componentes da Célula Básica

Alguns parâmetros de operação do conversor D/A, tais como número de *bits*, frequência de operação, tensão de alimentação (V_{DD}), corrente total de saída, estão fixados: 6 *bits*; 200 MSamples/s; 3,3 V e 20 mA respectivamente. Também vamos estabelecer que a excursão permitida na saída seja de 3,3 V a 2,3 V. O conversor D/A foi totalmente integrado na tecnologia CMOS de 0,35 μm da empresa AMS [9].

O bloco mais importante dentro do conversor D/A é a fonte de corrente, pois é através dela que a corrente final será gerada. Com corrente total na saída de 20 mA, cada fonte de corrente dever fornecer 317,4 μA . Para determinar a área mínima $(WL)_{min}$ que deve ser utilizada no transistor M_2 da fonte de corrente, é feito um

estudo sobre a precisão relativa de uma fonte de corrente no subitem 3.2.1.; todas as dimensões dos transistores da célula básica serão então determinadas no subitem 3.2.2.

3.2.1. Precisão Relativa de uma Fonte de Corrente

Para garantir uma precisão mínima necessitamos de um $INL < 0,5$ LSB onde o LSB define o menor passo de mudança na corrente da saída. Considerando uma distribuição normal para os valores da corrente nas fontes de corrente, que estes valores são independentes e que eles têm a mesma variância, podemos achar uma expressão que relacione a variância do INL (pior caso) com as variâncias das fontes de corrente (mesmo para fontes dependentes podemos chegar a uma expressão semelhante) [36, 37]:

$$\sigma_{INL}^2 = (2^{N-1}) \cdot \sigma_I^2 \quad (3.4)$$

onde σ_I é variância das fontes de corrente e consideremos como ponto de referência para análise do INL à situação onde metade das fontes de corrente estão ligadas.

O INL, por ser resultante da soma de variáveis normais, também tem distribuição normal. Podemos, a partir daí, da expressão (3.4) e do valor desejado para INL calcular o valor mínimo de (σ_I/I) das fontes de corrente. Para uma probabilidade de 99% que $(|INL| \leq 1/2 \text{ LSB})$ encontraremos tabelas do anexo B [38],

que $\sigma_{INL} \leq (1/2 \text{ LSB}/2,57)$ e, portanto, que $(\sigma_I/I) = (\sigma_I/1 \text{ LSB}) \leq \frac{1}{2,57\sqrt{2^{N+1}}}$ (para $N=6$ temos 3,43%).

Baseando-se nos modelos de casamento de transistores dados em [25, 39], pode ser derivada uma expressão que relacione a área de porta $(WL)_{\min}$ da fonte de corrente com o (σ_I/I) :

$$(WL)_{\min} = \frac{1}{2} \left[A_\beta^2 + \frac{4A_{VT}^2}{(V_{GS2} - V_T)^2} \right] \left/ \left(\frac{\sigma_I}{I} \right)^2 \right. \quad (3.5)$$

onde A_{VT} e A_β são parâmetros de casamento da tecnologia, e $(V_{GS2} - V_T) \approx 1V$. Os valores dos parâmetros de casamento utilizados aqui são apresentados na tabela 3.2 [40]. Os gráficos de (casamento das fontes de corrente X número de *bits*) e (área do transistor X número de *bits*) são apresentados na figura 3.10.

Tabela 3.2: Parâmetros de casamento da tecnologia.

<i>Parâmetros</i>	<i>Valor</i>	<i>Unidade</i>
A_{VT}	8,2	$mV.\mu m$
A_β	0,2	$\%\mu m$

Figura 3.10: Gráficos: (a) (Casamento das fontes de corrente X número de *bits*) e (b) (Área do transistor X número de *bits*).

Através dos gráficos determinamos que para um conversor de 6 *bits* a área mínima necessária para o transistor M_2 será de $0,12 \mu m^2$.

3.2.2. Dimensionamento dos componentes da fonte de corrente, transistor cascata, *latch*, inversores, portas *OR* e *NAND*.

A corrente que passará por cada fonte de corrente é de $317,4 \mu A$ e para gerá-la foram utilizados espelhos de corrente. Através da equação (3.1) determinamos um valor inicial para a largura de canal do transistor M_2 da fonte de corrente, $W_2 = 1,3 \mu m$ (comprimento $L = 0,35 \mu m$ e $V_{GS} = 1,5 V$). Para ajustar o valor final de W_2

utilizamos a montagem da figura 3.11 para simular o comportamento da fonte de corrente com W_2 variando de 1,0 μm e até 12 μm . Ainda, assumimos que $W_1 = W_2 = W_3$ e que a tensão no dreno de M_3 atinge, na pior das hipóteses, 2,3 V (a excursão na saída do conversor é de 1,0 V). Para a realização desta simulação, como de todas as outras do trabalho, foi utilizado o *software ELDO (Mentor Graphics)* com o modelo para transistores MOS BSIM3v3 [41]. A figura 3.12 apresenta as correntes e tensões V_{GS} obtidas através da simulação para várias larguras de canais.

Figura 3.11: Esquemática do circuito simulado.

Lembremos que o espelho de corrente funciona corretamente apenas enquanto o transistor M_2 permanece em saturação. Através da figura 3.12 percebe-se que esta condição é obedecida para valores de largura do canal superiores a 3 μm . Para garantir a operação correta da fonte de corrente, mesmo porque não foi considerada a queda de tensão nos transistores chaves M_4 e M_5 , foi adotada a largura de 6 μm para os transistores M_2 e M_3 .

Para determinar as dimensões da largura de canal dos transistores chaves, M_4 e M_5 , fixamos qual deve ser a tensão ΔV que aplicada entre as portas destes transistores garante o corte de um deles e condução do outro. Esta tensão está relacionada com o ganho dos transistores M_4 e M_5 como mostra a equação:

$$\Delta V = \sqrt{\frac{2I_D}{\beta}} \quad (3.6)$$

onde I_D é a corrente da fonte de corrente e β o ganho dos transistores M_4 e M_5 .

Figura 3.12: Corrente de saída da fonte de corrente, I_{DS2} , e Tensão porta-fonte do Transistor M_2 , V_{GS2} , X Largura do canal (W) de M_2 .

Escolhemos para ΔV o valor de 0,4 V, o que leva a um valor inicial de $W_4 = W_5 = 9,8 \mu\text{m}$. Para facilitar o desenho do *layout* o valor da largura de canal foi aumentada para $12 \mu\text{m}$ (valor múltiplo da largura de canal de M_2 e M_3)

A figura 3.13 apresenta a simulação DC do comportamento dos transistores chaves. Nessa simulação, um dos transistores, M_4 , tem sua tensão de porta fixa em 3,3 V e o outro transistor tem sua tensão de porta variando de 2,0 V a 3,3 V. Observamos que para a corrente passar por apenas um dos transistores deve haver uma diferença de tensão entre as portas em torno de 0,4 V como o projetado.

Figura 3.13: Análise DC da tensão mínima para o transistores chaves mudarem de região de operação. O transistor M_4 tem sua tensão de porta fixa em 3,3 V e o transistor M_5 tem sua tensão variando de 2 V a 3,3 V.

Por fim, o conversor deve funcionar corretamente para tensões de saída entre 3,3 V e 2,3 V. Esta variação na tensão de saída não deve causar uma alteração significativa no valor da corrente (I_F) de cada célula básica. Para o correto funcionamento do conversor ΔI_F (variação causada pela modulação sobre a corrente de uma fonte de corrente) deve ser inferior que ($I_F/128$). A Figura 3.14 mostra que a corrente de saída varia muito pouco com a tensão de saída, o que garante o funcionamento correto da fonte projetada.

Figura 3.14. Variação da corrente em função da tensão de saída.

Todos os transistores utilizados no *latch* propriamente dito têm dimensões mínimas, $W = 1 \mu\text{m}$ e $L = 0,35 \mu\text{m}$, pois para este bloco a frequência de operação de 200 MHz é facilmente atingida. Para os inversores na sua saída, utilizou-se $W = 5 \mu\text{m}$ para os transistores PMOS, $W = 1 \mu\text{m}$ para os transistores NMOS e $L = 0,35 \mu\text{m}$ para ambos. A figura 3.15 mostra o efeito na tensão de dreno do transistor M_3 causado pelas mudanças na saída do *latch*. Podemos observar que, graças à ação dos inversores, apenas uma pequena variação ocorre.

As dimensões dos transistores das portas lógicas *OR* e *NAND* foram determinadas através de simulação, possuindo também dimensões mínimas de $W = 1 \mu\text{m}$ e $L = 0,35 \mu\text{m}$. Estes blocos, como o *latch*, atingem sem dificuldades a frequência de operação de 200 MHz.

Figura 3.15: Variação da tensão no nó de dreno da fonte de corrente.

A tabela 3.3 sumariza as dimensões de todos os transistores utilizados na célula básica.

Tabela 3.3: Dimensões dos transistores utilizados na fonte de corrente, no transistor cascata, nas chaves, no *latch* e nos inversores. Para todos os transistores $L = 0,35 \mu\text{m}$.

Transistor	$W(\mu\text{m})$	Transistor	$W(\mu\text{m})$	Transistor	$W(\mu\text{m})$
W_2	6	W_{11}	1	W_{20}	1
W_3	6	W_{12}	1	W_{21}	1
W_4	12	W_{13}	1	W_{22}	1
W_5	12	W_{14}	1	W_{23}	1
W_6	5	W_{15}	1	W_{24}	1
W_7	1	W_{16}	1	W_{25}	1
W_8	5	W_{17}	1	W_{26}	1
W_9	1	W_{18}	1	W_{27}	1
W_{10}	1	W_{19}	1		

3.3. Implementação do Conversor D/A

O conversor D/A é implementado através da repetição da célula básica, figura 3.16, 63 vezes para o conversor de 6 *bits*. Tomaram-se alguns cuidados

básicos no *layout* desta célula para evitar problemas como: interferência de ruídos digitais nos sinais analógicos e problemas com terra analógico.

Os sinais digitais, devido ao fato de apresentarem grandes variações de valores, da ordem do valor da tensão de alimentação do circuito, e todas sincronizadas com o *clock*, geram pulsos de corrente que são, normalmente, fontes de ruídos para os sinais analógicos. Para evitar problemas de interferência em nosso circuito foram tomados os seguintes cuidados: usaram-se linhas de terra separadas para os circuitos digitais e analógicos com *PADs* de entrada isolados; evitou-se ao máximo a proximidade entre sinais analógicos e digitais.

Os problemas com o terra analógico podem surgir na matriz de células devido as correntes que passam pela linha de terra. Cada linha destas na matriz de células de correntes é percorrida por correntes que variam entre 0 a 2,5 mA (depende da posição da célula dentro da linha). Estas correntes não podem causar variações significativas na tensão de terra, pois isso afetaria diretamente o valor da corrente das fontes de corrente. Para que isso não ocorra foi feito um cuidadoso dimensionamento destas linhas de terra.

Figura 3.16: *Layout* da célula básica de corrente (figura 3.9).

Nos próximos subitens serão descritos os *layouts* da célula de corrente, dos decodificadores periféricos, do *buffer* e finalmente o *layout* do conversor D/A.

3.3.1. Layout da Fonte de Corrente

A fonte de corrente é composta pelos transistores M_2 e M_3 juntamente com os transistores chaves M_4 e M_5 . As linhas de controle dos sinais para as chaves possuem o mesmo comprimento para não ocorrerem atrasos de um sinal em relação ao outro. Os transistores M_4 e M_5 , por possuírem um W de $12\ \mu\text{m}$, foram projetados como uma estrutura “dedos” para diminuir as capacitâncias parasitas no seu dreno e também para otimização do *layout* (mantém dimensões iguais a dos outros transistores). Assim os transistores M_4 e M_5 foram divididos em dois transistores em paralelo de $6\ \mu\text{m}$ cada um. Todos os transistores possuem um comprimento de canal de $0,35\ \mu\text{m}$. Os detalhes dos transistores da fonte de corrente, transistor cascata e chaves são mostrados na figura 3.17. O *latch*, seus inversores e as portas lógicas implementadas são mostradas figura 3.18.

A corrente necessária para o funcionamento da fonte de corrente é gerada pelo transistor M_1 que forma um espelho de corrente com todas as fontes de corrente da matriz. A corrente de dreno para este transistor é fornecida externamente. Para um melhor controle desta corrente se utilizou para o comprimento de canal deste transistor um valor um pouco maior: a dimensão adotada para o transistor foi $W = 10\ \mu\text{m}$. Os detalhes do transistor M_1 são apresentados na figura 3.19.

Figura 3.17: Layout dos transistores da fonte de corrente.

Figura 3.18: *Layout* dos inversores, latch e portas OR e NAND.

Figuras 3.19: Transistor Espelho de Corrente M₁

3.3.2. *Layout* dos Decodificadores Periféricos

Os decodificadores periféricos (linha e coluna) são implementados com inversores e portas NOR e NAND, e estão apresentados na figura 3.20. Os transistores destas portas possuem dimensões mínimas ($W = 1\mu\text{m}$ e $L = 0,35\mu\text{m}$).

Figura 3.20: *Layout* dos decodificadores periféricos. (a) Decodificador de linhas e (b) Decodificador de colunas.

3.3.3. Layout do Buffer

Um sinal de *clock* é levado a todas as células básicas do conversor. As linhas que o distribuem são longas e, em consequência, o sinal de *clock* pode chegar defasado nas células básicas o que acarretaria *glitches* na saída. Para minimizar este problema utilizamos um *buffer* para o sinal de *clock*. *Buffers* consistem de uma cadeia de inversores com um fator de aumento normalmente fixo entre um inversor e outro. Estes servem para amplificar sinais e drenar cargas capacitivas elevadas. Na maior parte dos circuitos suas principais aplicações são para a distribuição de sinais de *clock* e para o aumento da velocidade de sinais de dados.

O projeto de um *buffer* envolve a determinação do fator de aumento, χ , entre os inversores e do número de inversores a serem empregados dada uma certa carga que deve ser alimentada. Quando são examinados circuitos de alta velocidade, o principal critério para determinação do fator de aumento é a minimização do atraso entre a entrada e a saída do *buffer*, ou simplesmente o atraso do *buffer* [42].

Para projetar o *buffer* do sinal do *clock* é necessário conhecer o valor da capacitância da linha do *clock*. Ele foi determinado através do arquivo de extração obtido com o *layout* da matriz de células do conversor D/A, sendo o valor de 423,5 fF. Este é o valor da capacitância de saída do *buffer* aplicado ao *clock*. Para determinar as dimensões dos inversores e o número de inversores alguns parâmetros foram fixados. Fixamos as dimensões do primeiro inversor e o fator de aumento entre os inversores. As dimensões do primeiro inversor foram fixadas em $W_N = 2,2 \mu\text{m}$, $W_P = 4,6 \mu\text{m}$, um inversor pequeno, e o fator de aumento, em 3 (valor próximo ao valor ótimo obtido quando as capacitâncias de porta do transistor são bastante maiores do que as capacitâncias de dreno e fonte, $\chi_{ot} = 2,714$). Através de simulação determinamos os atrasos de *buffers* com diferentes números de inversores, figura 3.21. Foi observado que o menor atraso é para o *buffer* de 3 estágios e este atraso é inferior a 0,7 ns.

O *buffer* implementado no circuito possui, portanto, três inversores sendo que no primeiro inversor o transistor tipo P possui $W = 4,6 \mu\text{m}$ e o transistor tipo N, $W = 2,2 \mu\text{m}$; no segundo inversor o transistor tipo P possui $W = 13,8 \mu\text{m}$ e o transistor tipo N; $W = 6,7 \mu\text{m}$; no último inversor o transistor tipo P possui $W = 41,5 \mu\text{m}$ e

transistor tipo N, $W = 20,1 \mu\text{m}$. O *layout* do *buffer* utilizado é apresentado na figura 3.22.

Figuras 3.21: Atraso em função do Número de estágios.

Figura 3.22: Layout do Buffer utilizado no conversor D/A.

3.3.4. Layout do Conversor D/A

Após a finalização do *layout* dos blocos (célula básica, decodificadores, e *buffers*) a matriz do conversor D/A foi montada e então adicionados os decodificadores e *buffers*. A disposição destes blocos é apresentada na figura 3.23.

Devido ao *layout* compacto da célula básica da matriz e dos decodificadores o conversor possui uma área ativa total bem reduzida, com cerca de 0,41 mm x 0,31 mm. A área total do chip, incluindo os *PADs*, foi bem maior e é de 0,87 mm x 0,76 mm, figura 3.24. Observemos que a distribuição dos *PADs*, não homogênea em torno do circuito, se deve ao fato de que ele foi fabricado conjuntamente com outros blocos. Os *PADs* conectados as saídas do encapsulamento devem estar ao redor *die*.

Figura 3.23. *Layout* do conversor D/A com seus blocos principais em destaque.

Figura 3.24: *Layout* final do conversor D/A.

3.4. Simulação do Conversor D/A

As simulações do conversor D/A foram realizadas a partir de *netlists* extraídos do *layout* do circuito e através dos *softwares* *HSPICE* e *ELDO*. Para estas simulações foi utilizado o modelo BSIM3v3 com parâmetros típicos, *worst speed* e *worst power*. Em todas as simulações consideramos uma resistência de saída externa de 50 Ω conectada a V_{DD} e uma carga capacitiva para representar a carga externa.

Para se obter uma saída com amplitude de 1 V, a polarização da fonte de corrente foi ajustada para aproximadamente 1,2 V, o que gera uma corrente em torno de 374 μA em cada fonte de corrente ou, quando todas as fontes de corrente estão conectadas a saída, uma corrente de saída de 19,95 mA. A tensão de alimentação aplicada foi de $V_{DD} = 3,3$ V.

Primeiramente realizaram-se simulações DC para avaliar a dependência entre a corrente de saída e a tensão de saída (problemas de modulação de canal). Para uma entrada digital igual a 111111, a tensão de saída foi forçada aos valores de 2,3V, 2,8V e 3,3V e obtiveram-se as correntes de saída de 19,81 mA, 19,83 mA e 19,84 mA respectivamente. Neste caso a variação de corrente, devido à mudança da tensão de saída, é de aproximadamente $0,1(\overline{I_F} / 128)$, resultado satisfatório para 6 *bits*.

Para avaliar a performance do conversor D/A, o número efetivo de *bits* foi medido. Este número informa o quanto de ruído o conversor introduz e é expresso com relação ao ruído esperado por conversores ideais. Embora seja um parâmetro de difícil medição, principalmente em testes experimentais, a performance completa do conversor é sumarizada através dele.

Para a realização desta medida foi utilizado um bloco conversor A/D do *software* *ELDO* para gerar um sinal de 6 *bits* que posteriormente é aplicado ao conversor D/A, figura 3.25. Na entrada do bloco conversor A/D foram aplicados sinais senoidais com frequências variando de 1 MHz até 50 MHz e taxa de amostragem de 100 MSamples/s; também foram aplicados sinais senoidais com frequências variando de 1 MHz até 100 MHz e taxa de amostragem de 200 MSamples/s.

Figura 3.25: Diagrama de blocos do circuito simulado.

As frequências dos sinais senoidais de entrada foram escolhidas para que 801 amostras diferentes fossem obtidas antes que a primeira amostra fosse novamente repetida (observe que se utilizarmos, por exemplo, uma entrada de 20 MHz e taxa de amostragem de 100 MSamples/s, apenas 5 amostras diferentes são obtidas em uma simulação, o que é um problema. Este problema não existe em testes experimentais desde que sejam utilizados geradores não sincronizados). As figuras 3.26 e 3.27 apresentam os diferentes sinais de saída diferenciais para frequências de amostragem de 100 MHz e 200 MHz, respectivamente, utilizando uma carga capacitiva na saída igual a 9.1 pF (esta capacitância mais a carga resistiva é responsável por um pólo de saída em 350 MHz).

Para o cálculo do número efetivo de *bits* de um conversor D/A é primeiramente obtido o seu erro RMS (*root square mean*). Para isso, a tensão de saída do conversor sob teste é comparada com a saída de um conversor ideal com um número infinito de *bits* e que tem uma mesma carga na saída. O erro é a diferença entre estas duas saídas, ($v_{outR} - v_{outI}$) conforme a figura 3.28. Observemos que o par conversor A/D e conversor D/A ideal com um número infinito de *bits* é simulado por meio de um *sample/hold* e um conversor tensão-corrente ideais.

O número efetivo de *bits* para um conversor é dado por:

$$\text{Número Efetivo de bits} = N - \log_2 \left(\frac{E_{RMS}(\text{real})}{E_{RMS}(\text{ideal})} \right) \quad (3.7)$$

onde N é o número de *bits* do conversor D/A. O erro RMS de um conversor D/A ideal é dado pela seguinte equação:

$$E_{RMS}(ideal) = \frac{I_{TOTAL} \times R_{SAÍDA}}{2^N \sqrt{12}} \quad (3.8)$$

sendo, para o nosso caso, $I_{TOTAL} = 19,8 \text{ mA}$; $R_{SAÍDA} = 50 \Omega$ e $N = 6$. O número efetivo de *bits* obtido para os diferentes sinais de entrada é apresentado na figura 3.29.

Figura 3.26: Tensão de saída diferencial quando $f_{sample} = 100 \text{ MHz}$, $f_{sinal} = f_{sample} \cdot 801 / (f_{in} \cdot 800)$ (onde se $f_{in} = 200$, f_{sinal} está próximo de 500 KHz, se $f_{in} = 10$, f_{sinal} está próximo de 10 MHz, etc.) e carga de saída igual a 9,1pF.

Figura 3.27: Tensão de saída diferencial quando $f_{clk} = 200$ MHz, $f_{sinal} = f_{sample} \cdot 801 / (f_{in} \cdot 800)$ (onde se $f_{in} = 200$, f_{sinal} está próximo de 1 MHz, se $f_{in} = 10$, f_{sinal} está próximo de 20 MHz, etc.) e carga de saída igual a 9,1pF.

Figura 3.28: Configuração para avaliar o erro RMS do conversor D/A. Erro RMS = $\lim_{T \rightarrow \infty} \sqrt{\frac{1}{T} \int_T (v_{outI} - v_{outR})^2}$.

Observou-se que com o aumento da taxa de amostragem de 100 MSample/s para 200 MSample/s não houve degradação do número efetivo de *bits* com parâmetros típicos. Com uma frequência de entrada de 1 MHz, o conversor D/A possui um número efetivo de *bits* igual a 6.1. Entretanto com uma frequência de entrada de 40 MHz, taxa de 100 Msample/s ou de 200 Msample/s, o número efetivo do conversor sofre uma redução de 24%. Já para parâmetros *worst speed* e *worst power* e sinal de entrada de 40 MHz, temos redução inferior a 32% e a 28%, respectivamente.

Tanto para taxas de amostragem de 100 MSample/s como 200 MSample/s as correntes totais obtidas na saída com parâmetros típicos, *worst speed* e *worst power* foram de 19,95 mA; 18,54 mA e 23,04 mA respectivamente.

As simulações foram realizadas em microcomputadores com processador Pentium 4, frequência de operação de 2,8 GHz e Memória RAM de 1 GHz. O tempo médio de cada simulação foi em torno de 14 horas.

O consumo de potência também foi simulado para o conversor D/A. Em condições típicas a parte digital do circuito possui um consumo de apenas 5 mW com uma tensão de alimentação de 3,3 V; a parte analógica é responsável por um consumo de aproximadamente 60 mW para uma corrente de saída variando de 0 a 19.9 mA (lembramos que as fontes de corrente ficam sempre ativadas). A tabela 3.4 sumariza as características do conversor D/A com fontes de corrente.

Figura 3.29: Número efetivo de *bits* quando (a) A taxa de amostragem é 100 MSample/s e (b) a taxa de amostragem é 200 MSample/s; carga capacitiva de saída igual a 9,1 pF.

Tabela 3.4: Características do conversor D/A (condições típicas).

<i>Especificações</i>	<i>Valor</i>	<i>Unidade</i>
Número de <i>bits</i> (N)	6	-
Frequência de amostragem	200	<i>MS/s</i>
Alcance da saída (V_{swing})	1	<i>V</i>
R_{LOAD}	50	Ω
Tensão de Alimentação	3,3	<i>V</i>
Tecnologia	0,35	μm
Consumo de Potência	65	<i>mW</i>
Área Total (com <i>PADs</i>)	0,66	mm^2

CAPÍTULO 4

4. RESULTADOS EXPERIMENTAIS DO CONVERSOR D/A

O circuito do conversor D/A projetado foi fabricado na tecnologia CMOS de $0,35\ \mu\text{m}$ da AMS junto com outros circuitos desenvolvidos pelo grupo. Estes outros circuitos são um sintetizador de frequência, estruturas de teste para indutores e APSs (*Active Pixel Sensor*). As dimensões do *chip* fabricado são de $2394\ \mu\text{m} \times 3132\ \mu\text{m}$. As figuras 4.1 e 4.2 mostram fotomicrografias do *chip* fabricado. O bloco de interesse deste trabalho, o conversor D/A, tem dimensões $870\ \mu\text{m} \times 760\ \mu\text{m}$.

O conversor foi encapsulado para os testes em um JLCC (*J-Leaded Ceramic Chip Carrier*) de 28 pinos. A figura 4.3 mostra o diagrama de encapsulamento do conversor.

Figura 4.1: Fotomicrografia do *chip* fabricado.

Figura 4.2: Fotomicrografia do conversor D/A fabricado.

Figura 4.3: Diagrama de encapsulamento do circuito conversor.

4.1. Procedimento Experimental

Para realizar os testes experimentais do conversor D/A uma placa de circuito impresso com um FPGA Xilinx Spartan XC2S300E foi utilizada¹, figura 4.4. O circuito FPGA foi usado para gerar os sinais das entradas digitais e o sinal de *clock* para o conversor.

Figura 4.4: Placa de circuito impresso utilizada para caracterização do conversor D/A.

Os equipamentos utilizados durante o teste, com algumas especificações básicas, são apresentados a seguir:

- Gerador de pulsos HP 33120A
 Frequência do sinal de saída: 100 μ Hz – 15MHz
 Ciclo de trabalho do sinal de saída: 20% até 80% (para 5 MHz) e 40% até 60% (para 15 MHz)
 Amplitude do sinal de saída: 50 mVpp até 10 Vpp
 Impedância de saída: 50 Ω

- Fonte de alimentação DC tripla HP E3631A
 Tensão DC de saída: 0 até 6 V e máxima corrente de saída de 5 A
 Tensão DC de saída: 0 até 25 V e máxima corrente de saída de 1 A

¹ Esta placa de circuito impresso foi desenvolvida pelo grupo DSD - LSI (Divisão de Sistemas Digitais – Laboratório de Sistemas Integráveis).

Tensão DC de saída: 0 até -25 V e máxima corrente de saída de 1 A

➤ Osciloscópio HP 54600B

Frequência de operação: desde DC até 100 MHz

Tensão de entrada máxima: 400 V (DC + pico AC)

Limite de comprimento de banda: $\approx 20\text{ MHz}$

O gerador de pulsos HP 33120A foi utilizado para fornecer ao circuito FPGA um sinal de *clock* de 1 MHz e a fonte de alimentação DC tripla HP E3631A, utilizada para alimentar o circuito FPGA e o conversor D/A com tensão de $3,3\text{ V}$. O conversor ainda recebe uma polarização, próxima de $1,1\text{ V}$, para os transistores das fontes de corrente. A figura 4.5 ilustra a montagem empregada no procedimento experimental.

Figura 4.5: Montagem do procedimento experimental do conversor D/A.

As saídas do conversor D/A foram conectadas a V_{DD} através de resistores de $47\ \Omega$, para a conversão de corrente para tensão. A tensão de polarização foi ajustada para se obter uma corrente máxima na saída do conversor em torno de $20,5\text{ mA}$, o que garante uma tensão de saída máxima em torno de 1 V . A tensão de alimentação aplicada ao circuito foi $V_{DD} = 3,3\text{ V}$.

4.2. Resultados de Caracterização do Conversor D/A

Para a realização das medidas experimentais do conversor D/A aplicou-se uma onda quadrada com frequência de 1 MHz como sinal de *clock* no circuito FPGA

através do gerador de pulsos HP 33120A. O circuito FPGA divide este sinal por quatro gerando o sinal de *clock* do conversor D/A (frequência de 250 kHz). O circuito FPGA foi programado para produzir seis sinais digitais que são aplicados às entradas do conversor (Anexo C).

Para observar o sinal de saída no domínio do tempo foi usado o osciloscópio HP 54600B. O sinal gerado pelo FPGA produz na saída do conversor D/A uma rampa de tensão que é observada na figura 4.6. A amplitude máxima do sinal na saída I_{OUT} foi de 974 mV e na saída I_{OUT1} foi de 970,9 mV. Observa-se que o descasamento na saída, 0,29%, é devido ao descasamento dos resistores.

Através desta medida pode-se extrair a curva de transferência do conversor D/A e compará-la com a de um conversor ideal, figura 4.7. As duas curvas estão bastante próximas mostrando a linearidade do conversor.

Figura 4.6: Forma de onda em rampa da saída do conversor D/A com taxa de amostragem de 250 kHz.

Figura 4.7: Curva de transferência de um conversor D/A.

Também se podem extrair a não linearidade integral (INL) e a não linearidade diferencial (DNL) do conversor D/A. O INL obtido é inferior a 0,46 LSB, o que demonstra que o conversor é monotônico, figura 4.8. O DNL obtido é inferior a 0,22 LSB, figura 4.9. O INL e o DNL são inferiores a 0,5 LSB, o mínimo necessário para um conversor.

As características do nosso conversor D/A são sumarizadas na tabela 4.1.

Figura 4.8: INL medido do conversor D/A.

Figura 4.9: DNL medido do conversor D/A.

Não foram realizados testes dinâmicos no conversor (com sinais de alta frequência), pois estes exigem montagens muito mais cuidadosas do que as implementadas.

Tabela 4.1: Lista de especificações gerais do conversor D/A com fontes de corrente com valores típicos.

<i>Especificações</i>	<i>Valor</i>	<i>Unidade</i>
Número de bits (N)	6	-
INL	0.46	LSB
DNL	0.22	LSB
Frequência de amostragem máxima (simulação)	200	MS/s
Tensão na saída (V_{swing})	965	mV
Corrente de saída	20.5	mA
R_{Load}	47	Ω
Tensão de alimentação	3.3	V
Tecnologia	0.35 μ m	-
Área Total (incluindo Pads)	0.66	mm ²

CAPÍTULO 5

5. CONCLUSÕES E SUGESTÕES

5.1. Conclusões

Neste projeto foram realizados estudos de algumas das topologias de conversores mais conhecidas. A partir desse estudo foi escolhida a topologia mais adequada para alcançar certas especificações dadas tais com número de *bits* e taxa de amostragem.

Após a escolha da topologia foi feita uma análise detalhada de conversores D/A com fontes de corrente. Em seguida foram projetados os blocos do conversor e então simulados para verificação de suas funcionalidades. Após a confirmação da correta operação do conversor, foi realizado o *layout* do mesmo.

Com a finalização do *layout*, novamente foram realizadas simulações a partir dos *netlists* extraídos do *layout* do circuito do conversor e através dos *softwares* *ELDO* e *HSPICE*.

Os resultados demonstraram que o conversor D/A com fontes de corrente possui boa resolução sem degradação da performance com o aumento da frequência de amostragem de 100 MSample/s para 200 MSample/s.

O conversor D/A aqui desenvolvido possui área ativa inferior a $0,13 \text{ mm}^2$, dissipação de potência em torno de 70 mW (resultados de simulação), sendo a parte digital responsável por 5 mW com $V_{DD} = 3,3 \text{ V}$.

Dos testes experimentais do circuito obteve-se um INL menor do que 0,46 LSB e DNL menor do que 0,22 LSB assegurando que o conversor opera monotonicamente. Estes resultados estão dentro da faixa de projeto que foi de $\pm 0,5$ LSB.

Não foi possível a realização de testes em alta frequência devido à placa de circuito impresso empregada nos testes do conversor.

5.2. Sugestões para Trabalhos Futuros

As sugestões para trabalhos futuros sobre o conversor D/A desenvolvido são listadas a seguir:

- Fabricação de uma placa para testes em alta frequência do conversor D/A. Com estes testes desejamos conhecer melhor a performance do conversor em altas frequências;
- Implementação de um circuito de polarização para as fontes de corrente. Com isso a corrente de alimentação seria fixa, não havendo a necessidade de uma polarização externa;
- Implementação de uma placa de teste para um circuito de vídeo. Com 3 conversores D/A podemos gerar padrões de imagens, onde cada conversor gera uma das três cores RGB (*Red*, *Green* e *Blue*). Com isso poderemos avaliar se o conversor projetado pode ser utilizado para processamento de vídeo.

As sugestões para trabalhos futuros sobre conversores são:

- Avaliar os descasamentos na matriz de fontes de corrente e propor, a partir dos resultados, esquemas alternativos de chaveamento;
- Implementação da fonte de corrente e transistores chaves com transistores PMOS, para avaliar se o descasamento da corrente na saída é menor;
- Estudar os métodos para avaliação do número efetivo de *bits* para um conversor D/A e compará-los com outros tipos de avaliação;
- Analisar quais elementos do circuito causam a degradação da performance com o aumento da velocidade;
- Desenvolvimento de conversores de 8 *bits* com taxas de amostragem superiores a 200 MHz.

ANEXO A: Parâmetros de Simulação

Parâmetros Típicos: Modelo para Transistor Tipo P

```

.MODEL MODP PMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS
* -----
* format      : HSPICE
* model       : MOS BSIM3v3
* process     : C35
* revision    : 2;
* extracted   : C64685 ; 2002-12; ese(487)
* doc#        : ENG-182 REV_2
* -----
*                                     TYPICAL MEAN CONDITION
* -----
*
*          *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NOIMOD =3.000e+00
+VERSION=3.11
*          *** Threshold voltage related model parameters ***
+K1      =5.9959e-01
+K2      =-6.038e-02 K3      =1.103e+01 K3B      =-7.580e-01
+NCH      =9.240e+16 VTH0     =-6.915e-01
+VOFF     =-1.170e-01 DVT0    =1.650e+00 DVT1     =3.868e-01
+DVT2     =1.659e-02 KETA     =-1.440e-02
+PSCBE1   =5.000e+09 PSCBE2  =1.000e-04
+DVT0W    =1.879e-01 DVT1W   =7.335e+04 DVT2W    =-6.312e-03
*          *** Mobility related model parameters ***
+UA       =5.394e-10 UB       =1.053e-18 UC       =1.000e-20
+U0       =1.482e+02
*          *** Subthreshold related parameters ***
+DSUB     =5.000e-01 ETA0     =2.480e-01 ETAB     =-3.917e-03
+NFACTOR  =1.214e+00
*          *** Saturation related parameters ***
+EM       =4.100e+07 PCLM     =3.184e+00
+PDIBLC1  =1.000e-04 PDIBLC2 =1.000e-20 DROUT     =5.000e-01
+A0       =5.850e-01 A1       =0.000e+00 A2       =1.000e+00
+PVAG     =0.000e+00 VSAT     =1.158e+05 AGS       =2.468e-01
+B0       =8.832e-08 B1       =0.000e+00 DELTA    =1.000e-02
+PDIBLCB  =1.000e+00
*          *** Geometry modulation related parameters ***
+W0       =1.000e-10 DLC      =2.4500e-08
+DWC      =3.449e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL       =0.000e+00 LW       =0.000e+00 LWL       =0.000e+00
+LLN      =1.000e+00 LWN      =1.000e+00 WL        =0.000e+00
+WW       =1.894e-16 WWL      =-1.981e-21 WLN       =1.000e+00
+WWN      =1.040e+00
*          *** Temperature effect parameters ***
+TNOM     =27.0 AT          =3.300e+04 UTE        =-1.300e+00
+KT1      =-5.403e-01 KT2    =2.200e-02 KT1L       =0.000e+00
+UA1      =0.000e+00 UB1     =0.000e+00 UC1        =0.000e+00
+PRT      =0.000e+00
*          *** Overlap capacitance related and dynamic model
parameters ***
+CGDO     =8.600e-11 CGSO     =8.600e-11 CGBO      =1.100e-10
+CGDL     =1.080e-10 CGSL     =1.080e-10 CKAPPA    =6.000e-01

```

```

+CF      =0.000e+00 ELM      =5.000e+00
+XPART   =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
*      *** Parasitic resistance and capacitance related model
parameters ***
+RDSW    =1.033e+03
+CDSC    =2.589e-03 CDSCB    =2.943e-04 CDSCD    =4.370e-04
+PRWB    =-9.731e-02 PRWG    =1.477e-01 CIT      =0.000e+00
*      *** Process and parameters extraction related model
parameters ***
+TOX     =7.754e-09 NGATE    =0.000e+00
+NLX     =1.770e-07
+XL      =0.000e+00 XW      =0.000e+00
*      *** Substrate current related model parameters ***
+ALPHA0  =0.000e+00 BETA0    =3.000e+01
*      *** Noise effect related model parameters ***
+AF      =1.48e+00 KF        =8.5e-27 EF        =1.000e+00
+NOIA    =1.52e+18 NOIB      =7.75e+03 NOIC      =5.0e-13
*      *** Common extrinsic model parameters ***
+ACM     =2
+RD      =0.000e+00 RS       =0.000e+00 RSH      =1.290e+02
+RDC     =0.000e+00 RSC      =0.000e+00
+LINT    =-7.130e-08 WINT    =3.449e-08
+LDIF    =0.000e+00 HDIF     =8.000e-07 WMLT     =1.000e+00
+LMLT    =1.000e+00 XJ       =3.000e-07
+JS      =9.000e-05 JSW      =0.000e+00 IS       =0.000e+00
+N       =1.000e+00 NDS      =1000.
+VNDS    =-1.000e+00 CBD     =0.000e+00 CBS      =0.000e+00 CJ
=1.360e-03 CJSW      =3.200e-10
+FC      =0.000e+00 MJ       =5.600e-01 MJSW     =4.300e-01 TT
=0.000e+00
+PB      =1.020e+00 PHP      =1.020e+00
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital

```

Parâmetros Típicos: Modelo para Transistor Tipo N

```

.MODEL MODN NMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS
* -----
* format      : HSPICE
* model       : MOS BSIM3v3
* process     : C35
* revision    : 2;
* extracted   : B10866 ; 2002-12; ese(487)
* doc#        : ENG-182 REV_2
* -----
*                                     TYPICAL MEAN CONDITION
* -----
*
*      *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NOIMOD =3.000e+00
+VERSION=3.11

```

```

*      *** Threshold voltage related model parameters ***
+K1      =5.0296e-01
+K2      =3.3985e-02 K3      =-1.136e+00 K3B      =-4.399e-01
+NCH      =2.611e+17 VTH0      =4.979e-01
+VOFF      =-8.925e-02 DVT0      =5.000e+01 DVT1      =1.039e+00
+DVT2      =-8.375e-03 KETA      =2.032e-02
+PSCBE1    =3.518e+08 PSCBE2    =7.491e-05
+DVT0W     =1.089e-01 DVT1W     =6.671e+04 DVT2W     =-1.352e-02
*      *** Mobility related model parameters ***
+UA      =4.705e-12 UB      =2.137e-18 UC      =1.000e-20
+U0      =4.758e+02
*      *** Subthreshold related parameters ***
+DSUB      =5.000e-01 ETA0      =1.415e-02 ETAB      =-1.221e-01
+NFACTOR    =4.136e-01
*      *** Saturation related parameters ***
+EM      =4.100e+07 PCLM      =6.948e-01
+PDIBLC1    =3.571e-01 PDIBLC2=2.065e-03 DROUT      =5.000e-01
+A0      =2.541e+00 A1      =0.000e+00 A2      =1.000e+00
+PVAG      =0.000e+00 VSAT      =1.338e+05 AGS      =2.408e-01
+B0      =4.301e-09 B1      =0.000e+00 DELTA      =1.442e-02
+PDIBLCB    =3.222e-01
*      *** Geometry modulation related parameters ***
+W0      =2.673e-07 DLC      =3.0000e-08
+DWC      =9.403e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN      =1.000e+00 LWN      =1.000e+00 WL      =0.000e+00
+WW      =-1.297e-14 WWL      =-9.411e-21 WLN      =1.000e+00
+WWN      =1.000e+00
*      *** Temperature effect parameters ***
+TNOM      =27.0 AT      =3.300e+04 UTE      =-1.800e+00
+KT1      =-3.302e-01 KT2      =2.200e-02 KT1L      =0.000e+00
+UA1      =0.000e+00 UB1      =0.000e+00 UC1      =0.000e+00
+PRT      =0.000e+00
*      *** Overlap capacitance related and dynamic model
parameters ***
+CGDO      =1.300e-10 CGSO      =1.200e-10 CGBO      =1.100e-10
+CGDL      =1.310e-10 CGSL      =1.310e-10 CKAPPA    =6.000e-01
+CF      =0.000e+00 ELM      =5.000e+00
+XPART      =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
*      *** Parasitic resistance and capacitance related model
parameters ***
+RDSW      =3.449e+02
+CDSC      =0.000e+00 CDSCB      =1.500e-03 CDSCD      =1.000e-03
+PRWB      =-2.416e-01 PRWG      =0.000e+00 CIT      =4.441e-04
*      *** Process and parameters extraction related model
parameters ***
+TOX      =7.575e-09 NGATE      =0.000e+00
+NLX      =1.888e-07
+XL      =0.000e+00 XW      =0.000e+00
*      *** Substrate current related model parameters ***
+ALPHA0    =0.000e+00 BETA0      =3.000e+01
*      *** Noise effect related model parameters ***
+AF      =1.3600e+00 KF      =5.1e-27 EF      =1.000e+00
+NOIA      =1.73e+19 NOIB      =7.000e+04 NOIC      =-5.64e-13
*      *** Common extrinsic model parameters ***
+ACM      =2
+RD      =0.000e+00 RS      =0.000e+00 RSH      =7.000e+01
+RDC      =0.000e+00 RSC      =0.000e+00
+LINT      =-5.005e-08 WINT      =9.403e-08

```

```

+LDIF    =0.000e+00 HDIF    =8.000e-07 WMLT    =1.000e+00
+LMLT    =1.000e+00 XJ      =3.000e-07
+JS       =1.000e-05 JSW     =0.000e+00 IS      =0.000e+00
+N        =1.000e+00 NDS     =1000.
+VNDS     =-1.000e+00 CBD     =0.000e+00 CBS     =0.000e+00 CJ
=9.400e-04 CJSW    =2.500e-10
+FC       =0.000e+00 MJ      =3.400e-01 MJSW    =2.300e-01 TT
=0.000e+00
+PB       =6.900e-01 PHP     =6.900e-01
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital

```

Parâmetros *Worst Speed*: Modelo para Transistor Tipo P

```

.MODEL MODP PMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS
* -----
* format      : HSPICE
* model       : MOS BSIM3v3
* process     : C35
* revision    : 2;
* extracted   : C64685 ; 2002-12; ese(487)
* doc#        : ENG-182 REV_2
* -----
*                               WORST CASE SPEED CONDITION
* -----
*
*          *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NOIMOD =3.000e+00
+VERSION=3.11
*          *** Threshold voltage related model parameters ***
+K1      =6.2895e-01
+K2      =-4.725e-02 K3      =1.103e+01 K3B     =-7.580e-01
+NCH     =1.146e+17 VTH0    =-7.715e-01
+VOFF    =-1.170e-01 DVT0    =1.650e+00 DVT1     =3.868e-01
+DVT2    =1.659e-02 KETA    =-1.440e-02
+PSCBE1  =5.000e+09 PSCBE2  =1.000e-04
+DVT0W   =1.879e-01 DVT1W   =7.335e+04 DVT2W    =-6.312e-03
*          *** Mobility related model parameters ***
+UA      =5.394e-10 UB      =1.053e-18 UC      =1.000e-20
+U0      =1.314e+02
*          *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =2.480e-01 ETAB     =-3.917e-03
+NFACTOR =1.214e+00
*          *** Saturation related parameters ***
+EM      =4.100e+07 PCLM    =3.184e+00
+PDIBLC1 =1.000e-04 PDIBLC2 =1.000e-20 DROUT    =5.000e-01
+A0      =5.850e-01 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =1.158e+05 AGS      =2.468e-01
+B0      =8.832e-08 B1      =0.000e+00 DELTA    =1.000e-02
+PDIBLCB =1.000e+00
*          *** Geometry modulation related parameters ***
+W0      =1.000e-10 DLC     =2.4500e-08

```

```

+DWC      =3.449e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL        =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN       =1.000e+00 LWN      =1.000e+00 WL       =0.000e+00
+WW        =1.894e-16 WWL      =-1.981e-21 WLN      =1.000e+00
+WWN       =1.040e+00
*          *** Temperature effect parameters ***
+TNOM      =27.0 AT          =3.300e+04 UTE      =-1.300e+00
+KT1       =-5.403e-01 KT2    =2.200e-02 KT1L     =0.000e+00
+UA1       =0.000e+00 UB1     =0.000e+00 UC1      =0.000e+00
+PRT       =0.000e+00
*          *** Overlap capacitance related and dynamic model
parameters ***
+CGDO      =8.600e-11 CGSO     =8.600e-11 CGBO     =1.200e-10
+CGDL      =1.21e-10 CGSL     =1.21e-10 CKAPPA    =6.000e-01
+CF        =0.000e+00 ELM      =5.000e+00
+XPART     =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
*          *** Parasitic resistance and capacitance related model
parameters ***
+RDSW      =1.033e+03
+CDSC      =2.589e-03 CDSCB    =2.943e-04 CDSCD     =4.370e-04
+PRWB      =-9.731e-02 PRWG    =1.477e-01 CIT       =0.000e+00
*          *** Process and parameters extraction related model
parameters ***
+TOX       =8.100e-09 NGATE    =0.000e+00
+NLX       =1.770e-07
+XL        =4.000e-08 XW       =-0.700e-07
*          *** Substrate current related model parameters ***
+ALPHA0    =0.000e+00 BETA0    =3.000e+01
*          *** Noise effect related model parameters ***
+AF        =1.48e+00 KF        =8.5e-27 EF         =1.000e+00
+NOIA      =1.52e+18 NOIB      =7.75e+03 NOIC       =5.0e-13
*          *** Common extrinsic model parameters ***
+ACM       =2
+RD        =0.000e+00 RS       =0.000e+00 RSH       =1.600e+02
+RDC       =0.000e+00 RSC      =0.000e+00
+LINT      =-7.130e-08 WINT    =3.449e-08
+LDIF      =0.000e+00 HDIF     =8.000e-07 WMLT      =1.000e+00
+LMLT      =1.000e+00 XJ       =3.000e-07
+JS        =9.000e-05 JSW      =0.000e+00 IS        =0.000e+00
+N         =1.000e+00 NDS      =1000.
+VNDS      =-1.000e+00 CBD     =0.000e+00 CBS       =0.000e+00 CJ
=1.523e-03 CJSW      =3.580e-10
+FC        =0.000e+00 MJ       =5.600e-01 MJSW      =4.300e-01 TT
=0.000e+00
+PB        =1.020e+00 PHP      =1.020e+00
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital

```

Parâmetros Worst Speed: Modelo para Transistor Tipo N

```

.MODEL MODN NMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS
* -----
* format      : HSPICE

```

```

* model      : MOS BSIM3v3
* process    : C35
* revision   : 2;
* extracted  : B10866 ; 2002-12; ese(487)
* doc#       : ENG-182 REV_2
* -----
*                               WORST CASE SPEED CONDITION
* -----
*
*      *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NOIMOD =3.000e+00
+VERSION=3.11
*      *** Threshold voltage related model parameters ***
+K1      =6.6008e-01
+K2      =2.1313e-02 K3      =-1.136e+00 K3B      =-4.399e-01
+NCH      =3.094e+17 VTH0     =5.579e-01
+VOFF     =-8.925e-02 DVT0    =5.000e+01 DVT1      =1.039e+00
+DVT2     =-8.375e-03 KETA    =2.032e-02
+PSCBE1   =3.518e+08 PSCBE2  =7.491e-05
+DVT0W    =1.089e-01 DVT1W   =6.671e+04 DVT2W     =-1.352e-02
*      *** Mobility related model parameters ***
+UA      =4.705e-12 UB      =2.137e-18 UC      =1.000e-20
+U0      =4.671e+02
*      *** Subthreshold related parameters ***
+DSUB     =5.000e-01 ETA0    =1.415e-02 ETAB     =-1.221e-01
+NFACTOR  =4.136e-01
*      *** Saturation related parameters ***
+EM       =4.100e+07 PCLM    =6.948e-01
+PDIBLC1  =3.571e-01 PDIBLC2=2.065e-03 DROUT     =5.000e-01
+A0       =2.541e+00 A1      =0.000e+00 A2      =1.000e+00
+PVAG     =0.000e+00 VSAT    =1.338e+05 AGS      =2.408e-01
+B0       =4.301e-09 B1      =0.000e+00 DELTA    =1.442e-02
+PDIBLCB  =3.222e-01
*      *** Geometry modulation related parameters ***
+W0       =2.673e-07 DLC     =3.0000e-08
+DWC      =9.403e-08 DWB     =0.000e+00 DWG      =0.000e+00
+LL       =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN      =1.000e+00 LWN     =1.000e+00 WL       =0.000e+00
+WW       =-1.297e-14 WWL    =-9.411e-21 WLN      =1.000e+00
+WWN      =1.000e+00
*      *** Temperature effect parameters ***
+TNOM     =27.0 AT          =3.300e+04 UTE      =-1.800e+00
+KT1      =-3.302e-01 KT2    =2.200e-02 KT1L     =0.000e+00
+UA1      =0.000e+00 UB1     =0.000e+00 UC1      =0.000e+00
+PRT      =0.000e+00
*      *** Overlap capacitance related and dynamic model
parameters ***
+CGDO     =1.300e-10 CGSO    =1.200e-10 CGBO      =1.200e-10
+CGDL     =1.47e-10 CGSL    =1.47e-10 CKAPPA    =6.000e-01
+CF       =0.000e+00 ELM     =5.000e+00
+XPART    =1.000e+00 CLC     =1.000e-15 CLE      =6.000e-01
*      *** Parasitic resistance and capacitance related model
parameters ***
+RDSW     =3.449e+02
+CDSC     =0.000e+00 CDSCB   =1.500e-03 CDSCD     =1.000e-03
+PRWB     =-2.416e-01 PRWG   =0.000e+00 CIT       =4.441e-04
*      *** Process and parameters extraction related model
parameters ***

```

```

+TOX      =8.100e-09 NGATE  =0.000e+00
+NLX      =1.888e-07
+XL       =5.000e-08 XW      =-1.000e-07
*          *** Substrate current related model parameters ***
+ALPHA0   =0.000e+00 BETA0  =3.000e+01
*          *** Noise effect related model parameters ***
+AF       =1.3600e+00 KF      =5.1e-27 EF      =1.000e+00
+NOIA     =1.73e+19 NOIB     =7.000e+04 NOIC     =-5.64e-13
*          *** Common extrinsic model parameters ***
+ACM      =2
+RD       =0.000e+00 RS      =0.000e+00 RSH      =8.500e+01
+RDC      =0.000e+00 RSC      =0.000e+00
+LINT     =-5.005e-08 WINT    =9.403e-08
+LDIF     =0.000e+00 HDIF     =8.000e-07 WMLT     =1.000e+00
+LMLT     =1.000e+00 XJ       =3.000e-07
+JS       =1.000e-05 JSW      =0.000e+00 IS       =0.000e+00
+N        =1.000e+00 NDS      =1000.
+VNDS     =-1.000e+00 CBD     =0.000e+00 CBS      =0.000e+00 CJ
=1.052e-03 CJSW      =2.800e-10
+FC       =0.000e+00 MJ       =3.400e-01 MJSW      =2.300e-01 TT
=0.000e+00
+PB       =6.900e-01 PHP      =6.900e-01
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital

```

Parâmetros *Worst Power*: Modelo para Transistor Tipo P

```

.MODEL MODP PMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS
* -----
* format      : HSPICE
* model       : MOS BSIM3v3
* process     : C35
* revision    : 2;
* extracted   : C64685 ; 2002-12; ese(487)
* doc#        : ENG-182 REV_2
* -----
*                               WORST CASE POWER CONDITION
* -----
*
*          *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NOIMOD =3.000e+00
+VERSION=3.11
*          *** Threshold voltage related model parameters ***
+K1      =4.5027e-01
+K2      =-4.451e-02 K3      =1.103e+01 K3B      =-7.580e-01
+NCH     =7.022e+16 VTH0     =-5.715e-01
+VOFF    =-1.170e-01 DVT0    =1.650e+00 DVT1     =3.868e-01
+DVT2    =1.659e-02 KETA     =-1.440e-02
+PSCBE1  =5.000e+09 PSCBE2  =1.000e-04
+DVT1W   =1.879e-01 DVT1W   =7.335e+04 DVT2W    =-6.312e-03
*          *** Mobility related model parameters ***

```

```

+UA      =5.394e-10 UB      =1.053e-18 UC      =1.000e-20
+UO      =1.581e+02
*      *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =2.480e-01 ETAB    =-3.917e-03
+NFACTOR=1.214e+00
*      *** Saturation related parameters ***
+EM      =4.100e+07 PCLM    =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT   =5.000e-01
+A0      =5.850e-01 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =1.158e+05 AGS      =2.468e-01
+B0      =8.832e-08 B1      =0.000e+00 DELTA   =1.000e-02
+PDIBLCB=1.000e+00
*      *** Geometry modulation related parameters ***
+W0      =1.000e-10 DLC      =2.4500e-08
+DWC      =3.449e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN      =1.000e+00 LWN      =1.000e+00 WL      =0.000e+00
+WW      =1.894e-16 WWL      =-1.981e-21 WLN      =1.000e+00
+WWN      =1.040e+00
*      *** Temperature effect parameters ***
+TNOM     =27.0 AT          =3.300e+04 UTE      =-1.300e+00
+KT1      =-5.403e-01 KT2    =2.200e-02 KT1L     =0.000e+00
+UA1      =0.000e+00 UB1      =0.000e+00 UC1      =0.000e+00
+PRT      =0.000e+00
*      *** Overlap capacitance related and dynamic model
parameters ***
+CGDO     =8.600e-11 CGSO     =8.600e-11 CGBO     =1.000e-10
+CGDL     =0.95e-10 CGSL      =0.95e-10 CKAPPA  =6.000e-01
+CF        =0.000e+00 ELM      =5.000e+00
+XPART     =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
*      *** Parasitic resistance and capacitance related model
parameters ***
+RDSW     =1.033e+03
+CDSC     =2.589e-03 CDSCB    =2.943e-04 CDSCD    =4.370e-04
+PRWB     =-9.731e-02 PRWG     =1.477e-01 CIT      =0.000e+00
*      *** Process and parameters extraction related model
parameters ***
+TOX      =7.100e-09 NGATE    =0.000e+00
+NLX      =1.770e-07
+XL        =-6.000e-08 XW      =0.800e-07
*      *** Substrate current related model parameters ***
+ALPHA0    =0.000e+00 BETA0    =3.000e+01
*      *** Noise effect related model parameters ***
+AF        =1.48e+00 KF        =8.5e-27 EF        =1.000e+00
+NOIA      =1.52e+18 NOIB      =7.75e+03 NOIC      =5.0e-13
*      *** Common extrinsic model parameters ***
+ACM       =2
+RD        =0.000e+00 RS        =0.000e+00 RSH      =1.000e+02
+RDC       =0.000e+00 RSC        =0.000e+00
+LINT      =-7.130e-08 WINT     =3.449e-08
+LDIF      =0.000e+00 HDIF      =8.000e-07 WMLT     =1.000e+00
+LMLT      =1.000e+00 XJ        =3.000e-07
+JS        =9.000e-05 JSW       =0.000e+00 IS        =0.000e+00
+N         =1.000e+00 NDS       =1000.
+VNDS      =-1.000e+00 CBD      =0.000e+00 CBS      =0.000e+00 CJ
=1.197e-03 CJSW    =2.810e-10
+FC        =0.000e+00 MJ        =5.600e-01 MJSW     =4.300e-01 TT
=0.000e+00
+PB        =1.020e+00 PHP      =1.020e+00

```



```

* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital

```

Parâmetros Worst Power: Modelo para Transistor Tipo N

```

.MODEL MODN NMOS LEVEL=49
* -----
***** SIMULATION PARAMETERS
* -----
* format      : HSPICE
* model       : MOS BSIM3v3
* process     : C35
* revision    : 2;
* extracted   : B10866 ; 2002-12; ese(487)
* doc#        : ENG-182 REV_2
* -----
*                               WORST CASE POWER CONDITION
* -----
*
*          *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
+NOIMOD =3.000e+00
+VERSION=3.11
*          *** Threshold voltage related model parameters ***
+K1      =3.5516e-01
+K2      =4.6758e-02 K3      =-1.136e+00 K3B      =-4.399e-01
+NCH     =2.128e+17 VTH0     =3.579e-01
+VOFF    =-8.925e-02 DVT0    =5.000e+01 DVT1      =1.039e+00
+DVT2    =-8.375e-03 KETA    =2.032e-02
+PSCBE1  =3.518e+08 PSCBE2  =7.491e-05
+DVT0W   =1.089e-01 DVT1W   =6.671e+04 DVT2W     =-1.352e-02
*          *** Mobility related model parameters ***
+UA      =4.705e-12 UB      =2.137e-18 UC      =1.000e-20
+U0      =5.002e+02
*          *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =1.415e-02 ETAB     =-1.221e-01
+NFACTOR =4.136e-01
*          *** Saturation related parameters ***
+EM      =4.100e+07 PCLM    =6.948e-01
+PDIBLC1 =3.571e-01 PDIBLC2 =2.065e-03 DROUT    =5.000e-01
+A0      =2.541e+00 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =1.338e+05 AGS      =2.408e-01
+B0      =4.301e-09 B1      =0.000e+00 DELTA    =1.442e-02
+PDIBLCB =3.222e-01
*          *** Geometry modulation related parameters ***
+W0      =2.673e-07 DLC      =3.0000e-08
+DWC     =9.403e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN     =1.000e+00 LWN      =1.000e+00 WL       =0.000e+00
+WW      =-1.297e-14 WWL     =-9.411e-21 WLN      =1.000e+00
+WWN     =1.000e+00
*          *** Temperature effect parameters ***
+TNOM    =27.0 AT          =3.300e+04 UTE      =-1.800e+00
+KT1     =-3.302e-01 KT2    =2.200e-02 KT1L     =0.000e+00
+UA1     =0.000e+00 UB1     =0.000e+00 UC1      =0.000e+00

```

```

+PRT      =0.000e+00
*          *** Overlap capacitance related and dynamic model
parameters ***
+CGDO     =1.300e-10 CGSO     =1.200e-10 CGBO     =1.000e-10
+CGDL     =1.15e-10 CGSL     =1.15e-10 CKAPPA =6.000e-01
+CF        =0.000e+00 ELM      =5.000e+00
+XPART     =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
*          *** Parasitic resistance and capacitance related model
parameters ***
+RDSW      =3.449e+02
+CDSC      =0.000e+00 CDSCB   =1.500e-03 CDSCD   =1.000e-03
+PRWB      =-2.416e-01 PRWG   =0.000e+00 CIT      =4.441e-04
*          *** Process and parameters extraction related model
parameters ***
+TOX       =7.100e-09 NGATE   =0.000e+00
+NLX       =1.888e-07
+XL        =-5.000e-08 XW      =0.500e-07
*          *** Substrate current related model parameters ***
+ALPHA0    =0.000e+00 BETA0   =3.000e+01
*          *** Noise effect related model parameters ***
+AF        =1.3600e+00 KF      =5.1e-27 EF        =1.000e+00
+NOIA      =1.73e+19 NOIB     =7.000e+04 NOIC     =-5.64e-13
*          *** Common extrinsic model parameters ***
+ACM        =2
+RD         =0.000e+00 RS      =0.000e+00 RSH      =5.500e+01
+RDC        =0.000e+00 RSC     =0.000e+00
+LINT       =-5.005e-08 WINT   =9.403e-08
+LDIF       =0.000e+00 HDIF    =8.000e-07 WMLT     =1.000e+00
+LMLT       =1.000e+00 XJ      =3.000e-07
+JS         =1.000e-05 JSW     =0.000e+00 IS       =0.000e+00
+N          =1.000e+00 NDS     =1000.
+VNDS       =-1.000e+00 CBD    =0.000e+00 CBS      =0.000e+00 CJ
=8.270e-04 CJSW    =2.200e-10
+FC         =0.000e+00 MJ      =3.400e-01 MJSW     =2.300e-01 TT
=0.000e+00
+PB         =6.900e-01 PHP     =6.900e-01
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital

```

ANEXO B: Tabela Distribuição Normal Reduzida

DISTRIBUIÇÃO NORMAL REDUZIDA: $N(0; 1)$

Probabilidades p tais que $p = P(0 < Z < z_c)$

SEGUNDA E TERCEIRA DECIMAL DE z_c

Parte inteira e 1 ^a decimal de z_c	05	15	25	35	45	55	65	75	85	95	Parte inteira e 1 ^a decimal de z_c
	$p = 0$										
0,0	00199	00598	00997	01396	01795	02193	02591	02989	03387	03784	0,0
0,1	04181	04578	04974	05369	05764	06159	06553	06946	07339	07730	0,1
0,2	08121	08512	08901	09290	09677	10064	10450	10834	11218	11600	0,2
0,3	11982	12362	12741	13119	13495	13871	14244	14617	14988	15358	0,3
0,4	15726	16093	16458	16822	17184	17545	17903	18261	18500	18970	0,4
0,5	19322	19672	20021	20368	20712	21055	21396	21735	22073	22408	0,5
0,6	22741	23072	23401	23729	24054	24377	24697	25016	25333	25647	0,6
0,7	25959	26270	26577	26883	27186	27488	27786	28083	28377	28669	0,7
0,8	28959	29246	29531	29814	30094	30372	30648	30921	31192	31461	0,8
0,9	31727	31990	32252	32511	32767	33021	33273	33522	33769	34013	0,9
	05	15	25	35	45	55	65	75	85	95	

ANEXO C: Programação do FPGA

Programação do FPGA

O circuito FPGA foi programado para gerar o sinal de *clock* e os 6 sinais digitais para os testes do conversor D/A. A programação utilizada é descrita a seguir:

```

1. library IEEE;
2. use IEEE.std_logic_1164.all;
3. use IEEE.std_logic_unsigned.all;

4. entity DAC_test is
5. port (
6.   clock: in    std_logic; } Sinais na entrada do circuito FPGA
7.   reset: in    std_logic; }
8.   clock_out: out std_logic;
9.   saida: out std_logic_vector (5 downto 0) } Sinais na entrada do conversor D/A
10. );
11. end entity DAC_test;

12. architecture structural of DAC_test is

13.   signal address, data, count_saida, count_clock: std_logic_vector (5 downto 0);
14.   signal clock_saida: std_logic;
15.   constant tempo_saida: std_logic_vector := "111111"; } Máxima contagem do sinal (2N)
16.   constant tempo_clock: std_logic_vector := "000001"; } Divisão do sinal clock para o
17.   begin                                           conversor D/A
18.   saida <= data; } Sinal digital para as entradas do conversor D/A
19.   clock_out <= clock_saida; } Sinal de clock do conversor D/A

20.   process(address)
21.   begin
22.     case address is
23.     when "000000" => data <= "000000";
24.     when "000001" => data <= "000001";
25.     when "000010" => data <= "000010";
26.     when "000011" => data <= "000011";
27.     when "000100" => data <= "000100";
28.     when "000101" => data <= "000101";
29.     when "000110" => data <= "000110";
30.     when "000111" => data <= "000111";
31.     when "001000" => data <= "001000";
32.     when "001001" => data <= "001001";
33.     when "001010" => data <= "001010";
34.     when "001011" => data <= "001011";
35.     when "001100" => data <= "001100";
36.     when "001101" => data <= "001101";
37.     when "001110" => data <= "001110";
38.     when "001111" => data <= "001111";
39.     when "010000" => data <= "010000";

```

} *Lookup Table (LUT)*

```

40. when "010001" => data <= "010001";
41. when "010010" => data <= "010010";
42. when "010011" => data <= "010011";
43. when "010100" => data <= "010100";
44. when "010101" => data <= "010101";
45. when "010110" => data <= "010110";
46. when "010111" => data <= "010111";
47. when "011000" => data <= "011000";
48. when "011001" => data <= "011001";
49. when "011010" => data <= "011010";
50. when "011011" => data <= "011011";
51. when "011100" => data <= "011100";
52. when "011101" => data <= "011101";
53. when "011110" => data <= "011110";
54. when "011111" => data <= "011111";
55. when "100000" => data <= "100000";
56. when "100001" => data <= "100001";
57. when "100010" => data <= "100010";
58. when "100011" => data <= "100011";
59. when "100100" => data <= "100100";
60. when "100101" => data <= "100101";
61. when "100110" => data <= "100110";
62. when "100111" => data <= "100111";
63. when "101000" => data <= "101000";
64. when "101001" => data <= "101001";
65. when "101010" => data <= "101010";
66. when "101011" => data <= "101011";
67. when "101100" => data <= "101100";
68. when "101101" => data <= "101101";
69. when "101110" => data <= "101110";
70. when "101111" => data <= "101111";
71. when "110000" => data <= "110000";
72. when "110001" => data <= "110001";
73. when "110010" => data <= "110010";
74. when "110011" => data <= "110011";
75. when "110100" => data <= "110100";
76. when "110101" => data <= "110101";
77. when "110110" => data <= "110110";
78. when "110111" => data <= "110111";
79. when "111000" => data <= "111000";
80. when "111001" => data <= "111001";
81. when "111010" => data <= "111010";
82. when "111011" => data <= "111011";
83. when "111100" => data <= "111100";
84. when "111101" => data <= "111101";
85. when "111110" => data <= "111110";
86. when "111111" => data <= "111111";
87. when others => data <= "000000";

```

Lookup Table (LUT)


```

88. end case;
89. end process; } Lookup Table (LUT)

90. process(clock,reset)
91. begin
92.   if(reset='0') then
93.     count_saida <= (others => '0');
94.     address <= (others => '0');
95.     elsif(clock'event and clock='1') then
96.       if(count_saida=tempo_saida) then
97.         count_saida <= (others => '0');
98.         address <= address + 1;
99.       else
100.        count_saida <= count_saida + 1;
101.        address <= address;
102.      end if;
103.    end if;
104.  end process; } Contador Cíclico de 0 a 63

105. process(clock,reset)
106. begin
107.   if(reset='0') then
108.     count_clock <= (others => '0');
109.     clock_saida <= '0';
110.     elsif(clock'event and clock='1') then
111.       if(count_clock=tempo_clock) then
112.         count_clock <= (others => '0');
113.         clock_saida <= not clock_saida;
114.       else
115.         count_clock <= count_clock + 1;
116.         clock_saida <= clock_saida;
117.       end if;
118.     end if;
119.  end process; } Divisor de Frequência

```

Em síntese a programação realizada no circuito FPGA é:

- Linhas 1, 2 e 3: Modelos
- Linhas 4 a 11: Sinais de entrada do FPGA e sinais de saída do FPGA. Estas linhas descrevem o bloco de teste do Conversor D/A, figura C.1. onde o sinal “saída” gera 6 sinais digitais.

Figura C.1: Bloco de teste do conversor D/A.

- Linhas 12 a 19: Arquitetura estrutural do bloco de teste do conversor D/A, onde dentro deste bloco há um contador e uma LUT (*Lookup Table*). O contador utilizado é um contador de 6 *bits*.
- Linhas 20 a 89: Descrição dos endereçamentos lógicos utilizados. Foi utilizado uma LUT pois podemos mudar a descrição dos endereçamentos e gerar qualquer forma de onda para as entradas do conversor D/A. A frequência do sinal de saída do LUT é:

$$T_{saída} = 2^N \times \frac{1}{f_{clock}} \text{ ou seja } f_{saída} = \frac{f_{clock}}{2^N} \quad (4.1)$$

A representação dos blocos Contador e LUT é mostrada na figura C.2.

Figura C.2: Representação dos blocos contador e LUT.

- Linhas 90 a 104: Descrição da rotina do contador. O contador utilizado é cíclico realizando uma contagem de 0 a 63.
- Linhas 105 a 119: Descrição do divisor de frequência. Através desta rotina pode-se dividir a frequência na entrada do conversor.

**ANEXO D: Principais parâmetros da tecnologia MOS 0,35 μm da
AMS.**

Tabela D.1: Alcance da tensão de Operação para tecnologia MOS 0,35 μm da AMS.

Transistor MOS	V_{GS} Max. (V)	V_{DS} Max. (V)	V_{GB} Max. (V)	V_{DB} Max. (V)	V_{SB} Max. (V)	V_{VBsub} Max. (V)
NMOS	3.6	3.6	3.6	3.6	3.6	-
PMOS	3.6	3.6	3.6	3.6	3.6	5.5

Tabela D.2: Densidades de Correntes para tecnologia MOS 0,35 μm da AMS.

Parâmetro	Max	Unidade
Densidade de Corrente POLY1	0,5	mA/ μm
Densidade de Corrente POLY2	0,3	mA/ μm
Densidade de Corrente MET1	1,0	mA/ μm
Densidade de Corrente MET2	1,0	mA/ μm
Densidade de Corrente MET3 válido para um processo de 3 metais	1,6	mA/ μm
Densidade de Corrente MET3 válido para um processo de 4 metais	1,0	mA/ μm
Densidade de Corrente MET4	1,6	mA/ μm
Densidade de Corrente VIA 0,5x0,5 μm^2	0,6	mA/via
Densidade de Corrente VIA2 0,5x0,5 μm^2 válido para um processo de 3 metais	0,9	mA/via
Densidade de Corrente VIA2 0,5x0,5 μm^2 válido para um processo de 4 metais	0,6	mA/via
Densidade de Corrente VIA3 0,5x0,5 μm^2	0,96	mA/via

REFERÊNCIAS

- [1] ALLEN, P.E.; HOBERG, D.R. **CMOS analog circuit design**. 2.ed. New York: Oxford University Press, 2002. 784 p.
- [2] YASUYUKI, N. *et al.* A 10-b 70-MS/s CMOS D/A converter. **IEEE Journal of Solid-State Circuits**, v. 26, n. 4, p. 637 - 642, Dec. 1986.
- [3] BOSCH, A.; STEYAERT, M.; SANSEN, W. SFDR-bandwidth limitations for high speed high resolutions current steering CMOS D/A converters. **Circuits and Systems Electronics**, v. 3, p. 1193 – 1196, Sept. 1999.
- [4] BOSCH, A. *et al.* A 12 bit 200 MHz low glitch CMOS D/A converter. In: IEEE 1998 CUSTOM INTEGRATED CIRCUITS CONFERENCE, **Proceedings of the IEEE 1998**, p. 249 -252, May 1998.
- [5] BASTOS, J. *et al.* A 12-Bit intrinsic accuracy high-speed CMOS DAC. **IEEE Journal of Solid-State Circuits**, v. 33, n. 12, p.1959-1969, Dec. 1998.
- [6] MARQUES, A. *et al.* A 12b accuracy 300MSample/s update rate CMOS DAC. In: 1998 IEEE INTERNATIONAL SOLID-STATE CIRCUITS CONFERENCE. **Digest of Technical Papers, ISSCC**. 1.ed., p. 216 -217, Feb. 1998.
- [7] PELGROM, M. A 50 MHz 10-bit CMOS digital-to-analog converter with 75 Ω Buffer. **IEEE Journal of Solid-State Circuits**, v. 25, p. 1347 -1352, Dec. 1990.
- [8] BAKER, R.J.; LI, H.W.; BOYCE, D.E. **CMOS circuit design, layout, and simulation**. New York: IEEE Press, 1998. 902 p. (IEEE Press Series on Microelectronic Systems)
- [9] AUSTRIAMICROSYSTEMS. 0.35 μ m CMOS C35 process parameters, Mar. 2003. Acesso Restrito:< <http://asic.austriamicrosystems.com> >. Acesso em: 9 mai. 2005.
- [10] AUSTRIAMICROSYSTEMS. 0.35 μ m CMOS C35 design rules, Mar. 2003. Acesso Restrito:< <http://asic.austriamicrosystems.com> >. Acesso em: 9 mai. 2005.
- [11] HENDRIKS, P. Specifying communications DACs. **IEEE Spectrum**, v. 34, n.7, p. 58-69, Jul. 1997.
- [12] GEORGANTAS. T.; BOURAS, S.T. **Report on low power design techniques for data converters**, INTRACOM, ICCS-NTUA, 1998, p. 45. Disponível em:

-
- <www.lowpower.org/Repository/esdlpd/I-MODE/d13r1.pdf>. Acesso em: 2 mai. 2005.
- [13] TEXAS INSTRUMENTS, **Understanding data converters**, Application Note, p.22, Jul. 1995. Disponível em: <focus.ti.com/general/docs/lit/getliterature.tsp?baseLiteratureNumber=slaa013&fileType=pdf>. Acesso em: 2 mai. 2005.
- [14] CHEN, W.K. **The circuits and filters handbook**. New York: A CRC Handbook Published in Cooperation with IEEE Press, 1995. 2861 p.
- [15] HNATEK, E.R. **A user's handbook of D/A and A/D converters**. New York: Wiley, 1976. 472 p.
- [16] PLASSCHE, R.J.V. **Integrated analog-to-digital and digital-to-analog converters**. Boston: Kluwer Academic Publishers, 1994. 501p.
- [17] BLACKMAN, S. **A low power, 8-bit, 200 MHz digital-to-analog converter**. Electronics Research Laboratory, College of Engineering – University of California, December, 1999. Disponível em: <[bwrc.eecs.berkeley.edu/Publications/1999/Theses/low power 8 200 digital analog_convert/blackman.pdf](http://bwrc.eecs.berkeley.edu/Publications/1999/Theses/low_power_8_200_digital_analog_convert/blackman.pdf)>. Acesso em: 2 mai. 2005.
- [18] RAZAVI, B. **Principles of data conversion system design**. New York: IEEE Press, 1995. 256p.
- [19] PAPOULIS, A. **Probability, random variables, and stochastic process**. 3. ed. Singapore: McGraw-Hill International Editions, 1991. 666 p.
- [20] WITTMANN, R. *et al.* Trimless high precision ratioed resistors in D/A and A/D converters. **IEEE J. Solid-State Circuits**, v.30, p. 935-939, Aug. 1995.
- [21] SHYU, J.B.; TEMES, G.C.; KRUMMENACHER, F. Random error effects in matched MOS capacitors and current sources. **IEEE J. Solid-State Circuits**, v. SC-19, p. 948-955, Dec. 1984.
- [22] MCCREARY, J.L. Matching properties, and voltage and temperature dependence of MOS capacitor. **IEEE J. Solid-State Circuits**, v. SC-16, p. 608-616, Dec. 1981.
- [23] KAYA, C. *et al.* Polycide/metal capacitors for high precision A/D converters. **IEDM Dig. Tech. Pap.** p. 782-785, Dec. 1988.
- [24] GRAY, P.R. *et al.* **Analysis and design of analog integrated circuits**. 4.ed. New York: John Wiley and Sons, 2001. 863 p.
- [25] PELGROM, M.J.M.; DUINMAIJER, A.C.J.; WELBERS, A.P.G. Matching properties of MOS transistors. **IEEE J. Solid-State Circuits**, v. SC-24, p. 1433-1439, Oct. 1989.

-
- [26] SZE, S.M. **Physics of semiconductor devices**, 2.ed. New York: Jonh Wiley and Sons, 1981. 868 p.
 - [27] LAKSHMIKUMAR, K.R. *et al.* A high-speed 8-bit current steering CMOS DAC. In: **Proc. IEEE 1985**. Custom Integrated Circuits Conference, p. 156-159, May 1985.
 - [28] LU, N.C.C. *et al.* Modeling and optmization of monolithic polycrystalline silicon resistors. **IEEE Trans. Electron. Devices**, v. ED-28, p. 818-830, July 1981.
 - [29] NAKAMURA, Y. *et al.* A 10-b 70-MS/s CMOS D/A converter. **IEEE Journal of Solid-State Circuits**, v. 26, n. 4, p. 637 - 642, Dec. 1986.
 - [30] OLIVEIRA, C.A.S.; SOARES JUNIOR, J.N. A 6-Bits 100MHz D/A converter in CMOS tecnology. In: **IWS'2004 - X IBERCHIP Workshop**, Colômbia p. 76-82, mar. 2004. (1CD-ROM).
 - [31] OLIVEIRA, C.A.S.; SOARES JUNIOR, J.N. Design and test of a 6-bits 200-Msample/s 0.35 μm CMOS D/A converter. In: **IWS'2005 - XI IBERCHIP Workshop**, Brasil p. 94-97, mar. 2005. (1CD-ROM).
 - [32] MIKI, T. *et al.* A 10 bit 50MS/s CMOS D/A converter with 2.7 v power supply. In: **VLSI Circuits, 1992**. Digest of Technical Papers, 1992 Symposium on, p. 92 -93, June 1992.
 - [33] OLIVEIRA, C.A.S.; SOARES JUNIOR, J.N. Conversor D/A 6-Bits, 200 MHz para RF implementado em tecnologia CMOS 0,35 μm . In: Anais do 5º Simpósio de Iniciação Científica e Tecnológica da Faculdade de Tecnologia de São Paulo. **Anais**. São Paulo, 2003. p.16.
 - [34] PLASS, G.A.M. *et al.* A 14-bit intrinsic accuracy Q^2 random walk CMOS DAC. **IEEE Journal of Solid-State Circuits**, v. 34, n. 12, p. 1708 – 1718, Dec. 1999.
 - [35] KOHNO, H. *et al.* A 350-MS/s 3.3 V 8-bit CMOS D/A converter using a delayed driving scheme. In: **Custom Integrated Circuits Conference, 1995**, Proceedings of the IEEE 1995, p. 211 -214, May 1995.
 - [36] BASTOS, J.; STEYAERT, M.; SANSEN, W. A high yield 12-bit 250-MS/s CMOS D/A converter. In: **Custom Integrated Circuits Conference, 1996**, Proceedings of the IEEE 1996, p. 431 -434, May 1996.
 - [37] MARQUES, A. *et al.* A current steering architecture for 12-bit high-speed D/A convertes. In: **Electronics, Circuits and Systems, 1998. IEEE International Conference on**, v. 1, p. 23 -26, Sept. 1998.

-
- [38] PEREIRA, J.S.C.; BUSSAB, W.O. **Tábuas de estatísticas**. São Paulo, Harbra & Row do Brasil, 1985.
- [39] LAKSHIKUMAR, K.R.; HADAWAY, R.A.; COPELAND, M.A. Characterization and modeling of mismatch in MOS transistors for precision analog design. **IEEE Journal of Solid-State Circuits**, v. 21, p. 1057 -1066, Dec. 1986.
- [40] AUSTRIAMICROSYSTEMS. 0.35 μm CMOS C35 matching parameters, Mar. 2003. Acesso Restrito:< <http://asic.austriamicrosystems.com> >. Acesso em: 9 mai. 2005.
- [41] B. BSIM Research Group, University of Califórnia. (1997, Jan.). Disponível em: < <http://www-device.eecs.berkeley.edu/~bsim3/> > Acesso em: 11 mai. 2005.
- [42] SOARES JUNIOR, J.N. **Técnicas para projetos de ASICs CMOS de alta velocidade**. 1998. 196 p. Tese (Doutorado) - Escola Politécnica, Universidade de São Paulo. São Paulo, 1988.