JAVIER ANDRES OSINAGA BEROIS

Interface de controle e monitoramento para circuitos alimentados em alta
tensão variável

São Paulo
2017

JAVIER ANDRES OSINAGA BEROIS

Interface de controle e monitoramento para circuitos alimentados em alta
tensão variável

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
para obtenção do título de Mestre em
Ciências no Programa de Engenharia
Elétrica

São Paulo
2017

JAVIER ANDRES OSINAGA BEROIS

Interface de controle e monitoramento para circuitos alimentados em alta
tensão variável

Dissertação apresentada à Escola
Politécnica da Universidade de São Paulo
para obtenção do título de Mestre em
Ciências no Programa de Engenharia
Elétrica

Área de Concentração: Microeletrônica

Orientador: Prof. Dr. Wilhelmus A. M. Van
Noije

São Paulo
2017

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: Wilhelm Van Noye

Catálogo-na-publicação

Berois, Javier

Interface de controle e monitoramento para circuitos alimentados em alta tensão variável / J. Berois -- versão corr. -- São Paulo, 2017.
p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Energia e Automação Elétricas.

1. Engenharia elétrica 2. Circuitos Integrados VLSI 3. Circuitos analógicos I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Energia e Automação Elétricas II. t.

*A mis padres Eduardo y Nora.
Porque son mi mayor orgullo,
por siempre creer en mí,
porque sobran los motivos...*

AGRADECIMENTOS

Ao professor Dr. Wilhelmus Van Noije pela orientação e ajuda na pesquisa desenvolvida.

Aos colegas e amigos do Laboratório de Sistemas Integráveis (LSI) e do Laboratório de Sistemas Integráveis Tecnológico (LSITec).

Ao Paulo Roberto Bueno de Carvalho e à Daniele Barbosa Marson pelas numerosas ajudas na elaboração deste documento.

Especialmente à toda minha família e amigos pelo permanente apoio e carinho incondicional.

RESUMO

Nesta dissertação, é apresentado o projeto de uma interface que permite o controle e monitoramento de cargas de alta tensão alimentadas na faixa de 8,5V a 35V. A interface fornece duas funções básicas: a primeira é permitir que circuitos alimentados no domínio dos 5V controlem o chaveamento de transistores de potência PMOS com uma tensão de porta 5V abaixo da tensão de alimentação; a segunda é realizar o monitoramento de sobrecorrentes na carga de alta tensão, alertando, com um sinal de baixa tensão, estas ocorrências. A interface foi projetada e fabricada no processo CMOS XC06 – 0,6 μ m da XFAB, com a inclusão de módulos que permitem o uso de transistores de alta tensão. Como parte da solução proposta, foi analisado, implementado e caracterizado um regulador de tensão flutuante que gera uma tensão de saída 5V abaixo da tensão de alimentação. A área de silício do regulador é de 599 μ m x 330 μ m, e as medidas da tensão de saída gerada apresentam variações menores que 10%. Também foi projetado e integrado no mesmo circuito integrado um sensor para medir o nível da tensão flutuante do regulador e comunicar seu estado com um sinal de 5V, este bloco ocupa uma área de 599 μ m x 579 μ m. Este sensor apresentou um desvio padrão de 7% nas medidas da sua tensão limiar. A interface foi integrada em um sensor de proximidade indutivo, permitindo o chaveamento de uma carga de 430pF a 1,2kHz em toda a faixa de alimentação.

Palavras-chave: Interface. Alta tensão. Regulador flutuante. Manipulador de portas. CMOS.

ABSTRACT

This work presents the design of an interface that allow to control and monitoring high voltage loads in the range of 8,5V to 35V. The interface provides two main features, the first one is to allow low voltage circuits supplied with 5V to control the switching of power PMOS transistors with a gate voltage 5V bellow the supply voltage. The second one is monitoring overcurrents on the high voltage load alerting with a low voltage signal these occurences. The interface was designed and fabricated on the CMOS XC06 – 0,6 μ m process from XFAB with the inclusion of modules that allow the use of high voltage transistors. As part of the proposed solution it was analyzed, implemented and measured a floating voltage regulator wich provides an output voltage 5V bellow the supply voltage. The area of the regulator is 599 μ m x 330 μ m and the measures of the output voltage presents variations under the 10%. Also it was designed and integrates in the same integrated circuit a sensor to measure the output level of the floating regulator and communicate the state of this output with a 5V signal, this block occupies an area of 599 μ m x 579 μ m. This sensor presented a 7% standard desviation on the measured voltage threashold. The interface was integrated on an inductive proximity sensor allowing the switching of a 430pF load at 1,2kHz for the entire all supply range.

Keywords: Interface. High voltage. Floating regulator. Driver. CMOS.

LISTA DE FIGURAS

Figura 1 – Aplicações de circuitos integrados alimentados em alta tensão a) componentes automotivos b) impressoras c) industriais.....	15
Figura 2 – Sensor de proximidade indutivo.....	17
Figura 3 – Exemplo de sinal de entrada e saída de um circuito <i>level shifter</i>	20
Figura 4 – Diagrama exemplificando o funcionamento de um <i>driver</i>	20
Figura 5 – Esquemático do sensor de sobrecorrentes implementado utilizando-se um resistor e um comparador de tensão.....	21
Figura 6 – Regulador linear básico (a); regulador chaveado básico (b) (Rincon, 2009).	22
Figura 7 – Composição geral, em diagrama de blocos, do regulador linear (Rincon, 2009).	23
Figura 8 – Regulador linear com divisor resistivo na realimentação.....	24
Figura 9 – Esquemático do circuito regulador flutuante. (BIZIITU, 2013).	25
Figura 10 – Esquemático do módulo projetado (KIM, 2001).....	26
Figura 11– Esquemático do circuito <i>driver</i> . (RICHARD, 2012).....	27
Figura 12 – Separação de domínios de tensão. Dentro do traço verde, os circuitos alimentados em baixa tensão; dentro do traço vermelho, os circuitos alimentados em alta tensão; dentro do traço amarelo, os circuitos que realizam a interface elétrica.	31
Figura 13 – Regulador de tensão flutuante. Dentro do traço vermelho é gerada a referência, dentro do traço azul o <i>loop</i> de realimentação e dentro do traço verde o pré-regulador.	33
Figura 14 – Modelo do laço de realimentação do regulador de tensão flutuante.	36
Figura 15 – Simulação da saída do pré-regulador ao variar a tensão BPOS. O traço superior vermelho representa BPOS e o traço inferior verde representa VPR.....	39
Figura 16 – Simulação da saída do regulador flutuante ao variar a BPOS. O traço vermelho (superior) representa BPOS e o traço azul (inferior) representa BNEG....	39
Figura 17 – Simulação de estabilidade do laço do regulador flutuante. O traço azul (superior) representa a fase do laço e o traço verde (inferior) o ganho do laço em função da frequência.	41
Figura 18 – Simulação da resposta do regulador ao variar BPOS e a corrente consumida. O traço vermelho (superior) representa BPOS, o traço verde (intermediário) representa BNEG e o traço azul (inferior) representa VPR.	42

Figura 19 – Diagrama do <i>buffer</i> de alta tensão.	43
Figura 20 – Diagrama do sensor de nível.	44
Figura 21 – Simulação do sensor de nível. O traço vermelho (superior) representa BPOS, o traço verde (intermediário) representa BNEG e o traço azul (inferior) representa a saída do sensor.	46
Figura 22 – <i>Driver</i> de alta tensão.	47
Figura 23 – Diagrama do circuito <i>level shifter up</i>	48
Figura 24 – Circuito <i>buffer</i>	49
Figura 25 – Simulação do circuito driver ao variar a alimentação. O sinal vermelho representa BPOS, o sinal laranja representa a entrada do driver e o sinal verde representa a saída do <i>driver</i>	50
Figura 26 – Sistema protetor de sobrecorrentes.	51
Figura 27 – Circuito referência de sobrecorrentes.	52
Figura 28 – Sensor de sobrecorrentes.	53
Figura 29 – Comparador HV.	54
Figura 30 – <i>Level-shifter down</i>	55
Figura 31 – Simulação do circuito sensor ao variar a alimentação e a entrada. O sinal vermelho representa BPOS, o sinal verde representa a entrada do sensor e o sinal azul representa a saída.	56
Figura 32 – Simulação do sistema todo em um possível caso de uso. O sinal vermelho representa BPOS, o sinal azul representa BNEG, o sinal laranja representa a saída do sensor de nível, o sinal verde escuro representa a entrada do <i>driver</i> , o sinal violeta representa a saída do <i>driver</i> , o sinal verde claro representa a entrada do sensor de sobrecorrente e o sinal marrom representa a saída do sensor de sobrecorrente.	57
Figura 33 – <i>Chip</i> do sensor de proximidade indutivo.	58
Figura 34 – <i>Layout</i> do regulador flutuante.	59
Figura 35 – <i>Layout</i> do <i>driver</i> e sensor de sobrecorrentes.	60
Figura 36 – Ambiente de teste da interface conversor de alta tensão.	62
Figura 37 – Medidas do regulador flutuante para as seis diferentes amostras.	64
Figura 38 – Função lógica do sinal VPOR.	66
Figura 39 – Circuito de medida do sensor de nível.	67

Figura 40 – Ambiente de medida do sensor de nível.	67
Figura 41 – Queda no regulador nas medidas do limiar do sensor de nível ao variar BPOS.	69
Figura 42 – Esquemático do circuito conectado ao sensor de sobrecorrentes para ativá-lo.	71
Figura 43 – Foto da tela do osciloscópio capturando o sinal de saída do driver. Escala vertical: 5V/divisão.	74

LISTA DE TABELAS

Tabela 1 – Resumo de especificações da interface.	31
Tabela 2 – Resumo das características do regulador de tensão flutuante.....	38
Tabela 3 – Valores da saída do pré-regulador em função de BPOS e <i>corners</i>	38
Tabela 4 – Valores da saída do regulador em função de BPOS e <i>corners</i>	40
Tabela 5 – Valores das margens de ganho e fase do regulador flutuante.	40
Tabela 6 – Simulação do tempo de estabelecimento do regulador flutuante.....	42
Tabela 7 – Valor do limiar do circuito sensor de nível.	46
Tabela 8 – Valores limiares e variações em <i>corners</i> do sensor.....	47
Tabela 9 – Níveis de tensão da saída em função da lógica do <i>driver</i>	48
Tabela 10 – Lógica do <i>leve-shifter</i> para gerar os sinais de BPOS e BNEG.....	49
Tabela 11 – Resumo de simulação de atrasos do circuito <i>driver</i>	50
Tabela 12 – Lógica do <i>level-shifter down</i>	55
Tabela 13 – Sinais de interesse do sensor de sobrecorrente.	55
Tabela 14 – Variação do limiar do sensor de sobrecorrente em <i>corners</i>	56
Tabela 15 – Área utilizada no <i>layout</i> do regulador flutuante.	59
Tabela 16 – Valores experimentais obtidos de medidas da saída do regulador flutuante.....	63
Tabela 17 – Diferença de tensão entre BPOS e as medidas da saída do regulador flutuante.....	63
Tabela 18 – Média, desvio padrão e pior caso da medida da diferença de tensão entre BPOS e as medidas da saída do regulador flutuante em relação ao valor de BPOS.	65
Tabela 19 – Média, desvio padrão e pior caso da medida da diferença de tensão entre BPOS e as medidas da saída do regulador flutuante em relação ao valor de BPOS.	65
Tabela 20 – Média, desvio padrão e pior medida da diferença de tensão entre BPOS e as medidas da saída do regulador flutuante considerando o total das medidas. ..	65
Tabela 21 – Medidas do limiar do sensor de nível.	68
Tabela 22 – Queda de tensão no regulador obtidas das medidas do limiar do sensor	

de nível.....	68
Tabela 23 – Variação da queda de tensão no regulador nas medidas do limiar do sensor de nível, agrupado por nível de alimentação.....	70
Tabela 24 – Variação da queda de tensão no regulador nas medidas da tensão de limiar do sensor de nível, agrupado por amostra.	70
Tabela 25 – Média, desvio padrão e pior valor obtidas de medida, da tensão de limiar do sensor de nível considerando o total das medidas.	70
Tabela 26 – Medidas da tensão de limiar dos sensores de sobrecorrente com uma alimentação de BPOS = 10V.....	72
Tabela 27 – Medidas da tensão de limiar dos sensores de sobrecorrente com uma alimentação de BPOS = 15V.....	72
Tabela 28 – Medidas da tensão de limiar dos sensores de sobrecorrente com uma alimentação de BPOS = 20V.....	72
Tabela 29 – Média e desvio padrão da tensão de limiar do sensor de sobrecorrentes.	73
Tabela 30 – Medidas do tempo de subida e de descida do circuito <i>driver</i>	73
Tabela 31 – Consumo de potência simulado da interface.....	74
Tabela 32 – Resumo dos resultados das medidas realizadas.	75
Tabela 33 - Definição dos corners utilizados nas simulações deste trabalho.	81
Tabela 34 – Componentes do circuito regulador de tensão flutuante.	82
Tabela 35 – Componentes do circuito <i>buffer</i> do sensor de nível.	82
Tabela 36 – Componentes do circuito sensor de nível.....	83
Tabela 37 - Componentes do <i>level shifter</i> do circuito <i>driver</i>	83
Tabela 38 – Transistores do <i>buffer</i> do circuito <i>driver</i>	83
Tabela 39 – Componentes do circuito referência de tensão do sensor de sobrecorrentes.	84
Tabela 40 – Componentes do circuito comparador de tensão do sensor de sobrecorrentes.	84
Tabela 41 – Componentes do <i>level shifter</i> do circuito sensor de sobrecorrentes.	84

LISTA DE ABREVIATURAS E SIGLAS

CMOS	<i>Complementary Metal Oxide Semiconductor</i>
DC	<i>Direct Current</i>
DMOS	<i>Double Diffused Metal Oxide Semiconductor</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
IPM	<i>Intelligent Power Modules</i>
LCD	<i>Liquid Crystal Display</i>
MEMS	<i>Microelectromechanical systems</i>
MOS	<i>Metal Oxide Semiconductor</i>
NMOS	<i>N-type Metal Oxide Semiconductor</i>
POR	<i>Power On Reset</i>
PMOS	<i>P-type Metal Oxide Semiconductor</i>
SPI	<i>Serial Peripheral Interface</i>
VLSI	<i>Very Large Scale Integration</i>

SUMÁRIO

1	INTRODUÇÃO	15
1.1	MOTIVAÇÃO	15
1.2	OBJETIVOS	18
1.3	ORGANIZAÇÃO DO DOCUMENTO	18
2	ESTUDO BIBLIOGRÁFICO	20
2.1	CIRCUITOS <i>LEVEL SHIFTERS</i>	20
2.2	CIRCUITOS <i>DRIVERS</i>	20
2.3	CIRCUITOS SENSORES DE SOBRECORRENTES	21
2.4	REGULADORES DE TENSÃO	22
2.4.1	Reguladores de tensão lineares	23
2.5	TRABALHOS ANTECEDENTES	24
2.6	PROCESSOS MOS DE ALTA TENSÃO	28
3	METODOLOGIA E DESENVOLVIMENTO	30
3.1	REGULADOR DE TENSÃO FLUTUANTE	32
3.1.1	Regulador linear flutuante	32
3.1.2	Sensor de nível	42
3.2	DRIVER	47
3.3	SENSOR DE SOBRECORRENTES	50
3.4	LAYOUT	58
4	RESULTADOS EXPERIMENTAIS	61
4.1	AMBIENTE DE TESTE	61
4.1.1	Sistema de comunicação	61
4.2	MEDIDA DA TENSÃO DE SAÍDA DO REGULADOR DE TENSÃO FLUTUANTE	62
4.3	MEDIDA DO SENSOR DE NÍVEL DO REGULADOR FLUTUANTE	66
4.4	MEDIDA DO SENSOR DE SOBRECORRENTES	71
4.5	COMUNICAÇÃO MEDIANTE O <i>DRIVER</i>	73
4.6	CONSUMO DE POTÊNCIA	74
4.7	RESUMO DE RESULTADOS	75
5	CONCLUSÕES E RECOMENDAÇÕES	77
	REFERÊNCIAS BIBLIOGRÁFICAS	79
	APÊNDICE A	81
	APÊNDICE B	82

1 INTRODUÇÃO

1.1 MOTIVAÇÃO

O crescente desenvolvimento dos circuitos integrados tem sido impulsionado pela necessidade de implementar circuitos eletrônicos cada vez mais complexos. Atualmente, a tendência é integrar todos os componentes de um sistema eletrônico no mesmo *chip*. O aumento da complexidade dos circuitos impulsiona a evolução da tecnologia (SINGH, 2016), reduzindo os tamanhos dos componentes para conseguir a integração necessária. Em contrapartida, a redução das dimensões da tecnologia determina a redução das tensões de ruptura dos componentes. Por este motivo, e para reduzir o consumo de potência (GONZALEZ, 1997), é consequência da redução das tensões de alimentação dos circuitos. Nesse sentido, um desafio assumido pelos projetistas de equipamentos para aplicações com necessidade de operar em média e alta tensão é a integração e interação dos componentes do sistema alimentados em diferentes níveis de tensão.

Figura 1 – Aplicações de circuitos integrados alimentados em alta tensão a) componentes automotivos b) impressoras c) industriais.

Certas aplicações como, por exemplo, impressoras, equipamentos industriais, componentes automotivos ou MEMS, ilustradas na figura 1, (*Microelectromechanical systems*) precisam ser alimentados com tensões de alimentação de dezenas ou, às vezes, centenas de volts (RICHARD, 2012), valores com os quais não é possível trabalhar com uma tecnologia moderna submicrométrica. Na atualidade, existem

tecnologias de circuitos integrados que suportam altas tensões, mas as dimensões mínimas dos seus componentes são consideravelmente maiores que as dos processos modernos. A limitação principal reside na implementação de circuitos lógicos complexos que, para atingir tamanhos integráveis, devem ser projetados em uma tecnologia de integração em altíssima escala (*Very Large Scale Integration – VLSI*), lembrando que os componentes destas tecnologias sub micrométricas precisam ser alimentados em baixa tensão. Uma solução amplamente explorada para este problema é utilizar componentes externos ao circuito integrado que implementam as funcionalidades lógicas do sistema, gerando uma interface elétrica entre os componentes que trabalham em baixa tensão e aqueles que trabalham em alta tensão dentro do sistema. Esta solução é menos vantajosa pelo fato de, muitas vezes, ser mais cara, por precisar de mais componentes discretos e demandar um espaço físico maior, limitando as possibilidades de redução das dimensões do sistema. A tendência na indústria da eletrônica é minimizar o tamanho dos produtos e, com esse objetivo, os projetistas se esforçam em otimizar a quantidade de componentes discretos do circuito, para obter placas consideravelmente menores. Por este motivo, é de grande importância desenvolver soluções que permitam projetar circuitos integrados com capacidade de implementar funções lógicas complexas e, ao mesmo tempo, tenham a capacidade de se comunicar com os componentes do sistema que são alimentados em alta tensão.

Para trabalhar com circuitos em aplicações de média e alta tensão, é bom realizar uma discriminação dos componentes, em função dos seus domínios e diferentes níveis de tensão de operação. Primeiramente, pelos motivos fundamentados anteriormente, é determinado que os circuitos de processamento que contêm a maior parte da lógica do sistema e requerem maior integração devem ser alimentados em baixa tensão. Por outro lado, os componentes do sistema que precisam de uma maior potência para sua operação, como é o caso dos circuitos que realizam tarefas mecânicas, térmicas ou eletromagnéticas, precisam ser alimentados no domínio da alta tensão. Mesmo em domínios de tensão separados, os componentes do sistema precisam interagir e se comunicar, e é por esta problemática que surge a necessidade de interfaces capazes de portar informação de um domínio ao outro sem correr o risco de danificar os componentes.

Um dispositivo que pode exemplificar a situação descrita anteriormente é o sensor

de proximidade indutivo, ilustrado na Figura 2. Este dispositivo é amplamente utilizado em fábricas, nas quais as máquinas são alimentadas em média e alta tensão em faixas que podem variar até dezenas de volts. A funcionalidade básica deste sensor é chavear o transistor da saída toda vez que detecta um metal e, assim, alimentar a carga conectada através dele. O fato do transistor de potência da saída ser do tipo PMOS (*P-type metal-oxide-semiconductor*) representa um desafio para circuitos alimentados com uma alta tensão que pode variar, já que o projeto do circuito deve considerar que, na formação do canal, o potencial da porta do PMOS não deve se afastar mais que um determinado valor do potencial de alimentação, para não ocasionar uma ruptura no óxido do componente. Por este motivo, existe a necessidade de uma interface controlada pela parte lógica do sistema capaz de ativar este dispositivo em níveis de tensão seguros e, assim, permitir a comunicação de sinais entre os diferentes domínios de tensão. Outra funcionalidade necessária deste componente, no qual interagem diferentes domínios de tensão, é o monitoramento da corrente consumida pela carga. O sensor conta com um pino de entrada com o qual é medido, no domínio da alta tensão, a magnitude da corrente que circula pela carga. Caso esta ultrapasse um determinado valor, este sensor alerta à parte lógica do sistema, por meio de um sinal de baixa tensão, para que as medidas de proteção correspondentes possam ser tomadas.

Figura 2 – Sensor de proximidade indutivo.

Considerando o exposto acima, este trabalho apresenta o projeto e a implementação de uma interface de controle e monitoramento para circuitos alimentados em alta

tensão variável. A interface foi implementada entre a parte lógica e os dispositivos de alta tensão de um sensor de proximidade indutivo. O circuito realiza o chaveamento de transistores PMOS de potência, alimentados por uma tensão variável na faixa entre 8,5V e 35V, e realiza o monitoramento da corrente que a carga conectada consome. A fabricação do *chip* projetado foi realizada em um processo CMOS (*Complementary Metal Oxide Semiconductor*) 0,6 μ m que permite a integração de transistores de alta tensão.

Desta forma, este trabalho está justificado na necessidade de gerar interfaces com a capacidade de monitoramento das condições de operação, controle e comunicação em circuitos lógicos de baixa tensão sobre cargas com alimentação de alta tensão variável.

1.2 OBJETIVOS

- ☐ Projetar e desenvolver um sistema que proporcione a interface necessária para que circuitos lógicos de baixa tensão alimentados com 5V realizem a manipulação de cargas alimentadas com alta tensão, variando na faixa compreendida entre 8,5V e 35V, através de um transistor de potência PMOS com 5V de tensão de chaveamento;
- ☐ Projetar e desenvolver um sistema de monitoramento de sobrecorrentes na carga controlada, capaz de gerar um sinal de alerta dirigido à lógica de baixa tensão quando a corrente excede um determinado limiar;
- ☐ Testar e avaliar o sistema implementado através da fabricação de protótipos, observando seu desempenho em uma aplicação real da indústria da automação.

1.3 ORGANIZAÇÃO DO DOCUMENTO

O presente documento está dividido da seguinte forma:

Inicialmente, no capítulo 2, é apresentada a pesquisa bibliográfica, descrevendo o comportamento dos circuitos *level shifters*, *drivers*, sensores de sobrecorrentes e reguladores de tensão, assim como também são analisados alguns trabalhos anteriores a essa pesquisa e apresentada uma introdução ao processo de fabricação utilizado neste trabalho.

No capítulo 3, são apresentadas a metodologia e o desenvolvimento do projeto, analisando os circuitos projetados nas diversas hierarquias do sistema, mostrando suas vistas esquemáticas e *layout* e apresentando os resultados de simulação obtidos.

No capítulo 4, é realizada a descrição do ambiente de teste utilizado para realizar as medidas do *chip* fabricado e são apresentados os resultados experimentais do sistema.

No capítulo 5 são apresentadas as conclusões do trabalho e as recomendações.

Finalmente, apresentam-se as referências bibliográficas utilizadas nesta pesquisa.

2 ESTUDO BIBLIOGRÁFICO

Este capítulo apresenta conceitos envolvidos no presente trabalho e analisa os trabalhos que serviram como antecedentes a esta pesquisa.

2.1 CIRCUITOS *LEVEL SHIFTERS*

Um circuito *level shifter* ou circuito deslocador de nível é um circuito que desempenha a função de transmitir um sinal lógico, mudando seu nível de tensão. Esses circuitos são necessários em sistemas alimentados por diversos níveis de tensão, onde as diferentes partes precisam estabelecer uma comunicação (KUMAR, 2010). Existem várias topologias propostas para esse tipo de circuito com a finalidade de otimizar seu desempenho, minimizando seu consumo de energia e atraso (KUMAR, 2010) (MOGHE, 2011). Os *level shifters* podem ser usados tanto para aumentar quanto para diminuir o nível de tensão de um sinal lógico ou, inclusive, mudar completamente o domínio de tensão de operação, alterando tanto o nível alto quanto o nível baixo de tensão, sendo os primeiros chamados de “*full-swing*” e, os segundos, “*floating*” (LEHMANN, 2014). A Figura 3 exemplifica a relação entrada-saída de um circuito *level shifter*. Nesse exemplo, o domínio de tensão da saída é maior do que o da entrada do circuito.

Figura 3 – Exemplo de sinal de entrada e saída de um circuito *level shifter*.

2.2 CIRCUITOS *DRIVERS*

Um *driver*, neste contexto, é um circuito usado para o controle de outro circuito ou componente. Estes são utilizados para o chaveamento de cargas, tais como transistores de potência, motores ou *displays* de cristal líquido (*liquid crystal display* - LCD's) entre outras (MOK, 2009) (HUQUE, 2010) (LONGCHENG, 2015), isto é

ilustrado no diagrama da figura 4. É necessário que esses circuitos consigam realizar o chaveamento na frequência e níveis de tensão estipulados segundo as necessidades da aplicação. Para isto, devem-se considerar as características físicas da carga para o dimensionamento do *driver* (MAURICE, 1999). A funcionalidade acrescentada com relação ao *level shifter* é de gerar, além do nível de tensão necessário para o chaveamento do componente, a disponibilidade de corrente suficiente para realizar o chaveamento da carga na frequência requerida. Os *level shifters* são considerados como parte dos circuitos *drivers*, sempre que forem necessários.

Figura 4 – Diagrama exemplificando o funcionamento de um *driver*.

2.3 CIRCUITOS SENSORES DE SOBRECORRENTES

Um sensor de sobrecorrentes é um circuito que implementa a função de monitorar a magnitude de uma corrente e comunicar quando esta ultrapassa um determinado valor. Estes circuitos são essencialmente comparadores. Uma forma comumente utilizada de realizar esta medida comparativa é gerar uma tensão proporcional à corrente, utilizando um resistor, e comparar a queda de tensão que a corrente provoca no resistor com o limiar projetado (KIM, 2001). O sinal gerado pelo comparador é digital e comuta de nível de tensão na presença de uma corrente maior do que a permitida. Na Figura , ilustra-se o mecanismo mencionado.

Figura 5 – Esquemático do sensor de sobrecorrentes implementado utilizando-se um resistor e um comparador de tensão.

2.4 REGULADORES DE TENSÃO

O fornecimento de uma tensão de alimentação precisa e sem ruído é fundamental em um sistema elétrico. Sem alimentação de qualidade não seria possível, para os circuitos ou cargas do sistema, desempenhar sua função corretamente. Baseado nessa necessidade, o estudo dos reguladores de tensão apresenta uma grande relevância. Nesse trabalho, a necessidade de se gerar diversos domínios de tensão justifica o interesse nesse tipo de circuitos. Geralmente os reguladores são classificados em duas categorias – chaveados e lineares – ilustrados na Figura .

Os reguladores lineares e chaveados operam seguindo uma tensão de referência, mediante uma realimentação negativa. Geralmente, um amplificador operacional controla a corrente fornecida à carga mediante o laço de realimentação, de forma a manter a tensão de saída constante. A diferença entre esses dois tipos de reguladores consiste na estrutura do circuito de realimentação.

Os reguladores de tensão chaveados são implementados com componentes analógicos e digitais na sua malha de realimentação. A principal vantagem desses reguladores é sua alta eficiência energética, mas, geralmente, é necessário maior área e um projeto mais complexo do que para um regulador linear (RINCON, 2009).

Figura 6 – Regulador linear básico (a); regulador chaveado básico (b) (Rincon, 2009).

2.4.1 Reguladores de tensão lineares

O princípio de funcionamento dos reguladores lineares é modular a condutividade de uma chave conectada em série entre a alimentação DC (*Direct Current*) de entrada e a saída regulada, para garantir que a tensão de saída é proporcional à tensão de referência. Este princípio encontra-se ilustrado na Figura . São chamados reguladores lineares porque controlam linearmente a corrente que passa através da chave.

$$V_{out} \propto V_{ref} \quad (2.1)$$

Figura 7 – Composição geral, em diagrama de blocos, do regulador linear (Rincon, 2009).

Uma configuração clássica do regulador de tensão linear amplamente utilizada é a ilustrada na Figura , onde a relação linear entre V_{ref} e V_{out} é determinada pelo divisor resistivo formado por R_1 e R_2 . O laço de realimentação negativa modula a formação do canal do transistor M_1 , em função da corrente I_{load} consumida pela carga, mantendo-se o potencial de saída V_{out} constante. Note-se que a realimentação é conectada na entrada positiva do amplificador operacional. Desta forma, o ganho positivo do amplificador multiplicado pelo ganho negativo do transistor M_1 em configuração *common source* (SEDRA, 2004) implementa uma realimentação negativa. Para garantir a estabilidade do circuito, levando-se o pólo dominante da função de transferência à baixa frequência, é comum acrescentar o capacitor C_{stb} externo na saída do regulador.

Figura 8 – Regulador linear com divisor resistivo na realimentação.

$$V_{out} = \frac{V_{ref} * (R_1 + R_2)}{R_2} \quad (2.2)$$

2.5 TRABALHOS ANTECEDENTES

A seguir, discutiremos os principais trabalhos da literatura que foram importantes para o desenvolvimento desta dissertação.

a) *On-chip 500 μ A at 5V above battery Dual-Chain Dickson Charge Pump with Regulated Clock Supply* (BIZIITU, 2013):

Esse trabalho apresenta uma fonte de tensão projetada para gerar 5V acima de uma tensão de alimentação, que pode variar entre 6V e 28V. É implementada utilizando uma topologia de *Dickson charge pump* (DICKSON, 1976), esta utiliza um regulador de tensão que providencia uma terra flutuante. Um circuito de controle realimenta o regulador para estabilizar o valor da terra flutuante. A Figura mostra o esquemático do circuito.

É de interesse, para o presente trabalho, a topologia utilizada para projetar o regulador flutuante. Este foi implementado na topologia de regulador linear, mas utilizando uma referência de tensão flutuante, gerada por uma queda de tensão fixa em relação à alimentação variável, gerando, assim, uma tensão de saída no regulador que flutua em relação à terra, mas é fixa em relação à alimentação.

O *chip* foi medido demonstrando o correto desempenho da topologia escolhida.

Figura 9 – Esquemático do circuito regulador flutuante. (BIZIITU, 2013).

b) *An intelligent power module for IGBT gate driver implemented in 0,8 μ m high voltage CMOS process* (KIM, 2001):

Nesse trabalho, foi projetado e implementado um circuito monolítico de controle de transistores de potência IGBT (*insulated gate bipolar transistor*) (NAKAGAWA, 1987) de alta tensão num processo de 50V. O sistema inclui lógica de baixa tensão (5V),

reguladores de tensão, circuitos analógicos de controle, *drivers* de saída de alta tensão e circuitos de proteção. As proteções incluem sobrecorrentes, curto circuito, alta temperatura e baixa tensão. O esquemático do circuito pode ser visto na Figura .

A detecção de sobrecorrentes sobre a carga alimentada é realizada monitorando a tensão de um nó que é proporcional à quantidade de corrente que a carga está consumindo através de um comparador de tensão. Quando a corrente ultrapassa um nível pré-determinado, o comparador comuta sua saída, alertando a ocorrência.

É destacada a importância que está adquirindo esse tipo de circuito em módulos de alimentação inteligentes (*Intelligent Power Modules - IPM*) e a forte tendência à integração dos mesmos, levando à redução da área e consumo do projeto.

Este trabalho foi implementado e testado demonstrando o correto funcionamento da metodologia adotada.

Figura 10 – Esquemático do módulo projetado (KIM, 2001).

c) *High voltage interfaces for CMOS/DMOS Technologies* (RICHARD, 2012):

Este trabalho apresenta um *driver level shifter* que comunica um sinal lógico proveniente de um domínio de baixa tensão, 0V a 5V, a um domínio de alta tensão,

0V a 100V. O projeto é implementado utilizando a tecnologia DALSA num processo que permite utilizar transistores de alta e baixa tensão.

O *driver* implementado apresenta uma chave de alta tensão na saída, composto de transistores que resistem diferenças de tensão de até 100V entre seus terminais de fonte e dreno. Mas esse tipo de transistor não pode suportar grandes diferenças de tensão entre todos seus terminais. Especificamente, a diferença de tensão entre os terminais de porta e fonte não pode ultrapassar dos 5V sem correr risco de ruptura do componente. A solução adotada neste trabalho utiliza uma topologia que projeta o nível de tensão que manipula a porta do transistor PMOS da saída em função da relação de condutividade entre transistores PMOS e NMOS. Esta tensão foi projetada para ter uma diferença de 5V com a tensão de alimentação, que pode variar em uma faixa que chega aos 100V.

Cabe comentar que, mesmo este sendo um método válido, este tipo de projeto assume um risco considerável pela sua grande dependência com as variações de processo na fabricação e das condições de operação do circuito. Estes tipos de variações podem ocasionar grandes diferenças no ponto de operação do circuito projetado, especificamente a tensão de manipulação das portas dos transistores da chave de saída. Esta solução foi simulada na tecnologia utilizada nesse projeto e observou-se uma variação de aproximadamente 2V na tensão de manipulação da porta do transistor PMOS da saída, pelo qual não foi considerada nesse projeto. A Figura 11 mostra o esquemático do circuito.

Figura 11 – Esquemático do circuito *driver*. (RICHARD, 2012).

2.6 PROCESSOS MOS DE ALTA TENSÃO

Impulsionados pela necessidade de alta integração, as dimensões dos componentes de circuitos integrados tendem a diminuir ao longo dos anos. Essa diminuição implica na redução das tensões de alimentação dos circuitos, por conta da redução da tensão de ruptura dos componentes. As tensões de rupturas são entendidas como as máximas tensões de operação nas quais o estresse elétrico não ocasiona uma deterioração acelerada do componente.

O transistor MOS, como principal componente dos circuitos integrados, deve ser bem caracterizado para determinar as faixas de diferença de tensão, entre seus quatro terminais, nas quais pode operar sem ser danificado. As rupturas que este componente pode sofrer são várias, mas as mais destacáveis são as mencionadas a seguir (SEDRA, 2004):

- ☐ **Avalanche:** ruptura do diodo (junção PN) existente entre o dreno e o substrato do transistor. Isto produz um aumento mais rápido na corrente de dreno ao aumentar o potencial nesse terminal;
- ☐ **Perfuração:** em dispositivos MOS de canal curto, ao aumentar muito a diferença de potencial entre dreno e fonte, a modulação de canal estende-se de um terminal até o outro, gerando um curto circuito. A corrente aumenta abruptamente, mas, geralmente, isto não gera um dano permanente no componente se a corrente for controlada;
- ☐ **Ruptura do óxido de porta:** isto pode ser ocasionado por uma excessiva diferença de tensão entre a porta e algum dos outros terminais, ou por uma descarga eletroestática. Este tipo de ruptura é permanente.

Existem diversas fábricas que têm desenvolvido, dentro dos seus kits de projeto, transistores capazes de suportar faixas de tensão bem maiores que o kit básico, podendo chegar a operar com tensões de até centenas de volts. Alguns exemplos de fábricas que desenvolvem esse tipo de processo são a Atmel Corporation (ATMEL, 2016), a AMS Sensor Solutions (AMS, 2017), a Teledyne DALSA Inc (TELEDYNE, 2017) e a X-FAB Silicon Foundries (XFAB, 2017).

A tecnologia utilizada para desenvolver este projeto foi o processo modular XFAB 0,6 μ m. Entende-se como um processo modular aquele que tem à disposição uma

série de módulos, determinando o tipo e quantidade de máscaras utilizadas na fabricação do circuito, permitindo escolher, em função disto, os tipos de componentes disponíveis para o projeto do circuito. Os módulos disponíveis nesta fábrica possibilitam trabalhar com transistores de média e alta tensão, suportando diferenças de até 60V entre seus terminais de fonte e dreno.

Devido aos acordos de confidencialidade, exigidos pelos fabricantes, não é permitido revelar, em detalhes, o processo utilizado que permite trabalhar com transistores de alta tensão neste trabalho. Porém, pode ser mencionado o funcionamento qualitativo que permite aos transistores de alta tensão suportar diferenças de tensão maiores que os componentes básicos. A diferença para um transistor comum reside no aumento da área de dreno, permanecendo invariável a parte da fonte. A área de dreno é alargada consideravelmente e, desse jeito, a diferença de tensão suportável entre este terminal e os outros é aumentada. Também, a parte do óxido que separa os terminais de dreno e a porta é alargada, podendo, assim, suportar diferenças de tensão maiores. Cabe destacar que, construído desta forma, o transistor MOS já não é um componente simétrico em relação aos seus terminais de dreno e fonte, já que, construído com estas condições, a geometria dos seus terminais se diferencia. Este processo de fabricação também fornece a possibilidade de implementar transistores de poço isolado, os quais possibilitam implementar circuitos que operem em diferentes faixas de tensão sempre que a diferença entre os seus terminais não ultrapasse os 5V.

3 METODOLOGIA E DESENVOLVIMENTO

Neste capítulo, são apresentados os circuitos projetados na interface para controle e monitoramento de cargas alimentadas em alta tensão variável. Esta interface foi implementada para possibilitar a interação entre a parte de processamento lógico e os componentes externos de um sensor de proximidade indutivo integrado, ilustrado na Figura . Nesta figura, pode-se ver, primeiramente, a separação entre os diferentes domínios de tensão. Os circuitos representados na parte esquerda, dentro do traço verde, são alimentados em baixa tensão, com uma tensão regulada de 5V. Utilizam os transistores de 0,6 μ m, que são os de menores dimensões do kit e, assim, apresentam uma maior capacidade de integração. Dentro destes circuitos, encontram-se os de processamento lógico do *chip*. Os componentes dentro do traço vermelho são alimentados em alta tensão, a qual, neste projeto, varia na faixa incluída entre 8,5V e 35V. Entre estes componentes, que são externos ao *chip*, encontra-se o transistor PMOS de potência, que é manipulado pela parte lógica do *chip* e a carga alimentada. Finalmente, dentro do traço amarelo, estão ilustrados os circuitos que formam parte da interface projetada neste trabalho.

A interface projetada nesse trabalho providencia ao processador a capacidade de interação com os componentes externos ao *chip*. Esta interface conta com um circuito *driver*, para permitir que a carga externa seja manipulada a partir de sinais provenientes da lógica do sistema; com um sensor de sobrecorrentes, que monitora e avisa o estado da corrente consumido pela carga; e com um regulador de tensão flutuante, que gera o nível de tensão necessário para manipular o transistor PMOS de potência no domínio da alta tensão. As especificações requeridas para a interface projetada no presente trabalho estão resumidas na Tabela 1.

Neste capítulo, é detalhado o projeto dos circuitos da interface, começando pelo regulador de tensão flutuante, seguido do circuito *driver* e, finalmente, o sensor de sobrecorrente. São apresentadas as topologias escolhidas, os cálculos envolvidos, os resultados de simulação obtidos e, também, a vista do *layout* dos circuitos. As dimensões dos componentes projetados ilustrados, neste capítulo, são apresentadas nas tabelas do apêndice B, ao final deste documento.

Figura 12 – Separação de domínios de tensão. Dentro do traço verde, os circuitos alimentados em baixa tensão; dentro do traço vermelho, os circuitos alimentados em alta tensão; dentro do traço amarelo, os circuitos que realizam a interface elétrica.

Tabela 1 – Resumo de especificações da interface.

Sinal	Especificação	Descrição
BPOS	8,5V a 35V	Alimentação do chip
Vdd	5V $\pm$ 10%	Tensão de manipulação dos sinais lógicos internos
BNEG	BPOS – (5V $\pm$ 10%)	Tensão de manipulação do PMOS externo
C_{load}	430pF	Capacitância de entrada do PMOS externo
f_{max}	1,2kHz	Frequência máxima do driver
V_{sensor}	BPOS – 0,5V	Limiar do sensor de sobrecorrente
t_{ON}	< 10ms	Máximo Tempo de estabelecimento de BNEG ao ligar o sistema

3.1 REGULADOR DE TENSÃO FLUTUANTE

O regulador de tensão flutuante fornece a tensão necessária para os blocos que ativam o chaveamento do transistor de potência PMOS externo. Essa tensão, chamada BNEG, foi projetada para ter 5V a menos que a tensão de alimentação do *chip*, chamada BPOS. A tensão BPOS pode variar na faixa entre 8,5V e 35V – faixa que a saída do regulador de tensão deverá seguir, com uma diferença de 5V, ou seja, a faixa de tensão de saída do regulador flutuante deve poder variar entre 3,5V e 30V. Este regulador está projetado para alimentar cargas a ser conectadas entre BPOS e BNEG, sendo, então, BPOS o nó que fornece corrente e BNEG, o nó que recebe. Outra possível solução para gerar esta tensão seria utilizar um diodo Zener (ANDRADE, 1980), mas essa solução foi descartada para esse projeto, por considerar que a tensão gerada desta forma poderia apresentar variações significativas, ao variar a temperatura.

Durante o desenvolvimento do projeto, foi detectada uma necessidade não contemplada no planejamento inicial do sistema: a de informar o estado do regulador de tensão por meio de um sinal digital de baixa tensão. Isto é necessário para avisar ao processador que a interface está em condições corretas de operação. Esse sinal é utilizado pelo circuito *Power On Reset* (POR) (KUO, 2002) para conferir o estado do sistema e garantir o funcionamento do *chip*. Para satisfazer essa necessidade, foi projetado o circuito sensor de nível de tensão como parte do regulador flutuante. Este gera um sinal digital de baixa tensão, chamado BNEG_ok, que indica o estado do regulador. Com um nível alto, é sinalizado que a saída BNEG já atingiu o valor necessário para o funcionamento da interface.

O regulador projetado foi dividido em duas hierarquias principais, que serão apresentadas neste capítulo: regulador linear flutuante e sensor de nível de tensão.

3.1.1 Regulador linear flutuante

A topologia proposta para o circuito regulador linear flutuante utiliza o princípio do regulador de tensão linear clássico, visto no capítulo 2, mas com a diferença de que a tensão de referência é gerada mantendo-se uma diferença fixa em relação à tensão de alimentação, e não em relação à terra. Esta topologia é ilustrada na

Figura . Para um melhor entendimento do circuito, foram diferenciadas três partes do mesmo: o circuito que gera a tensão de referência; o pré-regulador; e o regulador linear.

Figura 13 – Regulador de tensão flutuante. Dentro do traço vermelho é gerada a referência, dentro do traço azul há o loop de realimentação e dentro do traço verde há o pré-regulador.

3.1.1.1 Tensão de referência flutuante

O circuito dentro do traço vermelho, na esquerda da Figura , foi projetado para gerar uma tensão de referência que mantenha uma diferença de 5V fixa com relação à tensão de alimentação BPOS, e será chamada de V_{ref} . Para isto, uma corrente fixa chamada I_{ref} , copiada com relação de ganho a , gera uma queda de tensão fixa de 5V, passando por um resistor externo de 1% de precisão chamado R_{ext} . Esta relação é expressa na equação 3.1. Essa já é a magnitude de tensão necessária na saída do regulador, mas não é possível consumir corrente desse nó, já que isso mudaria o

valor da queda no resistor. A referência foi projetada com um resistor comercial de 517kohms e uma corrente de 9,5µA, gerando uma queda de aproximadamente 4,91V. O valor da queda de tensão foi projetado discretamente menor a 5V considerando que, ao aumentar o valor de BPOS, o valor da corrente espelhada aumenta devido ao efeito *Early* (SEDRA, 2004) e a queda de tensão aumenta discretamente. O espelhamento da corrente de referência é realizado com o espelho de corrente na topologia cascode (SEDRA, 2004) composto pelos transistores N_{HV1} , N_{HV2} , N1 e N2, onde N_{HV1} e N_{HV2} são transistores de alta tensão que protegem os transistores N1 e N2. Os transistores N1 e N2 foram projetados com NMOS de baixa tensão para conseguir um melhor casamento e minimizar o erro na cópia. A corrente de referência espelhada é gerada pela queda de uma tensão de BandGap num resistor de precisão externo, pelo qual é esperado que seja precisa e não varie com mudanças na temperatura.

$$V_{ref} = BPOS - (a * I_{ref} * R_{ext}) \quad (3.1)$$

3.1.1.2 Pré-Regulador

Dentro do traço verde, na direita da Figura , é ilustrado o bloco pré-regulador. A função desse bloco é fornecer um nó que apresente um valor de tensão próximo a $BPOS - 6,5V$ e tenha a capacidade de drenar uma corrente variável sem que isto ocasione mudanças significativas no valor da sua tensão. A necessidade desse bloco surge da topologia escolhida para o regulador linear. Na implementação do laço de realimentação do regulador, o transistor NMOS de alta tensão N_{HV3} é utilizado em configuração *common source* (SEDRA, 2004). Para conseguir essa configuração, a tensão V_{PR} , correspondente ao nó da fonte do transistor N_{HV3} , deve variar junto aos nós BPOS e BNEG e, assim, manter a polarização do laço de realimentação, independentemente do valor da tensão de alimentação. O valor projetado para o potencial V_{PR} foi $BPOS - 6,5V$, o qual equivale a $BNEG - 1,5V$, possibilitando, com isto, projetar o circuito mantendo o transistor N_{HV3} em região de saturação e, consequentemente, manter o laço de realimentação negativa do regulador em região linear.

A topologia proposta sintetiza o valor de tensão V_{PR} , indicado na equação 3.2. Este valor é a somatória das quedas de tensão entre a porta e a fonte dos transistores

PMOS de alta tensão P_{HV2} , P_{HV3} , P_{HV4} e P_{HV5} , que são polarizados para gerar uma queda total de 6,5V. O transistor PMOS de alta tensão P_{HV1} é conectado para espelhar a corrente que passa pelo transistor P_{HV2} com uma relação de cópia de 8, como indica a equação 3.3. Desta forma, as variações na corrente I_{PR} , que é a soma das correntes que atravessam os transistores P_{HV1} e P_{HV2} , será fornecida quase na sua totalidade pelo transistor P_{HV1} , como é indicado na equação 3.4. O fato de uma variação na corrente I_{PR} não causar grandes mudanças na corrente que atravessa o transistor P_{HV2} implica também em não alterar significativamente a polarização dos transistores P_{HV2} , P_{HV3} , P_{HV4} e P_{HV5} e, desta forma, a tensão V_{PR} varia pouco (<15%) frente a variações da corrente I_{PR} . Considerando que, nesta topologia, a soma das correntes I_{load} , drenada pelo regulador, e I_{PR} permanece constante, como indica a equação 3.5, o resultado é que a variação da corrente I_{load} , drenada pelo regulador, só ocasiona variações discretas na tensão V_{PR} , que permanece 6,5V abaixo da tensão de alimentação BPOS.

$$V_{PR} = BPOS - (V_{sg2} + V_{sg3} + V_{sg4} + V_{sg5}) \approx BPOS - 6,5V \quad (3.2)$$

$$I_{phv1} = 8 * I_{phv2} \quad (3.3)$$

$$I_{PR} \approx I_{phv1} \quad (3.4)$$

$$I_{bias} = I_{load} + I_{PR} \quad (3.5)$$

3.1.1.3 Regulador linear

Dentro do traço azul, no centro da Figura , pode-se ver como o laço de realimentação negativa do regulador é implementado pela conexão do amplificador AO_1 com o transistor NMOS de alta tensão N_{HV3} , em configuração *common source*. Isto faz com que a tensão de saída do regulador siga o valor da tensão de referência. A carga a ser alimentada será conectada entre os nós BPOS e BNEG, e a corrente que atravessa a carga é drenada pelo transistor N_{HV3} até a saída do pré-regulador V_{PR} . Note-se que, diferentemente da topologia básica do regulador linear apresentada no capítulo 2, esta topologia não utiliza resistores no laço de realimentação. Esta diferença é justificada pelo fato de que, neste caso, a tensão de referência já apresenta o valor de tensão necessário na saída do regulador e não

precisa ser multiplicado por nenhum fator. A relação entre a referência e a saída do regulador é unitária, como é expressa na equação 3.6. Cabe observar que a ausência dos resistores no laço também implica em que não há um mínimo de corrente consumida no laço quando o regulador está sem carga. Isto significa que, caso não tenha uma carga conectada, a polarização do laço se perde, já que a tensão entre dreno e fonte do transistor da saída do regulador N_{HV3} tenderia a zero e a tensão de saída do regulador teria o valor da saída do pré-regulador. O regulador projetado neste trabalho conta com uma carga permanentemente conectada na saída, que garante uma corrente mínima e, consequentemente, seu correto funcionamento. Mas é pertinente avisar ao leitor que, se esta topologia for considerada para outro projeto, isto deve ser considerado e, caso essa carga mínima não seja garantida, possivelmente seria recomendável conectar resistores com relação de magnitude unitária no laço de realimentação para manter a polarização em qualquer circunstância.

$$BNEG = V_{ref} = BPOS - 5V \quad (3.6)$$

O ganho de malha aberta do regulador é expresso na equação 3.7, sendo A_1 o ganho do amplificador operacional, g_{mNHV3} a transcondutância do transistor N_{HV3} , C_{ext} o valor do capacitor externo conectado e Z_{load} o valor da impedância da carga conectada na saída do regulador. Este circuito implementa a função de transferência com realimentação negativa, ilustrada na Figura . Como o ganho do laço de realimentação entre a saída do regulador e a entrada do amplificador operacional é unitário, a função de transferência resultante entre a tensão de referência V_{ref} e a saída do regulador BNEG é a expressada na equação 3.8.

$$G_{OL}(s) = A_1(s) * (-g_{mNHV3} * (Z_{load}(s) \parallel \frac{1}{s * C_{ext}})) \quad (3.7)$$

Figura 14 – Modelo do laço de realimentação do regulador de tensão flutuante.

$$G_{CL}(s) = \frac{G_{OL}(s)}{1+(1*G_{OL}(s))} \quad (3.8)$$

Entre o nó da tensão gerada BNEG e a alimentação BPOS, é conectado, externamente ao *chip*, um capacitor de compensação chamado C_{ext} , para estabilizar o laço. Este garante um polo dominante de baixa frequência imposto na saída do regulador e, assim, também a estabilidade do laço. O valor projetado para C_{ext} é de 10nF. Este valor de capacitância é superdimensionado, de forma a garantir a estabilidade, já que este faz o laço atingir uma margem de fase de 89°, o que garante amplamente a estabilidade (WARWICK, 1996). O motivo disto é utilizar este capacitor para fornecer a corrente necessária no momento dos picos de corrente exigidos pela carga e, assim, evitar variações abruptas de grande magnitude na corrente drenada pelo regulador. Desta forma, serão evitadas grandes variações na tensão do pré-regulador V_{PR} e será conservado constante o valor da tensão de saída do regulador. A restrição sobre o máximo valor deste capacitor é imposto pelo tempo máximo de estabelecimento do sistema chamado t_{ON} . Quanto maior for o valor da capacitância, maior será o tempo necessário para que o sistema, partindo do repouso com o capacitor descarregado, consiga carregar até 5V necessários entre os terminais do capacitor para o sistema começar a funcionar. Desta forma, o capacitor foi dimensionado utilizando a relação apresentada na equação 3.9.

$$\frac{t_{ON}}{10} > \frac{\Delta V * C_{ext}}{I_{MAX}} \quad (3.9)$$

O tempo de carga do capacitor foi aproximado pelo produto da capacitância e a diferença de tensão necessária entre seus terminais, no caso 5V, dividido a corrente máxima que o regulador consegue drenar, a qual foi projetada para 80μA. O dimensionamento foi feito de forma conservadora, calculando a relação para 10% do tempo de estabelecimento requerido nas especificações da interface. Isto foi considerado como uma boa prática de projeto, considerando que as variações de processo e de condições de operação podem ocasionar grandes variações nesse valor.

Na Tabela 2, apresenta-se um resumo das características do regulador de tensão flutuante projetado.

Tabela 2 – Resumo das características do regulador de tensão flutuante.

Magnitude	Valor
BPOS	8,5V até 35V
V_{ref}	BPOS – 5V
BNEG	BPOS – 5V
V_{PR}	BPOS – 6,5V
R_{ext}	517k Ω ±1%
C_{ext}	10nF
I_{MAX}	80 μ A

3.1.1.4 Simulações do regulador de tensão flutuante

Na Figura , pode-se ver a tensão V_{PR} , gerada pelo bloco pré-regulador ao variar a tensão de alimentação BPOS na faixa de 8,5V a 35V em condições nominais (27°C e modelos típicos). Na figura, observa-se como a tensão V_{PR} mantém uma diferença fixa em relação à BPOS, independentemente do valor de BPOS dentro da faixa especificada. Os *corners* (XFAB, 2014) considerados nas simulações deste trabalho são descritos no apêndice A. As variações nos *corners* que representam variações de processo e os valores da saída estão exibidos na Tabela 3. A variação do valor da tensão gerada pelo pré-regulador, com variações de processo e condições de operação, é considerável, como é de esperar nesta topologia, devido, principalmente, à variação da tensão de limiar dos transistores. Por tal motivo, este bloco não poderia ser considerado como solução para fornecer a tensão necessária para a manipulação das cargas da interface. Porém, na função de pré-regulador, esta variação não compromete o funcionamento do regulador flutuante.

Tabela 3 – Valores da saída do pré-regulador em função de BPOS e corners.

BPOS	pre-reg_out@nom	Diferença entre maior e menor valor em corners
8,5V	2,15V	1,61V
35V	28,56V	1,75V

Figura 15 – Simulação da saída do pré-regulador ao variar a tensão BPOS. O traço superior vermelho representa BPOS e o traço inferior verde representa VPR.

Na Figura , pode-se ver a tensão BNEG de saída do regulador variando em função da variação de alimentação em condições nominais (27°C e modelos típicos). Note-se que a saída do regulador mantém uma diferença constante de 5V em relação à tensão de alimentação BPOS, independentemente do valor da mesma. A diferença de tensão consegue se manter, mesmo quando a tensão de alimentação varia em degraus, já que o capacitor externo C_{ext} mantém a diferença de tensão entre esses dois nós.

Figura 16 – Simulação da saída do regulador flutuante ao variar a BPOS. O traço vermelho (superior) representa BPOS e o traço azul (inferior) representa BNEG.

Na Tabela 4, estão apresentados os resultados da simulação realizada com variações da tensão de alimentação BPOS dentro da faixa de especificação, em simulações nominais e de *corners*. A variação de BNEG, ao aumentar BPOS em condições nominais, mostra a influência do efeito *Early* na tensão de referência V_{ref} do regulador. A queda no resistor de referência R_{ext} aumenta, por conta do aumento da corrente que passa através dele, devido à resistência finita dos transistores. Isto gera um aumento discreto na diferença de tensão no resistor e, portanto, na saída do regulador. Como isto foi considerado no projeto, projetando a queda no resistor discretamente menor que 5V, a tensão de referência fica centrada em BPOS - 5V dentro da faixa de alimentação especificada.

Nas simulações de *corners*, o máximo afastamento de BNEG e BPOS - 5V foi de 100mV. Isto é considerado totalmente aceitável para essa aplicação, levando-se em consideração que os transistores de alta tensão a serem manipulados com este potencial suportam uma variação na diferença de tensão da porta de até 10%, sem sofrer danos.

Tabela 4 – Valores da saída do regulador em função de BPOS e *corners*.

BPOS	BNEG@nom	Máximo afastamento de BPOS-5V em <i>corners</i>
8,5V	3,58V	90mV
35V	29,91V	100mV

Na Figura 17, pode-se observar a simulação de estabilidade do regulador flutuante. A estabilidade do laço é amplamente garantida, apresentando uma margem de fase de 89° e uma margem de ganho de 59dB. Como já mencionado, esta característica do regulador foi superdimensionada, colocando-se um capacitor de alto valor na saída para poder usá-lo no fornecimento de corrente, nos picos de consumo da carga. Os valores obtidos nesta simulação são apresentados na Tabela 5.

Tabela 5 – Valores das margens de ganho e fase do regulador flutuante.

Margem de fase	Margem de ganho
89°	59dB

Figura 17 – Simulação de estabilidade do laço do regulador flutuante. O traço azul (superior) representa a fase do laço e o traço verde (inferior) o ganho do laço em função da frequência.

Na Figura é ilustrada a simulação de um caso típico de uso do sistema em condições nominais (27°C e modelos típicos). Neste cenário, uma carga que apresenta um consumo de corrente variável que, no caso desta simulação, aparece como periódico, foi conectada entre os nós BPOS e a saída do regulador BNEG. A carga realiza um chaveamento, alterando a magnitude da corrente consumida através do regulador flutuante durante toda a simulação, e é realizada uma variação da tensão de alimentação em forma de degrau. Na figura, mostram-se três sinais: a alimentação BPOS, em vermelho (sinal inferior); a saída do regulador BNEG, em verde (sinal intermediário); e a saída do pré-regulador VPR, em azul (sinal inferior). O resultado da simulação confirma que o chaveamento da carga alimentada não altera o valor da saída do regulador, que mantém seu valor constante em BPOS – 5V na faixa de alimentação entre 8,5V e 35V. É perceptível uma leve variação na saída do pré-regulador, o que é de se esperar na topologia escolhida, mas não é propagada para a saída do regulador.

Figura 18 – Simulação da resposta do regulador ao variar BPOS e a corrente consumida. O traço vermelho (superior) representa BPOS, o traço verde (intermediário) representa BNEG e o traço azul (inferior) representa VPR.

Na Tabela 6, mostra-se a variação, em simulações de *corner*, do tempo de estabelecimento do regulador flutuante. Pode ser observado que, até no pior caso, é atingida a especificação do sistema.

Tabela 6 – Simulação do tempo de estabelecimento do regulador flutuante.

	Mínimo	Típico	Máximo	T_{on} max. especificado
t_{ON}	650ns	890ns	1,352ms	10ms

3.1.2 Sensor de nível

Durante o desenvolvimento desse trabalho, uma necessidade descoberta e enfrentada foi comunicar o estado do regulador flutuante. Na inicialização do *chip*, a parte lógica que comanda o sistema precisa conferir que os circuitos analógicos estão funcionando no nível correto, para garantir, assim, a correta operação dos mesmos. No caso de um regulador flutuante, isto não é trivial de se fazer, uma vez que se deve medir uma diferença de tensão entre dois nós que flutuam: a alimentação BPOS e a saída do regulador BNEG. Em função da diferença de tensão medida entre BPOS e BNEG, será determinado o estado do sistema, pronto para funcionar ou não. Esta informação deve ser enviada mediante um sinal lógico de baixa tensão (5V), comunicando ao processador se o regulador atingiu o nível de operação. Para atender esta necessidade, projetou-se o bloco sensor de nível.

A solução proposta para este problema foi realizar a comparação desses dois nós flutuantes comparando duas correntes proporcionais à tensão nesses nós. Desta forma, ao medir a diferença entre essas correntes, poderá ser determinada a diferença entre esses dois nós e, assim, determinar o estado do regulador.

Para poder tirar corrente do nó BNEG, foi colocado um *buffer*, cujo esquemático mostra-se na Figura 12. O propósito deste *buffer* é copiar o valor de tensão BNEG, sem mudar a impedância desse nó. A topologia é similar à utilizada no laço do regulador linear, com a diferença que a saída do *buffer* é implementada com o transistor PMOS de alta tensão P_{HV} e não com um NMOS, como no caso do regulador. Note que, nesse caso, o objetivo é drenar a corrente desde a tensão BNEG até a terra e, no caso do regulador linear, era drenar a corrente de BPOS até a BNEG.

Figura 12 – Diagrama do *buffer* de alta tensão.

Tendo agora disponível um nó com valor de tensão BNEG, chamado BNEG' que permita puxar corrente dele, é possível realizar a comparação de correntes proporcionais às tensões BPOS e BNEG e determinar a queda de tensão entre elas. Com esse objetivo foi proposta a topologia do circuito ilustrada na Figura . Por simplicidade na nomenclatura, no equacionamento a tensão BNEG' será chamada de BNEG já que os seus valores são iguais.

Na Figura 20, observam-se as correntes I_1 e I_2 , que circulam, respectivamente, através de dois resistores de valor R e polarizam os transistores conectados como diodos N_{a1} e N_{a3} , no caso de I_1 , e N_{b1} e N_{b3} , no caso de I_2 . Esta conexão determina os valores de corrente expressados nas equações 3.9 e 3.10. Ambas correntes são espelhadas com cópia unitária para o domínio da baixa tensão com os espelhos de correntes cascode compostos por N_{a1} , N_{a2} , N_{a3} e N_{a4} no caso de I_1 , e por N_{b1} , N_{b2} , N_{b3} e N_{b4} , no caso de I_2 . A corrente I_1 é espelhada uma segunda vez, pelo espelho composto por P_{a1} e P_{a2} , com o objetivo de fornecer este valor gerado por um transistor PMOS.

Figura 20 – Diagrama do sensor de nível.

$$I_1 = \frac{BPOS - V_{on1}}{R} \quad (3.9)$$

$$I_2 = \frac{BNEG - V_{on2}}{R} \quad (3.10)$$

Com esta topologia, se consegue que o valor da corrente I_2 seja absorvido pelos transistores N_{b2} e N_{b4} , que são parte do espelho, e que a diferença entre esta e I_1 , fornecida pelo transistor P_{a2} , circule através de um resistor de valor R_{sensor} . Desta forma, obtém-se a corrente I_{dif} , que circula através de R_{sensor} , expressada na equação 3.11. Projetando este circuito com um valor de R grande, dimensionando os transistores dos espelhos com uma área grande e considerando que a diferença de tensão de interesse entre BPOS e BNEG é de 5V, é possível considerar que a diferença entre o potencial de polarização dos espelhos é desprezível frente a diferença de tensão na saída do regulador flutuante e realizar a aproximação feita na equação 3.12.

$$I_{\text{dif}} = I_1 - I_2 = \frac{(BPOS - BNEG) + (V_{on1} - V_{on2})}{R} \quad (3.11)$$

$$I_{\text{dif}} \approx \frac{(BPOS - BNEG)}{R} \quad (3.12)$$

Desta forma, é obtida a corrente I_{dif} , no domínio da baixa tensão, proporcional à diferença de tensão entre BPOS e BNEG. É gerada uma tensão proporcional a esta corrente entre os terminais do resistor R_{sensor} , chamada V_{sensor} , como é indicado na equação 3.13. Finalmente, a tensão V_{sensor} é comparada com uma tensão gerada por um circuito de referência, através de um comparador de tensão e, assim, é gerado o sinal digital V_{POR} de baixa tensão, que comuta quando BNEG atinge o nível especificado. É importante mencionar que todos os componentes e, principalmente, os resistores R , devem estar bem casados, para se obter uma medida precisa.

$$V_{\text{sensor}} \approx \frac{R_{\text{sensor}}}{R} * (BPOS - BNEG) \quad (3.13)$$

Para esta aplicação, o circuito foi dimensionado para que o limiar do valor de afastamento de tensão entre BPOS e BNEG seja 4,3V, como é expresso na Tabela 7. Esse valor foi projetado considerando-se a aplicação deste trabalho, onde esta tensão é utilizada para formar o canal de transistores PMOS de potência. Este valor garante a formação do canal do transistor e permanece conservador em relação a possíveis variações na fabricação do *chip*.

Tabela 7 – Valor do limiar do circuito sensor de nível.

Variável	Valor projetado
Limiar do sensor de nível	BPOS – 4,3V

Na Figura 21, é ilustrada uma simulação transiente do circuito sensor de nível do regulador flutuante em condições nominais (27°C e modelos típicos). Com traço vermelho é representada a tensão de alimentação BPOS; com traço verde é representada uma fonte de tensão que foi conectada na entrada do sensor de nível que corresponde a BNEG; e com traço azul, é representada a saída do sensor de nível V_{POR} . A alimentação BPOS é variada em dois degraus entre o valor mínimo de 8,5V e máximo de 35V da faixa de tensão especificada. A tensão BNEG é variada aleatoriamente, se aproximando e se afastando sucessivamente da tensão BPOS. Pode-se observar que, sempre que a diferença de tensão entre BPOS e BNEG atinge o limiar projetado, o sinal de saída do sensor de nível BNEG_OK comuta de nível baixo para nível alto. Ao mesmo tempo, observa-se que, toda vez que o afastamento entre BPOS e BNEG diminui ao ponto que volta a atravessar o limiar de tensão, o sinal de saída do sensor de nível comuta de nível alto para nível baixo, alertando que a interface já não está em condições corretas de operação.

Figura 21 – Simulação do sensor de nível. O traço vermelho (superior) representa BPOS, o traço verde (intermediário) representa BNEG e o traço azul (inferior) representa a saída do sensor.

Na Tabela 8, apresentam-se os valores simulados do limiar do circuito sensor de nível, ao variar a tensão de alimentação e realizando-se simulações de *corners*. Pode-se conferir que os resultados obtidos garantem a correta operação da interface.

Tabela 8 – Valores limiares e variações em corners do sensor.

BPOS	Limiar do sensor	Faixa de variação em corners
8,5V	666mV	[585mV, 713mV]
35V	785mV	[713mV, 848mV]

3.2 DRIVER

Nesse projeto o sistema controla, com sinais digitais, a ativação de cargas externas ao chip. Esses sinais são provenientes dos blocos de processamento internos que operam com níveis lógicos de baixa tensão (0V e 5V), e devem ser convertidas a níveis lógicos equivalentes de alta tensão (BPOS e BNEG) para manipular essas cargas. Para esse procedimento, precisa-se de um circuito que seja a interface para esses sinais. Com esse propósito, foi implementado o circuito chamado *driver* ilustrado na Figura .

Figura 22 – *Driver* de alta tensão.

O *driver* está composto por um inversor, um *level-shifter* e um buffer de alta tensão. O inversor é necessário pela definição da lógica do sistema que indica que um “1” lógico (5V) deve ativar a carga externa formando o canal do transistor PMOS externo, por isso 5V deve ser associado ao potencial de saída BNEG. Inversamente, um “0” lógico deve fixar a saída a BPOS. Esta correspondência é resumida na Tabela 9.

Tabela 9 – Níveis de tensão da saída em função da lógica do *driver*.

Sinal lógico	Entrada	Saída
"1"	5V	BNEG
"0"	0V	BPOS

Logo após o inversor, está conectado o circuito *level-shifter*, ilustrado na Figura . Este circuito realiza uma mudança no potencial do sinal levando-o de baixa tensão a alta tensão, mantendo a lógica. O circuito é composto por dois transistores de alta tensão, um NMOS e um PMOS, e três resistores, dois conectados para implementar um *pull-up* e o outro em configuração de *pull-down*. Quando o sinal de entrada é 5V, o NMOS forma um canal que conecta o resistor à terra e permite que circule corrente através dele. Isto permite que o potencial no *gate* do PMOS se afaste de BPOS e forme um canal nele, conectando a saída a BPOS. Seguindo um raciocínio similar, quando a entrada é 0V, nenhum dos transistores conduzirá levando a saída a BNEG por meio do resistor de *pull-down*.

Figura 23 – Diagrama do circuito *level shifter up*.

Esta correspondência entrada e saída do *level shifter* é resumida na Tabela 10. É bom esclarecer que existem topologias muito mais eficientes do ponto de vista do

consumo estático, já que este circuito fica conduzindo corrente quando a entrada está em nível lógico “1”. Este *level shifter* projetou-se com esta topologia para cumprir a função de carga mínima que precisa ter conectada o regulador flutuante para garantir sua permanência na região linear. Este bloco é instanciado em circuitos de *enable* da interface pelo qual sempre que a interface esteja habilitada a carga mínima é garantida.

Tabela 10 – Lógica do *leve-shifter* para gerar os sinais de BPOS e BNEG.

Entrada	Saída
5V	BPOS
0V	BNEG

Finalmente, já no domínio da alta tensão, é conectado um buffer entre o *level shifter* e a saída, para drenar a corrente suficiente capaz de comutar o potencial na carga com a frequência necessária. O *buffer* é composto por quatro inversores de tamanho crescente, sendo cada inversor o dobro do anterior. Isto é ilustrado no modelo da Figura .

Figura 24 – Circuito *buffer*.

Na Figura , pode-se ver a simulação em condições nominais (27°C e modelos típicos) da resposta do circuito driver projetado (da Figura) em função de variações na tensão de alimentação quando é introduzida, na entrada do *driver*, uma onda quadrada e conectando uma carga na saída equivalente à do PMOS de potência que será utilizado nesse projeto. O sinal de traço vermelho representa a tensão de alimentação BPOS, o sinal de traço laranja representa o sinal de entrada do driver Driver IN, o sinal de traço verde representa o sinal de saída do driver Driver OUT. Pode ser observada a correta resposta do driver comutando a saída na mesma frequência do sinal de entrada entre os níveis de tensão BNEG e BPOS para os diferentes valores de BPOS. Nota-se a inversão na lógica que faz corresponder

BNEG na saída a uma entrada de 5V e BPOS na saída a uma entrada de 0V.

Na Tabela 11, apresenta-se um resumo das variações dos atrasos do *driver* nas simulações de corners. Em todos os casos, o circuito apresenta uma resposta em frequência amplamente suficiente para a especificação.

Figura 25 – Simulação do circuito driver ao variar a alimentação. O sinal vermelho representa BPOS, o sinal laranja representa a entrada do driver e o sinal verde representa a saída do *driver*.

Tabela 11 – Resumo de simulação de atrasos do circuito *driver*.

Variável	Descrição	Nominal	Pior caso em <i>corners</i>	Especificação
t_p	Atraso	598ns	1,3 μ s	
t_f	Tempo de descida	1,530 μ s	3,724 μ s	< 83 μ s
t_r	Tempo de subida	1,530 μ s	1,762 μ s	< 83 μ s

3.3 SENSOR DE SOBRECORRENTES

Esta aplicação exige que seja realizado o acompanhamento da corrente que está sendo consumida pela carga para garantir a segurança do aparelho e/ou do usuário. Sobrecorrentes são indicadoras de mal funcionamento ou até de um curto circuito, que podem provocar danos. Como a lógica do sistema está em baixa tensão e a carga em alta tensão, é necessário que a interface de controle e monitoramento seja capaz de detectar e alertar estas ocorrências. Para satisfazer essa necessidade foi implementado um circuito sensor de sobrecorrentes.

A dinâmica do circuito é a ilustrada na Figura , na qual pode-se ver como uma tensão V_{sensor} proporcional à corrente consumida pela carga é monitorada pelo circuito sensor de sobrecorrente através de um dos pinos do *chip*. Nesse pino, encontra-se conectado internamente um comparador de tensão no domínio da alta tensão, o qual comutará sua saída sempre que for detectada uma sobrecorrente avisando a lógica interna do chip da ocorrência. Desta forma, a lógica como medida de proteção pode desativar a carga externa por meio do circuito *driver* conectado a um dos pinos de saída.

Figura 26 – Sistema protetor de sobrecorrentes.

Para esta aplicação, foi especificado que uma corrente de carga que ocasione uma queda de 0,5V no resistor R_{sensor} será considerado uma sobrecorrente. Por este motivo, foi projetada uma tensão de referência flutuante com valor $BPOS - 0,5V$ para fornecer a tensão limiar do comparador. A topologia utilizada para o projeto deste circuito é ilustrada na Figura .

Figura 27 – Circuito referência de sobrecorrentes.

Este circuito gera uma corrente de referência fixa I_{ref} , que é função da tensão de referência de entrada V_{ref} e do valor do resistor R_2 como indica a equação 3.15. Esta relação é consequência do curto virtual existente no amplificador operacional realimentado negativamente que copia o valor da tensão V_{ref} para o nó V_{fb} .

$$I_{ref} = \frac{V_{bg}}{R_2} \quad (3.15)$$

A corrente I_{ref} é fornecida pela tensão de alimentação BPOS e circula através de um resistor R_1 , gerando uma queda de valor fixo em relação à alimentação. Esta é a tensão de referência de saída deste bloco, e seu valor é expresso na equação 3.16.

$$V_{ref_sensor} = \frac{R_1}{R_2} * V_{bg} \quad (3.16)$$

Note-se que para um valor de tensão de referência precisa utilizando esta topologia precisa-se um bom casamento entre os resistores R_1 e R_2 para que a variação da referência não seja dependente da variação do valor absoluto dessas magnitudes.

Na Figura , também podem ser observados os transistores de potência P_{HV} , do tipo PMOS, e N_{HV} , do tipo NMOS. Estes transistores são utilizados como proteção para quebrar os domínios de tensão em dois, o transistor N_{HV} não permite que a tensão da sua fonte consiga atingir mais de 5V sem interromper o passo de corrente e o transistor P_{HV} não permite que o potencial da sua fonte consiga diminuir mais que B_{NEG} sem também entrar em corte.

Cabe esclarecer ao leitor que esta igualmente era uma topologia válida para gerar a tensão de referência do regulador de tensão flutuante e podia ter-se projetado desta forma. A escolha foi feita desta forma para em ambos casos ter uma variável de ajuste externa ao chip. No caso da tensão de referência do regulador é o resistor externo com a qual é gerada, no caso do sensor de sobrecorrentes é a variabilidade do limiar ajustando o resistor R_{sensor} ilustrado na figura 26.

Na Figura apresenta-se o diagrama de blocos do sensor de sobrecorrentes. Nesta figura, pode-se ver como a tensão monitorada é comparada com a referência, utilizando um circuito comparador de tensão que é implementado no domínio da alta tensão. O sinal de saída do comparador é gerado ainda no domínio de alta tensão, e deve ser levado à baixa tensão para ser comunicado ao processador. Isto é realizado pelo bloco *level shifter* da figura.

Figura 28 – Sensor de sobrecorrentes.

O comparador de alta tensão projetado é ilustrado na Figura , com a topologia de amplificador operacional de dois estágios básico sem compensação (GRAY, 2009) acrescentando transistores de alta tensão de proteção. Os transistores dentro dos traços azuis N_{i1} , N_{i2} , P_{i1} e P_{i2} são transistores de poço isolado que o kit da tecnologia

Na Figura 30 é apresentada a topologia do bloco *level-shifter down* que leva o sinal lógico do domínio de alta tensão a baixa tensão. Seu funcionamento é análogo ao *level-shifter up* apresentado anteriormente no projeto do circuito *driver*, com a diferença que inverte os domínios de tensão. Este é composto por dois transistores de alta tensão, um PMOS (P_{HV}) e um NMOS (N_{HV}), e três resistores iguais (R), dois conectados como *pull-down* e um como *pull-up*. A lógica do seu funcionamento é resumida na Tabela 12.

Figura 30 – *Level-shifter down*.

Tabela 12 – Lógica do *level-shifter down*.

Entrada (V_{in})	Saída (V_{out})
BPOS	5V
BNEG	0V

Na Tabela 13, são resumidos os sinais de interesse do sensor de sobrecorrente:

Tabela 13 – Sinais de interesse do sensor de sobrecorrente.

Sinal	Descrição	Valor
Vsensor	Limiar do sensor	BPOS – 0,5V
VOC	Sinal de alerta de sobrecorrente	5V

Na Figura está ilustrada a simulação em condições nominais (27°C e modelos típicos) da resposta do sensor de sobrecorrentes a um afastamento de 1V de BPOS do potencial na sua entrada, o qual é considerado como indicador de sobrecorrente.

O traço vermelho representa a tensão de alimentação BPOS, o traço verde representa o sinal de entrada do sensor Sensor_IN, e o traço azul representa o sinal de saída do sensor Sensor_OUT. Pode-se observar como o sinal de alerta V_{OC} se ativa corretamente toda vez que o sinal de entrada atravessa o limiar para os distintos níveis de tensão de alimentação.

Figura 31 – Simulação do circuito sensor ao variar a alimentação e a entrada. O sinal vermelho representa BPOS, o sinal verde representa a entrada do sensor e o sinal azul representa a saída.

A variação do limiar do sensor de sobrecorrentes simulada em *corners* é apresentada na Tabela 14.

Tabela 14 – Variação do limiar do sensor de sobrecorrente em *corners*.

Sinal	Descrição	Valor típico	Maior variação
Vsensor	Limiar do sensor	BPOS – 0,5V	37mV

Na Figura , pode-se observar uma simulação em condições nominais (27°C e modelos típicos) da interface completa que consta do regulador flutuante, o circuito driver e o sensor de sobrecorrentes. Essa simulação representa um eventual caso de uso. Nela observa-se, inicialmente, o tempo de estabelecimento do regulador de tensão flutuante ligando, com o sinal de saída BNEG descendo até o valor de operação 5V abaixo da alimentação BPOS. Quando o regulador atinge o valor necessário para o sistema operar corretamente o circuito sensor de nível levanta o

sinal de baixa tensão BNEG_ok avisando ao processador que o sistema está pronto para funcionar. Depois disso, o sinal Driver IN, que representa o sinal proveniente do processador para manipular a carga externa, comuta de nível lógico e por isto a saída do driver, chamada driver_OUT, comuta de nível também. Ao fixar a saída do *driver* no nível de tensão BNEG, o canal do PMOS de potência externo é formado e a carga externa conectada começa a ser alimentada. Seguidamente, 2ms depois, o sinal de entrada do sensor de sobrecorrentes chamado sensor IN se afasta -1V de BPOS, simulando um caso de sobrecorrente. Quando isto acontece, o sinal de saída do sensor de sobrecorrente chamado sensor OUT é ativado, alertando o processador da ocorrência. Finalmente, o processador desliga a carga, comutando o sinal de entrada do *driver* e, por não circular mais corrente pela carga, a entrada do sensor de sobrecorrentes volta a se fixar no valor BPOS e o sinal de alerta é desativado.

Figura 32 – Simulação do sistema todo em um possível caso de uso. O sinal vermelho representa BPOS, o sinal azul representa BNEG, o sinal laranja representa a saída do sensor de nível, o sinal verde escuro representa a entrada do *driver*, o sinal violeta representa a saída do *driver*, o sinal verde claro representa a entrada do sensor de sobrecorrente e o sinal marrom representa a saída do sensor de sobrecorrente.

3.4 LAYOUT

Os blocos projetados foram integrados no *chip* do sensor de proximidade indutivo, ilustrado na Figura 33. São destacadas as áreas do regulador flutuante e dos sensores de sobrecorrente e drivers: a área total do *chip* é **3763 μm x 3643 μm** .

Figura 33 – *Chip* do sensor de proximidade indutivo.

O *layout* completo do regulador flutuante com o sensor de nível integrado é ilustrado na Figura . A área total do bloco é de **599 μ m x 909 μ m**. Ainda no *layout*, destacam-se, na parte superior da figura, o pré-regulador no quadro verde e o regulador, junto com a referência, no quadro amarelo, somando, os dois juntos, uma área de **599 μ m x 330 μ m**, e o sensor de nível no quadro azul, na parte inferior da figura, de dimensões **599 μ m x 579 μ m**. Isto é exposto na Tabela 15.

Figura 34 – *Layout* do regulador flutuante.

Tabela 15 – Área utilizada no *layout* do regulador flutuante.

Bloco	Área
Regulador de tensão flutuante	599 μ m x 330 μ m
Sensor de nível	599 μ m x 579 μ m
Total	599 μ m x 909 μ m

O *layout* do *driver* e sensor de sobrecorrente para controle de duas cargas (dois *drivers* e dois sensores) é ilustrado na Figura . Nesta figura, aparecem dois *drivers* e dois sensores de sobrecorrente. A área total ocupada por estes blocos é de **641 μm x 592 μm** .

Figura 35 – *Layout* do *driver* e sensor de sobrecorrentes.

4 RESULTADOS EXPERIMENTAIS

O sistema projetado como interface de controle e monitoramento para circuitos alimentados em alta tensão variável foi enviado para fabricação como parte de um sensor de proximidade, a tecnologia de fabricação dos protótipos foi CMOS XFAB 0,6 μ m. O chip fabricado foi montado em uma placa que foi projetada para realizar os testes do sistema todo do sensor de proximidade e assim foram medidas as características de desempenho dos circuitos projetados neste trabalho. Neste capítulo, mostra-se como foi configurado o ambiente para a realização dos diferentes testes, os componentes externos utilizados, os resultados obtidos e finalmente uma exposição comparativa dos resultados medidos com os simulados.

4.1 AMBIENTE DE TESTE

4.1.1 Sistema de comunicação

O *driver* da interface projetado neste trabalho é controlado pelos circuitos lógicos internos ao *chip*. Para testar o chaveamento do *driver* deve-se enviar comandos ao *chip* requerendo uma comunicação. Isto é realizado por um *Serial Peripheral Interface* (SPI) do *chip* que recebe comandos de um processador NIOS programado em um FPGA DE2-115 da Altera, como pode-se ver na Figura , onde o quadro vermelho destaca o *chip* projetado neste trabalho. Para conseguir que o FPGA envie o comando é utilizado um PC que envia, via porta serial, o comando requerido para o controlador programado no FPGA e este transmite a instrução ao sensor pela SPI. O FPGA funciona em nível de 3,3V e o chip em 5V pelo qual foi necessário colocar um *level shifter* integrado na placa de teste para realizar esta comunicação. A placa de teste foi projetada com um socket para poder testar várias amostras do chip, foi feito o levantamento das medidas de seis amostras do chip projetado. É importante esclarecer que a fonte de tensão utilizada no laboratório para realizar os testes deste chip é a Agilent U8031A. Este equipamento fornece tensões de alimentação DC que podem variar na faixa compreendida entre 0V e 30V, por este motivo, nas medidas realizadas neste trabalho a tensão de alimentação BPOS varia na faixa compreendida entre 8,5V até 30V. O multímetro utilizado para realizar as medidas foi um Agilent 34410A.

Figura 36 – Ambiente de teste da interface conversor de alta tensão.

4.2 MEDIDA DA TENSÃO DE SAÍDA DO REGULADOR DE TENSÃO FLUTUANTE

Como foi detalhado no capítulo 3, na descrição do projeto do regulador de tensão flutuante, este utiliza conectados dois componentes discretos externos ao *chip* do sensor, conforme a figura 12. O primeiro deles é um resistor de $517\text{k}\Omega$ e precisão de

1% utilizado para gerar a referência de tensão e o outro é um capacitor de 10nF para garantir a estabilidade do loop e fornecer a corrente necessária nas comutações da carga.

As medidas da tensão de saída do regulador foram tomadas na faixa de tensão de alimentação do sensor (BPOS) que vão de 8,5V até 30V nas 6 amostras do chip. As medidas realizadas especificadas nos níveis de tensão 8,5V, 11V, 15V, 22V e 30V são apresentadas na Tabela 16.

Tabela 16 – Valores experimentais obtidos de medidas da saída do regulador flutuante variando-se a tensão de alimentação BPOS.

Amostra	BNEG @ 8,5V	BNEG @ 11V	BNEG @ 15V	BNEG @ 22V	BNEG @ 30V
1	3,50V	5,97V	9,89V	16,9V	24,89V
2	3,65V	6,08V	9,99V	17,01V	25,02V
3	3,55V	6,00V	9,9V	16,94V	24,91V
4	3,81V	6,22V	10,16V	17,16V	25,17V
5	3,44V	5,90V	9,8V	16,8V	24,79V
6	3,55V	6,00V	9,99V	17V	24,99V

Das medidas tomadas, é calculado o valor da diferença de tensão entre a alimentação BPOS e a saída do regulador BNEG, isto é expresso na Tabela 17.

Tabela 17 – Diferença de tensão entre BPOS e as medidas da saída do regulador flutuante.

Amostra	(BPOS - BNEG)@ 8,5V	(BPOS - BNEG)@ 11V	(BPOS - BNEG) @ 15V	(BPOS - BNEG)@ 22V	(BPOS - BNEG)@ 30V
1	5,0V	5,03V	5,11V	5,1V	5,11V
2	4,85V	4,92V	5,01V	4,99V	4,98V
3	4,95	5,0V	5,1V	5,06V	5,08V
4	4,69V	4,78V	4,84V	4,84V	4,83V
5	5,06V	5,1V	5,2V	5,2V	5,21V
6	4,95V	5,0V	5,01V	5,0V	5,01V

Observando os valores obtidos experimentalmente pode-se concluir que o desvio da tensão (BPOS – BNEG) em relação ao valor nominal esperado (5,0V) foi menor que $\pm 6,2\%$, que é um bom resultado.

Na Figura , pode-se observar os traços em diferentes cores que representam as medidas do regulador de tensão flutuante nos 6 diferentes chips testados. O primeiro ponto a ser observado é que a saída do regulador flutuante consegue gerar, em todas as amostras e na faixa toda de alimentação, o valor de tensão especificado para este projeto com diferenças menores que 10% do valor projetado. Isto atinge a especificação requerida para este bloco. Em seguida, podemos notar que a variação da tensão regulada gerada é muito discreta ao variar a tensão de alimentação do sistema em uma faixa de dezenas de volts. Isto demonstra que a topologia proposta é uma solução aceitável para a necessidade deste projeto. Finalmente, pode-se observar que ao aumentar a tensão de alimentação BPOS, a diferença de tensão entre BPOS e BNEG aumenta discretamente ao longo da faixa. Esta variação é observada em todas as amostras, como é ilustrado na Figura . Este comportamento, o qual tinha sido comentado e simulado no capítulo 3, é devido ao efeito Early que causa um aumento discreto na corrente de referência do regulador, e em consequência um aumento discreto na diferença de tensão gerada.

Figura 37 – Medidas do regulador flutuante para as seis diferentes amostras.

Com os dados expressos na Tabela 17, podem-se realizar cálculos que quantificam a variação da queda de tensão no regulador flutuante em relação ao nível de alimentação do *chip*. Isto é expresso na Tabela 18. Nesta tabela apresenta-se a média dos valores das 6 amostras, o seu desvio padrão e delta pior medida (este representa o módulo do maior desvio do valor médio e valor medido das 6 amostras).

Tabela 18 – Média, desvio padrão e pior caso da medida da diferença de tensão entre BPOS e as medidas da saída do regulador flutuante em relação ao valor de BPOS.

BPOS	Média	Desvio padrão	Delta pior medida
8,5	4,917V	0,146V	-0,31V
11	4,972V	0,123V	-0,22V
15	5,045V	0,138V	0,20V
22	5,032V	0,135V	0,20V
30	5,038V	0,145V	0,21V

Da mesma forma que na Tabela 17, utilizando os dados expressos na Tabela 18, podem-se realizar cálculos que quantificam a variação da queda de tensão no regulador flutuante ao variar BPOS para cada amostra em particular. Isto é expresso na Tabela 19.

Tabela 19 – Média, desvio padrão e pior caso da medida da diferença de tensão entre BPOS e as medidas da saída do regulador flutuante em relação ao valor de BPOS.

Amostra	Média	Desvio padrão	Delta pior medida
1	5,070V	0,051V	0,11V
2	4,950V	0,065V	-0,15V
3	5,039V	0,063V	0,10V
4	4,796V	0,064V	-0,31V
5	5,154V	0,069V	0,21V
6	4,994V	0,025V	-0,05

Finalmente, é calculado o valor médio e desvio padrão da queda de tensão gerada no regulador de tensão flutuante, considerando o total das medidas tomadas nas 6 amostras do chip. Isto é apresentado na tabela 20.

Tabela 20 – Média, desvio padrão e pior medida da diferença de tensão entre BPOS e as medidas da saída do regulador flutuante considerando o total das medidas.

	Média	Desvio padrão	Delta pior medida
BPOS - BNEG	5,001V	0,123V	-0,31V

Esclarecendo ao leitor que não é estritamente correto, do ponto de vista matemático, determinar uma densidade de distribuição com um número de medidas tão pequeno como neste caso (30 medidas), porém, dá um indicativo que os resultados experimentais estão próximos dos valores obtidos pela simulação elétrica do circuito.

4.3 MEDIDA DO SENSOR DE NÍVEL DO REGULADOR FLUTUANTE

Neste *chip*, não tem acesso externo ao sinal $BNEG_ok$, que indica o estado do regulador flutuante. Por este motivo, não foi possível realizar uma medida deste sinal de forma direta. Porém, tem-se acesso ao sinal V_{POR} . Este sinal indica, com um nível lógico alto, que o *chip* está em condições de operar e, desta forma, indica que $BNEG_ok$ está em nível lógico alto. Esta relação está ilustrada na Figura , na qual fica implícito que se V_{POR} está em nível lógico alto, necessariamente $BNEG_ok$ está também em nível alto. O sinal V_{POR} em nível logico alto significa que o regulador flutuante, e todos os outros reguladores de tensão do chip, já atingiram o nível correto de operação. Esta relação é especificada na equação 4.1. Deste modo, utilizando o sinal V_{POR} , é possível realizar uma medida indireta do sinal $BNEG_ok$.

Figura 38 – Função lógica do sinal V_{POR} .

$$V_{POR} = V_{REG1_ok} \& V_{REG2_ok} \& V_{REG3_ok} \& \dots \& BNEG_ok \quad (4.1)$$

Desta forma, foi possível medir o limiar do sensor de nível, fazendo variar a saída do regulador flutuante ao variar sua referência de tensão com o circuito que se ilustra no esquemático da Figura . A função deste circuito é diminuir a resistência equivalente conectada externamente à corrente de referência e, desta forma, diminuir a queda da tensão de referência.

Figura 39 – Circuito de medida do sensor de nível.

A medida foi implementada utilizando um potenciômetro com resistores em série conectados através de um *protoboard* e medindo com o osciloscópio simultaneamente os sinais BNEG e V_{POR} , variando a alimentação BPOS, para as diferentes amostras do *chip*. Uma foto tirada deste ambiente é mostrada na Figura 40.

Figura 40 – Ambiente de medida do sensor de nível.

Neste caso, novamente, foram medidas as 6 amostras do *chip* na faixa de tensão de alimentação entre 8,5V e 30V. Os resultados das medidas são apresentados na Tabela 21.

Tabela 21 – Medidas do limiar do sensor de nível.

Amostra	$V_{\text{sensor}} @ 8,5V$	$V_{\text{sensor}} @ 11V$	$V_{\text{sensor}} @ 15V$	$V_{\text{sensor}} @ 22V$	$V_{\text{sensor}} @ 30V$
1	4,19V	6,69V	10,7V	17,7V	25,8V
2	4,19V	6,71V	10,75V	17,9V	26,15V
3	4,22V	6,73V	10,75V	17,82V	26V
4	4,25V	6,88V	10,93V	17,9V	25,9V
5	4,20V	6,7V	10,7V	17,66V	25,7V
6	4,23V	6,68V	10,8V	17,78V	25,7V

Considerando os limiares medidos para cada valor de tensão de alimentação, é calculado o valor do limiar como diferença entre BPOS e BNEG. Isto se apresenta na Tabela 22.

Tabela 22 – Queda de tensão no regulador obtidas das medidas do limiar do sensor de nível.

Amostra	$(BPOS - V_{\text{sensor}}) @ 8,5V$	$(BPOS - V_{\text{sensor}}) @ 11V$	$(BPOS - V_{\text{sensor}}) @ 15V$	$(BPOS - V_{\text{sensor}}) @ 22V$	$(BPOS - V_{\text{sensor}}) @ 30V$
1	4,31V	4,31V	4,3V	4,3V	4,2V
2	4,31V	4,29V	4,25V	4,1V	3,85V
3	4,28V	4,27V	4,25V	4,18V	4V
4	4,25V	4,12V	4,07V	4,1V	4,1V
5	4,30V	4,3V	4,3V	4,34V	4,3V
6	4,27V	4,32V	4,2V	4,22V	4,3V

Para visualizar melhor estas medidas, os dados obtidos foram colocados em um gráfico, na Figura 41. Nesta figura, são representados, com traços de diferentes cores, as diferentes amostras do *chip*. Pode ser observado na figura que o sinal BNEG_ok se ativa em todas as medidas, detectando corretamente a diferença entre a tensão de alimentação de alta tensão e a saída do regulador flutuante. Isto demonstra que a topologia proposta funciona corretamente como solução para esta necessidade. Os limiares medidos, embora apresentem variações, como era de se esperar, se aproximam bastante ao limiar projetado de BPOS – 4,3V.

Figura 41 – Queda no regulador nas medidas do limiar do sensor de nível ao variar BPOS.

Na Tabela 23, apresentam-se os cálculos realizados, com base nas medidas, da média, do desvio padrão e da maior variação de tensão de limiar do sensor de nível agrupado nas medidas realizadas com o mesmo valor de tensão de alimentação.

Tabela 23 – Variação da queda de tensão no regulador nas medidas do limiar do sensor de nível, agrupado por nível de alimentação.

BPOS	Média	Desvio padrão	Delta pior medida
8,5	4,287V	0,027V	-0,05V
11	4,268V	0,083V	-0,18V
15	4,228V	0,096V	-0,23V
22	4,207V	0,112V	-0,20V
30	4,125V	0,199V	-0,45V

Na Tabela 24, apresentam-se os cálculos realizados da média, do desvio padrão e do maior desvio da tensão de limiar do sensor de nível agrupado por amostra.

Tabela 24 – Variação da queda de tensão no regulador nas medidas da tensão de limiar do sensor de nível, agrupado por amostra.

Amostra	Média	Desvio padrão	Delta pior medida
1	4,284V	0,047V	-0,1V
2	4,160V	0,192V	-0,45V
3	4,196V	0,116V	-0,3V
4	4,128V	0,07V	-0,23V
5	4,308V	0,018V	0,04V
6	4,262V	0,051V	-0,1V

Nas tabelas anteriores, nota-se que o desvio padrão de tensão de limiar tende a ser maior entre amostras do que na mesma amostra, variando a faixa de alimentação. Isto reflete que a maior fonte de erro neste circuito é provocada pela variação no processo de fabricação, mas que este circuito tem o comportamento esperado frente à variação da alimentação na aplicação que foi projetado.

Finalmente, na Tabela 25, apresenta-se o cálculo da média, do desvio padrão e da medida mais afastada do valor projetado, considerando todas as medidas realizadas do limiar do sensor de nível.

Tabela 25 – Média, desvio padrão e pior valor obtido de medida da tensão de limiar do sensor de nível considerando o total das medidas.

	Média	Desvio padrão	Delta pior medida
BPOS - BNEG	4,223V	0,111V	-0,45V

4.4 MEDIDA DO SENSOR DE SOBRECORRENTES

Na placa de teste, um potenciômetro foi conectado no pino de entrada do sensor de sobrecorrentes, como é ilustrado no esquemático da Figura . Com esta conexão é possível variar o potencial da entrada do sensor, afastando-o da alimentação BPOS e, assim, testar o circuito sensor de sobrecorrentes.

Figura 42 – Esquemático do circuito conectado ao sensor de sobrecorrentes para ativá-lo.

Cada *chip* fabricado conta com dois sensores de sobrecorrente integrados. Desta forma, foram testados 12 sensores correspondentes a 6 amostras do chip. Variando o potenciômetro, para diferentes níveis de tensão de alimentação, até acionar o sinal de alerta do sensor de sobrecorrentes e assim determinar o valor da tensão limiar do circuito.

Os resultados medidos, para cada uma das amostras testadas, ilustram-se nas Tabelas 26, 27 e 28.

Tabela 26 – Medidas da tensão de limiar dos sensores de sobrecorrente com uma alimentação de BPOS = 10V.

Amostra	Limiar sensor 1	Limiar sensor 2
1	BPOS - 510mV	BPOS - 510mV
2	BPOS - 506mV	BPOS - 568mV
3	BPOS - 520mV	BPOS - 650mV
4	BPOS - 505mV	BPOS - 503mV
5	BPOS - 517mV	BPOS - 532mV
6	BPOS - 630mV	BPOS - 517mV

Tabela 27 – Medidas da tensão de limiar dos sensores de sobrecorrente com uma alimentação de BPOS = 15V.

Amostra	Limiar sensor1	Limiar sensor 2
1	BPOS - 506mV	BPOS - 494mV
2	BPOS - 513mV	BPOS - 525mV
3	BPOS - 520mV	BPOS - 663mV
4	BPOS - 515mV	BPOS - 502mV
5	BPOS - 517mV	BPOS - 532mV
6	BPOS - 630mV	BPOS - 517mV

Tabela 28 – Medidas da tensão de limiar dos sensores de sobrecorrente com uma alimentação de BPOS = 20V.

Amostra	Limiar sensor 1	Limiar sensor 2
1	BPOS - 520mV	BPOS - 522mV
2	BPOS - 512mV	BPOS - 570mV
3	BPOS - 522mV	BPOS - 665mV
4	BPOS - 512mV	BPOS - 508mV
5	BPOS - 524mV	BPOS - 531mV
6	BPOS - 630mV	BPOS - 513mV

Nos resultados das medidas apresentados, pode-se observar que o sensor ativou-se corretamente em todos os casos, alertando o sistema de uma ocorrência de sobrecorrentes na carga. Este comportamento qualitativo valida a topologia como solução do sensor de sobrecorrentes. Observa-se que a tensão de limiar medida do sensor aproxima-se do valor projetado de BPOS - 500mV.

Na Tabela 29, mostram-se os cálculos da variação da tensão de limiar do sensor de sobrecorrentes.

Tabela 29 – Média e desvio padrão da tensão de limiar do sensor de sobrecorrentes.

Sinal	Média	Desvio padrão
Limiar sobrecorrente	BPOS - 540mV	64mV

4.5 COMUNICAÇÃO MEDIANTE O *DRIVER*

Finalmente, foi acionado o circuito *driver* da interface, ativando a carga externa no domínio da alta tensão controlada por um sinal de baixa tensão. Foi necessário enviar comandos do PC através do FPGA, para que este envie um comando via SPI ao chip e, assim o circuito lógico manipule o *driver*. Na Figura 43, apresenta-se uma imagem tomada com o osciloscópio capturando o nó de saída do driver provocando o chaveamento da carga. A alimentação do chip no caso desta medida é de 20V. Note-se que o chaveamento do sinal entre os níveis corretos de tensão são equivalentes a 20V para BPOS e 15V para BNEG. Estes resultados demonstram que o circuito funciona corretamente realizando a interface necessária para este chip. Não foi possível medir o atraso do sinal já que este é gerado por um sinal interno ao chip. Na Tabela 30, apresentam-se os valores medidos de tempo de subida de 10% a 90% e de tempo de descida de 90% a 10% na saída do *driver*. As medidas foram realizadas capturando no osciloscópio o sinal de saída do driver com o transistor de potencia conectado na saída (carga típica 430pF). A observação deste sinal permitiu medir seus tempos de subida e descida, os quais são próximos dos valores obtidos em simulação.

Tabela 30 – Medidas do tempo de subida e de descida do circuito *driver*.

Sinal	t_{rise}	t_{fall}
Driver OUT	1,5 μ Seg	1,8 μ Seg

Figura 43 – Foto da tela do osciloscópio capturando o sinal de saída do driver. Escala vertical: 5V/divisão.

4.6 CONSUMO DE POTÊNCIA

Não foi possível medir, nos testes, diferentemente do resto do sensor de proximidade, o consumo exclusivo da interface projetada. Por este motivo, neste trabalho, não é apresentado este resultado. Porém, os resultados de simulação do consumo de potência da interface em condições nominais e, na simulação do consumo dinâmico, chaveando ambos drivers na frequência de 1,2kHz são expostos na Tabela 31.

Tabela 31 – Consumo de potência simulado da interface dos dois *drivers*.

BPOS	Consumo estático	Consumo dinâmico
8,5V	191μA	202μA
35V	244μA	255μA

4.7 RESUMO DE RESULTADOS

Na Tabela 32, apresenta-se um resumo geral dos resultados obtidos experimentalmente nos testes do *chip* da interface projetada.

Tabela 32 – Resumo dos resultados das medidas realizadas.

	Simulações		Medidas	
	Típico	Corners	Média	Desvio padrão
BNEG	BPOS - 5V	100mV	BPOS – 5,001V	123mV
Limiar sensor de nível	BPOS – 4,3V	148mV	BPOS – 4,223V	111mV
Limiar sensor de sobrecorrente	BPOS – 0,5V	37mV	BPOS - 540mV	64mV
t_{rise}	1,122 μ s	1,762 μ s	1,5 μ s	--
t_{fall}	1,530 μ s	3,724 μ s	1,8 μ s	--

BNEG, a tensão de manipulação da porta do transistor de potencia externo, atinge satisfatoriamente a especificação. Tanto as variações simuladas em corners na fase de projeto quanto a os valores medidos no chip demonstram que esta tensão permite manipular a carga em níveis seguros. A tolerância deste valor foi definida em 10%, ou seja, na faixa incluída entre BPOS – 4,5V e BPOS – 5,5V. Esta tolerância é um valor prudente para garantir, por um lado, não expor o transistor externo a diferenças elevadas de tensão e danificá-lo e, por outro lado, fornece uma diferença de potencial suficiente para garantir a abertura do canal e em consequência o chaveamento da carga.

O limiar do sensor de nível não tinha um valor pré-determinado já que esta funcionalidade foi acrescentada durante o andamento do projeto. O valor escolhido para este protótipo foi BPOS – 4,3V para permitir testar a topologia proposta sem comprometer o funcionamento do sistema. As medidas validaram a topologia escolhida com uma variação média nas medidas de 2% em relação ao valor projetado.

A tensão de limiar do sensor de sobrecorrentes apresentou um valor médio próximo ao projetado, e em todos os sensores medidos o comportamento qualitativo foi o esperado, realizando o chaveamento do sinal de alerta sempre que o limiar ultrapassar o valor considerado como sobrecorrente. Porém, mesmo a diferença em

tensão medida do limiar não sendo grande como pode-se ver nas tabelas 26, 27 e 28, percentualmente na pior medida atingiu um valor de 33% do limiar, já que o valor deste é de só 500mV. No caso deste trabalho, o valor projetado foi conservador e, além disso, é regulável externamente pelo resistor do sensor, mas é bom considerar, para os próximos trabalhos, projetar um valor conservador deste parâmetro sempre que decida se trabalhar com valores tão baixos.

Finalmente, observa-se os tempos de subida e descida do driver que manipula o transistor PMOS de potência. Estas especificações foram definidas considerando que esses tempos devem ser menores que 10% do período na frequência mínima do driver, definida em 1,2kHz. Esta especificação foi atingida amplamente sendo tanto o tempo de subida quanto o de descida bastante menores a esta relação, como pode ser visto nas simulações e nas medidas do chip.

5 CONCLUSÕES E RECOMENDAÇÕES

Foi projetada uma interface de controle e monitoramento para ser usada em aplicações de circuitos alimentados com alta tensão variável na faixa de 8,5V a 35V. A interface foi fabricada no processo CMOS XC06 – 0,6 μ m da XFAB com a inclusão de módulos que contam com transistores de alta tensão. O circuito projetado foi integrado dentro de um sensor de proximidade indutivo, fornecendo a capacidade de manipular transistores de potência do tipo PMOS externos, mediante um sinal elétrico digital. O sinal gerado pela interface que ativa a carga atingiu as especificações de apresentar um afastamento de 5V em relação à tensão de alimentação e uma frequência mínima de 1,2kHz para cargas de 430pF. O circuito também conta com um sensor de sobre correntes que gera um sinal digital de alerta de 5V quando a corrente que circula pela carga monitorada provoca uma queda de tensão que afasta o nó de medida de 0,5V da tensão de alimentação. A interface também fornece um sinal digital de 5V que avisa se o nível de tensão de manipulação do transistor de potencia tem o valor mínimo necessário para o acionamento da carga, estipulado em uma queda de 4,3V com relação à tensão de alimentação. As medidas realizadas do chip confirmaram o funcionamento dos circuitos projetados.

A solução proposta para implementar as funcionalidades especificadas foi hierarquizada em quatro sub circuitos principais: um regulador de tensão flutuante, um sensor de nível, um driver e um sensor de sobrecorrentes. As topologias dos circuitos foram descritas, analisadas e validadas tanto nas simulações quanto nas medidas do chip.

O circuito regulador de tensão flutuante gera o potencial de ativação da carga para a faixa de tensão de alimentação compreendida entre 8,5V e 35V. O regulador apresenta um tempo de estabelecimento menor que 1ms, ocupa uma área de 599 μ m x 330 μ m e as medidas da sua tensão de saída apresentam variações menores que 10% do valor projetado.

Durante o andamento do projeto, foi detectada e atendida uma necessidade não contemplada no planejamento inicial, esta é a de medir e comunicar o estado do regulador flutuante. Com esse objetivo, foi proposta uma topologia de circuito comparador de tensões flutuantes para ser implementada como sensor de nível do regulador de tensão. Este bloco mede uma diferença relativa de 4,3V entre nós

flutuantes de alta tensão e gera um sinal de baixa tensão comunicando o resultado da comparação. O bloco ocupa uma área de $599\mu\text{m} \times 579\mu\text{m}$ e as medidas do chip validaram a topologia proposta, provando o funcionamento do bloco que apresentou variações na tensão de limiar projetado de 10,5% no pior caso medido, e um desvio padrão menor que 5%. O projeto do regulador de tensão flutuante junto com o seu sensor de nível e as medidas correspondentes foram publicados em um congresso internacional (OSINAGA, 2016).

Implementou-se um circuito *driver* que permite o controle da carga externa atingindo as especificações deste trabalho. Este permite a manipulação com segurança de cargas de alta tensão por meio de circuitos lógicos internos alimentados em 5V.

O sensor de sobrecorrentes implementado apresentou uma variação média na tensão de limiar de 40mV em relação ao valor projetado, o que acaba significando um desvio da tensão de limiar menor que 10%. Recomenda-se cautela com este ponto, ao considerar esta solução para futuros trabalhos. Esta variação percentual no valor da tensão de limiar pode ser elevada se esse valor é projetado muito próximo ao valor de ruptura dos componentes, considerando que esta porcentagem será equivalente à porcentagem de corrente excedente na carga. Nesse projeto, a tensão de limiar foi projetada num valor conservador, recomenda-se sempre isto como boa pratica. Outra solução válida e simples é realizar um ajuste do resistor externo que determina o valor da sobrecorrente detectada para ajustar a correspondência entre a tensão de limiar e a corrente detectada. Em termos qualitativos, o bloco funcionou corretamente apresentando o comportamento projetado, no qual levanta um sinal de baixa tensão alertando a ocorrência de uma sobrecorrente. Foram fabricados dois sensores de sobrecorrente e dois drivers, ocupando uma área de $641\mu\text{m} \times 592\mu\text{m}$

Realizou-se um projeto completo desde as especificações até o teste do chip fabricado. Atingiu-se o maior objetivo proposto neste trabalho, que era conseguir implementar uma interface que permitisse uma comunicação bilateral entre domínios de alta e baixa tensão, preservando a segurança dos componentes. Foram propostas, analisadas e testadas novas topologias que implementam as funcionalidades necessárias para esta aplicação e que podem servir como alternativas para futuros trabalhos nesta área.

REFERÊNCIAS BIBLIOGRÁFICAS

- (ALIOTO, 2005) ALIOTO, M., PALUMBO, G., Model and Design of Bipolar and MOS Current-Mode Logic: CML, ECL and SCL Digital Circuits, Springer, 2005.
- (AMS, 2017) AMS SENSOR SOLUTIONS. Disponível em: <<http://asic.ams.com>>. Acesso em: 12.jul.2017.
- (ANDRADE, 1980) ANDRADE DE MELO H., “Dispositivos semicondutores”, Rio de Janeiro, RJ. Livros técnicos e científicos Editora S.A., 1980.
- (ATMEL, 2017) ATMEL CORPORATION. Disponível em: <<http://www.atmel.com>>. Acesso em: 12.jul.2017.
- (BIZIITU, 2013) BIZIITU, F., On-chip 500uA at 5V above battery Dual-Chain Dickson Charge Pump with Regulated Clock Supply, Semiconductor Conference (CAS), international, Vol. 2, Pag. 203 – 206, 2013.
- (DICKSON, 1976) DICKSON J. F., “On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique,” IEEE JSSC, vol. SC-11, no. 3, pp. 374 -378, June 1976.
- (GONZALEZ, 1997) GONZALEZ R., GORDON B., HOROWITZ M., “Supply and Threshold Voltage Scaling for Low Power CMOS”, IEEE Journal of Solid-State Circuits, Vol. 32, 1997.
- (GRAY, 2009) GRAY P. R., “Analysis and design of analog integrated circuits” 5th , New York, NY, 2009.
- (HUQUE, 2010) HUQUE, M. A., TOLBERT, L. M., BLALOCK, B. J., ISLAM, S. K., Silicon-on-insulator-based high-voltage, high-temperature integrated circuit gate driver for silicon carbide-based power field effect transistors, Power Electronics (IET), Vol. 3, Pag. 1001-1009, 2010.
- (KIM, 2001) KIM, E.D., KIM, N. K., KIM, S. C., BAHNG, W., AN INTELLIGENT POWER MODULE FOR IGBT GATE DRIVER IMPLEMENTED IN 0.8µm HIGH VOLTAGE CMOS PROCESS, Industrial Electronics, Vol. 1, Pag. 661 – 665, 2001.
- (KUMAR, 2001) KUMAR, M., ARYA, S. K., PANDEY, S., Level Shifter Design for Low Power Applications, International journal of computer science & information Technology (IJCSIT), Vol. 2, No. 5, 2010.
- (LEHMANN, 2014) LEHMANN, T., Design of fast low-power floating high-voltage level-shifters, ELECTRONICS LETTERS, Vol. 50, Pag. 202-204, 2014.
- (LONGCHENG, 2015) LONGCHENG Q., JIAN L., and SIMON S., "Design of a high voltage gate driver module", ASIC (ASICON), 2015 IEEE 11th International Conference on, 3-6 Nov. 2015

(MAURICE, 1999) MAURICE, B., WUIDART, L., Driver Circuit for Power MOSFETs and IGBTs, SGS-THOMPSON Microelectronics application note AN524/0994.

(MOGHE, 2011) MOGHE, Y., LEHMANN, T., PIESENS, T., Nanosecond Delay Floating High Voltage Level Shifters in a 0.35 μm HV-CMOS Technology, IEEE Journal of Solid-State Circuits, Vol. 46, No. 2, 2011.

(MOK, 2009) MOK, K. T., LAI, Y., M., High-Output-Current and Low-Power-Loss Mobile Thin-Film Transistor Liquid-Crystal Display Driver, Power Electronics and Drive Systems (PEDS), Pag. 1030-1034, 2009.

(NAKAGAWA, 1987) NAKAGAWA, A., "Safe operating area for 1200-V non-latch-up bipolar-mode MOSFETs", IEEE Trans. on Electron Devices, ED-34, pp.351-355(1987).

(OSINAGA, 2016) OSINAGA, J., SALDAÑA, J, VAN NOIJE, W., "A Floating Voltage Regulator with Output Level Sensor for Applications with Variable High Voltage Supply in the Range of 8.5V to 35V", CAMTA, 4-5 Aug. 2016.

(RICHARD, 2012) RICHARD J. P., LESSARD B., MEINGAN R., MARTEL S., SAVARIA Y., "High Voltage Interfaces for CMOS/DMOS Technologies", Process integration department DALSA Semiconductor Inc., 2012.

(RINCON, 2009) RINCON-MORA, G., Analog IC Design with Low-Dropout Regulators (LDOs), McGraw-Hill, Inc. New York, NY, USA, 2009.

(SEDRA, 2004) SEDRA A. S., SMITH K. C., "Microelectronic Circuits" (5th edition), Saunders College Publishing, 2004.

(SINGH, 2016) SINGH A., SINGH S., "Evolution of CMOS technology", International Journal of Engineering Research & Technology, Vol. 5, February 2016.

(TELEDYNE, 2017) DALSA INC. Disponível em:
<<https://www.teledynedalsa.com/semi/fab>>. Acesso em: 12.jul.2017.

(WARWICK, 1996) WARWICK, K., An Introduction to Control Systems, World Scientific, Volume 8, 1996.

(XFAB, 2014) XFAB Semiconductors Inc, "Application notes SPICE Models & Simulations", Release 1.3, 2014.

(XFAB, 2017) SILICON FOUNDRIES. Disponível em: <<https://www.xfab.com/home>>. Acesso em: 12.jul.2017.

APÊNDICE A

Corners considerados nos modelos de simulação

Os modelos disponíveis no processo XFAB (XFAB, 2014) foram combinados para conformar corners, que modelam variações de parâmetros dos transistores e do processo, que representam mudanças importantes no comportamento dos circuitos. Esses corners são apresentados na Tabela 33. Além das variações de processo, foram consideradas as variações de temperaturas nos pontos -25°C, 27°C e 90°C formando um total de 21 corners.

Tabela 33 - Definição dos corners utilizados nas simulações deste trabalho.

	fast	slow	nom	Wzfast	W0slow	Wzslow	W0fast
bip	wp	ws	tm	wp	ws	ws	wp
bsim3v3	wp	ws	tm	wz	w0	wz	w0
res	wp	ws	tm	wp	ws	ws	wp
cap	wp	ws	tm	wp	ws	ws	wp
dio	wp	ws	tm	wp	ws	ws	wp
photo	wp	ws	tm	wp	ws	ws	wp

Esta tabela apresenta várias combinações possíveis para a tecnologia XFAB utilizada neste projeto de dissertação de mestrado. No desenvolvimento do projeto consideram-se os corners: fast (wp = worst power), slow (ws = worst speed), nom (tm = valores típicos). Ou seja, a própria foundry (XFAB) fornece os parâmetros para cada caso.

APÊNDICE B

Dimensões dos componentes projetados

Neste apêndice são apresentadas as dimensões (W e L) dos transistores MOS e valores de componentes passivos (C, R) finais utilizados nos circuitos projetados nesta dissertação.

1- Regulador de tensão flutuante

Na Tabela 34, apresentam-se as dimensões dos transistores ilustrados na Figura .

Tabela 34 – Componentes do circuito regulador de tensão flutuante.

Nome	Componente	Descrição	W[μ m]	L[μ m]	Valor
N1	Nmos4	Transistor NMOS	3	2	-
N1	Nmos4	Transistor NMOS	28,5	2	-
NHV1	Nhv	Transistor NMOS HV	3	3	-
NHV2	Nhv	Transistor NMOS HV	18	3	-
NHV3	Nhhve	NMOS HV estendido	500	12	-
PHV1	phv	Transistor PMOS HV	55	5	-
PHV2	phv	Transistor PMOS HV	7	5	-
PHV3	phv	Transistor PMOS HV	7	5	-
PHV4	phv	Transistor PMOS HV	7	5	-
PHV5	phv	Transistor PMOS HV	25	5	-
Rext	Res	Resistor 1%	-	-	517 Ω
Cext	Cap	Capacitor externo	-	-	10nF

2- Sensor de nível

Na Tabela 35, apresentam-se as dimensões dos componentes ilustrados na Figura 12.

Tabela 35 – Componentes do circuito *buffer* do sensor de nível.

Nome	Componente	Descrição	W[μ m]	L[μ m]	Valor
PHV	phy	Transistor PMOS HV	4	20	-
C	Cpoly	Capacitor de poly	250	250	117pF

Na Tabela 36, apresentam-se as dimensões dos componentes ilustrados na Figura .

Tabela 36 – Componentes do circuito sensor de nível.

Nome	Componente	Descrição	W[μ m]	L[μ m]	Valor
Na1	nmos4	Transistor NMOS	18	12	-
Na2	nmos4	Transistor NMOS	108	12	-
Na3	nmos4	Transistor NMOS	6	3	-
Na4	nmos4	Transistor NMOS	36	3	-
Nb1	nmos4	Transistor NMOS	18	12	-
Nb2	nmos4	Transistor NMOS	108	12	-
Nb3	nmos4	Transistor NMOS	6	3	-
Nb4	nmos4	Transistor NMOS	36	3	-
Pa1	pmos4	Transistor PMOS	108	12	-
Pa2	pmos4	Transistor PMOS	108	12	-
R	rpoly0	Resistor de Poly	-	-	2M Ω
Rsensor	rpoly0	Resistor de Poly	-	-	100K Ω

3- Driver

Na Tabela 37, apresentam-se as dimensões dos componentes ilustrados na Figura .

Tabela 37 - Componentes do *level shifter* do circuito driver.

Nome	Componente	Descrição	W[μ m]	L[μ m]	Valor
NHV	nhhve	Trans. NMOS HV extended	4	12	-
PHV	phhve	Trans. PMOS HV extended	4	8	-
R1	rpolyh	Resistor de poly	-	-	1,1M Ω
R2	rpolyh	Resistor de poly	-	-	750K Ω

Na Tabela 38, apresentam-se as dimensões dos transistores que compõem os inversores ilustrados na Figura . Os sub índices dos transistores da tabela correspondem ao número do inversor que compõe.

Tabela 38 – Transistores do *buffer* do circuito driver.

Nome	Componente	Descrição	W[μ m]	L[μ m]	Valor
P1	phhve	Trans. PMOS HV extended	32	8	-
N1	nhhve	Trans. NMOS HV extended	24	12	-
P2	phhve	Trans. PMOS HV extended	64	8	-
N2	nhhve	Trans. NMOS HV extended	48	12	-
P3	phhve	Trans. PMOS HV extended	128	8	-
N3	nhhve	Trans. NMOS HV extended	96	12	-
P4	phhve	Trans. PMOS HV extended	256	8	-
N4	nhhve	Trans. NMOS HV extended	192	12	-

4- Sensor de sobrecorrentes

Na Tabela 39, apresentam-se as dimensões dos componentes ilustrados na Figura .

Tabela 39 – Componentes do circuito referência de tensão do sensor de sobrecorrentes.

Nome	Componente	Descrição	W[μ m]	L[μ m]	Valor
N	nmos4	Transistor NMOS	20	2	-
NHV	nhhve	Trans. NMOS HV extended	4	12	-
PHV	phv	Transistor PMOS HV	75 μ	3 μ	-
R1	rpoly0	Resistor de poly	-	-	100,4k Ω
R2	rpoly0	Resistor de poly	-	-	245k Ω

Na Tabela 40, apresentam-se as dimensões dos componentes ilustrados na Figura .

Tabela 40 – Componentes do circuito comparador de tensão do sensor de sobrecorrentes.

Nome	Componente	Descrição	W[μ m]	L[μ m]	Valor
N1	nmos4	Transistor NMOS	10	2	-
N2	nmos4	Transistor NMOS	20	2	-
N3	nmos4	Transistor NMOS	10	2	-
Ni1	nmosi	Transistor NMOS isolado	20	2	-
Ni2	nmosi	Transistor NMOS isolado	20	2	-
Pi1	pmosi	Transistor PMOS isolado	34	4	-
Pi2	pmosi	Transistor PMOS isolado	34	4	-
PHV1	phhve	Trans. PMOS HV extended	60	10	-
PHV2	phhve	Trans. PMOS HV extended	10	10	-
NHV1	nhhve	Trans. NMOS HV extended	20	12	-
NHV2	nhhve	Trans. NMOS HV extended	10	40	-

Na Tabela 41, apresentam-se as dimensões dos componentes ilustrados na Figura .

Tabela 41 – Componentes do *level shifter* do circuito sensor de sobrecorrentes.

Nome	Componente	Descrição	W[μ m]	L[μ m]	Valor
NHV	nhhve	Trans. NMOS HV extended	4	12	-
PHV	phhve	Trans. PMOS HV extended	4	8	-
R	rpolyh	Resistor de poly	-	-	750K Ω