LUCIANO MENDES CAMILLO

ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA ("ZERO TEMPERATURE COEFFICIENT") EM TRANSISTORES SOI MOSFET FABRICADOS COM TECNOLOGIA ULTRA-SUBMICROMÉTRICA

São Paulo
2011

LUCIANO MENDES CAMILLO

ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA ("ZERO TEMPERATURE COEFFICIENT") EM TRANSISTORES SOI MOSFET FABRICADOS COM TECNOLOGIA ULTRA-SUBMICROMÉTRICA

Tese apresentada à Escola Politécnica da Universidade de São Paulo para a obtenção do Título de Doutor em Engenharia.

São Paulo
2011

LUCIANO MENDES CAMILLO

ESTUDO DO PONTO INVARIANTE COM A TEMPERATURA ("ZERO TEMPERATURE COEFFICIENT") EM TRANSISTORES SOI MOSFET FABRICADOS COM TECNOLOGIA ULTRA-SUBMICROMÉTRICA

Tese apresentada à Escola Politécnica da Universidade de São Paulo para a obtenção do Título de Doutor em Engenharia.

Área de Concentração: Microeletrônica

Orientador:
Prof. Dr. João Antonio Martino

São Paulo
2011

Este exemplar foi revisado e alterado em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, de março de 2011.

Assinatura do autor _____

Assinatura do orientador _____

FICHA CATALOGRÁFICA

Camillo, Luciano Mendes
Estudo do ponto invariante com a temperatura (“”Zero Temperature Coefficient””) em transistores SOIU Mosfet fabricados com tecnologia ultra-submicrométrica / L.M. Camillo. -- ed.rev. -- São Paulo, 2011.
142 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. Semicondutores 2. Transistores 3. Alta temperatura 4. Microeletrônica I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II. t.

DEDICATÓRIA

Dedico este trabalho a minha esposa Clara, que sempre me apoiou em todos os momentos bons e ruins, me incentivando e dando suporte para a realização deste trabalho. Aos meus pais Isaias e Regina, que me propiciaram ensinamentos e me mostraram os valores da vida honestidade, integridade e caráter Amo vocês!

AGRADECIMENTOS

Ao orientador Prof. Dr. João Antonio Martino, pelo apoio, confiança, amizade, atenção, paciência, e pela oportunidade da realização deste trabalho.

A minha esposa Clara, meus pais e a meu irmão Adriano pelo apoio, carinho, incentivo e compreensão nos momentos difíceis e de ausência, vocês são tudo na minha vida.

A amiga, Carolina D. G. dos Santos pela ajuda, incentivo, confiança, companheirismo.

Aos amigos Milene Galeti, Michele Rodrigues e Vinícius Heltai pelo incentivo, discussões, e apoio durante esta jornada.

Ao professores e amigos Dr. Salvador P. Gimenes, Dr. Aparecido S. Nicolett e Dr. Marcelo A. Pavanello pelo incentivo desse e outros trabalhos.

Aos colegas grupo SOI-CMOS pelo incentivo, discussões, e apoio durante este trabalho.

Ao Laboratório de Sistemas Integráveis da EPUSP pela infra-estrutura oferecida e que permitiu a realização deste trabalho.

À meus familiares que me apoiaram e torceram por mim.

Aos colegas do LSI pelo apoio e discussões, e a todos que direta ou indiretamente colaboraram na execução desse trabalho e que involuntariamente foram aqui omitidos.

RESUMO

Neste trabalho é apresentado um estudo do ponto ZTC (“Zero Temperature Coefficient”) em dispositivos SOI MOSFETs, funcionando em modo parcialmente (PD-SOI) e totalmente (FD-SOI) depletados. O estudo é realizado a partir de um modelo analítico simples, proposto para determinação da tensão de polarização da porta do transistor no ponto ZTC (V_{ZTC}), através dos modelos de primeira ordem das características da corrente de dreno (I_{DS}) em função da tensão aplicada a porta (V_{GF}) do transistor, considerando as regiões de operação linear e de saturação.

Para a validação do modelo, os resultados obtidos são confrontados com dados experimentais, e foi obtido um bom ajuste dos valores, apesar das simplificações adotadas para o modelo proposto.

Foi realizada uma análise para estudar o impacto no valor de V_{ZTC} com a variação no valor de parâmetros de referência, como a concentração de portadores (N_{af}) e a espessura do óxido de porta (t_{oxf}). O erro máximo observado em V_{ZTC}, impondo a variação nos parâmetros N_{af} e t_{oxf}, para os dispositivos PD é de 3,1% e 4,6% na região linear, respectivamente; e 3,5% e 7,2% na região de saturação, respectivamente. Para os dispositivos FD o erro máximo observado, devido a variação nos parâmetros N_{af} e t_{oxf}, foi de 11% e 10% operando no regime linear, respectivamente e 5,3% e 8,4% no regime de saturação, respectivamente.

Através do modelo proposto foi realizado o estudo da estabilidade do ponto ZTC em função da variação da degradação da mobilidade com a temperatura (fator *c*), comprimento de canal (L) e a tensão de dreno (V_{DS}) para os dispositivos supracitados. A analise da influência do fator *c* em V_{ZTC} mostrou-se mais importante nos dispositivos parcialmente depletados (PD).

A tensão V_{ZTC}, para os dispositivos nMOS, apresentou um menor valor operando na região de saturação, e torna-se mais pronunciada essa diferença para dispositivos com menor comprimento de canal, para ambos os tipos de dispositivos. Observando a variação de V_{ZTC} com V_{DS}, nota-se uma diminuição no valor de V_{ZTC} para altos valores de V_{DS}, para os dois tipos de dispositivos estudados, n e pMOS.

Os resultados do modelo proposto foram avaliados com dados experimentais de outras tecnologias SOI MOSFET. Também foi obtido um bom ajuste com os valores para as tecnologias GC-SOI e GC-GAA SOI, operando em regime linear e saturação.

Palavras-chave: Tecnologia SOI. Alta temperatura. Ponto Invariante com a Temperatura.

ABSTRACT

This paper presents a study of ZTC point ("Zero Temperature Coefficient) in SOI MOSFETs devices, partially (PD-SOI) and fully (FD-SOI) depleted mode. The study is performed from a simple analytical model proposed for the determination of the gate bias voltage at ZTC point (V_{ZTC}) using the first-order models of the drain current (I_{DS}) characteristics as a function of the gate voltage (V_{GF}), operating in the linear and saturation regimes.

To validate the model proposed results were compared with experimental data, and the analytical predictions are in very close agreement with experimental results in spite of the simplification used for the V_{ZTC} model proposed.

Analysis was performed to study the impact on the V_{ZTC} value with the change in the parameters used as reference, such as N_{af} and t_{oxf}.. The maximum error observed for the PD devices is 3.1% and 4.6% in the linear region and 3.5% and 7.2% in the saturation region, respectively. For FD devices the maximum error observed was 11% and 10% operating in the linear and 5.3% and 8.4% in the saturation regime.

In order to verify the stability of the ZTC point as a function of the mobility degradation (c), channel length (L) and drain voltage (V_{DS}), the proposed model was applied to the devices mentioned above. The V_{ZTC} changes in the temperature range investigated showed a temperature mobility degradation dependence and are more pronounced in PD devices.

The V_{ZTC} voltage for nMOS devices presented a lower value operating in the saturation region than in the linear region, and this difference becomes more pronounced to devices with smaller channel length for both devices, n and pMOS. Analyzing the V_{ZTC} variation with drain voltage (V_{DS}), showed a decrease in V_{ZTC} value for higher V_{DS}, for both studied devices.

The model proposed results were evaluated using experimental data from other SOI MOSFET technologies. And also we have obtained for the GC SOI and GC-GAA-SOI technologies a very close agreement, operating in both regions, linear and saturation.

Keywords: SOI technology. High temperature. Zero Temperature Coefficient.

LISTA DE FIGURAS

Figura 1 - Representação esquemática do processo Smart-Cut..... 31
Figura 2 - Transistor nMOSFET fabricado segundo tecnologia convencional (a) e SOI (b). 33
Figura 3 - Perfil do transistor nMOSFET SOI, ilustrando algumas das notações utilizadas. 34
Figura 4 - Diagrama de faixas de energia de dispositivos modo inversão canal tipo n: (A) MOS convencional, (B) SOI de camada espessa e (C) SOI de camada fina. 35
Figura 5 - Obtenção do fator de inclinação de sublimiar S em um transistor nMOS**.**. 43
Figura 6 - Valores típicos de S encontrados em transistores MOS convencionais e SOI MOS totalmente depletados (FD)..... 44
Figura 7 - Extração de Vth usando o método de extrapolação linear para um dispositivo de canal curto operando na região linear. 48
Figura 8 - Extração de Vth usando o método de extrapolação linear para um dispositivo de canal curto operando na região de saturação. 49
Figura 9 - Extração de Vth usando o método de extrapolação linear para um dispositivo de canal curto operando na região de saturação. 51
Figura 10 - Curva característica IDS x VGF para um transistor SOI MOSFET parcialmente depletado para diversas temperaturas 56
Figura 11 – O ponto ZTC na curva IDS x VGS para temperaturas T1 e T2..... 70
Figura 12 - Perfil do transistor nMOSFET SOI ilustrando as características dos dispositivos parcialmente e totalmente depletados**. .....** 75
Figura 13 – Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI nMOS em diferentes temperaturas..... 76

Figura 14 – Curvas I_{DS} x V_{GF} de medidas experimentais do transistor FD-SOI nMOS em diferentes temperaturas. 77
Figura 15 – Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI pMOS em diferentes temperaturas. 78
Figura 16 – Curvas I_{DS} x V_{GF} de medidas experimentais do transistor FD-SOI pMOS em diferentes temperaturas. 78
Figura 17 – V_{ZTC} obtido experimentalmente e através da equação (47) para dispositivos PD SOI nMOS. 80
Figura 18 – V_{ZTC} obtido experimentalmente e através da equação (47) para dispositivos FD SOI nMOS. 80
Figura 19 – V_{ZTC} obtido experimentalmente e através da equação (47) para dispositivos PD SOI pMOS. 81
Figura 20 – V_{ZTC} obtido experimentalmente e através da equação (47) para dispositivos FD SOI pMOS. 81
Figura 21 – Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI nMOS em diferentes temperaturas. 82
Figura 22 – Curvas I_{DS} x V_{GF} de medidas experimentais do transistor FD-SOI nMOS em diferentes temperaturas. 83
Figura 23 – Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI pMOS em diferentes temperaturas. 83
Figura 24 – Curvas I_{DS} x V_{GF} de medidas experimentais do transistor FD-SOI pMOS em diferentes temperaturas. 84
Figura 25 – V_{ZTC} obtido experimentalmente e pelas equações (51) , (54) e (55) para dispositivo PD SOI nMOS. 85
Figura 26 – V_{ZTC} obtido experimentalmente e pelas equações (51) , (54) e (55) para dispositivo FD SOI nMOS. 85
Figura 27 – V_{ZTC} obtido experimentalmente e pelas equações (51) , (54) e (55) para dispositivo PD SOI pMOS. 86
Figura 28 – V_{ZTC} obtido experimentalmente e pelas equações (51) , (54) e (55) para dispositivo FD SOI pMOS. 86

Figura 29 – V_{ZTC} para dispositivo PD SOI – nMOS operando em regime linear em função da temperatura para variações do fator *c* entre 1 e 3..... 89
Figura 30 – V_{ZTC} para dispositivo FD SOI – nMOS operando em regime linear em função da temperatura para variações do fator *c* entre 1 e 3..... 90
Figura 31 – V_{ZTC} (T1,T2) para dispositivo PD SOI – nMOS operando em regime de saturação em função da temperatura para variação de *c* entre 1 e 3..... 92
Figura 32 – V_{ZTC} (T1,T2) para dispositivo FD SOI – nMOS operando em regime de saturação em função da temperatura para variação de *c* entre 1 e 3..... 92
Figura 33 – A variação de V_{ZTC} com a temperatura (T2) em função do fator de degradação da mobilidade com a temperatura para dispositivos PD SOI nMOS nas regiões linear e de saturação. 93
Figura 34 – A variação de V_{ZTC} com a temperatura (T2) em função do fator de degradação da mobilidade com a temperatura para dispositivos FD SOI nMOS nas regiões linear e de saturação. 94
Figura 35 – ΔV_{ZTC} para dispositivos PD SOI nMOS..... 95
Figura 36 – ΔV_{ZTC} para dispositivos FD SOI nMOS..... 95
Figura 37 – Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente e pelo modelo simples proposto para dispositivos PD nMOS SOI operando na região linear, para valores de comprimentos de canal (L) de 0,5 , 1, 5 e 10 μm..... 99
Figura 38 – Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente e pelo modelo simples proposto para dispositivos PD nMOS SOI operando na região de saturação, para valores de comprimentos de canal (L) de 0,5 , 1, 5 e 10 μm..... 100
Figura 39 – Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente e pelo modelo simples proposto para dispositivos PD pMOS SOI operando na região linear, para valores de comprimentos de canal (L) de 0,5 , 1, 5 e 10 μm..... 100

Figura 40 – Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente e pelo modelo simples proposto para dispositivos PD pMOS SOI operando na região de saturação, para valores de comprimentos de canal (L) de 0,5 , 5 e 10 μm..... 101
Figura 41 – Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função do comprimento de canal para dispositivos PD SOI nMOS operando nas regiões linear (V_{DS} = 25 mV) e de saturação (V_{DS} = 1.425 V), para valores de comprimento de canal. de 0,5 , 1, 5 e 10 μm. 102
Figura 42 – Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função do comprimento de canal para dispositivos PD SOI pMOS operando na região linear (V_{DS} = 25 mV), para valores de comprimento de canal de 0,5 , 1, 5 e 10 μm. 103
Figura 43 – Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função do comprimento de canal para dispositivos PD SOI pMOS operando na região de saturação (V_{DS} = 1,425 V), para valores de comprimento de canal de 0,5 , 1, 5 e 10 μm..... 103
Figura 44 – Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função do comprimento de canal para dispositivos PD SOI pMOS operando na região de saturação (V_{DS} = 1,425 V), para valores de comprimento de canal de 0,5 , 1, 5 e 10 μm..... 105
Figura 45 – Dados experimentais: Mobilidade dos portadores no canal (μ_n) em função da tensão de dreno (V_{DS}) para dispositivos PD SOI nMOS, para temperaturas de 300 a 573 K. 106
Figura 46 – Variação da tensão de polarização no ponto ZTC (V_{ZTC}) em função da tensão de dreno (V_{DS}), obtida experimentalmente para dispositivos PD SOI nMOS com comprimentos de canal (L) de 0,5 , 1, 5 e 10 μm..... 106
Figura 47 – Variação da tensão de polarização no ponto ZTC (V_{ZTC}) em função da tensão de dreno (V_{DS}), obtida experimentalmente para dispositivos PD SOI pMOS com comprimentos de canal (L) de 0,5 , 5 e 10 μm..... 107

Figura 48 - Perfis da estrutura GC GAA SOI: Vista em perspectiva (A) e Corte longitundinal 109
Figura 49: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC SOI nMOS (L_{LD} / L = 0,25) em diferentes temperaturas para V_{DS} = 100 mV. 111
Figura 50: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC SOI nMOS (L_{LD} / L = 0,25) em diferentes temperaturas para V_{DS} = 1,5 V. 111
Figura 51: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC SOI nMOS (L_{LD} / L = 0,5) em diferentes temperaturas para V_{DS} = 100 mV. 112
Figura 52: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC SOI nMOS (L_{LD} / L = 0,5) em diferentes temperaturas para V_{DS} = 1,5 V. 112
Figura 53: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos SOI nMOS Convencionais, para as duas regiões de operação linear (V_{DS} = 100 mV) e de saturação (V_{DS} = 1,5 V), comprimento de canal de L = 4μm. 113
Figura 54: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC SOI nMOS, para as duas regiões de operação linear (V_{DS} = 100 mV) e de saturação (V_{DS} = 1,5 V), para relação de comprimento de canal L_{LD}/L = 0,25 ou L_{HD} = 3μm. 114
Figura 55: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC SOI nMOS, para as duas regiões de operação linear (V_{DS} = 100 mV) e de saturação (V_{DS} = 1,5 V), para relação de comprimento de canal L_{LD}/L = 0,5 ou L_{HD} = 2μm. 114
Figura 56: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC SOI nMOS, operando na região linear (V_{DS} = 100 mV), para comprimento de canal L_{HD} = 0,7μm. 115

Figura 57: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC SOI nMOS, operando na região de saturação (V_{DS} = 1,5 V), para comprimento de canal L_{HD} = 1,5μm. 115
Figura 58: Tensão V_{ZTC} em função do comprimento de canal da região altamente dopada (L_{HD}) obtido experimentalmente, para dispositivos GC SOI nMOS operando na região linear (V_{DS} = 100 mV)..... 117
Figura 59: Tensão V_{ZTC} em função do comprimento de canal da região altamente dopada (L_{HD}) obtido experimentalmente, para dispositivos GC SOI nMOS operando na região de saturação (V_{DS} = 1,5 V). 118
Figura 60 - Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD}/L = 0,17) em diferentes temperaturas. 119
Figura 61 - Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD}/L = 0,33) em diferentes temperaturas. 120
Figura 62 - Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD}/L = 0,67) em diferentes temperaturas. 120
Figura 63 - Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função do comprimento de canal para dispositivos GC GAA SOI nMOS operando na região linear (V_{DS} = 50 mV), para valores de relação de comprimento de canal (L_{LD}/L) de 0,17, 0,33 e 0,67. 121
Figura 64 – Tensão VZTC obtido pelo modelo proposto para dispositivos GC GAA SOI nMOS para uma relação de comprimento de canal (L_{LD}/L) de 0,67, operando na região linear (V_{DS} = 50 mV), com valores do fator c de 1, 1,5 , 2, 2,5 e 3 122
Figura 65: Variação do fator de degradação da mobilidade com a temperatura (Fator C) 123

Figura 66: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função da temperatura para dispositivos GC GAA SOI nMOS operando na região linear (V_{DS} = 50 mV), para valores de relação de comprimento de canal (L_{LD}/L) de 0,17, 0,33 e 0,67. 123
Figura 67: Tensão de polarização no ponto ZTC (V_{ZTC}) em função do comprimento de canal da região altamente dopada (L_{HD}) obtido experimentalmente, para dispositivos GC GAA SOI nMOS operando na região linear (V_{DS} = 50 mV) 124
Figura 68 -Dados experimentais: Variação da Tensão de limiar (V_{thF}) em função do comprimento de canal da região altamente dopada (L_{HD}) para dispositivos GC GAA SOI nMOS, para temperaturas de 300 a 573 K. 125
Figura 69: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,17) em diferentes temperaturas para V_{DS} = 1,5 V. 126
Figura 70: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,33) em diferentes temperaturas para V_{DS} = 1,5 V. 126
Figura 71: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,67) em diferentes temperaturas para V_{DS} = 1,5 V. 127
Figura 72: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC GAA SOI nMOS operando na região de saturação (V_{DS} = 1,5 V), para valores de relação de comprimento de canal (L_{LD}/L) de 0,17, 0,33 e 0,67. 127
Figura 73: Tensão V_{ZTC} obtido pelo modelo proposto para dispositivos GC-GAA SOI nMOS para uma relação de comprimento de canal (L_{LD}/L) de 0,67, operando na região de saturação (V_{DS} = 1,5 V), com valores do fator c de 1, 1,5 , 2, 2,5 e 3. 128
Figura 74: Variação do fator de degradação da mobilidade com a temperatura (Fator C) para GC-GAA SOI em regime de saturação. 129

Figura 75: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função da temperatura para dispositivos GC-GAA SOI nMOS operando na região de saturação (V_{DS} = 1,5 V), para valores de relação de comprimento de canal (L_{LD}/L) de 0,17, 0,33 e 0,67. 130

Figura 76: Tensão de polarização no ponto ZTC (V_{ZTC}) em função do comprimento de canal da região altamente dopada (L_{HD}) obtido experimentalmente, para dispositivos GC-GAA SOI nMOS operando na região de saturação (V_{DS} = 1,5 V). 131

LISTA DE TABELAS

Tabela 1 : Modos de operação SOI MOSFET dependendo do material de porta..... 38

Tabela 2: Variação de V_{ZTC} para um intervalo de temperatura de 313 K a 573 K. 91

Tabela 3: Sensibilidade do método proposto através da análise da variação em ΔVztc com uma variação de 10% nos valores de N_a e t_{oxf} para dispositivos PD SOI nMOS operando nos regimes linear e de saturação 96

Tabela 4: Sensibilidade do método proposto através da análise da variação em ΔVztc com uma variação de 10% nos valores de N_a e t_{oxf} para dispositivos FD SOI nMOS operando nos regimes linear e de saturação 97

Tabela 5: Média aritmética do valor do fator c para cada comprimento de canal L_{HD}, para faixa de temperatura analisada, 300 a 573 K. 116

LISTA DE SÍMBOLOS

A, B	Termos da expressão de determinação de V_{ZTC} na região de saturação do modelo CM
A_{Os}, B_{Os} e C_{Os}	Parâmetros determinados no ponto ZTC de acordo com regime, linear ou de saturação (Modelo V_{ZTC} - Osman)
c	Fator de degradação da mobilidade com a temperatura
C_D	Capacitância da região de depleção por unidade de área [F/cm^2]
C_{ox}	Capacitância do óxido de porta do transistor MOS convencional por unidade de área [F/cm^2]
C_{oxb}	Capacitância do óxido enterrado por unidade de área [F/cm^2]
C_{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área [F/cm^2]
C_{Si}	Capacitância da camada de silício por unidade de área [F/cm^2]
E_C	Nível energético do extremo inferior da faixa de Condução [eV]
E_F	Nível de Fermi [eV]
Ei	Nível de Fermi intrínseco [eV]
E_V	Nível energético do extremo superior da faixa de Valência [eV]
g_m	Transcondutância, relação entre a variação na corrente I_{DS} e a variação em V_{GF} que a provoca [A/V]
$g_{m\ max}$	Transcondutância máxima [A/V]
I_D	Corrente de Dreno [A]
I_{DS}	Corrente entre Dreno e Fonte [A]
I_{ZTC}	Corrente entre Dreno e Fonte com tensão de polarização no ponto ZTC [A]
k	Constante de Boltzmann [1,38066 x 10^{-23} J/K]

L	Comprimento de canal do transistor [μm]
L_{LD}	Comprimento de canal do transistor GC-SOI da região menos dopada [μm]
L_{HD}	Comprimento de canal do transistor GC-SOI da região mais dopada [μm]
n	Fator de efeito de corpo do transistor SOI
n_i	Concentração intrínseca de dopantes [cm^{-3}]
N_a	Concentração de impurezas aceitadoras do semicondutor do transistor MOS convencional [cm^{-3}]
N_{af}	Concentração de impurezas aceitadoras da camada de silício do transistor SOI [cm^{-3}]
q	Carga elementar do elétron [C]
Q_{depl}	Densidade de carga de depleção na camada de silício [C/cm^2]
Q_{inv1}	Densidade de carga de inversão na primeira interface [C/cm^2]
Q_{ox}	Densidade de carga fixa no óxido de porta do transistor MOS convencional [C/cm^2]
Q_{oxf}	Densidade de carga efetiva no óxido de porta na primeira interface do transistor SOI [C/cm^2]
Q_{oxb}	Densidade de carga efetiva no óxido enterrado na segunda interface do transistor SOI [C/cm^2]
Q_{S2}	Densidade de carga de acumulação ou inversão na segunda interface do transistor SOI [C/cm^2]
S	Inclinação de Sublimiar [mV/dec.]
T	Temperatura absoluta [K]
T_0	Temperatura ambiente em valor absoluto (K)
t_{ox}	Espessura do óxido de porta [nm]
t_{oxb}	Espessura do óxido enterrado [nm]
t_{oxf}	Espessura do óxido de porta [nm]
t_{Si}	Espessura do filme de silício [nm]
V_{DS}	Tensão entre Dreno e Fonte [V]

V_{FB}	Tensão de Faixa Plana da primeira interface induzida pela porta do transistor SOI [V]
V_{GF}	Tensão de porta do transistor SOI [V]
V_{GB}	Tensão de substrato do transistor SOI [V]
V_{GB},acc	Tensão de substrato com a segunda interface em acumulação [V]
V_{GB},inv	Tensão de substrato com a segunda interface em inversão [V]
V_{GS}	Tensão de porta do transistor MOS convencional [V]
V_{th}	Tensão de limiar do transistor MOSFET Convencional [V]
V_{th1}, V_{th2}	Tensão de limiar do transistor MOSFET na temperatura igual a T1 e T2 [V]
V_{thF}	Tensão de limiar do transistor SOI MOSFET relativo a primeira interface [V]
$V_{thF,\ depl2}$	Tensão de limiar do transistor SOI MOSFET relativo a primeira interface com a segunda interface em depleção [V]
V_{ZTC}	Tensão de polarização do transistor no ponto ZTC [V]
$V_{ZTC\ LIN}$	Tensão de polarização do transistor no ponto ZTC [V] na região linear de operação
$V_{ZTC\ SAT}$	Tensão de polarização do transistor no ponto ZTC [V] na região de saturação de operação
V_{ZTC} (T1,T2) $_{LIN}$	Tensão de polarização do transistor no ponto ZTC [V] na região linear de operação
V_{ZTC} (T1,T2) $_{SAT}$	Tensão de polarização do transistor no ponto ZTC [V] na região de saturação de operação
W	Largura de canal do transistor [μm]
$x_{dmáx}$	Profundidade da região de depleção máxima [μm]
α	Parâmetro resultante da associação das capacitâncias do transistor MOSFET
β_0	Parâmetro empírico com valor entre 0.001 and 0.004 mm/V

ε	Constante dielétrica
ε_{ox}	Permissividade do óxido de porta
ε_{Si}	Permissividade do silício [1,06 x 10^{-12} F/cm]
ε_{SiO2}	Permissividade do óxido de silício [3,45 x 10^{-13} F/cm]
ϕ	Potencial [V]
ϕ_F	Potencial de Fermi [V]
ϕ_{Ff}	Potencial de Fermi [V] do filme de silício do transistor SOI [V]
ϕ_M	Função trabalho do material de porta [V]
ϕ_{MS}	Diferença de função trabalho entre metal de porta e semicondutor [V]
ϕ_{MS1}	Diferença de função trabalho entre metal de porta e a camada de silício [V]
ϕ_{MS2}	Diferença de função trabalho entre o substrato e a camada de silício [V]
ϕ_{SB}	Potencial de superfície da segunda interface [V]
ϕ_{SF}	Potencial de superfície da primeira interface [V]
ϕ_{Si}	Função trabalho do canal de silício [V]
ϕ_{SUB}	Potencial de superfície da terceira interface ou do substrato [V]
δ	Representa a o fator de contribuição da tensão de dreno (V_{DS}) sobre a largura da camada de depleção (Modelo V_{ZTC} – Prijic)
γ	Constante de Efeito de Corpo para transistor MOS convencional [$V^{1/2}$]
θ	Fator de Efeito da degradação da mobilidade por efeito de campo elétrico transversal
ρ	Parâmetro de contribuição da tensão de dreno (V_{DS}) na corrente I_{DS} (Modelo V_{ZTC} – Prijic)
μ_0	Mobilidade de baixo campo elétrico dos elétrons na camada de silício [$cm^2/V{\cdot}s$]

μ_n, μ_{eff}	Mobilidade efetiva dos elétrons na camada de silício [$cm^2/V \cdot s$]
μ_{sat}	Mobilidade dos elétrons na camada de silício com o transistor operando na região de saturação [$cm^2/V \cdot s$]

SUMÁRIO

Resumo
Lista de Figuras
Lista de Tabelas
Lista de Símbolos

1 – Introdução 27
1.1 – Objetivos do trabalho e apresentação 29

2 - Conceitos Básicos 31
2.1 - Tecnologia de fabricação das lâminas SOI 31
2.2 - Estruturas SOI MOSFETs 32
2.3 - Distinção entre transistores SOI 33
2.4 - Modo de Operação 37
2.5 - Material Isolante de Porta 38
2.6 – Parâmetros Elétricos Básicos 39
2.6.1 - Tensão de Limiar 39
2.6.2 – Corrente de Dreno e Inclinação de Sublimiar 41
2.6.3 - Mobilidade dos portadores 45
2.7 Métodos de Extração de Parâmetros 46
2.7.1 - Tensão de Limiar (V_{th}) 47
2.7.2 - Mobilidade Efetiva no Canal do Transistor 50
2.8 Aplicações em Altas Temperaturas e a Tecnologia SOI 52

3 - Ponto Invariante com a Temperatura ZTC ("Zero Temperature Coefficient") 55
3.1 - Importância da determinação do ponto invariante com a temperatura (V_{ZTC}) 55

3.2 - Definição Ponto Invariante com a Temperatura (ZTC) 57
3.3 - Modelos sobre o Ponto Invariante com a Temperatura(ZTC) 59
3.3.1 - Modelo V_{ZTC} para transistores CMOS convencionais – Prijic 59
3.3.2 - Modelo V_{ZTC} para MOS Convencionais – Shoucair 61
3.3.3 - Modelo V_{ZTC} para SOI MOSFETs Parcialmente Depletados – Osman 63

4 - Proposta de um Modelo Analítico Simples para determinação da tensão de polarização no ponto invariante com a temperatura (V_{ZTC}) 67
4.1 - Polarização no ponto invariante com a temperatura (V_{ZTC}) 67
4.1.1 - Modelo Camillo-Martino (Modelo CM): Modelo de V_{ZTC} na Região Linear 68
4.1.2 - Modelo Camillo-Martino (Modelo CM): Modelo de V_{ZTC} na Região de Saturação 72
4.2 - Validação do Modelo CM 74
4.2.1 - Características dos Dispositivos 74
4.2.2 - Resultados experimentais e modelo CM proposto para dispositivos SOI Convencionais 75
4.2.2.1 - Região Linear de Operação 76
4.2.2.2 - Região de Saturação de Operação 82

5 - Estudo da estabilidade do Ponto Invariante com a Temperatura (ZTC) 87
5.1 – Influência do fator de degradação da mobilidade com a temperatura (*c*) no ponto ZTC. 87
5.1.1 - Características físicas dos dispositivos 88
5.1.2 - Influência do fator de degradação da mobilidade 88
5.1.3 - Polarização na Região Linear 88
5.1.4 - Polarização na Região de Saturação 91
5.1.5 - Sensibilidade do Método Proposto 94

5.2 - Influência da dependência da estabilidade do ponto ZTC com o Comprimento de Canal (L) 97
5.2.1 - Características físicas dos dispositivos 97
5.2.2 – Resultados e Discussão 98
5.3 - Influência da dependência da estabilidade do ponto ZTC com a Tensão de Dreno (V_{DS}) 104
5.3.1 - Características físicas dos dispositivos 104
5.3.2 – Resultados e Discussão 104
5.4 - Aplicação do modelo CM em outras tecnologias 108
5.4.1 - Analise do modelo proposto em dispositivos GC SOI 109
5.4.1.1 - Características dos Dispositivos 109
5.4.1.2 - Resultados e Discussão 110
5.4.1.2.1 - Ocorrência do Ponto Invariante com a Temperatura (V_{ZTC}) 110
5.4.1.2.2 - V_{ZTC}: Dados Experimentais e Modelo CM 113
5.4.1.2.3 - Variação de V_{ZTC} com comprimento de canal (L) 117
5.4.2 - Analise do modelo CM proposto em dispositivos GC GAA SOI 118
5.4.2.1 - Características dos Dispositivos 118
5.4.2.2 - Resultados e Discussão 119
5.4.2.2.1 - Região Linear de Operação 119
5.4.2.2.2 - Região de Saturação 125

6 – Conclusões 132

7 - Referências Bibliográficas 135

Apêndice A - Publicações geradas durante o trabalho 141

1 Introdução

Com o escalamento das dimensões, os dispositivos com tecnologia MOS (Metal Oxide Semiconductor), utilizados na produção de circuitos integrados digitais em grande escala de integração (GSI - "Giga Scale Integration"), apresentam um processo de fabricação cada vez mais complexo para contornar os inúmeros problemas decorrentes dos efeitos de canal curto provocados pela tendência de redução.

A tecnologia SOI ("Silicon On Insulator")[1,2] inicialmente ficou restrita a poucas áreas de aplicação, como ambientes em condições severas, sujeitos à radiação e altas temperaturas, e aplicações de uso militar. A partir dos anos 80, muitos trabalhos foram desenvolvidos nas áreas de materiais e dispositivos da tecnologia SOI, que deixou de ser apenas uma alternativa para ser uma realidade frente a tecnologia MOS convencional (“bulk”).

Os circuitos implementados em lâminas SOI tornaram possível a fabricação de dispositivos com algumas características elétricas quase ideais, principalmente pela completa isolação dielétrica intrínseca entre os mesmos. O dióxido de silício é o isolante mais utilizado, mas existem outros materiais também estudados, como nitreto de Silício[3] e oxinitretos[4].

O limite de operação das tecnologias de fabricação de circuitos integrados foi expandido nos últimos anos para temperaturas mais altas (até 300ºC) em áreas como o monitoramento e o controle de motores a jato, circuitos de controle na indústria automobilística, indústria de energia nuclear e aplicações espaciais [5,6,7]. O uso de dispositivos CMOS fabricados com a tecnologia MOS convencional é limitado pelo efeito do tiristor parasitário (“latch-up”), resultante da corrente de fuga através das junções entre as cavidades da estrutura CMOS, que se torna mais significativa em alta temperatura. A estrutura SOI CMOS é uma alternativa apropriada por causa

de sua quase perfeita isolação dos transistores nMOS e pMOS, o que propicia a eliminação das cavidades na estrutura CMOS, resultando na operação do dispositivo livre do efeito tiristor parasitário[5,8].

Na evolução da tecnologia SOI, a espessura da camada de silício sobre o isolante vem diminuindo e atingindo valores inferiores a 100nm, os chamados dispositivos SOI camada fina ("thin film SOI MOSFET"), os quais operando no modo totalmente depletado ("fully depleted"), apresentam as melhores vantagens em relação à tecnologia MOS convencional[9]. Dentre estas vantagens, citamos algumas que apresentam grande importância, como o aumento da mobilidade[10], da transcondutância e da densidade de integração[2], a diminuição das capacitâncias das regiões de Fonte e Dreno[11], dos efeitos de canal curto[12] e da sensibilidade com a variação da temperatura[13].

O funcionamento dos transistores MOS é fortemente dependente da temperatura[14,15]. Entre os parâmetros responsáveis por esta dependência os mais importantes são a mobilidade efetiva dos portadores (μ_{eff}) e o potencial de Fermi (ϕ_F), vindo este último a influênciar na tensão de limiar V_{th}[14]. Nos últimos anos, significativos progressos foram realizados nos processos de caracterização do comportamento elétrico de transistores na tecnologia CMOS, operando sobre uma larga faixa de temperatura[16,17,18,19,20]. No caso de circuitos projetados para aplicações em temperatura variável, o desejável é que operem em um ponto de polarização no qual o valor da corrente de dreno (I_{DS}) não apresente variação, ou que seja muito pequena, com a mudança de temperatura. Este critério garante que os parâmetros dos blocos básicos de circuitos, como amplificadores e comparadores, sejam menos afetados no processo de casamento das características dos transistores que os compõem[21].

Este ponto de polarização, muito importante para a estabilidade de um circuito operando sobre uma larga faixa de temperatura, é conhecido

como Ponto Invariante com a Temperatura (ZTC - “Zero Temperature Coefficient”). Esse tema tem sido alvo de muitos trabalhos em dispositivos MOS convencionais[16, 22] e dispositivos SOI parcialmente depletados (PD)[21], considerando a dependência da tensão de limiar (V_{thF}) e da mobilidade (μ_n) com a temperatura[16], incluindo o efeito de corpo (n)[22] e também a degradação da mobilidade com o campo elétrico transversal (θ)[21].

1.1 Objetivos do trabalho e apresentação

O objetivo deste trabalho é o estudo do ponto ZTC em dispositivos SOI n e pMOSFETs, funcionando em regime parcialmente (PD-SOI) e totalmente (FD-SOI) depletados. O estudo é realizado a partir de um modelo analítico proposto (modelo CM: Camillo-Martino), e através de dados experimentais. Análise deste comportamento em diferentes tecnologias SOI será realizada teórica e experimentalmente.

Este trabalho encontra-se dividido em 6 capítulos, os quais estão a seguir:

No **Capítulo 2** é apresentada uma revisão bibliográfica dos aspectos principais da tecnologia e funcionamento dos transistores SOI MOSFET operando em modo enriquecimento, abordando em detalhes os modelos analíticos, para permitir que eventuais simplificações sejam feitas, sem prejudicar os resultados obtidos no comportamento básico destes dispositivos.

No **Capítulo 3** é apresentada uma revisão bibliográfica sobre ponto invariante com a temperatura (ZTC), a importância da polarização dos dispositivos no ponto ZTC através dos modelos existentes na literatura para estudo do seu comportamento nos regimes de triodo e saturação.

No **Capítulo 4** é apresentada uma proposta de um modelo analítico simples (modelo CM), para estudo dos aspectos do comportamento da tensão de porta (V_{GS}) polarizada no ponto invariante com a temperatura (V_{ZTC}), funcionando nas regiões linear e de saturação. A validação do modelo analítico simples proposto é realizada através de comparação entre os resultados de simulações do modelo e dados experimentais.

No **Capítulo 5** são apresentados estudos da estabilidade do ponto ZTC em função da variação da degradação da mobilidade, do comprimento de canal (L) e da tensão de dreno (V_{DS}), através do modelo CM proposto no capítulo 4, para dispositivos SOI MOSFETs convencionais operando em regime totalmente (FD) e parcialmente (PD) depletados. São apresentados também resultados do modelo CM proposto aplicado em dispositivos de tecnologia GC SOI e GC-GAA SOI.

No **Capítulo 6** são apresentadas as conclusões das análises dos resultados obtidos pelo modelo CM proposto, para a tensão de porta do transistor polarizada no ponto invariante com a temperatura (V_{ZTC}), nas regiões de polarização linear e saturação, para as tecnologias estudadas.

2 Conceitos Fundamentais

Neste capítulo é apresentada uma revisão bibliográfica dos aspectos principais da tecnologia e funcionamento dos transistores SOI MOSFET operando em modo enriquecimento, abordando a influência de alguns parâmetros importantes na sua caracterização elétrica e nos modelos analíticos, para permitir que eventuais simplificações sejam realizadas, e deste modo não prejudiquem os resultados obtidos no comportamento básico destes dispositivos.

2.1 Tecnologia de fabricação das lâminas SOI

Entre os grandes fatores que contribuíram para uma maior divulgação e uso da tecnologia SOI, destaca-se a alta evolução dos processos de obtenção de suas lâminas[23] que permitiu que esta se tornasse uma real alternativa. Atualmente, três processos apresentam viabilidade em termos de qualidade e de preço da lâmina: SIMOX[24] baseada na técnica de implantação de íons de oxigênio, BESOI[25] baseada na técnica de união de lâminas e a mais recente SmartCut[26], Figura 1.

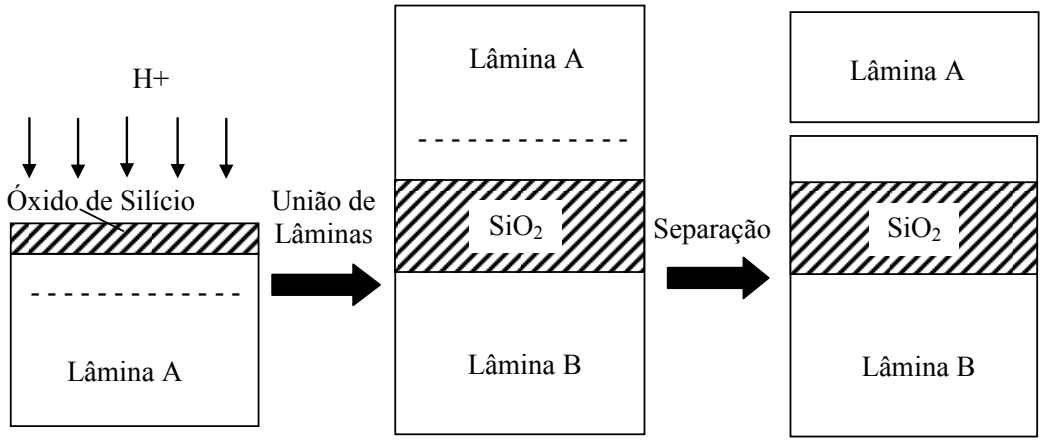


Figura 1- Representação esquemática do processo Smart-Cut.

As maiores vantagens do processo Smart-Cut são o uso de um implantador iônico convencional e o aproveitamento da parcela restante da lâmina implantada para outro processamento posterior.

2.2 Estruturas SOI MOSFETs

A maioria dos dispositivos fabricados com tecnologia microeletrônica utiliza somente uma fina camada próxima a superfície da lâmina de semicondutor. Como exemplo, em dispositivos MOS convencionais, Figura 2a, na realidade somente os primeiros 100 nanômetros da área superior da lâmina são usados para o fluxo de elétrons. O restante das centenas de micrômetros em uma lâmina espessa serve quase que exclusivamente para suporte mecânico aos dispositivos. A interação elétrica entre os dispositivos e o substrato introduz alguns efeitos parasitários prejudiciais, e além disso a condução elétrica que ocorre através do substrato torna difícil a total isolação dielétrica entre os dispositivos fisicamente próximos. Como conseqüência, os dispositivos parasitários podem tornar-se ativos, e com a redução das dimensões, seus efeitos tornam-se ainda mais pronunciados.

A idéia fundamental da tecnologia de fabricação de circuitos integrados em lâminas de Silício Sobre Isolante (SOI – “Silicon-On-Insulator”), Figura 2b, consiste em separar a região ativa da lâmina, onde os transistores são processados, do substrato de silício, pelo posicionamento de um material isolante entre ambos, de modo a eliminar ou reduzir os efeitos parasitários indesejáveis. Inicialmente o material isolante era a Safira e devido ao seu alto custo de processamento, foi substituída pelo óxido de silício que atualmente é utilizado.

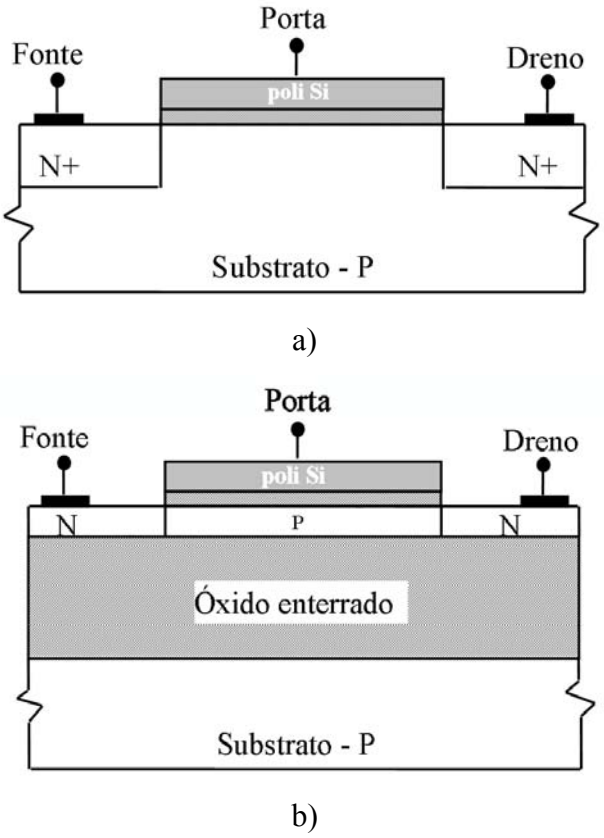


Figura 2 - Transistor nMOSFET fabricado segundo tecnologia convencional (a) e SOI (b).

2.3 Distinção entre transistores SOI

A Figura 3 mostra o perfil de um transistor SOI MOSFET ilustrando algumas notações utilizadas no texto. Existem três tipos de dispositivos dependendo da espessura do filme de silício e da concentração de dopantes do canal (N_{af}): dispositivo de camada espessa ("thick-Film"), dispositivo de camada fina ("thin-Film") e dispositivo de camada média ("medium thickness"), que pode exibir tanto um comportamento como o de camada fina quanto o de camada espessa, dependendo da polarização do substrato V_{GB}.

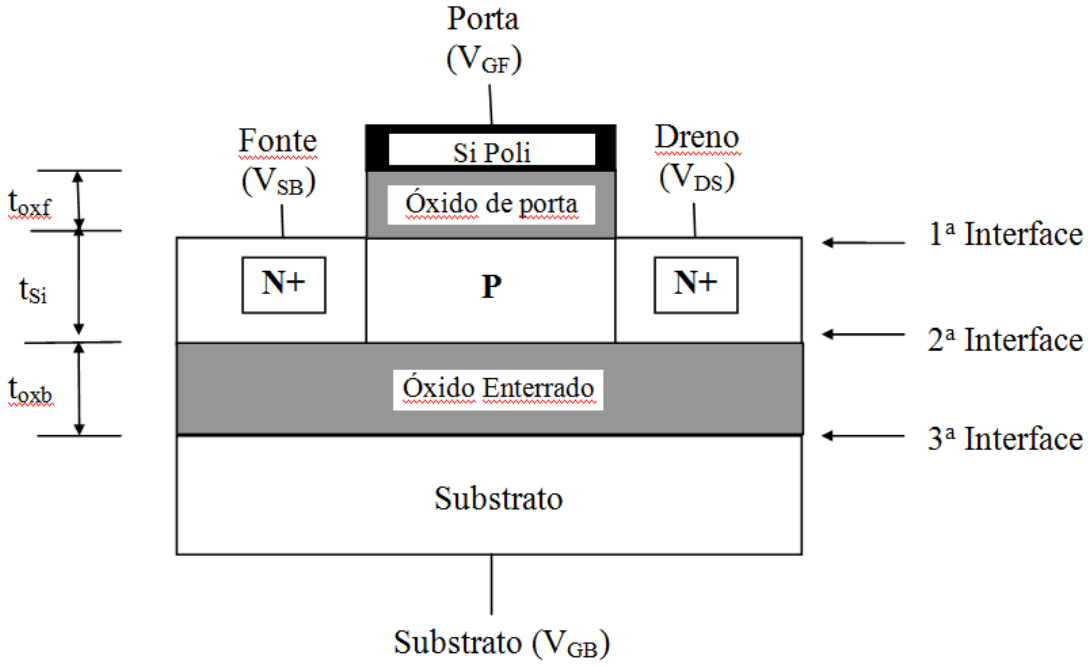


Figura 3 - Perfil do transistor nMOSFET SOI, ilustrando algumas das notações utilizadas.

Na Figura **4** são apresentados os diagramas das faixas de energia para dispositivos de canal n em modo inversão com tecnologia convencional ("bulk"), SOI de camada espessa e SOI de camada fina. Os níveis de energia de condução, Fermi e de valência são respectivamente, E_C, E_F e E_V. Em um dispositivo convencional, Figura **4**A, a região de depleção estende-se a partir da interface de SiO_2-Si até a largura de depleção máxima, $x_{dmáx}$, que é classicamente dada por:

$$x_{dmáx} = \sqrt{\frac{4.\ \varepsilon_{Si}.\phi_F}{q.N_a}} \qquad (1)$$

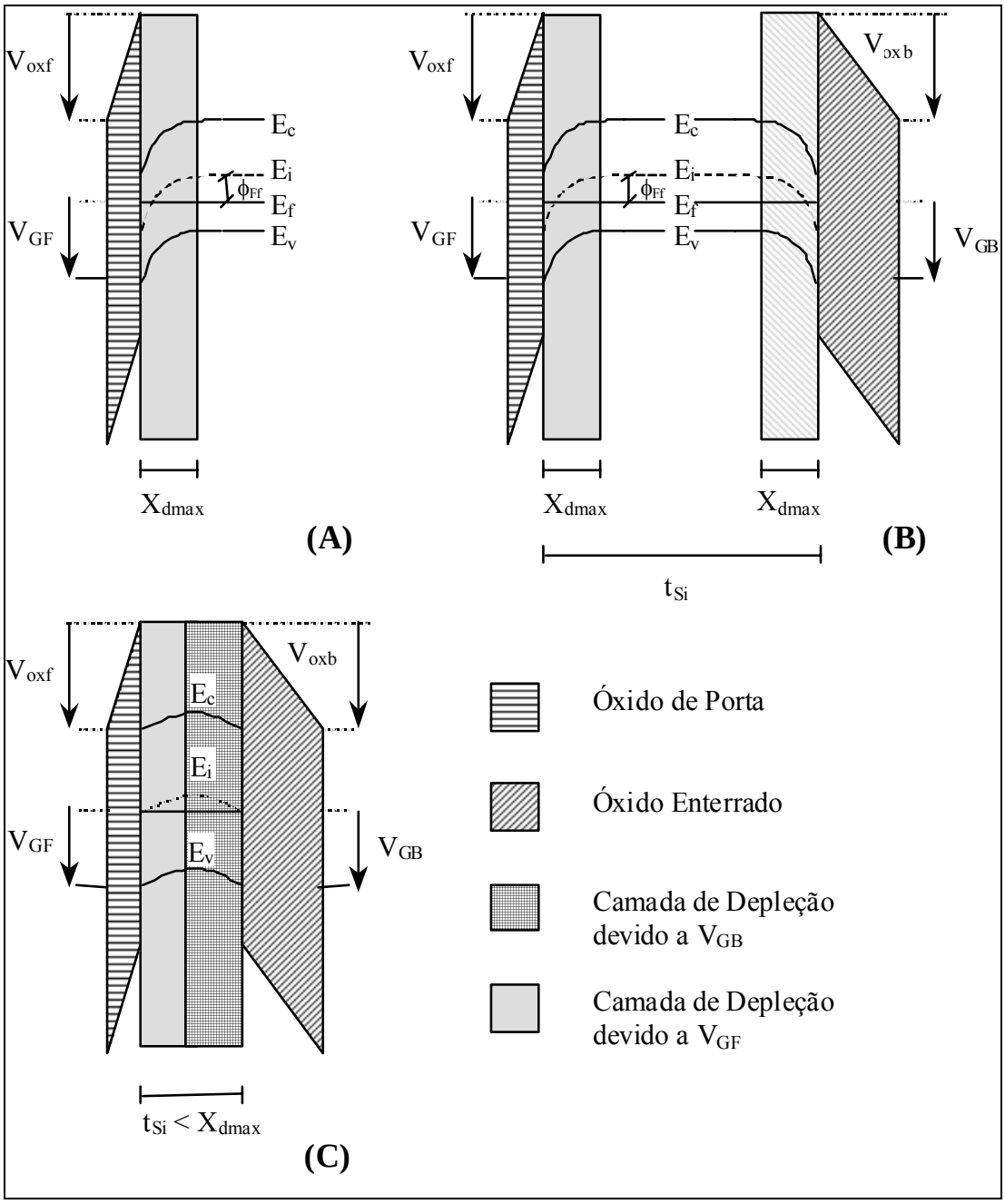


Figura 4 - Diagrama de faixas de energia de dispositivos modo inversão canal tipo n: (A) MOS convencional, (B) SOI de camada espessa e (C) SOI de camada fina.

onde ε_{Si} é a permissividade do silício, q é a carga elementar do elétron, N_{af} é a concentração de dopantes da camada de Si e ϕ_{Ff} é o potencial de Fermi dado por:

$$\phi_{Ff} = \frac{kT}{q} \ln\left(\frac{N_{af}}{n_i}\right) \tag{2}$$

e n_i é a concentração intrínseca em função da temperatura T dada pela expressão:

$$n_i = 3.9\,10^{16}\ T^{3/2}\ e^{-(Eg/2kT)} \tag{3}$$

Nos dispositivos SOI de camada espessa, Figura **4**B, a espessura da camada de silício (t_{Si}) é maior que o dobro da largura máxima da região de depleção ($t_{Si} > 2.x_{dmáx}$). Neste caso, não há interação entre as regiões de depleção originadas na primeira e segunda interfaces, pois existe uma região neutra do filme de silício entre as regiões de depleção. Deste modo o canal do transistor encontra-se parcialmente depletado ("Partial Depleted" - PD), e quando a região neutra de silício, denominada “corpo”, é conectada a um contato ôhmico, as características do dispositivo serão exatamente iguais ao dispositivo MOS convencional. Entretanto, se o “corpo” fica eletricamente flutuante, o dispositivo se comportará como um MOS convencional, porém com aparecimento notável de dois efeitos parasitários: o primeiro é chamado efeito de elevação abrupta de corrente (“Kink Effect”)[23], o segundo é o aumento do efeito bipolar parasitário (NPN) entre as regiões de fonte, canal e dreno[23].

Nos dispositivos SOI de camada fina, Figura **4**C, onde a espessura da camada de silício é menor que a largura máxima da região de depleção ($t_{Si} < x_{dmáx}$), o filme de silício fica totalmente depletado ("Fully Depleted" – FD) se a tensão aplicada no eletrodo de porta (V_{GF}) atingir a tensão de limiar (V_{thF}) independentemente da tensão aplicada no substrato. Os dispositivos SOI totalmente depletados (FD-SOI), exibem as propriedades mais atrativas entre todos os tipos de dispositivos SOI, quando apresentam a segunda interface depletada. Algumas das propriedades são a supressão do efeito de elevação abrupta de corrente, redução do campo elétrico horizontal[27], alta

transcondutância[23], menor ocorrência de efeitos de canal curto[13] e quase ideal taxa de variação de corrente na região de sublimiar (S - "Slope").

Os dispositivos SOI de camada de silício de espessura média ("medium thickness") são um caso intermediário entre dispositivo de camada espessa e camada fina, e são obtidos no caso onde $x_{dmáx} < t_{Si} < 2.x_{dmáx}$. Pode ocorrer ou não a interação entre as duas regiões de depleção da primeira e segunda interfaces, apresentando comportamento elétrico de parcialmente ou totalmente depletado, dependendo da existência ou não de uma região neutra no canal do transistor e do potencial aplicado ao substrato (V_{GB}) do dispositivo.

2.4 Modo de Operação

Quanto à forma de funcionamento, os dispositivos SOI MOSFETs apresentam dois possíveis modos de operação:

- Modo Acumulação
- Modo Enriquecimento ou Inversão

O modo de operação dos transistores depende dos parâmetros de fabricação, onde o mais importante é o material de porta do transistor. A função trabalho do material de porta (ϕ_M) influência a tensão de limiar, uma vez que a diferença de função trabalho entre o material de porta e o filme de silício (ϕ_{MS}) é igual a ϕ_M - ϕ_{Si}, onde ϕ_{Si} é a função trabalho do canal de silício. A Tabela 1 apresenta os diferentes modos de operação para os transistores em função do material de porta.

Tabela 1: Modos de operação SOI MOSFET dependendo do material de porta.

	Porta N+ Poly	**Porta P+ Poly**
Transistor canal N	Inversão	Acumulação
Transistor canal P	Acumulação	Inversão

Nesse trabalho os dispositivos estudados e utilizados serão do tipo SOI MOSFETs modo inversão, portanto não serão abordados o funcionamento e equacionamento básico dos dispositivos SOI MOSFETs modo acumulação.

2.5 Material Isolante de Porta

A integridade do óxido de porta crescido sobre lâminas SOI é similar a do óxido crescido em lâminas convencionais[28]. Assim como as dimensões dos dispositivos são reduzidas, as dimensões do óxido de porta estão se aproximando de espessuras de 1,5 nm ou menores[29] para aumentar a corrente do dispositivo, através de um aumento de capacitância do óxido de porta (C_{oxf}). Um efeito desta redução é a ocorrência de tunelamento de elétrons através destes óxidos, desta forma elevando o valor da corrente de porta, não devendo mais ser desprezada[30]. Pode-se aumentar o valor da capacitância do óxido de porta (C_{oxf}) e evitar a influência da corrente de porta através do uso de materiais dielétricos que possuem a constante dielétrica, ε, maior que do óxido de silício (ε_{SiO2} = 3,9). Materiais dielétricos de porta como óxido de hafnium (HfO_2) e óxido de tântalo (Ta_2O_5) têm sido usados em dispositivos SOI MOSFETs[26]. Porém ainda há uma desvantagem devido à não consolidação da tecnologia de materiais dielétricos com alta constante dielétrica, que é a baixa qualidade da interface silício-dielétrico, o que causa a degradação da mobilidade (μ_n)[26].

2.6 Parâmetros Elétricos Básicos

2.6.1 Tensão de Limiar

A tensão de limiar de um transistor MOS convencional modo inversão é classicamente dada pela equação (4)[15]:

$$V_{th} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} + 2\phi_{Ff} + \frac{q\,N_a\,x_{dmáx}}{C_{ox}} \tag{4}$$

onde Q_{ox} é a densidade de carga fixa na interface Si-SiO_2, q é a carga elementar do elétron, C_{ox} é a capacitância do óxido de porta e N_a é a concentração de dopantes da camada de Si.

Para um transistor SOI canal N de camada espessa, onde $t_{Si} > 2.x_{dmáx}$, não há interação entre as regiões de depleção da primeira e segunda interfaces, a tensão de limiar é obtida pela mesma equação do transistor nMOS convencional[15]. Em dispositivos SOI nMOSFETs modo inversão e totalmente depletados (FD SOI), existe interação entre a primeira e segunda interfaces, a tensão aplicada na porta (V_{GF}) influência as condições de polarização da segunda interface, do mesmo modo que a tensão aplicada no substrato (V_{GB}) afeta as condições de polarização da primeira interface. Através do modelo clássico de Lim & Fossum[23] pode-se descrever por um sistema de equações, (5) e (6), a relação entre as tensões V_{GF} e V_{GB}, com os potenciais na primeira (ϕ_{SF}) e segunda (ϕ_{SB}) interfaces.

$$V_{GF} = \phi_{MS1} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right)\phi_{SF} - \frac{C_{Si}}{C_{oxf}}\phi_{SB} - \frac{0.5Q_{depl} + Q_{inv1}}{C_{oxf}} \tag{5}$$

$$V_{GB} = \phi_{MS2} - \frac{Q_{oxb}}{C_{oxb}} + \left(1 + \frac{C_{Si}}{C_{oxb}}\right)\phi_{SB} - \frac{C_{Si}}{C_{oxb}}\phi_{SF} - \frac{0.5Q_{depl} + Q_{S2}}{C_{oxb}} \quad (6)$$

Onde ϕ_{MS1} e ϕ_{MS2} são as diferenças de função trabalho entre a porta e a camada de silício e entre o substrato e camada de silício, respectivamente, Q_{inv1} é a carga de inversão na primeira interface, Q_{S2} é a carga na superfície da segunda interface, ϕ_{SF} e ϕ_{SB} são os potenciais de superfície da primeira e segunda interfaces, Q_{oxf} e Q_{oxb} são as densidades de cargas fixas na primeira e segunda interfaces, C_{oxf} e C_{oxb} são as capacitâncias dos óxidos de porta e enterrado e C_{Si} é a capacitância da camada de Si.

É possível obter três equações diferentes para a tensão de limiar a partir das equações (5) e (6) devido ao fato da segunda interface (V_{GB}) poder assumir os estados de acumulação, depleção ou inversão. O potencial ϕ_{SB} pode variar de 0 a $2\phi_F$ dependendo do valor de V_{GB} quando a segunda interface está depletada. $V_{GB,acc}$, que é o valor de V_{GB} para o qual a segunda interface está acumulada, é obtido pela equação (6) nas condições de $\phi_{SF} = 2\phi_F$, $\phi_{SB} \approx 0$ e $Q_{S2} = 0$, portanto a tensão de limiar da primeira interface com a segunda interface na condição de acumulação ($V_{thF,acc2}$), será:

$$V_{thF,acc2} = \phi_{MS1} - \frac{Q_{oxf}}{C_{oxf}} + \left(1 + \frac{C_{Si}}{C_{oxf}}\right)2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (7)$$

Do mesmo modo, o valor de V_{GB} para o qual a segunda interface está invertida, $V_{GB,inv}$,é dado pela mesma equação (6) nas condições de $\phi_{SF} = 2\phi_F$, $\phi_{SB} = 2\phi_F$ e $Q_{S2} = 0$, e assim obtendo-se a tensão de limiar da primeira interface com a segunda interface na condição de inversão ($V_{thF,inv2}$):

$$V_{thF,inv2} = \phi_{MS1} - \frac{Q_{oxf}}{C_{oxf}} + 2\phi_F - \frac{Q_{depl}}{2C_{oxf}} \quad (8)$$

E através da combinação das equações (5) e (6) na situação de $V_{GB,acc} < V_{GB} < V_{GB,inv}$, obtém-se a expressão da tensão de limiar da primeira interface com a segunda interface depletada ($V_{thF,\ depl2}$), que pode ser expressa por (9).

$$V_{thF,depl2} = V_{thF,acc2} - \frac{C_{Si}C_{oxb}}{C_{oxf}\left(C_{Si} + C_{oxb}\right)}\left(V_{GB} - V_{GB,acc}\right) \quad (9)$$

2.6.2 Corrente de Dreno e Inclinação de Sublimiar

Grande parte das vantagens oferecidas pelo transistor SOI totalmente depletado (FD-SOI) sobre os transistores SOI parcialmente depletados (PD-SOI) e os transistores MOS convencionais está relacionada ao efeito de corpo (“body factor”), o qual afeta diretamente a capacidade de fornecimento de corrente do transistor e sua inclinação de sublimiar[31, 32].

O efeito de corpo em um dispositivo convencional MOS ("bulk") é definido como a dependência da tensão de limiar com as condições de polarização do substrato. Em um transistor SOI, o efeito pode ser similarmente definido como a dependência de tensão de limiar (V_{thF}) com as condições de polarização do substrato (V_{GB}). Sob o ponto de vista das interações que ocorrem no filme de silício, em uma aproximação inicial, o efeito de corpo pode ser compreendido como a efetividade de controle através da porta no potencial de superfície da interface óxido de porta/silício.

A relação do acoplamento capacitivo do transistor MOS indica de que forma atua o efeito de corpo (n), demonstrada através da equação (10):

$$n = 1 + \alpha \tag{10}$$

onde

$\alpha = \frac{C_D}{C_{ox}}$ para transistores SOI parcialmente depletados e MOS convencionais.

$\alpha = \frac{C_{Si}}{C_{oxf}}$ quando a segunda interface está em acumulação;

$\alpha = \frac{C_{Si} C_{oxb}}{C_{oxf}(C_{Si} + C_{oxb})}$ quando a segunda interface está em depleção;

onde C_{oxf} (C_{ox} para os transistores MOS convencionais), é a capacitância do óxido de porta, C_{oxb} é a capacitância do óxido enterrado, C_{Si} é a capacitância da camada de silício e C_D é a capacitância da região de depleção, todas por unidade de área, e são expressos por:

$$C_{oxf} = \frac{\varepsilon_{ox}}{t_{oxf}}; \quad C_{oxb} = \frac{\varepsilon_{ox}}{t_{oxb}}; \quad C_{Si} = \frac{\varepsilon_{Si}}{t_{Si}} \quad \text{e} \quad C_D = \frac{\varepsilon_{Si}}{x_{dmáx}}$$

Através da equação (10) determina-se o valor de n para transistores SOI totalmente depletados que é tipicamente 1,05, diferente da faixa de variação entre 1,15 e 1,7 para os transistores MOS convencionais[33]. O menor efeito de corpo causa implicações nas características de saída dos dispositivos, o que pode ser observado a partir da equação simplificada para a corrente de dreno (I_{DS}) dos transistores, em cada uma das regiões de operação[32]:

Região de Triodo:

$$I_{DS} \cong \frac{W\mu_n C_{oxf}}{L}[(V_{GF} - V_{thF})V_{DS} - n\frac{V_{DS}^{\ 2}}{2}] \qquad (11)$$

Região de Saturação:

$$I_{DS} \cong \frac{W\mu_n C_{oxf}}{2\,L\,n}(V_{GF} - V_{thF})^2 \qquad (12)$$

onde W e L são a largura e comprimento de canal do transistor, μ_n é a mobilidade efetiva dos elétrons na região de canal e V_{thF} é a tensão de limiar do transistor SOI.

O fato de ocorrer um menor efeito de corpo também está relacionado a uma outra influência importante, o fator de inclinação de sublimiar S[23] dos dispositivos, definido como o inverso da inclinação da curva log(I_{DS}) em função da tensão aplicada a porta (V_{GF}) no regime de sublimiar, Figura 5.

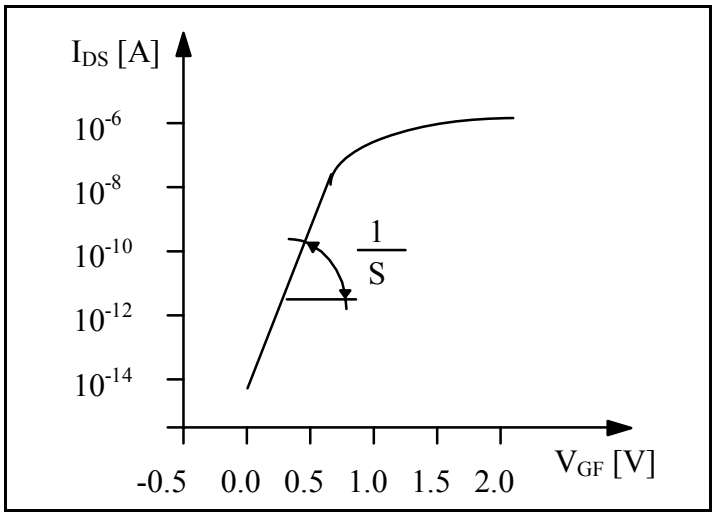


Figura 5 - Obtenção do fator de inclinação de sublimiar S em um transistor nMOS.

O valor de S pode ser expresso, sob aproximações, considerando desprezível a influência das armadilhas de interface, pela equação (13)[34,35]:

$$S = \frac{kT}{q} \ln(10)\, n \tag{13}$$

Valores típicos de S encontrados em transistores MOS convencionais e SOI MOS totalmente depletados são mostrados na Figura **6**. O excelente valor do fator de inclinação de sublimiar em um dispositivo SOI MOS de camada fina e totalmente depletado permite usar valores menores da tensão de limiar do que o dispositivo MOS convencional sem aumento de corrente de fuga, resultando numa melhora do desempenho dos dispositivos em alta velocidade.

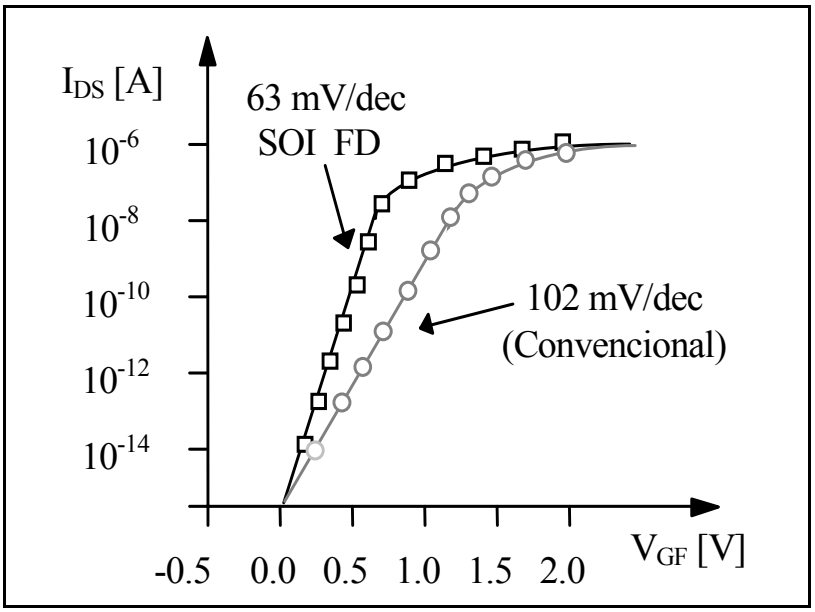


Figura 6 - Valores típicos de S encontrados em transistores MOS convencionais e SOI MOS totalmente depletados (FD)[23]

2.6.3 Mobilidade dos portadores

A mobilidade dos elétrons (μ_n) no canal de um transistor é um dos parâmetros fundamentais na tecnologia MOS, junto à tensão de limiar (V_{th}). Além da mobilidade dos elétrons determinar o nível de corrente em um dispositivo e sua transcondutância, é responsável pelo tempo de resposta em circuitos lógicos[36].

A mobilidade efetiva dos elétrons na camada de inversão de um transistor MOS de canal N é influênciada pelo campo elétrico vertical que atua abaixo do óxido de porta[23]. A dependência da mobilidade com a tensão aplicada ao terminal de porta V_{GS} pode ser dada pelo modelo convencional de mobilidade[14]:

$$\mu_n = \frac{\mu_0}{1 + \theta(V_{GS} - V_{th})} \tag{14}$$

onde μ_n é a mobilidade em função de V_{GS}, V_{th} é a tensão de limiar, θ é o coeficiente de degradação de mobilidade pelo campo elétrico vertical[14], μ_0 é a mobilidade para baixo campo elétrico (note que $\mu_0 = \mu_n$ para $V_{GS} = V_{th}$), e através de uma expressão empírica[14] pode-se descrever θ como:

$$\theta = \frac{\beta_0}{t_{ox}} \tag{15}$$

onde o parâmetro β_0 varia tipicamente entre 0.001 and 0.004 mm/V [37], e t_{ox} é a espessura do óxido de porta. Desta forma, a degradação da mobilidade pode ser considerada na equação da corrente de dreno de um MOSFET para os dois modos de operação:

$$I_{DS} = \frac{\mu_0}{1+\theta\left(V_{GF} - V_{thF}\right)} \frac{W}{L} C_{oxf} [(V_{GF} - V_{thF})V_{DS} - n \frac{V_{DS}^{2}}{2}] \quad (16)$$

em regime de triodo;

$$I_{DS} = \frac{1}{2\,n} \frac{\mu_0}{1+\theta\left(V_{GF} - V_{thF}\right)} \frac{W}{L} C_{oxf} (V_{GF} - V_{thF})^2 \quad (17)$$

em regime de saturação.

A dependência da mobilidade efetiva dos elétrons com a temperatura é dada pela relação[14,15]:

$$\mu_n(T) = \mu_n(T_0)\left(\frac{T_0}{T}\right)^c \quad (18)$$

onde T_0 é temperatura ambiente em valor absoluto (K), em que $T > T_0$, e *c* é a constante empírica[14] que varia de 1,5 a 2,4.

2.7 Métodos de Extração de Parâmetros

Por melhor que seja um modelo, ele não fornecerá resultados precisos se os valores usados para seus parâmetros não forem adequados. Os parâmetros devem ser tais que os resultados concordem com dados experimentais dentro de uma faixa de erro determinada. Para tanto, é necessário estabelecer um procedimento para, a partir de determinadas medidas sobre os dispositivos, obter valores adequados dos parâmetros do modelo.

Neste tópico serão apresentados os métodos de extração dos parâmetros de maior influência na determinação da tensão de polarização no ponto invariante com a temperatura (V_{ZTC}).

2.7.1 Tensão de Limiar (V_{thF})

A tensão de limiar V_{th}, que é um importante parâmetro para a modelagem, simulação e caracterização de dispositivos MOSFET, é convencionalmente definida como a tensão na porta (V_{GF}), que causa o inicio da inversão forte no canal dos MOSFETs. O valor da tensão de limiar pode ser extraído de medidas experimentais tanto de características da corrente de dreno ou da capacitância, usando um ou mais transistores.

O método usado para extração de V_{thF} com o transistor operando na região linear foi o da Segunda Derivada (SD)[38]. O método SD, foi desenvolvido para evitar a dependência com a resistência série, e determina a tensão de limiar (V_{thF}) como a tensão na porta (V_{GF}) no ponto em que a derivada da transcondutância é máxima (ou seja, $dg_m/dV_{GF} = d^2I_{DS}/dV_{GF}^2$). A Figura 7 mostra a implementação deste método para um dispositivo PD SOI nMOSFET, extraindo o valor de V_{thF} pela indicação do valor máximo de dg_m/dV_{GF}.

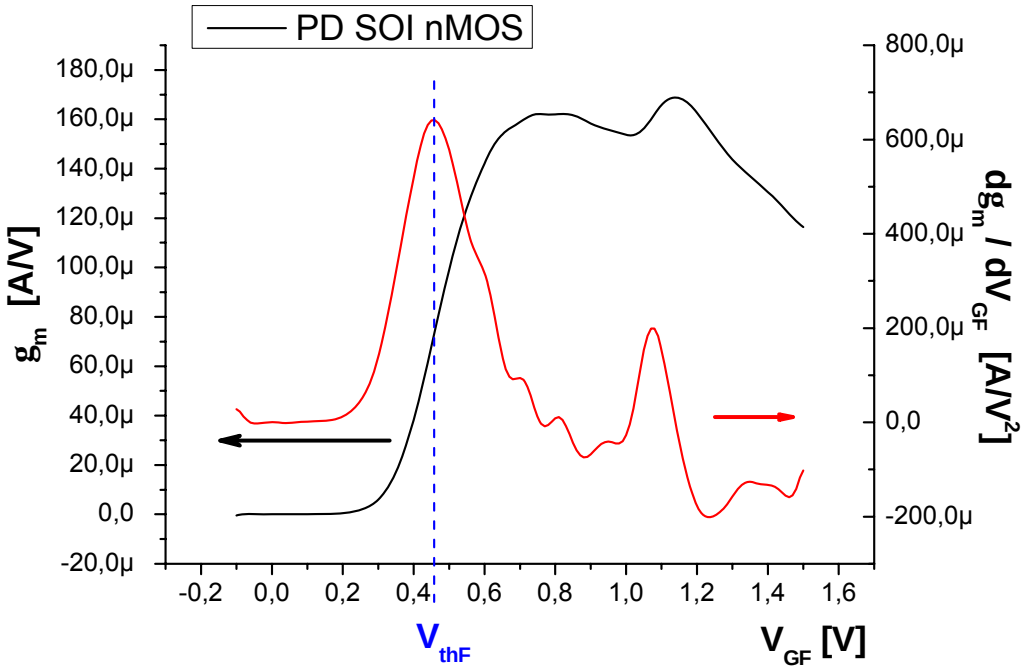


Figura 7 - Extração de V_{thF} usando o método da segunda derivada (SD) para um dispositivo operando na região linear.

O segundo método[14] usado para obtenção do valor da tensão de limiar (V_{thF}) também é através do uso da extrapolação linear. A corrente de dreno é medida em diferentes valores de V_{GF}, em tensões de dreno (V_{DS}) que garantam a operação do transistor na região de saturação ($V_{DS} >= V_{GF} - V_{thF}$).

A corrente de dreno em modo saturação obedece a lei quadrática, e quando não considerado o efeito de canal curto, pode-se aproximar para:

$$I_{DS} = \frac{W}{L} C_{oxf}\ \mu_n \frac{1}{2}\left(V_{GF} - V_{thF}\right)^2 \qquad (19)$$

Obtendo-se o gráfico da raiz quadrada da corrente de dreno (I_{DS}) versus a tensão de porta (V_{GF}) resulta-se em uma curva com variação linear, e através da extrapolação da reta determina-se o ponto que intercepta o eixo das coordenadas V_{GF} resultando no ponto do valor de V_{thF}, como mostrado na Figura 8.

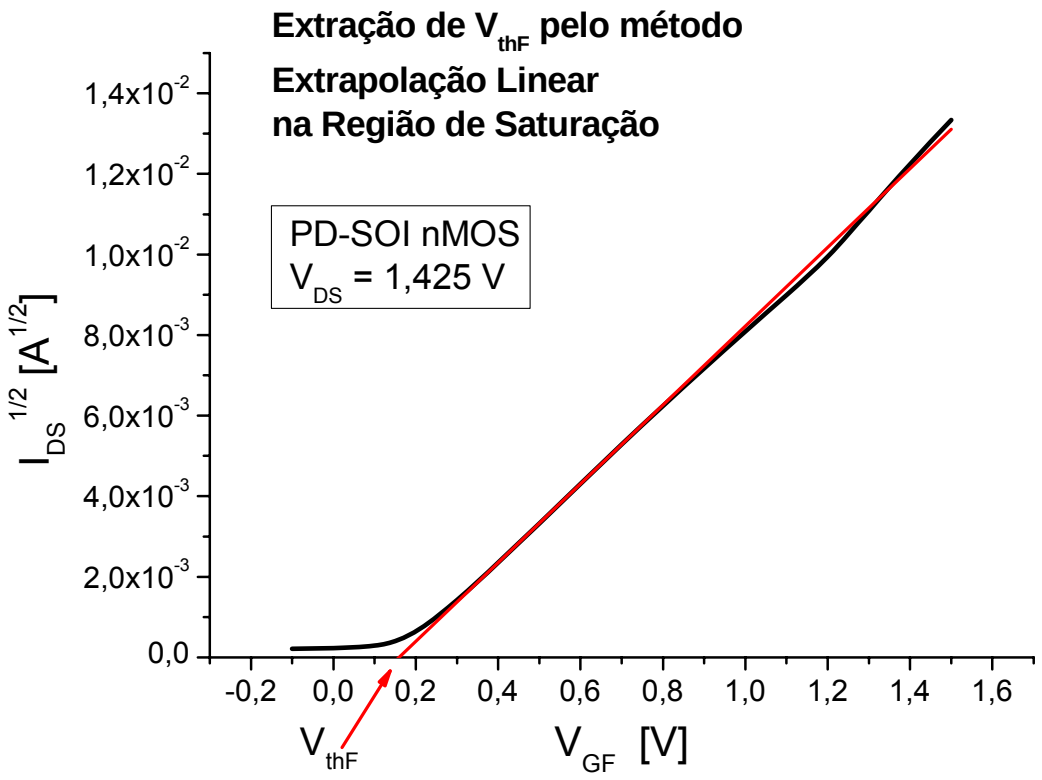


Figura 8 - Extração de V_{thF} usando o método de extrapolação linear para um dispositivo de canal curto operando na região de saturação.

2.7.2 Mobilidade Efetiva no Canal do Transistor

Para a determinação da mobilidade dos portadores para baixo campo (μ_0) de um transistor MOSFET, obtém-se a transcondutância (g_m) através da equação (20).

Derivando-se a equação (11)

$$g_m = \left.\frac{\partial I_{DS}}{\partial V_{GF}}\right|_{V_{DS}=\text{baixo}} \tag{20}$$

Isolando-se μ_n fica:

$$\mu_n = \frac{L}{WC_{oxf}V_{DS}} g_m \tag{21}$$

A partir da equação (21), estabelece-se uma relação linear entre a mobilidade e a transcondutância. Como V_{DS} é pequeno e, na região linear da curva, V_{GS} também é pequeno, o valor da mobilidade encontrada será independente tanto do campo horizontal quanto do vertical, respectivamente, atingindo seu valor máximo. Essa mobilidade é obtida no ponto de máximo da transcondutância $g_{m\,max}$.

Na Figura 9**,** observa-se que após atingir-se o valor máximo da transcondutância e, por conseqüência, da mobilidade (μ_0), a transcondutância começa a sofrer uma degradação.

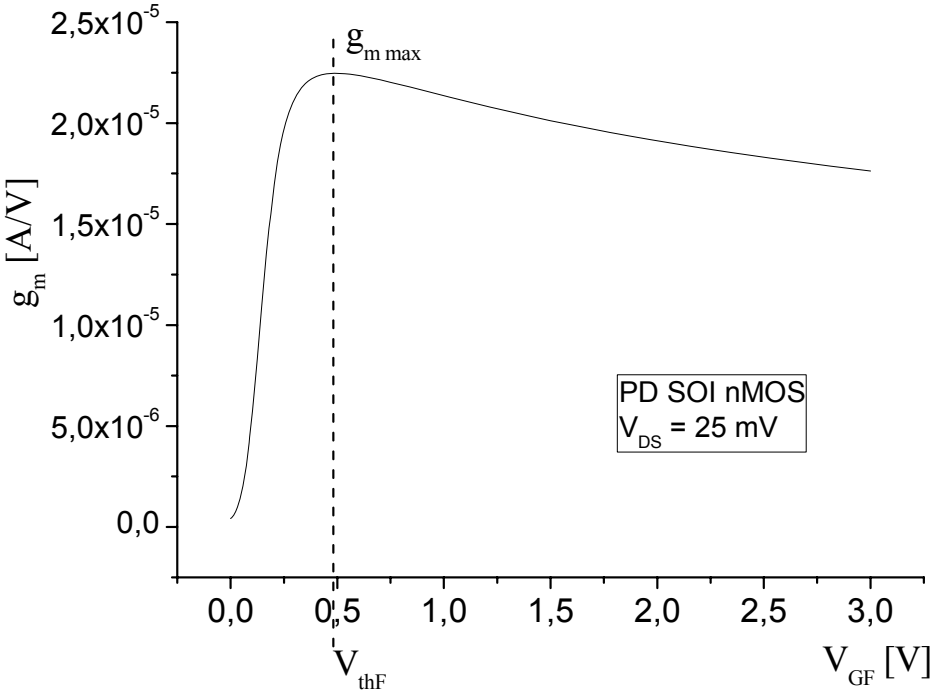


Figura 9 - Extração de V_{thF} usando o método de máxima transcondutância (G_{Mmax}) para um dispositivo operando na região linear.

A determinação da mobilidade de saturação (μ_{sat})[39], ou seja, quando o transistor MOSFET está operando na região de saturação, foi obtida através da mesma metodologia utilizada para a extração da tensão de limiar, em que equação da corrente de dreno em modo saturação, equação (19), obedece a lei quadrática. Desta forma, com os dados obtidos experimentalmente, é traçado o gráfico da raiz quadrada da corrente de dreno (I_{DS}) versus a tensão na porta (V_{GF}), e desta forma extrai-se a inclinação (m) da reta obtida, portanto μ_{sat}:

$$\mu_{sat} = \frac{2\,L\,m^2}{W C_{oxf}} \tag{22}$$

2.8 Aplicações em Altas Temperaturas e a Tecnologia SOI

Durante as últimas décadas, o interesse no desenvolvimento de circuitos e dispositivos eletrônicos em alta temperatura tem atraído muitas pesquisas das indústrias, universidades e do governo em todo mundo. Embora as motivações individuais, necessidades e aplicações tenham sido relativamente diferentes, os requisitos comuns dos dispositivos e circuitos que emergiram dos seus esforços, atualmente constituem as regras informais de um sucesso da tecnologia em alta temperatura. Um esboço, quantitativo destes requisitos, é que a maioria das aplicações, circuitos e dispositivos encapsulados devem ser capazes de operar confiavelmente em campo por um mínimo de 1000 horas à temperaturas até 300°C nas junções físicas e resistir choques, vibrações e uma larga faixa de pressão atmosférica.

A indústria automobilística, que é um exemplo de área e mercado com grande potencial e aplicações que atuam em altas temperaturas, possui primariamente a intenção de melhorar o controle e monitoramento do motor. Desta maneira colaborando para otimizar a operação do motor, reduzir emissão de poluentes e proporcionar melhor economia de combustível. A chamada eletrônica embarcada, neste setor para ser considerada confiável, deve ser capaz de estender sua operação em todas as estações do ano (ou quase) em qualquer lugar do globo terrestre, tanto quanto resistir a muitos ciclos de variação de temperatura (noite-dia / deserto quente / montanha frio). Além do mais, com a tendência da indústria sempre buscar uma melhor forma aerodinâmica dos veículos, são esperadas temperaturas maiores embarcadas, da qual a faixa atual típica extrema está entre -40°C e 200°C, dependendo do local especifico do bloco do motor ou do sistema de exaustão[40,41,42,43].

As indústrias de perfuração e exploração geotérmica necessitam de circuitos que trabalham em altas temperaturas nas ferramentas de perfuração ou sondas usadas para localizar e avaliar compostos em reservatórios profundos dentro da superfície do globo terrestre (mais de 10.000 pés de profundidade). Uma vez que o volume disponível dentro destas ferramentas é escasso onde ficam os circuitos, e devido ao típico trabalho de perfuração exigir operações em ambientes com temperaturas até 300°C por dezenas de horas em cada tentativa, estas industrias têm colocado uma importante ênfase na identificação e aplicação de tecnologias de circuitos integrados para altas temperaturas em suas necessidades[44].

A indústria de motores para aviação civil e militar e a indústria de exploração espacial necessitam de circuitos eletrônicos de alta temperatura, para finalidades de monitoramento da performance de motores, tanto para os estágios de desenvolvimento e operacional na exploração remota de atmosferas de planetas e sondas solares. As exigências típicas em tais aplicações incluem que sejam equipamentos leves, circuitos de baixa potência e que possam resistir por um longo tempo em operação até 600°C[44].

As indústrias de reatores nucleares e elétricos estão interessadas em aplicações de monitoramento, controle e segurança para usinas de energia. O interesse de circuitos que operam em altas temperaturas e ambientes com radiação é motivado pela necessidade de utilizar instrumentos de detecção confiáveis em locais da usina que são hostis e perigosos para operadores humanos.

A tecnologia de Silício sobre Isolante (Silicon-on-Insulator - SOI) surgiu como a solução mais madura para aplicações em altas temperaturas nas aplicações com tecnologia MOS. Alguns dos fatores que promovem a tecnologia SOI a essa condição são o fato de apresentar um valor menor da corrente de fuga em altas temperaturas do que os dispositivos da tecnologia convencional MOS (“bulk”), assim como também apresenta uma menor

variação da tensão de limiar com a temperatura[45]. Nesta tecnologia os dispositivos mostram-se imunes ao efeito tiristor parasitário ("latch-up") induzido pela temperatura, e desta forma os circuitos com estes dispositivos podem operar em temperaturas acima de 300°C, enquanto que na tecnologia convencional ("bulk") é normalmente limitado a 150°C[26,46].

3 Ponto Invariante com a Temperatura ZTC ("Zero Temperature Coefficient")

No presente capítulo será apresentada uma revisão bibliográfica sobre o ponto invariante com a temperatura (ZTC), a importância da polarização dos dispositivos no ponto ZTC e os modelos existentes na literatura para estudo dos aspectos do comportamento da polarização no ponto invariante com a temperatura (V_{ZTC}) nos regimes de triodo e saturação.

3.1 Importância da determinação do ponto invariante com a temperatura (V_{ZTC})

Há um crescimento significativo do número indústrias de circuitos eletrônicos integrados que precisam operar com confiabilidade por um grande período sob um ambiente em condições severas. Alguns desses ambientes são a eletrônica embarcada na indústria automobilística, os equipamentos eletrônicos para exploração espacial e terrestre (pesquisas geotérmicas), a indústria de aeronaves e nuclear[16].

Nos últimos anos, progressos significativos têm sido realizados nos processos de caracterização do comportamento elétrico de transistores na tecnologia CMOS operando sob uma larga faixa de temperatura[16-20]. E para o caso de circuitos projetados para aplicações em alta temperatura, é desejável que funcionem em um ponto de polarização onde o valor da corrente de dreno (I_{DS}) não apresente variação com a temperatura. Este critério garante que parâmetros do circuito polarizado, tais como por exemplo o desvio da tensão de "offset" em circuitos amplificadores

operacionais, sejam menos sensíveis no casamento das características dos dispositivos[21].

A Figura 10 mostra a curva característica, I_{DS} x V_{GF} (para V_{DS} = 25 mV) de um transistor SOI MOSFET parcialmente depletado (PD-SOI), onde observa-se claramente a existência de um ponto de polarização $V_{GF} = V_{ZTC}$ em que a corrente de dreno ($I_{DS} = I_{ZTC}$) é a mesma com a variação de temperatura.

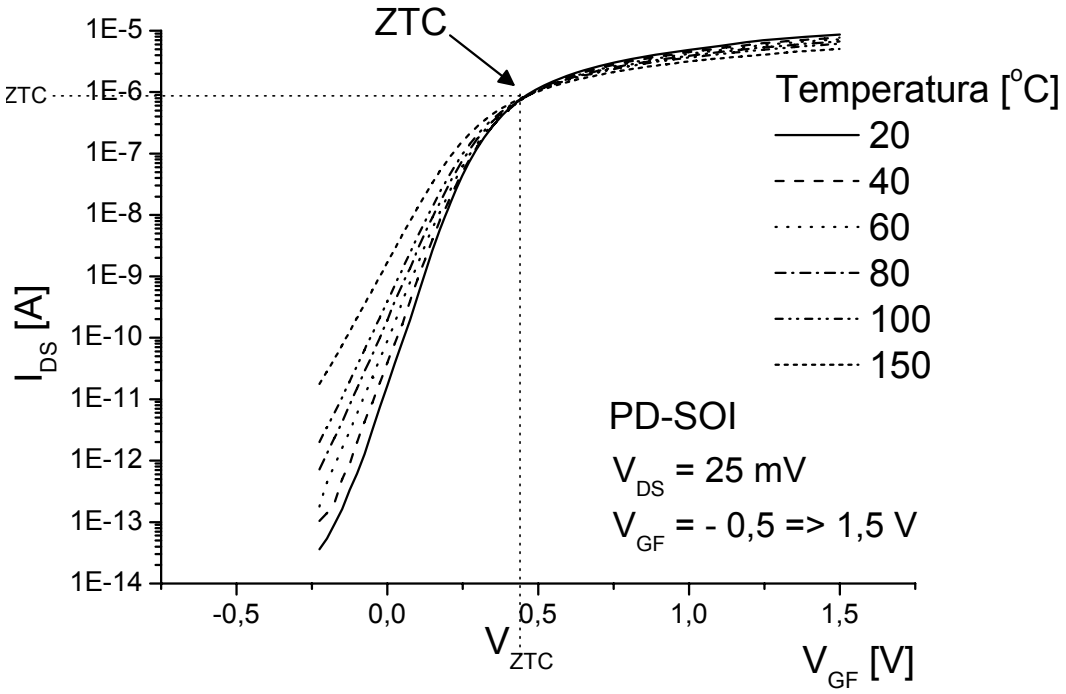


Figura 10: Curva característica I_{DS} x V_{GF} para um transistor SOI MOSFET parcialmente depletado para diversas temperaturas.

Esse ponto de polarização, que é muito importante para a estabilidade de um circuito em operação sobre uma larga faixa de temperatura, é conhecido como Ponto Invariante com a Temperatura (ZTC - "Zero Temperature Coefficient"). Muitas pesquisas tem abordado o estudo da polarização no ponto ZTC em dispositivos MOS convencionais[16,22] e dispositivos SOI parcialmente depletados (PD)[21], considerando a dependência da tensão de limiar (V_{thF}) e da mobilidade (μ_n) com a

temperatura[16], incluindo o efeito de corpo (n)[22] e também a degradação da mobilidade com o campo elétrico transversal (θ)[21].

A tecnologia SOI CMOS tem sido amplamente usada em aplicações de alta temperatura devido as suas melhores características[47,48,49] como baixo valor da corrente de fuga, melhor fator de inclinação de sublimiar e supressão do efeito tiristor parasitário ("latch-up") comparado aos dispositivos com tecnologia MOS convencional[26,49].

3.2 Definição do Ponto Invariante com a Temperatura (ZTC)

O funcionamento dos transistores MOS convencionais é fortemente dependente da temperatura[14,15], e um dos parâmetros responsáveis por esta dependência é a mobilidade efetiva (μ_{eff}), a qual sabe-se que diminui com aumento da temperatura. Uma aproximação comumente usada é a mostrada na equação (23).

$$\mu_{eff}(T) = \mu_{eff}(T_0)\left(\frac{T_0}{T}\right)^c \tag{23}$$

onde T_0 é a temperatura ambiente em valor absoluto (K), T é a temperatura de operação em valor absoluto (K) e c é uma constante, que pode assumir valores entre 1.5 e 2.4[14,15].

Outros parâmetros importantes dependentes da temperatura são o potencial de Fermi (ϕ_F) e conseqüentemente a tensão de faixa plana V_{FB}. A tensão V_{FB} é dependente da temperatura através da diferença de função

trabalho ϕ_{MS}, assumindo a aproximação com a carga Q_{ox} invariante[14]. Estes efeitos se manifestam na tensão de limiar V_{th}, a qual exibe uma diminuição de maneira aproximadamente linear com o aumento da temperatura, que pode ser aproximada pela equação (24)[14]:

$$V_{th}(T) = V_{th}(T_0) - d\,(T-T_0) \qquad (24)$$

onde *d* está usualmente entre 0.5 mV/K e 4 mV/K, em que os maiores valores são correspondentes a dispositivos com substratos com alta concentração de impurezas e óxidos de porta espessos.

A existência de um ponto ZTC estável tem sido estudada e comprovada analítica e experimentalmente para transistores MOS convencionais operando nas regiões linear e de saturação de polarização [18,50]. A variação sofrida na tensão de limiar e na mobilidade efetiva dos elétrons com a temperatura causará um deslocamento na curva característica do transistor, observada através da variação da corrente de dreno (I_{DS}) em função da variação da tensão aplicada à porta (V_{GF}), considerando que a degradação da mobilidade dos portadores de carga causará uma diminuição na inclinação desta curva.

Em um certo ponto de polarização da tensão de porta V_{GF}, as mudanças nos dois parâmetros supracitados (V_{thF} e μ_{eff}) provocam um comportamento compensatório, ou seja, com aumento da temperatura o valor de V_{th} diminui (aumentando a corrente I_{DS}) e μ_{eff} degrada (diminuindo a corrente I_{DS}). Desta forma, demonstra-se que existe um determinado ponto de polarização (V_{ZTC}), a corrente I_{DS} ($V_{GF} = V_{ZTC}$) = I_{ZTC} fica praticamente constante.

Considerando o efeito que ocorre no ponto de polarização ZTC no comportamento de transistores com tecnologia MOS, vários estudos têm

sido realizados em dispositivos CMOS para desenvolver modelos analíticos para uma polarização ideal da tensão de porta (V_{GS}) que garanta uma corrente de dreno independente da temperatura em ambas as regiões de operação: linear e saturação[16,22,51,52].

A determinação do ponto invariante com a temperatura (ZTC) é definida, como o ponto em que o valor da tensão de porta do transistor (V_{GS}) garante um valor constante para a corrente de dreno (I_{DS}) com variação da temperatura, portanto; a derivada da corrente com a temperatura neste ponto é nula

$$\left.\frac{dI_{DS}}{dT}\right|_{V_{GF}=V_{ZTC}} = 0 \qquad (25)$$

A relação (25) é a condição necessária para garantir a existência do ponto ZTC.

3.3 Modelos sobre o Ponto Invariante com a Temperatura (ZTC)

3.3.1 Modelo V_{ZTC} para transistores CMOS convencionais – Prijic[22]

Através dos modelos analíticos, muito bem conhecidos para a corrente de dreno (I_{DS}) em transistores MOS convencionais[14,15], e o modelo de aproximação da camada de inversão forte[14], obtém-se[22] :

$$I_{DS} = \mu_{eff}.C_{ox}.\frac{W}{L}\left[\frac{(V_{GS}-V_{th})^2}{2(1+\delta)}\right](1+\rho^2) \tag{26}$$

onde

$$\rho = \begin{cases} 1-\dfrac{V_{DS}}{\dfrac{V_{GS}-V_{th}}{1+\delta}}, & V_{DS} \le \dfrac{V_{GS}-V_{th}}{1+\delta}\,(\text{região linear}) \\ 0 \qquad\qquad , & V_{DS} > \dfrac{V_{GS}-V_{th}}{1+\delta}\,(\text{região de saturação}) \end{cases} \tag{27}$$

e δ representa o fator de contribuição da tensão de dreno (V_{DS}) sobre a largura da camada de depleção.

A dependência da mobilidade efetiva dos elétrons com a variação de temperatura pode ser assumida na forma da equação (23)[14,15].

Através das equações (25) e (26), obtém-se as expressões para a tensão de porta no ponto ZTC (V_{ZTC}) para as regiões linear e de saturação[22]:

Para a região linear tem-se:

$$V_{GS}(ZTC) - V_{th} = -\frac{T}{k}\left(\frac{dV_{th}}{dT} + \frac{1}{2}V_{DS}\frac{d\delta}{dT}\right) + \frac{1}{2}V_{DS}(1+\delta) \tag{28}$$

E para a região de saturação será:

$$V_{GS}(ZTC) - V_{th} = -\frac{2T(1+\delta)\frac{dV_{th}}{dT}}{(1+\delta)k + T\frac{d\delta}{dT}} \tag{29}$$

Através da aplicação de alguns procedimentos[18], para a minimização da diferença entre os dois lados da igualdade das equações (28) e (29)[22], pode- se obter um ponto ideal de polarização da tensão de porta (V_{GS}ZTC), que garanta uma corrente de dreno sem variação com a temperatura.

3.3.2 Modelo V_{ZTC} para MOS Convencionais – Shoucair[16]

Para transistores MOSFETs com canal N ou P, a condição que deve manter a corrente de dreno no ponto ZTC, I_D(ZTC)[16], é:

$$\frac{1}{I_{DS}}\frac{dI_{DS}}{dT} = 0 = \frac{1}{\mu_{eff}(T)}\frac{d\mu_{eff}(T)}{dT} - \left[\frac{m}{V_{GS} - V_{th}(T)}\right]\frac{dV_{th}(T)}{dT} \tag{30}$$

onde m = 1 na região linear, m = 2 na região de saturação e μ_{eff} é obtido através da equação (31).

$$\mu_{eff}(T) = \mu_{eff}(T_0)\left(\frac{T}{T_0}\right)^{-1.5} \tag{31}$$

Resolvendo-se a derivada da equação (30) tem-se:

$$I_{DS}(ZTC) \approx \frac{1}{2}\mu_{eff}(T_0)C_{ox}\frac{W}{L}\left[\frac{-m}{1.5}T_0\frac{dV_{th}(T)}{dT}\right]^m \tag{32}$$

onde

$$\frac{dV_{th}(T)}{dT} = \left[2 + \frac{\gamma}{\sqrt{[V_{SB} + 2\phi_F(T)]}}\right]\left[\frac{\phi_F(T)}{T} - \frac{k}{q}\left(\frac{3}{2} + \frac{E_{g0}}{2qT}\right)\right] \tag{33}$$

V_{SB} é a tensão de polarização do substrato, γ é o fator de efeito de corpo independente da temperatura, $E_{g0} \approx 1.2$ eV é a largura da faixa proibida do silício a 0^oK.

Para propostas de projeto de circuito, é desejável uma expressão explícita para a tensão de porta que polariza um transistor MOS no ponto ZTC ($I_D(ZTC)$), que pode ser obtida analiticamente pelo método dos mínimos quadrados, minimizando o desvio do termo $[V_{GS} - V_{th}(T)]$ do valor determinado pela equação (30) sob uma faixa de temperatura especifica [T1, T2], em que T2 > T1. Contudo, a integração exigida para a resolução é complexa e o resultado exato não é de fácil tratamento matemático para obtenção de uma expressão simplificada. Desta forma obtem-se uma expressão derivada de aproximações com as equações (30) e (33)[16]:

$$V_{GS}(ZTC) \approx \frac{-p_0}{6}(2m-3)(T1+T2)+q_0 + \\ +\gamma\left\{\left[\sqrt{V_{SB}+2\phi_F(T_{MED})}\right]-\sqrt{2\phi_F(T_{MED})}\right\}- \\ -\frac{m\gamma}{1.5}\left[\frac{1}{\sqrt{[V_{SB}+2\phi_F(T_{MED})]}}-\frac{1}{\sqrt{[2\phi_F(T_{MED})]}}\right]x\left[\phi_F(T_{MED})-\frac{E_{G0}}{2q}\right] \quad (34)$$

onde $p_0 = dV_{th}/dT$, $q_0 \approx V_{th}(T_0) - p_0\, T_0$, T_0 é a temperatura de referência e $\phi_F(T_{MED})$ é a média do valor do potencial de Fermi sobre a faixa de temperatura [T1, T2] .

3.3.3 Modelo V_{ZTC} para SOI MOSFETs Parcialmente Depletados – Osman[21]

O modelo[53] reportado para corrente de dreno de dispositivos SOI MOSFET Parcialmente Depletados (PD-SOI) para ambas regiões de operação é:

Região Linear:

$$I_{DS}(T) = \frac{W}{L}\mu_{eff}(T).C_{oxf}.\left[(V_{GF}-V_{thF}(T))V_{DS}-\frac{1+\alpha(T)}{2}V_{DS}{}^2\right] \quad (35)$$

Região de Saturação:

$$I_{DS}(T) = \frac{W}{2L}\mu_{eff}(T).C_{oxf}.\frac{(V_{GF}-V_{thF}(T))^2}{(1+\alpha(T))} \quad (36)$$

onde T é a temperatura, W e L são a largura e comprimento do canal, C_{oxf} é a capacitância do óxido de porta e (1+α) é termo do fator de efeito de corpo. V_{GF} e V_{thF} são a tensão aplicada a porta e a tensão de limiar, respectivamente, enquanto que μ_{eff} representa a mobilidade dos portadores que é modelada[54] por:

$$\mu_{eff}(T) = \frac{\mu_0(T)}{1+\theta(T)[V_{GF} - V_{thF}(T)]} \tag{37}$$

O parâmetro θ(T) dimensiona a degradação da mobilidade com o campo elétrico transversal e o parâmetro μ_0(T) é a mobilidade de baixo campo que tem uma dependência com a temperatura na forma da equação (23).

Através das equações (35) e (36) e da definição do ponto ZTC pela equação (25), pode-se demonstrar que a polarização da porta no ponto ZTC é dada por:

$$V_{GF}(ZTC) = V_{thF} + \frac{-B_{Os} + \sqrt{B_{Os}^{\ 2} + 4A_{Os}C_{Os}}}{2A_{Os}} \tag{38}$$

onde A_{Os}, B_{Os} e C_{Os} são determinados no ponto ZTC de acordo com qual regime está se operando, linear ou de saturação. As aproximações usadas na equação acima são as mesmas que adotadas no modelo de Prijic[22] para tecnologia CMOS convencional. Na região linear, os parâmetros A_{Os}, B_{Os} e C_{Os} da equação (38) são definidos como[21]:

$$A_{Os} = \frac{c}{T}\theta(T) - \frac{d\theta(T)}{dT}$$

$$B_{Os} = \frac{c}{T}\left(1 - \frac{V_{DS}\theta(T)}{2}(1+\alpha(T))\right) + (1+\alpha(T))V_{DS}\frac{d\theta(T)}{dT} + \theta(T)\frac{dV_{thF}(T)}{dT} + \theta(T)\left(\frac{dV_{thF}(T)}{dT} + \frac{1}{2}\frac{d\alpha(T)}{dT}V_{DS}\right)$$

$$C_{Os} = \frac{c}{T}V_{DS}(1+\alpha(T)) + V_{DS}\theta(T)(1+\alpha(T))\frac{dV_{thF}(T)}{dT} - \left(\frac{dV_{thF}(T)}{dT} + \frac{d\alpha(T)}{2dT}V_{DS}\right) \quad (39)$$

Por outro lado, se o ponto ZTC está na região de saturação, então os parâmetros A_{Os}, B_{Os} e C_{Os} serão dadas por:

$$A_{Os} = \theta(T)\left(\frac{c}{T} + \frac{d\alpha(T)}{dT}\right) + \frac{d\theta(T)}{dT}(1+\alpha(T))$$

$$B_{Os} = \frac{c}{T} + \frac{d\alpha(T)}{dT} + 2\frac{dV_{thF}(T)}{dT}\theta(T) - \theta(T)\frac{dV_{thF}(T)}{dT}(1+\alpha(T))$$

$$C_{Os} = 2\frac{dV_{thF}(T)}{dT} \quad (40)$$

O valor ótimo da tensão de polarização de porta no ponto ZTC, V_{GS}(ZTC), é obtido pela diminuição da diferença entre os lados da equação (38) através do método dos mínimos quadrados sob a faixa de temperatura investigada [27, 300°C].

Os modelos apresentados[16,21,22] analisam e demonstram a modelagem para a polarização no ponto ZTC para dispositivos MOS convencionais e SOI MOSFETs parcialmente depletados. Estes trabalhos possuem propostas de determinação para a polarização no ponto ZTC, que apesar das aproximações e simplificações que foram adotadas, utilizam expressões extensas que podem ser bastante complexas, ou seja, em uma análise inicial não é possível perceber como a variação dos principais parâmetros do transistor irão influênciar no valor de V_{ZTC}. Estes modelos garantem uma alta precisão e um equacionamento muito aplicável para uso nos modelos inseridos em programas simuladores numéricos e analíticos disponíveis comercialmente.

No próximo capítulo será apresentada uma proposta de modelo simples desenvolvido para a avaliação do ponto ZTC em transistores SOI MOSFETs parcialmente (PD) e totalmente (FD) depletados, sendo que este último é inédito. A idéia de um modelo simples proporciona condições de análise dos principais fatores que influênciam na obtenção do ponto ZTC, desta forma permitindo uma percepção direta de como cada fator o afeta.

4 Proposta de um Modelo Analítico Simples para determinação da tensão de polarização no ponto invariante com a temperatura (V_{ZTC})

Neste capítulo é apresentada uma proposta de um modelo analítico simples para estudo do comportamento da tensão de porta (V_{GF}) igual a tensão no ponto invariante com a temperatura (V_{ZTC}), operando nas regiões linear e de saturação. A validação do modelo apresentado é realizada através da comparação dos resultados das simulações do modelo CM proposto e os dados experimentais.

4.1 Motivação da proposta do modelo analítico simples do ponto invariante com a temperatura (ZTC)

A tecnologia SOI CMOS tem sido amplamente utilizada em aplicações de alta temperatura devido a características como o baixo valor das correntes de fuga, o melhor fator de inclinação de sublimiar e a supressão do fenômeno de tiristor parasitário ("latch-up") comparado com os dispositivos de tecnologia MOS convencional[26,48].

Como descrito no capítulo 3, a determinação da tensão no ponto de polarização invariante com a temperatura (V_{ZTC}) é muito importante para a estabilidade de circuitos que operam em uma larga faixa de valores de temperatura. Portanto, foi verificada a existência de trabalhos, através de propostas de modelos analíticos, a respeito do comportamento dos transistores com tecnologia MOS no ponto ZTC.

Esses trabalhos foram realizados para transistores MOS convencionais[16,22] e para dispositivos SOI MOSFET em regime parcialmente depletado (PD-SOI)[21], com destaque para análise de sua influência sobre parâmetros importantes como a dependência da tensão de limiar (V_{thF}) e da mobilidade dos elétrons (μ_n)[16] com a temperatura, o efeito do fator de corpo (n)[22] e o fator de degradação da mobilidade devido ao campo elétrico transversal (θ)[21].

Os trabalhos supracitados já apresentam uma modelagem para a polarização no ponto ZTC de transistores com tecnologias MOS convencional e SOI MOSFET parcialmente depletados, entretanto estes trabalhos desenvolvem expressões que, mesmo com aproximações, incluem alguns termos que são derivados de outras expressões extremamente extensas. Desta forma garantem a alta precisão e um equacionamento muito aplicável para uso em modelos que são inseridos nos programas de simulação numérica e analítica disponíveis comercialmente, mas não permitem uma análise mais direta e simples da influência dos principais parâmetros no comportamento dos transistores no ponto ZTC.

A seguir será apresentado o desenvolvimento de um modelo simples para a avaliação do ponto ZTC, em transistores SOI MOSFETs parcialmente (PD) e totalmente (FD) depletados, permitindo a análise dos principais fatores que influênciam na obtenção deste ponto.

4.1.1 Modelo Camillo-Martino (Modelo CM): Modelo de V_{ZTC} na Região Linear

Na região linear, a corrente de dreno (I_{DS}) de um SOI MOSFET, em regime de inversão forte, pode ser calculada usando-se a equação (41)[53] na temperatura T1:

$$I_{DS1} = \mu_{n1}.C_{oxf}.\frac{W}{L}\left[\left(V_{GF} - V_{th1}\right)V_{DS} - \frac{n_1 V_{DS}^{\ 2}}{2}\right] \quad (41)$$

onde $C_{oxf} = \varepsilon_{ox}/t_{ox}$, t_{ox} é a espessura do óxido de porta, ε_{ox} é a permissividade do dióxido de silício (SiO_2), W e L são a largura e comprimento do canal do transistor, respectivamente, V_{GF} e V_{DS} são as tensões aplicadas aos terminais de porta e dreno, respectivamente em relação ao terminal de fonte. Os parâmetros μ_{n1}, V_{th1} e n_1 são a mobilidade efetiva dos elétrons, tensão de limiar e fator de efeito de corpo, respectivamente, para o caso da temperatura igual a T1.

O parâmetro μ_{n1} é definido em função da mobilidade de baixo campo ($\mu_{n0(T1)}$), o fator de degradação da mobilidade (θ), tensão aplicada à porta do transistor (V_{GF}) e a tensão de limiar (V_{th}), como[55]:

$$\mu_{n1} = \frac{\mu_{n0(T1)}}{1 + \frac{\theta_1}{n_1}\left(V_{GF} - V_{th1}\right)} \quad (42)$$

Por definição, o ponto de polarização ZTC (V_{ZTC}) representa a tensão de porta que garante que a corrente de dreno permaneça constante com a variação de temperatura. Através da equação (41) e na temperatura T2 (T2 > T1), obtém-se o ponto de cruzamento entre as curvas da corrente de dreno I_{DS} por V_{GF}, que apresenta as coordenadas V_{ZTC}(T1,T2) e I_{ZTC}(T1,T2), como mostrado na Figura 11.

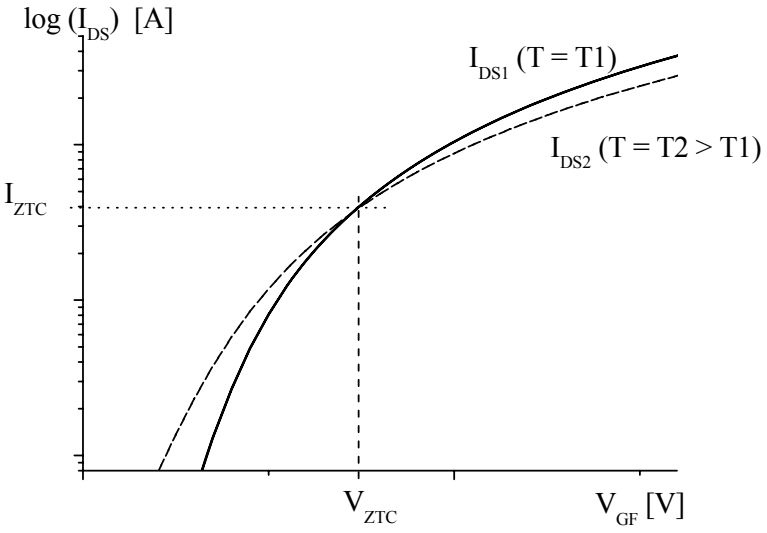


Figura 11: O ponto ZTC na curva I_{DS} x V_{GF} para temperaturas T1 e T2.

Admitindo-se que o ponto ZTC na tensão de polarização de porta ocorre na região linear (triodo $V_{ZTC} > V_{thF} + V_{DS}$), tem-se para a corrente de dreno[55]:

$$I_{DS1} = \frac{\mu_{n0(T1)}}{1+\frac{\theta_1}{n_1}\left(V_{GF}-V_{th1}\right)} C_{oxf} \frac{W}{L}[(V_{GF} - V_{th1})V_{DS} - n_1 \frac{V_{DS}^2}{2}] \quad (43)$$

$$I_{DS2} = \frac{\mu_{n0(T2)}}{1+\frac{\theta_2}{n_2}\left(V_{GF}-V_{th2}\right)} C_{oxf} \frac{W}{L}[(V_{GF} - V_{th2})V_{DS} - n_2 \frac{V_{DS}^2}{2}] \quad (44)$$

Para $V_{GF} = V_{ZTC}$ implica em $I_{DS1} = I_{DS2}$, e considerando que em uma primeira análise, a variação com a temperatura dos fatores de efeito de corpo e de degradação da mobilidade pode ser aproximada para $n_1 \simeq n_2 \simeq n$ e $\theta_1 \simeq \theta_2 \simeq \theta$, respectivamente, desta forma pode-se também aproximar:

$$\frac{\theta_1}{n_1} \approx \frac{\theta_2}{n_2} \qquad \text{e} \qquad 1+\frac{\theta_1}{n_1}\left(V_{GF}-V_{th1}\right) \approx 1+\frac{\theta_2}{n_2}\left(V_{GF}-V_{th2}\right)$$

Com as considerações adotadas, a tensão V_{ZTC} pode ser isolada como mostrada na equação (45).

$$V_{ZTC}(T1,T2)_{LIN} = V_{ZTC\,LIN} = \frac{\mu_{n1}.V_{th1}-\mu_{n2}.V_{th2}}{\mu_{n1}-\mu_{n2}} + n\frac{V_{DS}}{2} \qquad (45)$$

onde μ_{n1} e μ_{n2} são as mobilidades efetivas dos elétrons nas temperaturas T1 e T2, respectivamente, e n é o efeito de corpo de acordo com estrutura analisada, equação (10).

Utilizando a relação que mostra a variação da mobilidade efetiva dos elétrons com a temperatura[22]:

$$\mu_{n2} = \mu_{n1}\left(\frac{T1}{T2}\right)^{c} \qquad (46)$$

e substituindo (46) em (45), pode-se obter a equação (47) com algumas simplificações, que representa o valor da tensão de polarização no ponto ZTC.

$$V_{ZTC\ LIN} = V_{th1} + \frac{\left(V_{th1}-V_{th2}\right)\left(\frac{T1}{T2}\right)^{c}}{1-\left(\frac{T1}{T2}\right)^{c}} + n\frac{V_{DS}}{2} \qquad (47)$$

4.1.2 Modelo Camillo-Martino (Modelo CM): Modelo de V_{ZTC} na Região de Saturação

Na região de saturação, a corrente de dreno (I_{DS}) em regime de inversão forte de um SOI MOSFET pode ser calculada, usando-se a equação (48)[53] na temperatura T1:

$$I_{DS1} = \mu_{n1}.C_{oxf}.\frac{W}{L}\left[\frac{\left(V_{GF} - V_{th1}\right)^2}{2n_1}\right] \tag{48}$$

onde C_{oxf} = ε_{ox}/t_{oxf}, t_{oxf} é a espessura do óxido de porta, ε_{ox} é a permissividade do dióxido de silício (SiO_2), W e L são a largura e comprimento do canal do transistor, respectivamente, e V_{GF} é a tensão aplicada ao terminal de porta. Os parâmetros μ_{n1}, V_{th1} e n_1 são a mobilidade efetiva dos elétrons, tensão de limiar e fator de efeito de corpo, respectivamente, caso a temperatura seja igual a T1.

Através da definição do ponto de polarização ZTC (V_{ZTC}) aplicada à equação (47) e considerando a temperatura T2 (T2 > T1), obtém-se o ponto de cruzamento entre as curvas da corrente de dreno I_{DS} por V_{GS} que apresenta as coordenadas V_{ZTC}(T1,T2) e I_{ZTC}(T1,T2), como mostrado na Figura 11.

Admitindo-se que o ponto ZTC na tensão de polarização de porta ocorre na região de saturação, tem-se para a corrente de dreno:

$$I_{DS1} = \frac{\mu_{n1}}{1 + \frac{\theta_1}{n_1}\left(V_{GF} - V_{th1}\right)} C_{oxf} \frac{W}{L} \frac{(V_{GF} - V_{th1})^2}{2\,n_1} \tag{49}$$

$$I_{DS2} = \frac{\mu_{n2}}{1+\frac{\theta_2}{n_2}\left(V_{GF}-V_{th2}\right)} C_{oxf} \frac{W}{L} \frac{(V_{GF} - V_{th2})^2}{2\,n_2} \tag{50}$$

Do mesmo modo que foi realizado no modelo em regime linear, para o modelo em regime de saturação, serão adotadas as aproximações para os parâmetros de fator de efeito de corpo e de degradação da mobilidade, ou seja, $n_1 \simeq n_2 \simeq n$ e $\theta_1 \simeq \theta_2 \simeq \theta$, respectivamente, e a aproximação para o termo $1+\frac{\theta_1}{n_1}\left(V_{GF}-V_{th1}\right) \approx 1+\frac{\theta_2}{n_2}\left(V_{GF}-V_{th2}\right)$.

Resultando na equação (51) para a determinação da tensão V_{ZTC} no regime de saturação.

$$V_{ZTC}(T1,T2) = V_{ZTC\,SAT} = A + \sqrt{A^2 - B} \tag{51}$$

onde

$$A = \frac{\mu_{n1}.V_{th1} - \mu_{n2}.V_{th2}}{\mu_{n1} - \mu_{n2}} \tag{52}$$

e

$$B = \frac{\mu_{n1}.V_{th1}{}^2 - \mu_{n2}.V_{th2}{}^2}{\mu_{n1} - \mu_{n2}} \tag{53}$$

Utilizando a relação que mostra a variação da mobilidade efetiva dos elétrons com a temperatura[22] através da equação (46), e substituindo nas expressões (52) e (53):

$$A = V_{th1} + \frac{\left(V_{th1} - V_{th2}\right)\left(\frac{T1}{T2}\right)^{c}}{1 - \left(\frac{T1}{T2}\right)^{c}} \tag{54}$$

$$B = \frac{V_{th1}^{2} - V_{th2}^{2}\left(\frac{T1}{T2}\right)^{c}}{1 - \left(\frac{T1}{T2}\right)^{c}} \tag{55}$$

Deste modo obtém-se o valor de V_{ZTC} dependente da tensão de limiar e do fator de degradação da mobilidade, ambos com relação a variação de temperatura de T1 para T2.

4.2 Validação do Modelo CM

O objetivo desta etapa é validar o modelo CM proposto, para a determinação da tensão de polarização do terminal de porta no ponto ZTC, através das equações (47) e (51) que consideram transistor operando nas regiões linear e de saturação, respectivamente.

A verificação será realizada através de comparação dos resultados simulados pelo modelo CM proposto e os dados experimentais.

4.2.1 Características dos Dispositivos

Os dispositivos SOI n e p MOSFETs parcialmente (PD) e totalmente (FD) depletados foram fabricados com tecnologia SOI CMOS 0.13μm. No caso dos dispositivos PD-SOI, a lâmina foi obtida pela técnica UNIBOND com uma espessura de óxido enterrado de 400 nm e 200 nm para

dispositivos FD-SOI. A estrutura de porta consiste de 2.5 nm de óxido-nitreto (NO) e um eletrodo com 150 nm de poli-silício. A técnica STI foi aplicada para o campo de isolação nos dispositivos FD-SOI e PELOX para os transistores PD-SOI. A espessura final da camada de silício é de 30 nm e 100nm para dispositivos FD e PD, respectivamente, Figura 12.

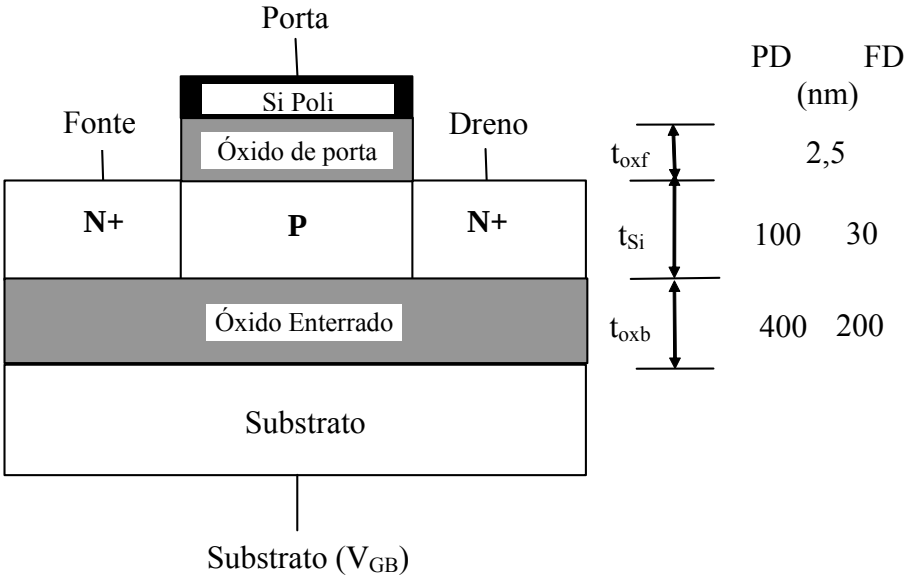


Figura 12 - Perfil do transistor nMOSFET SOI ilustrando as características dos dispositivos parcialmente e totalmente depletados.

4.2.2 Resultados experimentais e modelo CM proposto para dispositivos SOI Convencionais

Neste capítulo são apresentadas as curvas características dos dispositivo PD e FD SOI MOSFET em diferentes temperaturas, as quais foram obtidas experimentalmente utilizando os seguintes equipamentos: “Variable Temperature Micro Probe System”, modelo K20 da MMR Technology; e o analisador de parâmetros Agilent – 4156C

4.2.2.1 Região Linear de Operação

A Figura 13 e a Figura 14 apresentam as curvas I_{DS} x V_{GF} obtidas através de medidas experimentais com transistores SOI nMOSFETs parcialmente (PD) e totalmente (FD) depletados, em diferentes temperaturas e operando na região linear de polarização. É possível notar a ocorrência do ponto ZTC em ambos os tipos de dispositivos, obtendo o valor de $V_{ZTC} \simeq$ 0,47 V e $V_{ZTC} \simeq$ 0,36 V para os transistores PD-SOI e FD-SOI, respectivamente.

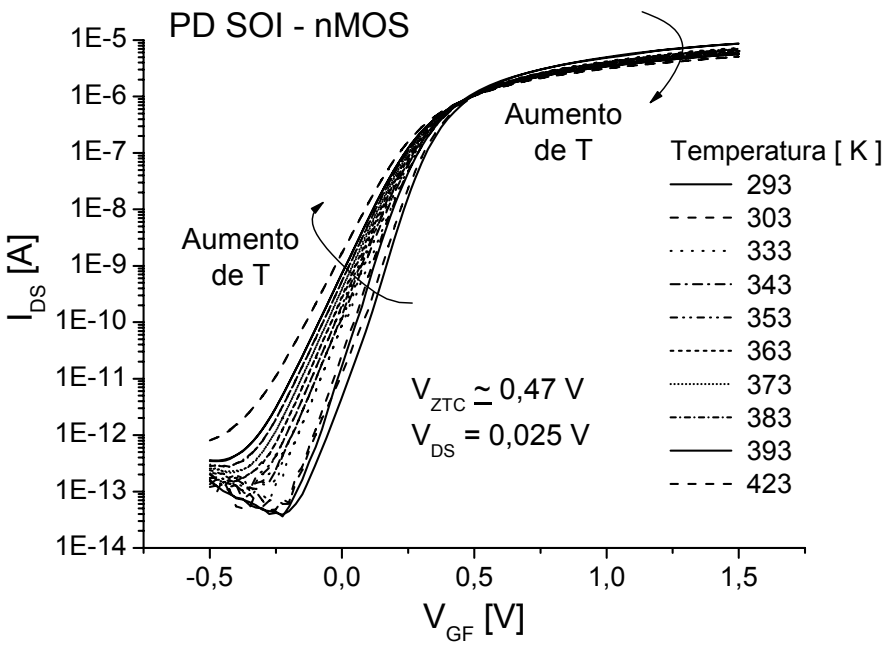


Figura 13: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI nMOS em diferentes temperaturas.

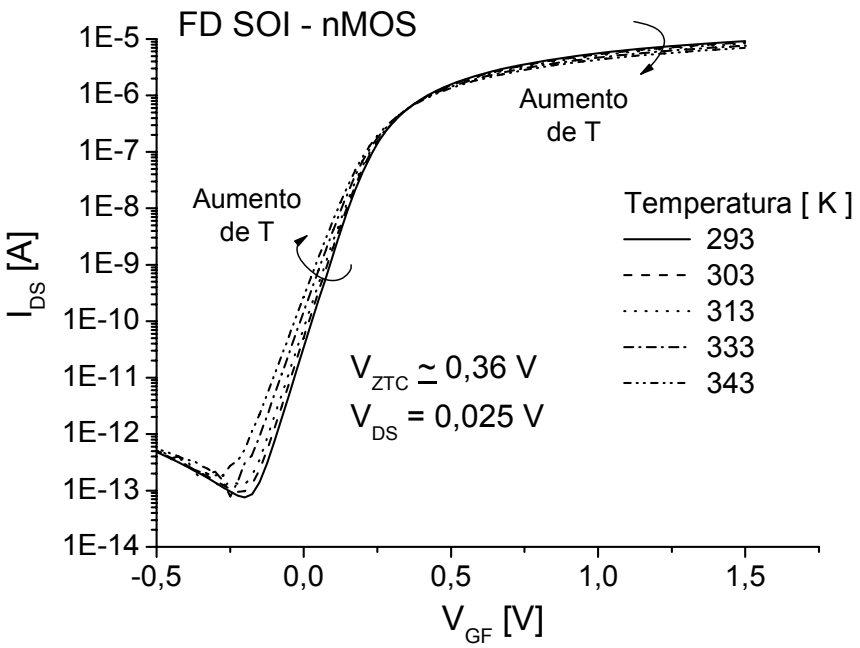


Figura 14: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor FD-SOI nMOS em diferentes temperaturas.

As medidas experimentais (I_{DS} x V_{GF}) com transistores SOI pMOSFETs parcialmente (PD) e totalmente (FD) depletados, em diferentes temperaturas e operando na região linear de polarização são apresentadas na Figura 15 e Figura 16. Também é possível notar a ocorrência do ponto ZTC em ambos os tipos de dispositivos, obtendo o valor de $V_{ZTC} \simeq$ - 0,8 V e $V_{ZTC} \simeq$ - 0,5 V para os transistores PD-SOI e FD-SOI, respectivamente.

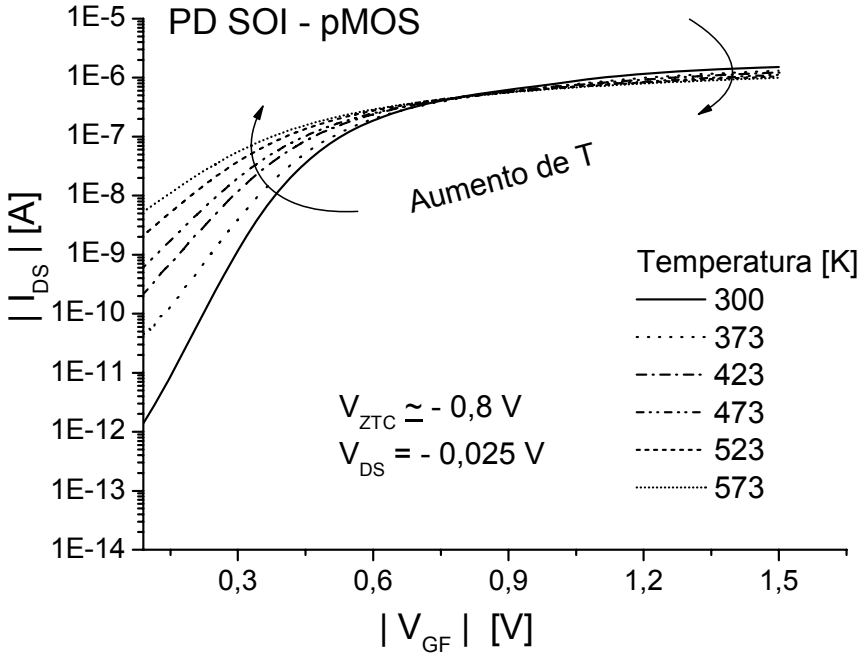


Figura 15: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI pMOS em diferentes temperaturas.

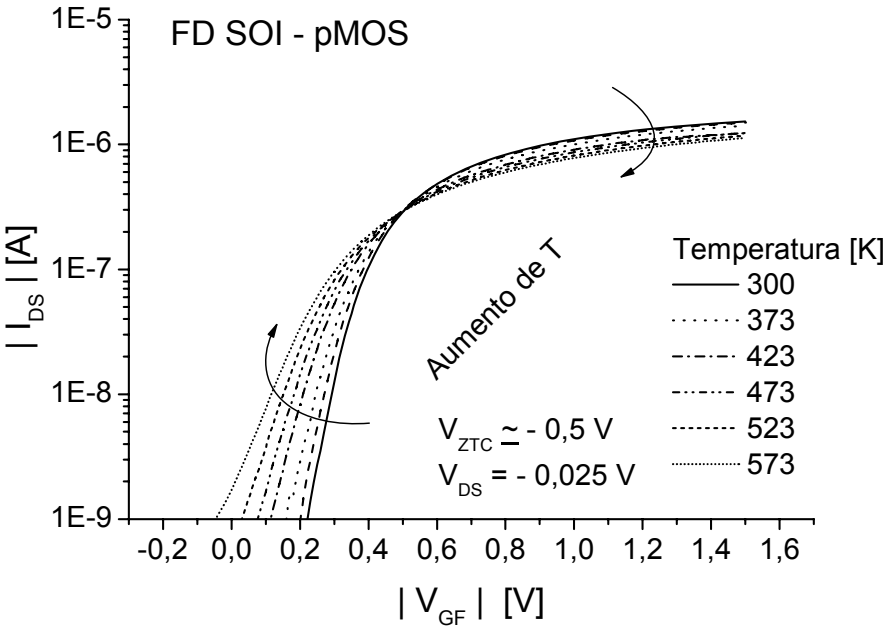


Figura 16: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor FD-SOI pMOS em diferentes temperaturas.

Da Figura 17 a Figura 20 é apresentado o valor de V_{ZTC} em função da temperatura, para os dispositivos SOI n e p MOSFETs para os dois tipos PD e FD, que foi obtido experimentalmente e pelo modelo CM proposto operando na região linear através da equação (47), em que os valores das tensões de limiar V_{th1} e V_{th2} inseridos são valores obtidos experimentalmente. O valor obtido de V_{ZTC} é o valor do ponto de cruzamento entre a curva I_{DS} x V_{GF} na temperatura de referencia (T1 = 300K) e as curvas I_{DS} x V_{GF} nas demais temperaturas analisadas (323 a 573K), portanto mostrando que V_{ZTC} na prática configura-se como uma faixa de valores de V_{GF} e não um ponto único, em que não há variação de I_{DS} com a temperatura.

Os valores do fator *c*, que representa a degradação da mobilidade com a temperatura, utilizados para o ajuste dos resultados do modelo CM proposto aos dados experimentais, foram obtidos através da equação (46) aplicada aos dados experimentais. O valor adotado do fator *c* foi a média aritmética dos seus valores, para a faixa de temperatura analisada, 300 a 573 K. Para uma analise da influência da adoção da média aritmética do fator *c*, como o valor inserido no modelo CM para o calculo de V_{ZTC}, foi calculado o seu respectivo desvio padrão. Desta forma o valor de V_{ZTC} obtido pelo modelo CM é apresentado nas figuras supracitadas, obtido com a média do fator c (linha cheia) e com a variação superior e inferior do desvio padrão (barra de erros). Os valores encontrados estão dentro do intervalo relatado na literatura[22] e foi observado um bom ajuste dos resultados do modelo CM proposto, apesar das simplificações utilizadas.

Esta apresentação da influência do valor adotado para o fator c no cálculo do valor de V_{ZTC} também será mostrada para os resultados obtidos com os dispositivos polarizados na região de saturação, apresentados no item 4.2.2.2 .

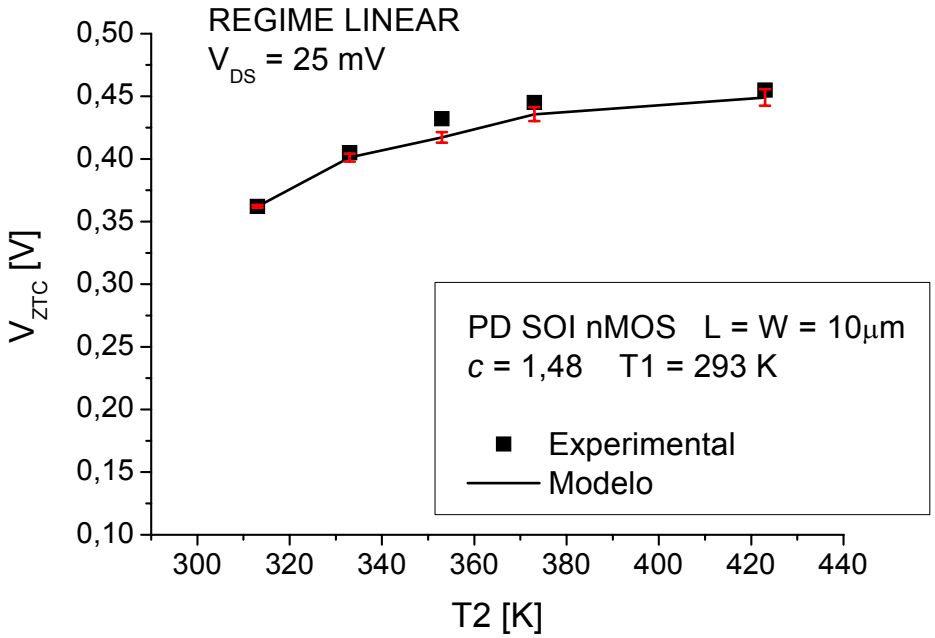


Figura 17: V_{ZTC} obtido experimentalmente e através da equação (47) para dispositivos PD SOI nMOS.

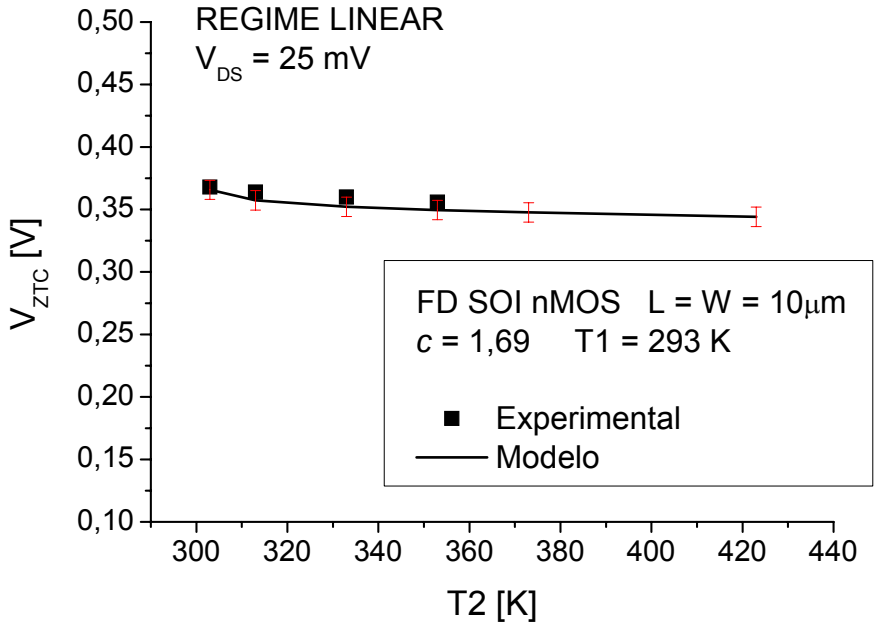


Figura 18: V_{ZTC} obtido experimentalmente e através da equação (47) para dispositivos FD SOI nMOS.

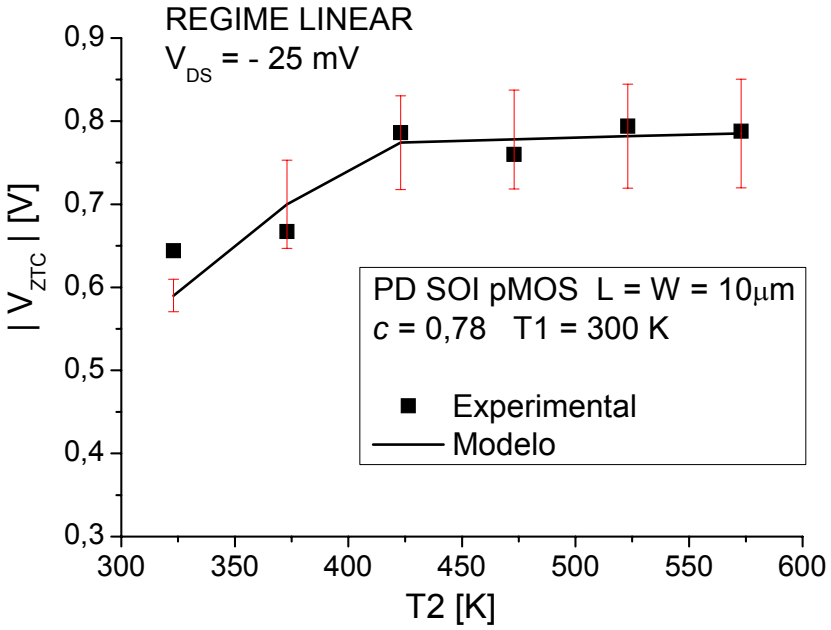


Figura 19: V_{ZTC} obtido experimentalmente e através da equação (47) para dispositivos PD SOI pMOS.

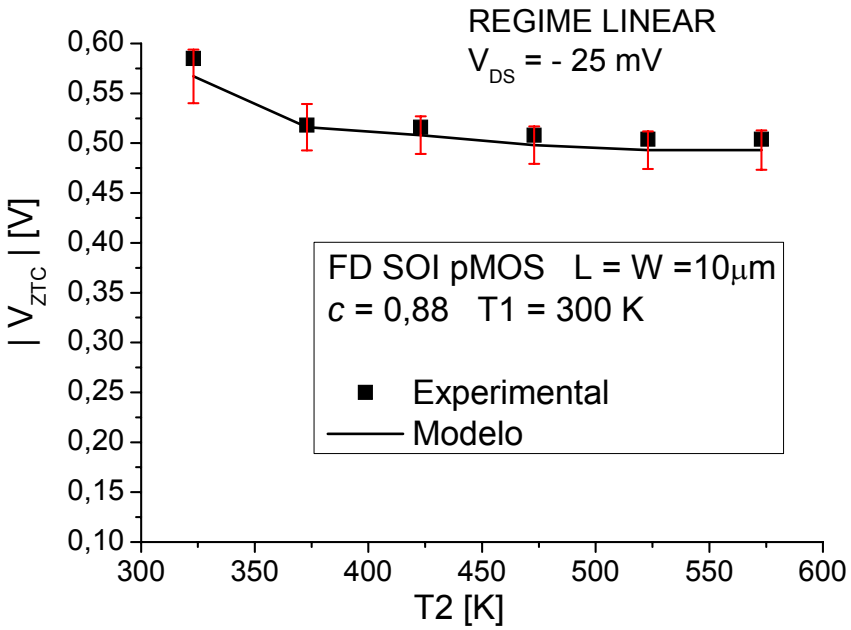


Figura 20: V_{ZTC} obtido experimentalmente e através da equação (47) para dispositivos FD SOI pMOS.

4.2.2.2 Região de Saturação de Operação

As curvas I_{DS} x V_{GF} foram obtidas da mesma forma que os dados extraídos com o transistor polarizado em regime linear, ou seja, através de medidas experimentais com os transistores SOI n e p MOSFETs parcialmente (PD) e totalmente (FD) depletados, e sob diferentes temperaturas, porém, operando na região de saturação de polarização. Na Figura 21 e na Figura 22 é possível observar a ocorrência do ponto ZTC, obtendo o valor aproximado de $V_{ZTC} \simeq 0{,}32$ V e $V_{ZTC} \simeq 0{,}45$ V para os transistores PD e FD, respectivamente.

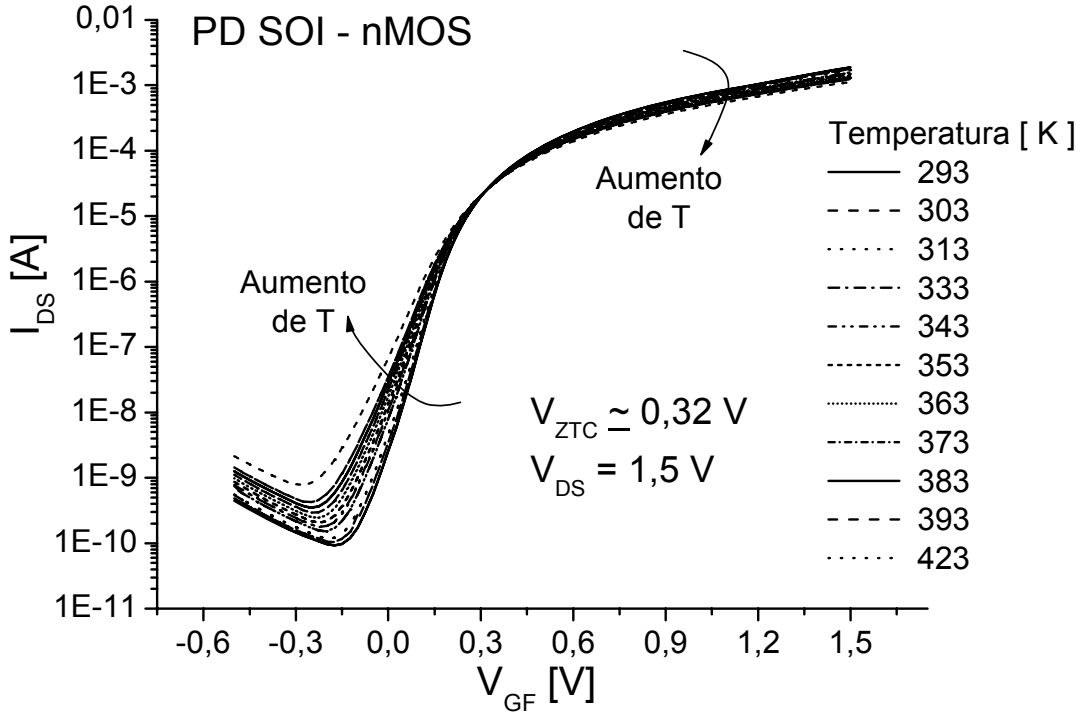


Figura 21: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI nMOS em diferentes temperaturas.

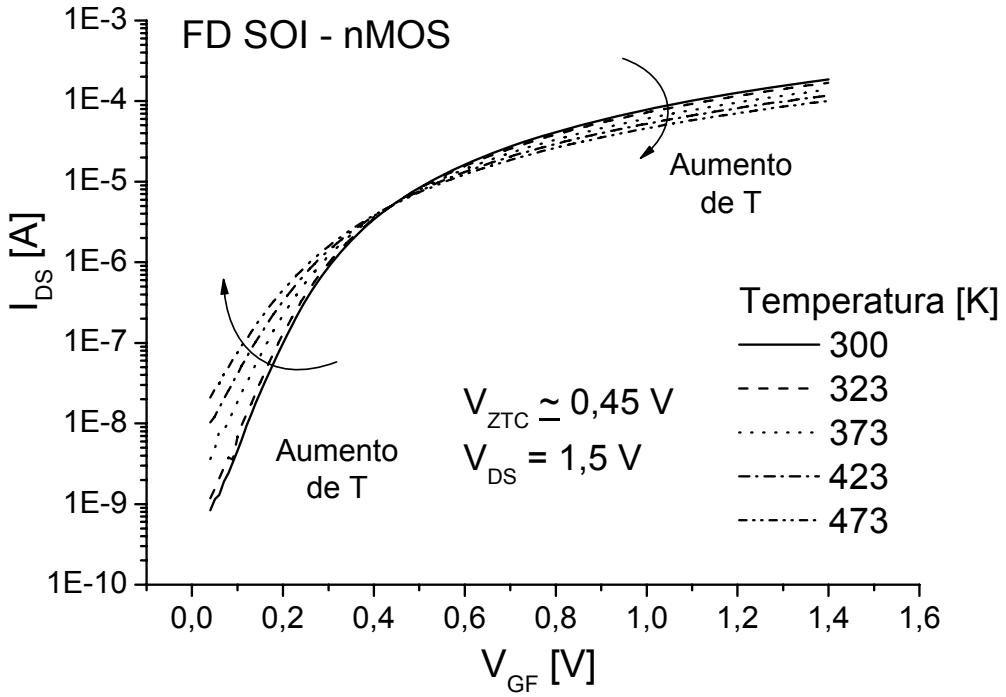


Figura 22: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor FD-SOI nMOS em diferentes temperaturas.

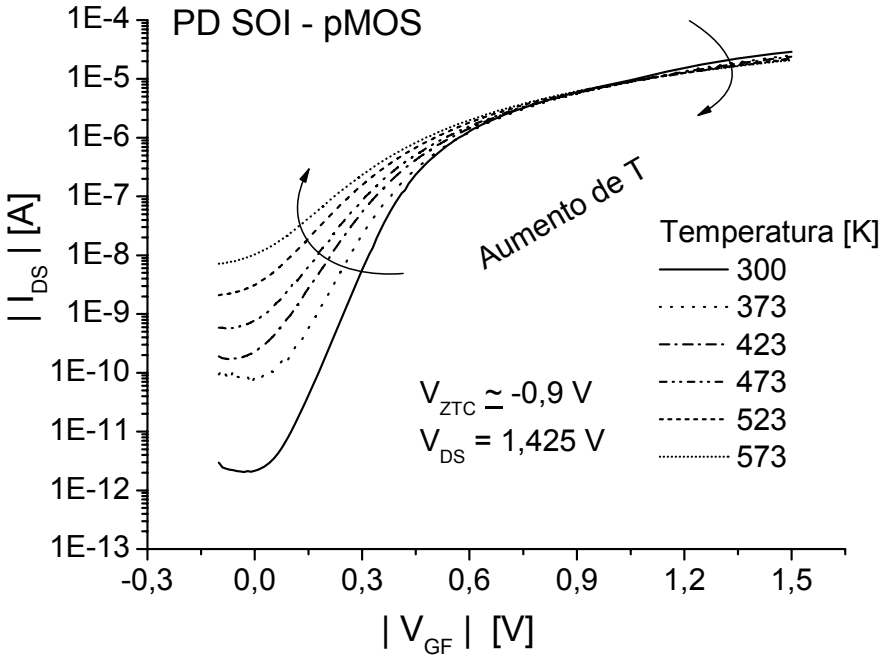


Figura 23: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI pMOS em diferentes temperaturas.

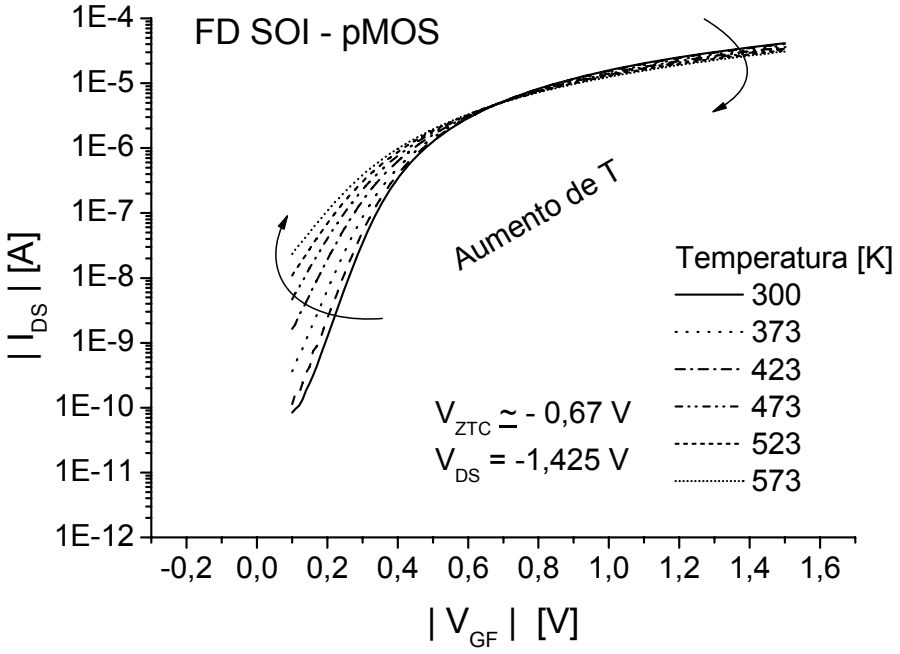


Figura 24: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor FD-SOI pMOS em diferentes temperaturas.

É possível observar também a ocorrência do ponto ZTC para os dispositivos SOI pMOSFETs na Figura 23 e Figura 24, obtendo o valor aproximado de $V_{ZTC} \simeq$ -0,9 V e $V_{ZTC} \simeq$ -0,67 V para os transistores PD e FD, respectivamente.

Utilizando o modelo simples proposto para operação na região de saturação, através das equações (51), (54) e (55), e os dados experimentais obtidos através das curvas I_{DS} x V_{GF}, foram extraídos os valores de V_{ZTC} em função da temperatura para ambos dispositivos PD e FD SOI n e p MOSFETs, e da Figura 25 a Figura 28 são apresentados os resultados.

Pode ser observado, através das figuras supracitadas, um bom ajuste entre os resultados do modelo CM proposto e os dados experimentais, apesar das simplificações adotadas. O valor do fator *c* que garantiu esse bom ajuste, para os dispositivos PD n e p MOSFET foram *c* = 1.46 e *c* = 0.56, respectivamente. Para os dispositivos FD n e p MOSFETs foram

encontrados c = 1,63 e c = 0,81, respectivamente. Os valores estão dentro da faixa relatada na literatura[14].

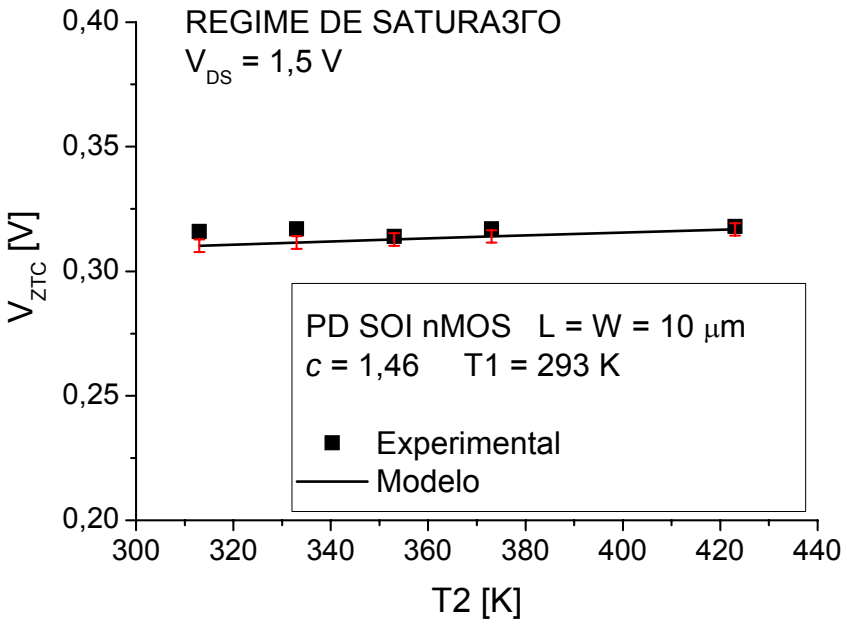


Figura 25: V_{ZTC} obtido experimentalmente e pelas equações (51), (54) e (55) para dispositivo PD SOI nMOS.

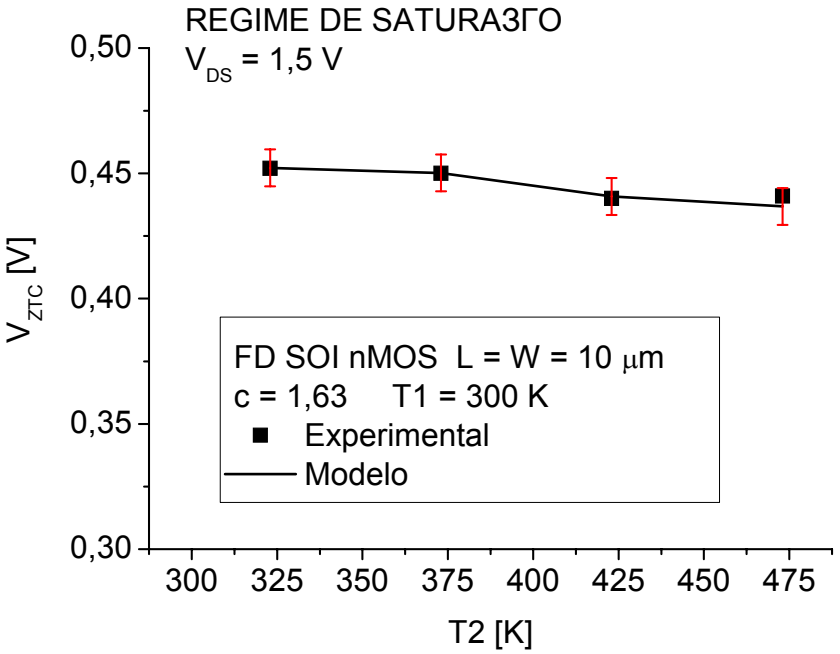


Figura 26: V_{ZTC} obtido experimentalmente e pelas equações (51), (54) e (55) para dispositivo FD SOI nMOS.

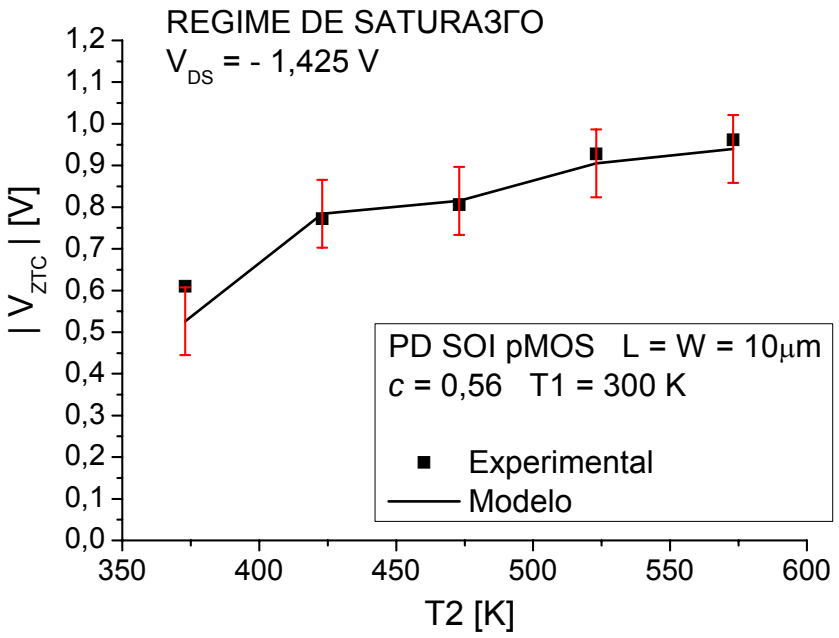


Figura 27: V_{ZTC} obtido experimentalmente e pelas equações (51), (54) e (55) para dispositivo PD SOI pMOS.

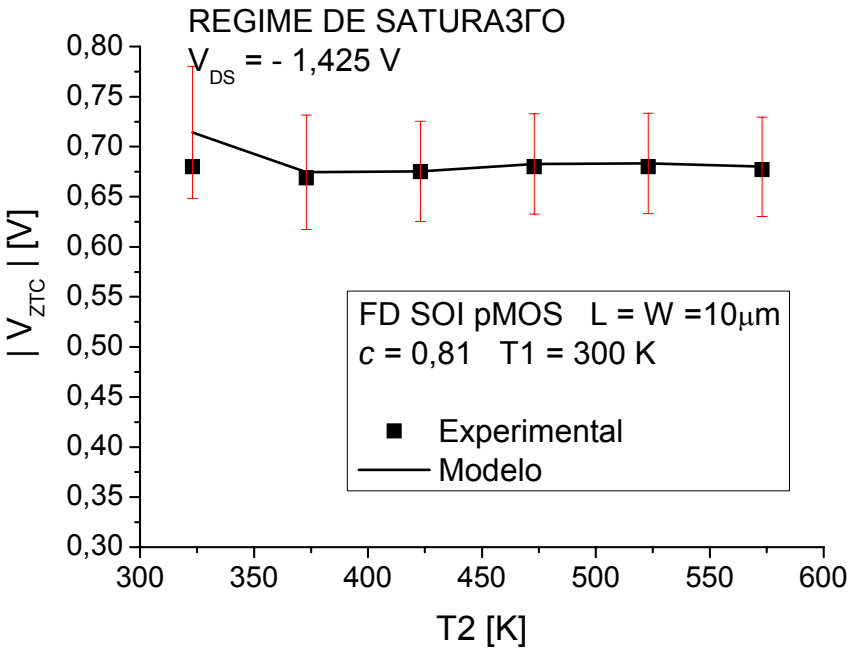


Figura 28: V_{ZTC} obtido experimentalmente e pelas equações (51), (54) e (55) para dispositivo FD SOI pMOS.

5 Estudo da Estabilidade do Ponto Invariante com a Temperatura (ZTC)

Para os circuitos projetados para aplicações em alta temperatura é desejável que operem no ponto de polarização ZTC, onde a corrente de dreno apresenta zero ou nenhuma variação com a temperatura, e este critério garante que parâmetros como a variação da tensão de offset sejam menos sensíveis a tolerância do balanceamento/casamento dos dispositivos nos circuitos. O crescimento do interesse nos projetos de circuitos que operam de maneira confiável em altas temperaturas aumentou as pesquisas e estudos sobre o ponto de polarização ZTC e sua estabilidade. Neste capítulo é apresentado o estudo da estabilidade do ponto ZTC em função da variação da degradação da mobilidade, comprimento de canal (L) e a tensão de dreno (V_{DS}). Foi realizada também uma avaliação da aplicação do modelo CM proposto ZTC para outra tecnologia diferente da SOI Convencional ou Planar.

5.1 Influência do fator de degradação da mobilidade com a temperatura (c) no ponto ZTC.

Nesse item é analisada a influência do fator de degradação da mobilidade (*c*) com a temperatura no ponto invariante com a temperatura (V_{ZTC}), através do modelo CM proposto no capítulo 4 e dados experimentais, para dispositivos SOI MOSFETs operando em regime totalmente (FD) e parcialmente (PD) depletados.

5.1.1 Características físicas dos dispositivos

Para esta etapa do trabalho, foram utilizados os dispositivos SOI nMOSFETs parcialmente (PD) e totalmente (FD) depletados fabricados com tecnologia SOI CMOS 0.13 μm. No caso dos dispositivos PD-SOI, a lâmina foi obtida pela técnica UNIBOND com uma espessura de óxido enterrado de 400 nm e 200 nm para dispositivos FD-SOI. A estrutura de porta consiste de 2.5 nm de óxido-nitreto (NO) e um eletrodo com 150 nm de poli-silício. A técnica STI foi aplicada para o campo de isolação nos dispositivos FD-SOI e PELOX para os transistores PD-SOI. A espessura final da camada de silício é de 30 nm e 100nm para dispositivos FD e PD, respectivamente.

5.1.2 Influência do fator de degradação da mobilidade

Para a análise da influência do fator de degradação da mobilidade com a variação de temperatura (*c*), equação (46), os seguintes parâmetros foram considerados: a temperatura de referência T1 = 293K (20ºC), a concentração de portadores no filme de silício N_{af} = 5,5x10^{17} cm^{-3} para dispositivos SOI nMOSFETs parcialmente depletados (PD-SOI) e N_{af} = 1,0x10^{18} cm^{-3} para dispositivos SOI nMOSFETs totalmente depletados (FD-SOI), t_{oxf} = 2,5 nm para ambos dispositivos e foi observado o valor de V_{ZTC} em função da variação de temperatura (T2), com os transistores funcionando em regime linear e de saturação através das equações (47) e (50), respectivamente.

5.1.3 Polarização na Região Linear

O efeito da variação do parâmetro *c* é apresentado na Figura 29 e na Figura 30 para dispositivos PD e FD SOI nMOSFET respectivamente, considerando a tensão de dreno V_{DS} = 0,025 V. As figuras mostram que quando ocorre o aumento do fator de degradação da mobilidade com a

temperatura (*c*), o valor de V_{ZTC} diminui para ambos os dispositivos. Este estudo foi realizado utilizando a expressão (47) e os modelos[47] que mostram a dependência da tensão de limiar com a variação da temperatura em dispositivos PD e FD SOI MOSFET, através das equações (56) e (57) respectivamente.

$$\frac{dV_{thF}}{dT} = \frac{d\phi_F}{dT}\left[1 + \frac{q}{C_{oxf}}\sqrt{\frac{\varepsilon_{Si} N_{af}}{kT \ln(N_{af}/ni)}}\right] \quad \text{[V/K]} \qquad (56)$$

$$\frac{dV_{thF}}{dT} = \frac{d\phi_F}{dT} \quad \text{[V/K]} \qquad (57)$$

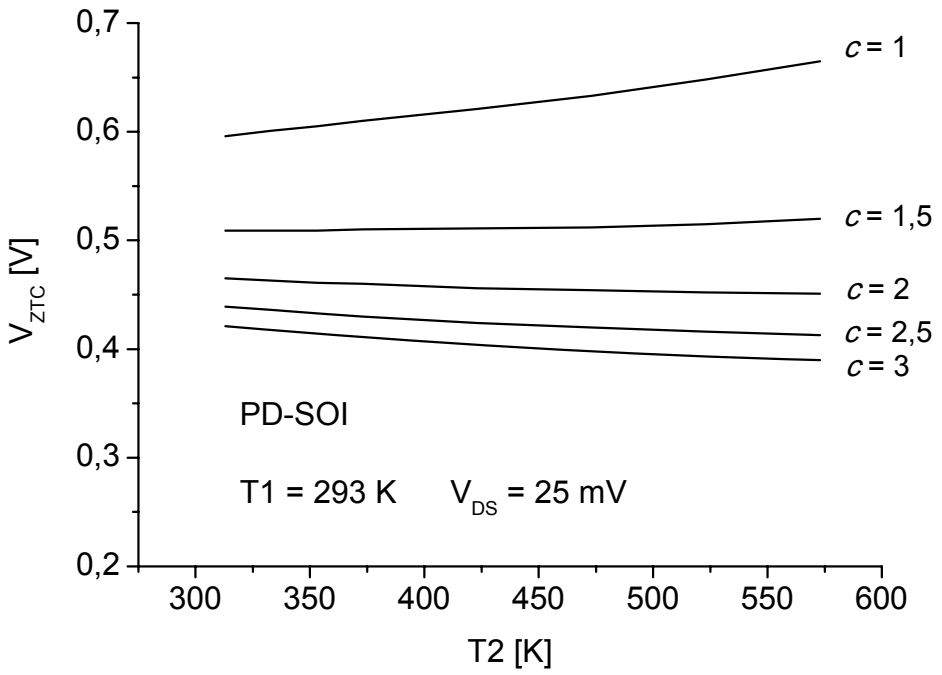


Figura 29: V_{ZTC} para dispositivo PD SOI – nMOS operando em regime linear em função da temperatura para variações do fator *c* entre 1 e 3.

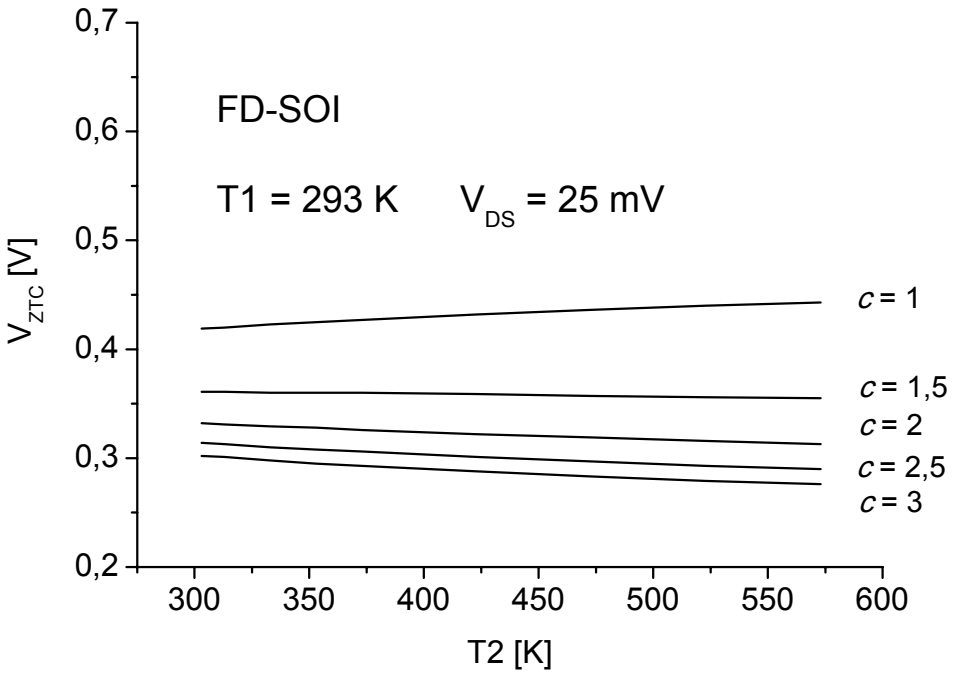


Figura 30: V_{ZTC} para dispositivo FD SOI - nMOS operando no regime linear em função da temperatura para variações do fator *c* entre 1 e 3.

Considerando o dispositivo operando em regime linear, a equação (47) mostra que, com o aumento da temperatura, a variação da tensão de limiar (V_{th1}-V_{th2}) aumenta e o termo que relaciona a variação de temperatura e o fator *c* ($[T1/T2]^c$) diminui. A competição destes dois termos depende do fator *c*, que é o responsável pela variação de V_{ZTC} em função da temperatura. A variação de V_{ZTC} em dispositivos PD e FD SOI para temperatura de 313 K a 573 K, observado na Figura 29 e na Figura 30, é sumarizada na Tabela 2.

Tabela 2: Variação de V_{ZTC} para um intervalo de temperatura de 313 K a 573 K

c	V_{ZTC}(313 K) – V_{ZTC}(573 K)	
	PD (mV)	FD (mV)
1	- 69	- 23
1,5	- 11	6
2	14	18
2,5	26	23
3	32	25

A variação de V_{ZTC} em um intervalo de variação de temperatura de 313 K a 573 K nos dispositivos FD é menor do que nos dispositivos PD, uma vez que a variação na tensão de limiar com a temperatura $V_{thF}(T)$ depende somente da variação do nível de Fermi. Porém, em dispositivos PD a variação da tensão de limiar com a temperatura $V_{thF}(T)$ é uma função dependente da redução da profundidade da região de depleção, como mostrado nas equações (56) e (57), respectivamente.

5.1.4 Polarização na Região de Saturação

O valor de V_{ZTC} (293K, T2) em função de T2, usando *c* como parâmetro de variação para dispositivos PD e FD SOI nMOSFETs, considerando a tensão de dreno V_{DS} = 1,5 V, é apresentado na Figura 31 e na Figura 32, respectivamente, através das equações (51), (54) e (55).

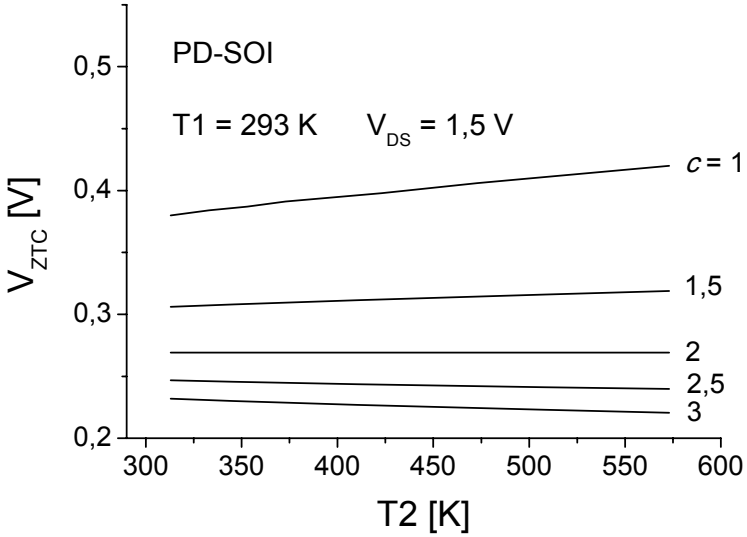


Figura 31: V_{ZTC} para dispositivo PD SOI – nMOS operando em regime de saturação em função da temperatura para variação de *c* entre 1 e 3.

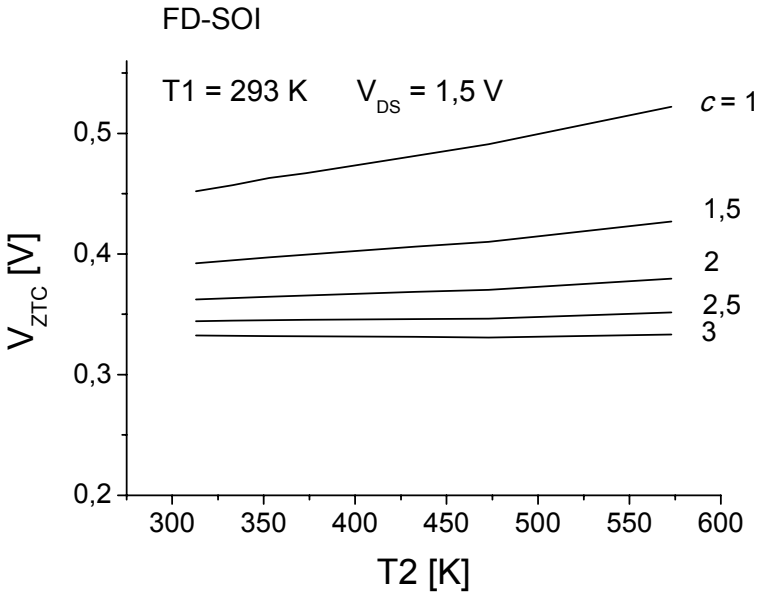


Figura 32: V_{ZTC} para dispositivo FD SOI – nMOS operando em regime de saturação em função da temperatura para variação de *c* entre 1 e 3.

As curvas obtidas, Figura 31 e Figura 32, mostram que, para o aumento do fator de degradação da mobilidade com a temperatura (*c*) no regime de saturação, o valor de V_{ZTC} reduz a uma taxa menor para ambos os dispositivos do que o mesmo observado no regime linear de polarização.

A relação da tensão de porta no ponto ZTC (V_{ZTC}) pela temperatura T2, em função do parâmetro *c* para dispositivos PD e FD SOI, é apresentada na Figura 33 e na Figura 34, respectivamente, para os dois regimes de operação linear e saturação. Para os dispositivos PD o valor da variação dV_{ZTC}/dT é praticamente zero no regime linear de operação para $c \simeq 1{,}7$ e no regime saturação para $c \simeq 2$. Entretanto, para os dispositivos FD isto ocorre para $c \simeq 1{,}4$ na região linear e $c \simeq 3$ quando os dispositivos estão polarizados na região de saturação.

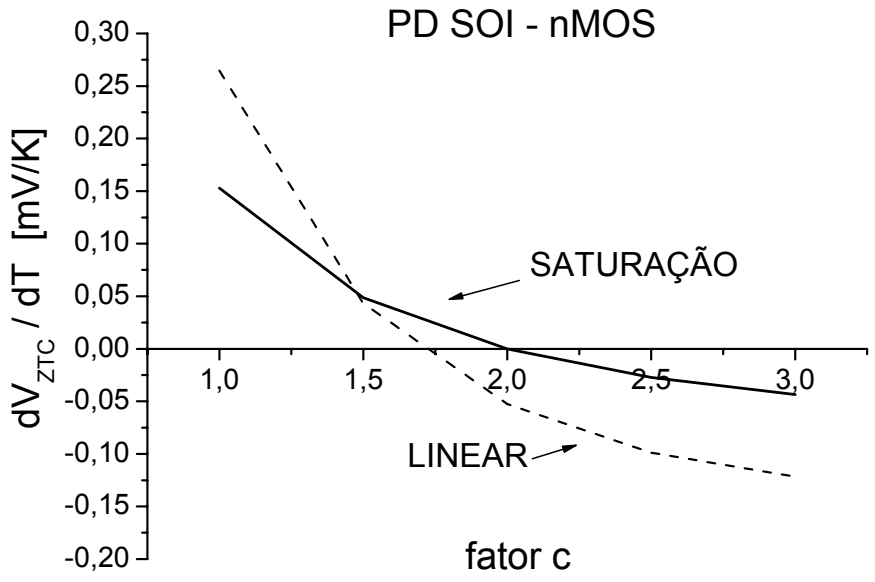


Figura 33: A variação de V_{ZTC} com a temperatura (T2) em função do fator de degradação da mobilidade com a temperatura para dispositivos PD SOI nMOS nas regiões linear e de saturação.

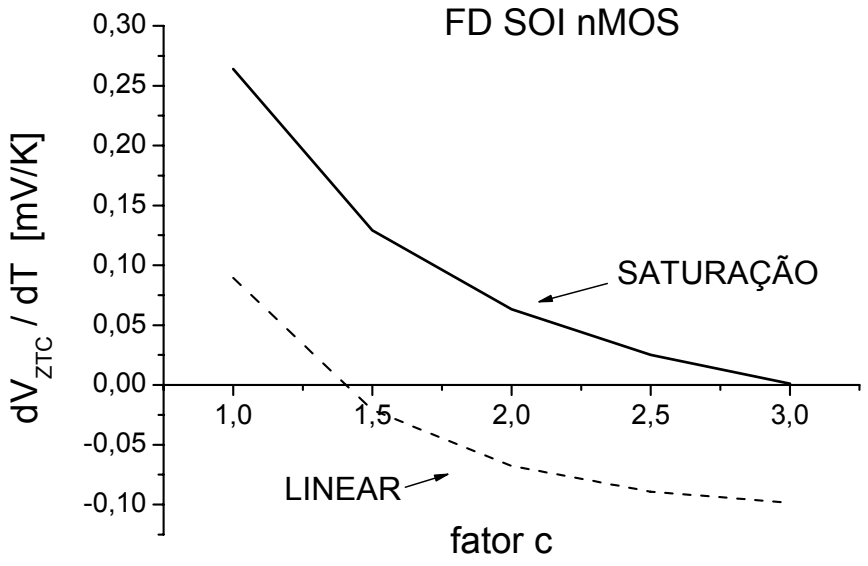


Figura 34: A variação de V_{ZTC} com a temperatura (T2) em função do fator de degradação da mobilidade com a temperatura para dispositivos FD nas regiões linear e de saturação.

5.1.5 Sensibilidade do Modelo CM

O objetivo da análise da sensibilidade do modelo CM proposto, equação (51), foi estudar o impacto que a variação no valor de parâmetros físicos dos dispositivos afeta no valor obtido de V_{ZTC}. Os parâmetros como a concentração de dopantes (N_{af}) e a espessura do óxido de porta (t_{oxf}), podem sofrer variações ao longo do processo de fabricação, e apresentar diferença do valor de projeto. Desta forma, realizamos a análise do efeito da introdução de uma variação de 10% no valor dos parâmetros, N_{af} = 5,5 x 10^{17} cm^{-3} (PD), N_{af} = 1,0 x 10^{18} cm^{-3} (FD) e t_{oxf} = 2,5 nm, adotados como referência, sobre o valor de V_{ZTC} obtido pelo modelo CM proposto. Para essa análise, a variação ΔV_{ZTC} foi adotada a equação (58). Como sendo:

$$\Delta V_{ZTC} = V_{ZTC}\,(N_{af}\,,\,t_{oxf}) - V_{ZTC}\,(\text{referência}) \qquad (58)$$

A Figura 35 e a Figura 36 mostram que com o aumento do valor de N_{af}, o valor de ΔV_{ZTC} também aumenta, já que por sua vez o valor da tensão de limiar aumenta. Por outro lado, quando o valor de t_{oxf} diminui, o valor de ΔV_{ZTC} diminui, devido ao fato do valor da tensão de limiar também diminuir. Em ambos os casos, a tensão de limiar na temperatura de referência T1 (V_{th1}) é o principal parâmetro das equações (54) e (55).

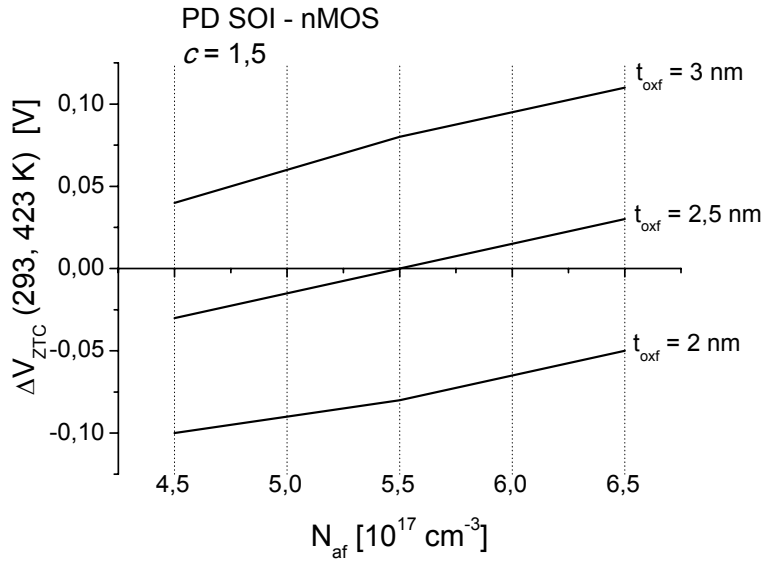


Figura 35: ΔV_{ZTC} para dispositivos PD SOI nMOS

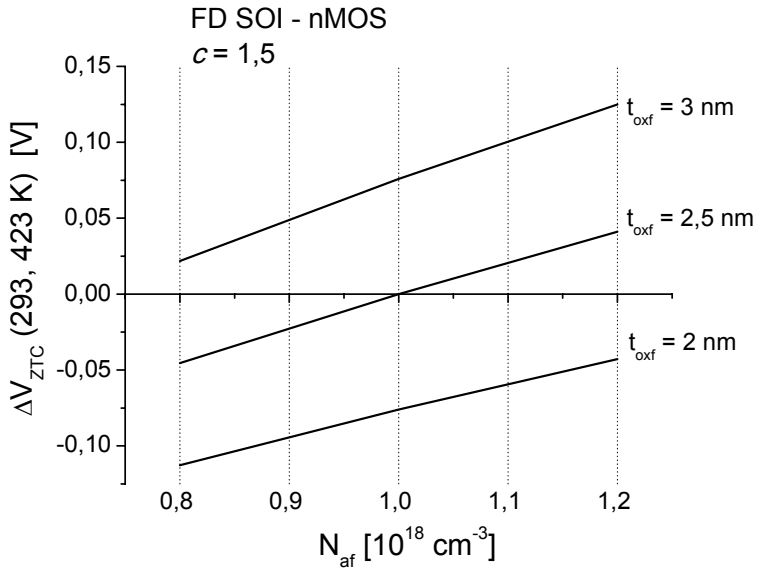


Figura 36: ΔV_{ZTC} para dispositivos FD SOI nMOS

A Tabela 3 e a Tabela 4 sumarizam os resultados para os dispositivos PD e FD SOI nas regiões linear e de saturação, respectivamente. E como pode ser visto o erro máximo no valor de V_{ZTC} é fortemente dependente da variação introduzida nos valores de N_{af} e t_{oxf}. Entretanto a menor variação em ΔV_{ZTC} ocorre quando a variação nos valores de N_{af} e t_{oxf} é oposta, pelo fato de suas influências serem compensadas no valor de V_{th1}.

A Tabela 3 mostra que, a influência sobre o valor de V_{ZTC} observada para os dispositivos PD devido a variação em N_{af} e t_{oxf}. Considerando o valor de referência de t_{oxf} = 2,5 nm e analisando a variação $\pm$ 10% no valor de N_{af}, a influência máxima em V_{ZTC} é de 3,1% na região linear e 3,5% na região de saturação. Ao considerar o valor de referência de N_{af} = 5,5 x 10^{17} cm^{-3} e analisando a variação $\pm$ 10% no valor de t_{oxf}, constatou-se a influência máxima em V_{ZTC} de 4,6% na região linear e 7,2% na região de saturação.

Para os dispositivos FD a mesma análise foi realizada para os parâmetros t_{oxf} e N_{af} e as suas influências observadas em V_{ZTC}, apresentada na Tabela 4. A variação máxima observada em V_{ZTC} é de 11% operando no regime linear para ambos os parâmetros; e de 5,3% e 8,4% no regime de saturação, respectivamente.

Tabela 3: Sensibilidade do método proposto através da análise da variação em ΔV_{ztc} com uma variação de 10% nos valores de N_{af} e t_{oxf} para dispositivos PD SOI nMOS operando nos regimes linear e de saturação.

PD SOI		Erro em ΔV_{ZTC} (%)	
t_{oxf} (nm)	N_{af} (10^{17} cm^{-3})	LINEAR	SATURAÇÃO
2,25	4,95	7,4	10,1
2,5		3,1	3,5
2,75		12	3,2
2,25	5,5	4,6	7,2
2,5		Referência	Referência
2,75		4,6	6,8
2,25	6,05	18	4,4
2,5		2,9	3,0
2,75		7,7	10,2

Tabela 4: Sensibilidade do método proposto através da análise da variação em ΔV_{ztc} com uma variação de 10% nos valores de N_{af} e t_{oxf} para dispositivos FD SOI nMOS operando nos regimes linear e de saturação.

FD SOI		Erro em ΔV_{ZTC} (%)	
t_{oxf} (nm)	N_{af} (10^{18} cm^{-3})	LINEAR	SATURAÇÃO
2,25	0,9	20	13
2,5		11	5,3
2,75		18	2,6
2,25	1,0	10	8,4
2,5		Referência	Referência
2,75		11	8,4
2,25	1,1	1	3,8
2,5		11	5,0
2,75		20	13

5.2 Influência da dependência da estabilidade do ponto ZTC com o Comprimento de Canal (L)

Nesse item é analisada a influência da variação do comprimento de canal (L) no ponto invariante com a temperatura (V_{ZTC}), através de dados experimentais e do modelo CM proposto no capítulo 4, para dispositivos SOI n e pMOSFETs operando em regime parcialmente (PD) depletado.

5.2.1 Características físicas dos dispositivos

As estruturas dos transistores usadas nesta etapa do trabalho eram dispositivos SOI MOSFETs parcialmente depletados (PD), modo enriquecimento com canal n e p. Foram fabricados com tecnologia SOI CMOS 0.13 μm no IMEC/Bélgica. Para estes dispositivos a lâmina foi obtida pela técnica UNIBOND com uma espessura de óxido enterrado de 400 nm.

A estrutura de porta consiste de 2,5 nm de óxido-nitreto (NO) e um eletrodo com 150 nm de poli-silício (N+ para nMOSFET e P+ para pMOSFET). A técnica PELOX foi aplicada para o campo de isolação e a espessura final da camada de silício é de 100 nm.

Após a definição da porta, uma implantação iônica de baixa energia de arsênio foi realizada para a formação das extensões rasas de Fonte e Dreno, seguida de uma implantação de boro em ângulo para formação da estrutura halo para controlar os efeitos de canal curto nos nMOSFETs. O comprimento da estrutura halo está em torno de 65 nm.

No caso dos pMOSFETs foi realizada a implantação de BF_2 para a formação das extensões rasas das regiões de Fonte e Dreno e arsênio na implantação iônica para formação da estrutura halo.

5.2.2 Resultados e Discussão

A tensão de limiar, na região linear de operação dos transistores, foi extraída pelo método da extrapolação linear, em que extrapola-se a região linear (região de triodo) da curva I_{DS} x V_{GF}, obtida com V_{DS} constante, até o cruzamento com o eixo de V_{GF}, no ponto de máxima transcondutância (g_m)[39]. Com os dispositivos operando na região de saturação, a tensão de limiar foi extraída pelo método RM[56] (ratio method), que determina a tensão de limiar através da relação de I_{DS} pela raiz quadrada da transcondutância (g_m) versus a tensão de porta, ou seja, extrapolando-se a região linear da curva obtida por I_{DS} / $(g_m)^{1/2}$ versus V_{GF} até o cruzamento no eixo de V_{GF}.

Para a verificação da influência do comprimento de canal (L) dos transistores na determinação da tensão de polarização no ponto invariante com a temperatura (V_{ZTC}) foram avaliados os resultados experimentais de dispositivos parcialmente depletados (PD SOI) dos tipos n e p-MOSFETs com diferentes geometrias. Os dispositivos testados foram medidos

operando nas regiões de operação linear (V_{DS} = 25 mV) e de saturação (V_{DS} = 1,425 V) para temperaturas entre 300 K e 573 K.

Da Figura 37 a Figura 40 é mostrada a tensão de polarização no ponto ZTC (V_{ZTC}) obtida dos dados experimentais e através do modelo CM proposto[57] para dispositivos PD SOI nMOS e pMOS, operando nos regimes linear e de saturação, para dispositivos com comprimentos de canal (L) de 0,5, 1, 5 e 10 μm. O valor de V_{ZTC} foi calculado pelo modelo CM proposto usando as equações apresentadas (47) para avaliação no regime linear e (51, 54 e 55) para operação em regime de saturação, e o valor utilizado do parâmetro de degradação da mobilidade com a temperatura (*c*) foi o valor da média aritmética do mesmo para a faixa de temperatura considerada.

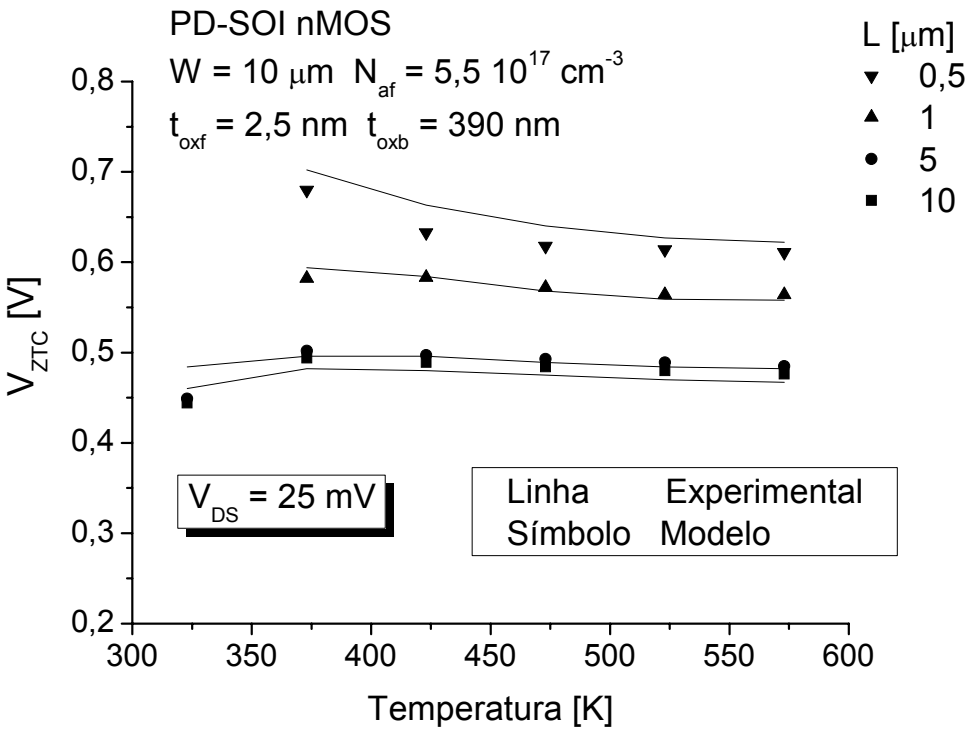


Figura 37: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente e pelo modelo simples proposto para dispositivos PD nMOS SOI operando na região linear, para valores de comprimentos de canal (L) de 0,5 , 1, 5 and 10 μm.

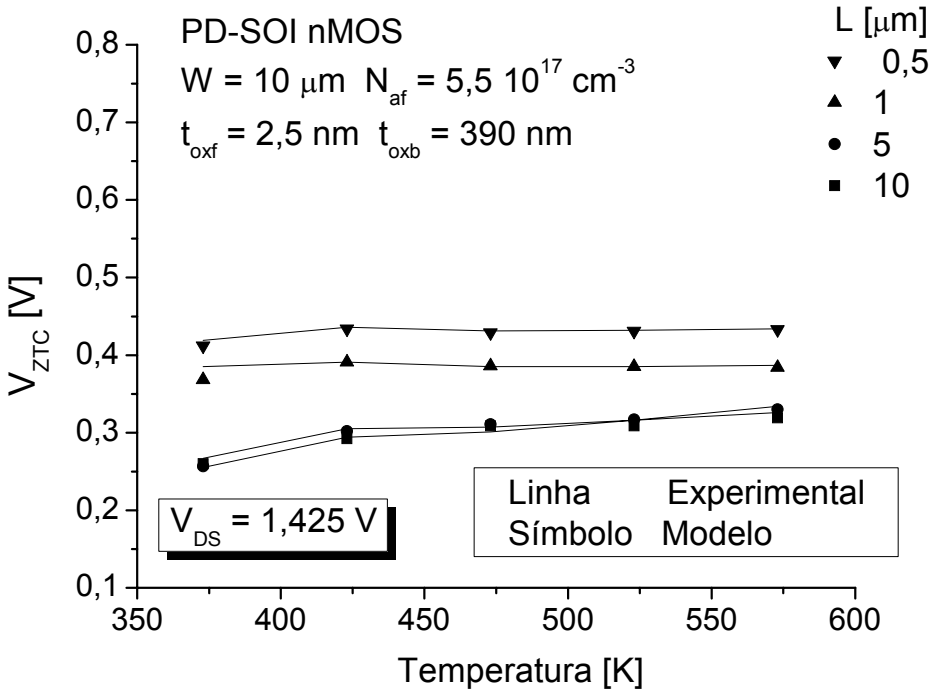


Figura 38: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente e pelo modelo simples proposto para dispositivos PD nMOS SOI operando na região de saturação, para valores de comprimentos de canal (L) de 0,5 , 1, 5 e 10 μm.

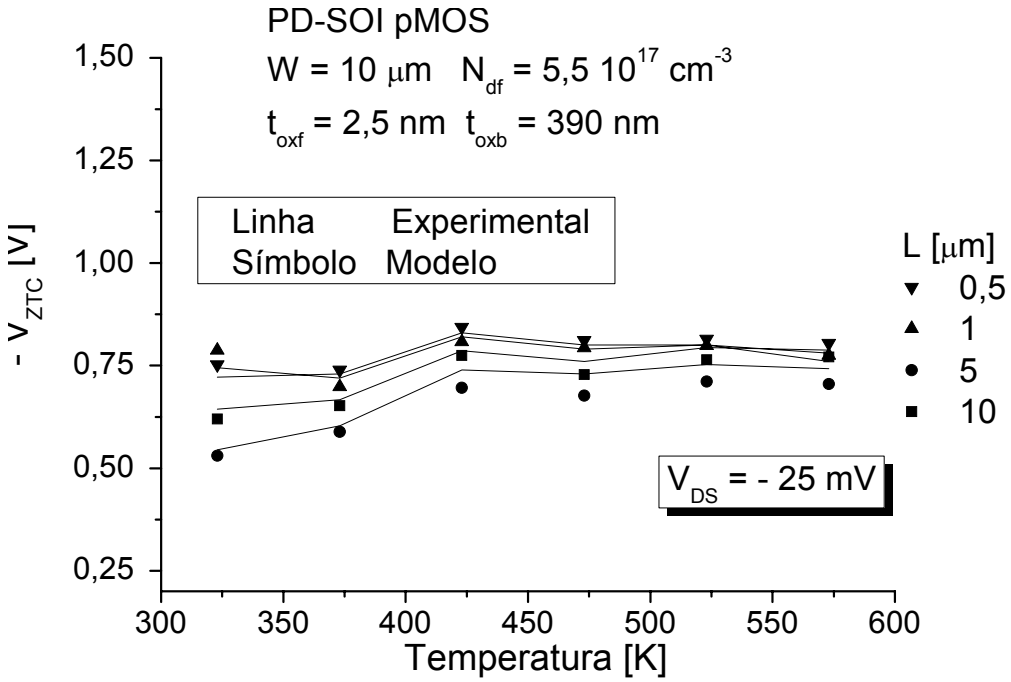


Figura 39: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente e pelo modelo simples proposto para dispositivos PD pMOS SOI operando nas região linear, para valores de comprimentos de canal (L) de 0,5 , 1, 5 e 10 μm.

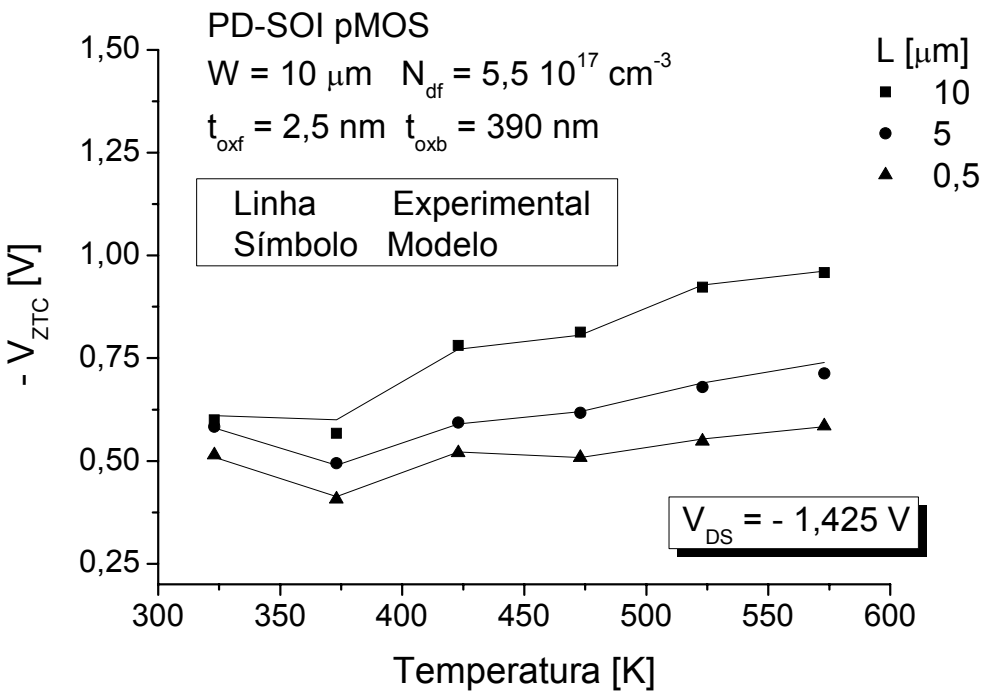


Figura 40: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente e pelo modelo simples proposto para dispositivos PD pMOS SOI operando na região de saturação, para valores de comprimentos de canal (L) de 0,5 , 5 e 10 μm.

Os dados apresentados na Figura 37 e na Figura 38 mostram que para os dispositivos PD SOI nMOS, operando na região de saturação, o valor de V_{ZTC} é menor do que para os mesmos dispositivos em regime linear, entretanto os dispositivos PD SOI pMOS mostram que V_{ZTC} tem os mesmo nível para ambas as regiões.

A tecnologia SOI MOSFET atual produz dispositivos com a estrutura halo[58],[59],[60], usadas para minimizar os problemas de escalamento e controlar os efeitos de canal curto. Estes processos de implantação resultam em perfis de dopagem não uniformes ao longo do comprimento do canal do dispositivo, provocando o aumento do efeito reverso de canal curto (RSCE - reverse short-channel effect), e este efeito pode ser observado no comportamento da tensão de limiar. Como conseqüência, o mesmo efeito ocorre na tensão de polarização no ponto ZTC (V_{ZTC}), devido a sua dependência direta com a tensão de limiar, e pode ser visto através da variação de V_{ZTC} em função do comprimento de canal (L), mostrado na

Figura 41 para dispositivos PD SOI nMOS nas regiões linear e de saturação de operação. As estruturas pMOS não possuem a região de halo, portanto, o efeito citado não foi observado. Para os dispositivos pMOS, Figura 42 para região linear e Figura 43 em operação no regime de saturação, foi observado o comportamento de redução da tensão V_{ZTC} para menores comprimentos de canal (L), indicando a ocorrência do efeito de canal curto sobre a tensão de limiar (V_{thF}), que atua diretamente sobre V_{ZTC}, ou seja, a tensão de limiar aumenta com a diminuição do comprimento de canal (L), e V_{ZTC} apresenta o mesma tendência.

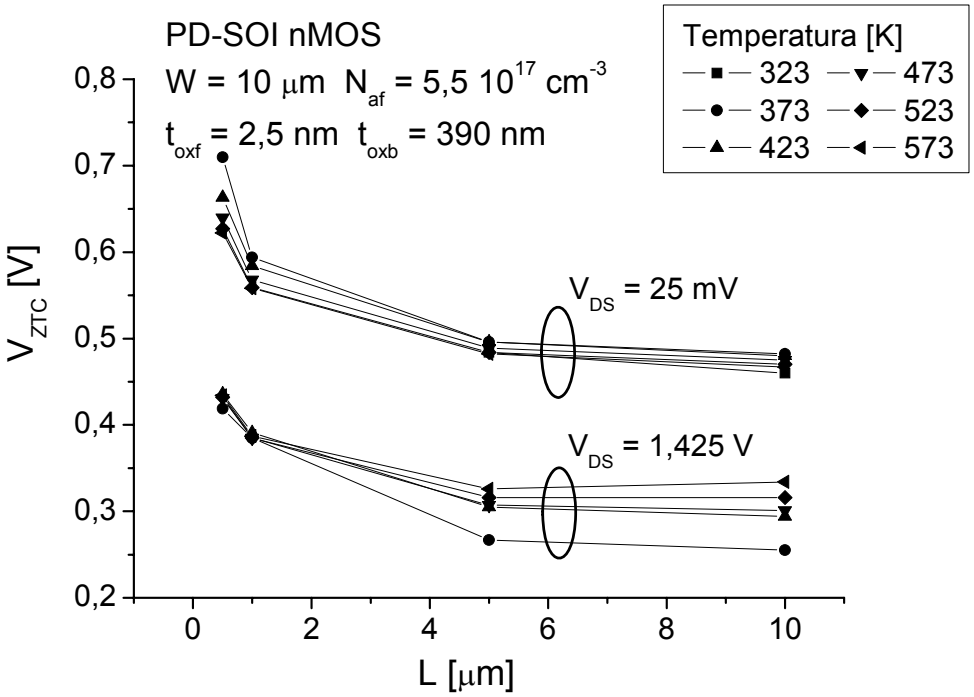


Figura 41: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função do comprimento de canal para dispositivos PD SOI nMOS operando nas regiões linear (V_{DS} = 25 mV) e de saturação (V_{DS} = 1,425 V), para valores de comprimento de canal. de 0,5 , 1, 5 e 10 μm.

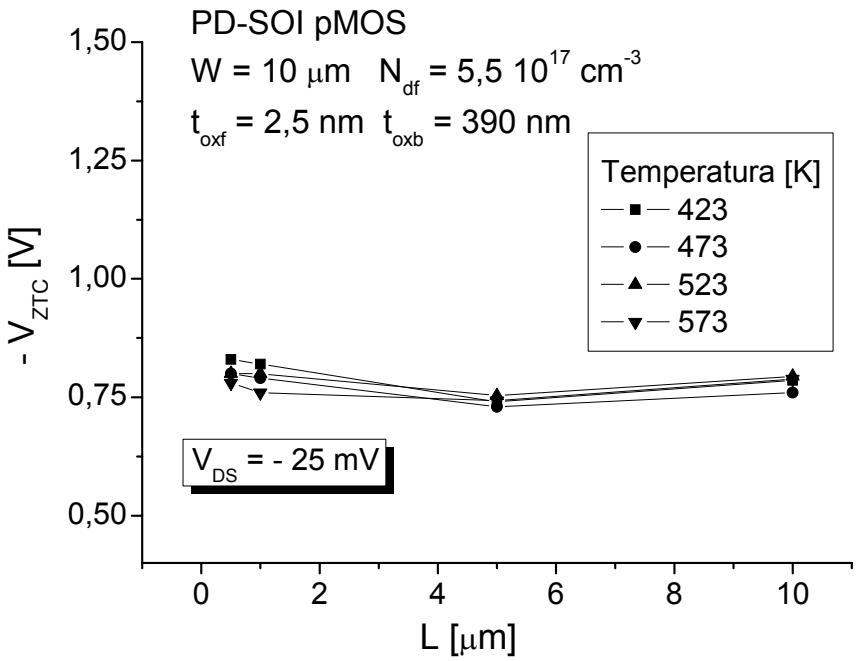


Figura 42: Tensão de polarização no ponto ZTC (V_{ZTC}) em função do comprimento de canal obtido experimentalmente, para dispositivos PD SOI pMOS operando na região linear (V_{DS} = 25 mV), para valores de comprimento de canal de 0,5 , 1, 5 e 10 μm.

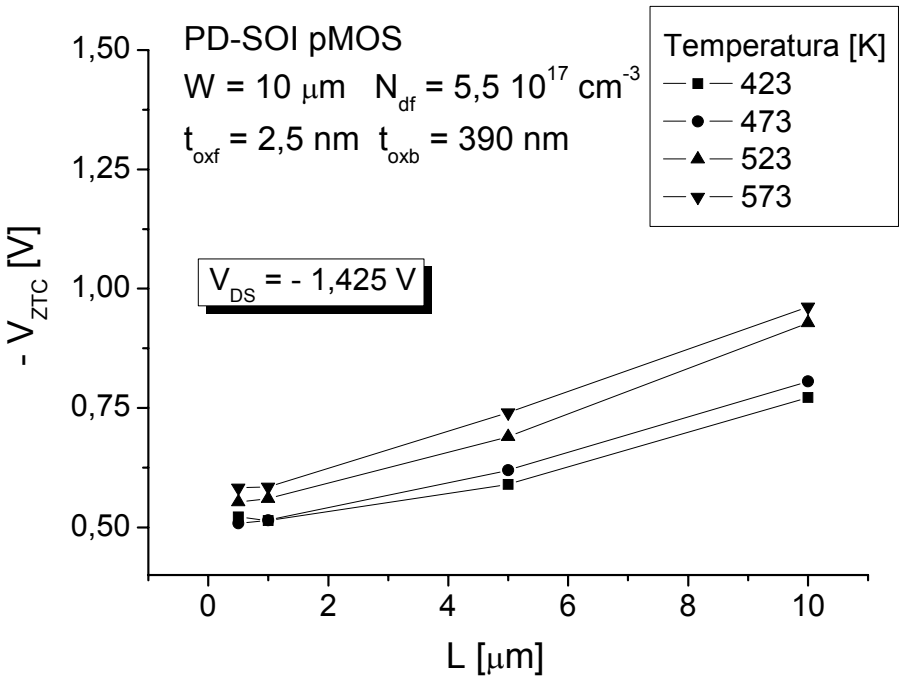


Figura 43: Tensão de polarização no ponto ZTC (V_{ZTC}) em função do comprimento de canal obtido experimentalmente, para dispositivos PD SOI pMOS operando na região de saturação (V_{DS} = 1,425 V), para valores de comprimento de canal de 0,5 , 1, 5 e 10 μm.

Em altas temperaturas, o espalhamento dos portadores devido a rede da estrutura atômica do material degrada a mobilidade dos mesmos, o que leva a redução da corrente de dreno (I_{DS}). Com o aumento da temperatura, ocorre o incremento da concentração intrínseca de portadores (n_i) e a redução do potencial de Fermi (ϕ_F)[47,61]. O resultado das mudanças de n_i e ϕ_F com a temperatura causa a redução na largura da região de depleção na camada de silício, e desta forma observa-se a redução da tensão de limiar (V_{thF}) com aumento da temperatura.

5.3 Influência da dependência da estabilidade do ponto ZTC com a Tensão de Dreno (V_{DS})

Nesse item é estudada a influência da variação da tensão de dreno (V_{DS}) no ponto invariante com a temperatura (V_{ZTC}), utilizando-se do modelo CM proposto no capítulo 4 e os dados obtidos experimentalmente, para dispositivos SOI n e p MOSFETs operando em regime parcialmente (PD) depletado.

5.3.1 Características físicas dos dispositivos

As estruturas dos transistores usadas nesta etapa foram as mesmas da etapa 5.2.

5.3.2 Resultados e Discussão

Para o estudo do efeito da variação da tensão de dreno (V_{DS}) na tensão de polarização no ponto ZTC (V_{ZTC}), foram analisados os dois parâmetros que influênciam diretamente na mudança em seu valor.

Na Figura 44 e na Figura 45 pode-se observar a influência da variação na tensão de dreno (V_{DS}) sobre o valor da tensão de limiar (V_{thF}) e na mobilidade dos portadores do canal (μ_n), respectivamente. A tensão V_{thF} apresentou redução com o aumento de V_{DS}, para toda a faixa analisada de 0 a 1,425 V. A redução significativa no valor da mobilidade dos portadores do canal μ_n ocorreu para valores de V_{DS} entre 0 e 0,4 V.

Com a redução em V_{thF} e μ_n, foi observada a diminuição do valor da tensão de polarização no ponto ZTC (V_{ZTC}) para uma polarização de tensão de dreno alta, acima de 1 V. A variação na tensão de limiar (ΔV_{thF}) pode ser expressa[62] em função de V_{DS}. A redução da mobilidade dos portadores do canal, devido a saturação da velocidade desses portadores na presença de um alto campo elétrico longitudinal (V_{DS}), foi modelada[63] pelo parâmetro da degradação efetiva da mobilidade. O efeito da tensão de dreno em V_{ZTC} é mostrado na Figura 46 e na Figura 47 para dispositivos nMOS e pMOS, respectivamente.

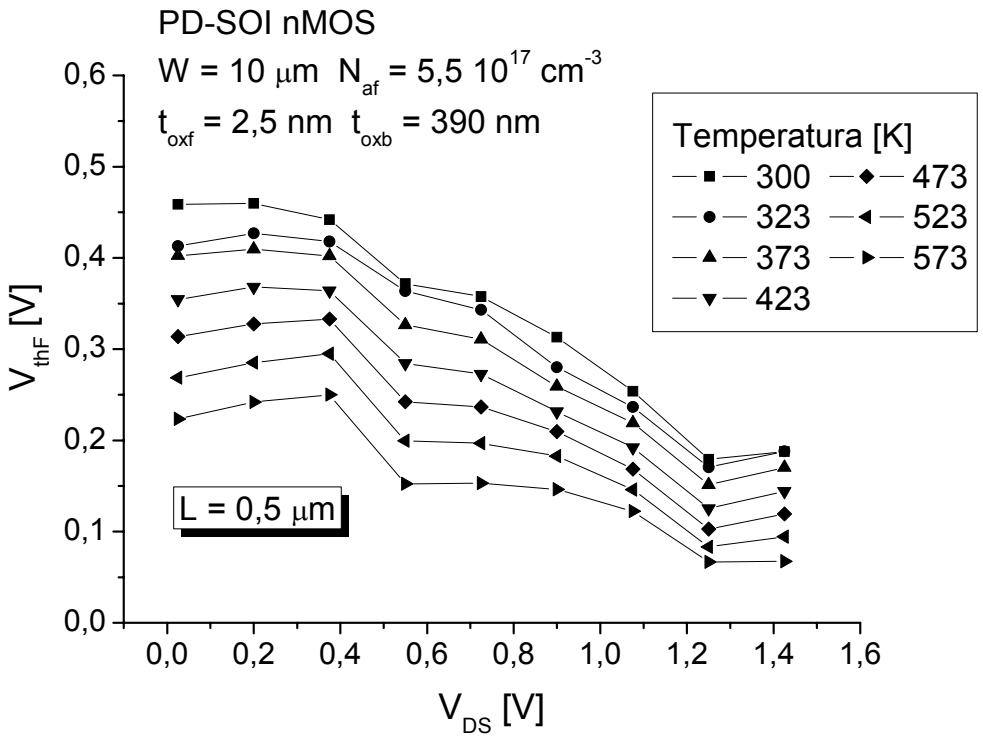


Figura 44: Dados experimentais: Tensão de limiar (V_{thF}) em função da tensão de dreno (V_{DS}) para dispositivos PD SOI nMOS, para temperaturas de 300 a 573 K.

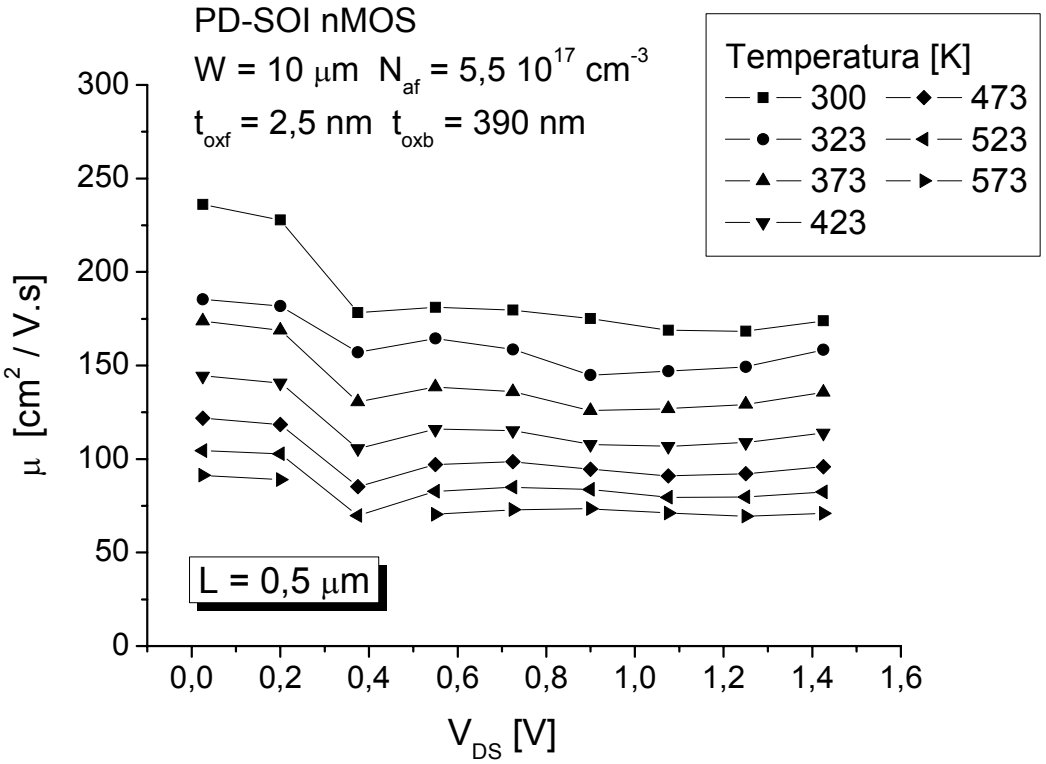


Figura 45: Dados experimentais: Mobilidade dos portadores no canal (μ_n) em função da tensão de dreno (V_{DS}) para dispositivos PD SOI nMOS, para temperaturas de 300 a 573 K.

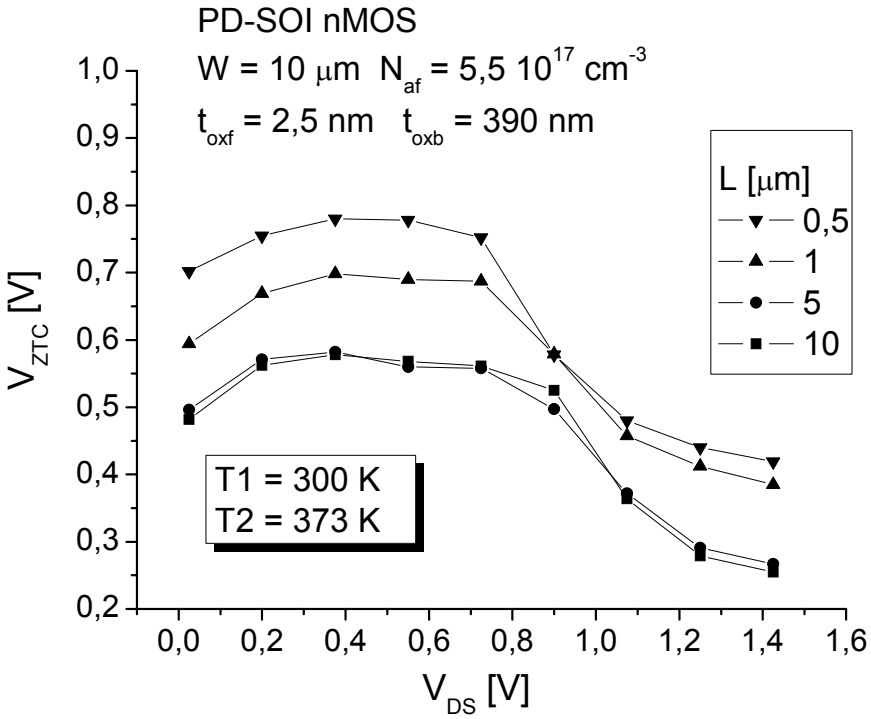


Figura 46: Tensão de polarização no ponto ZTC (V_{ZTC}) em função da tensão de dreno (V_{DS}), obtida experimentalmente para dispositivos PD SOI nMOS com comprimentos de canal (L) de 0,5 , 1, 5 e 10 μm.

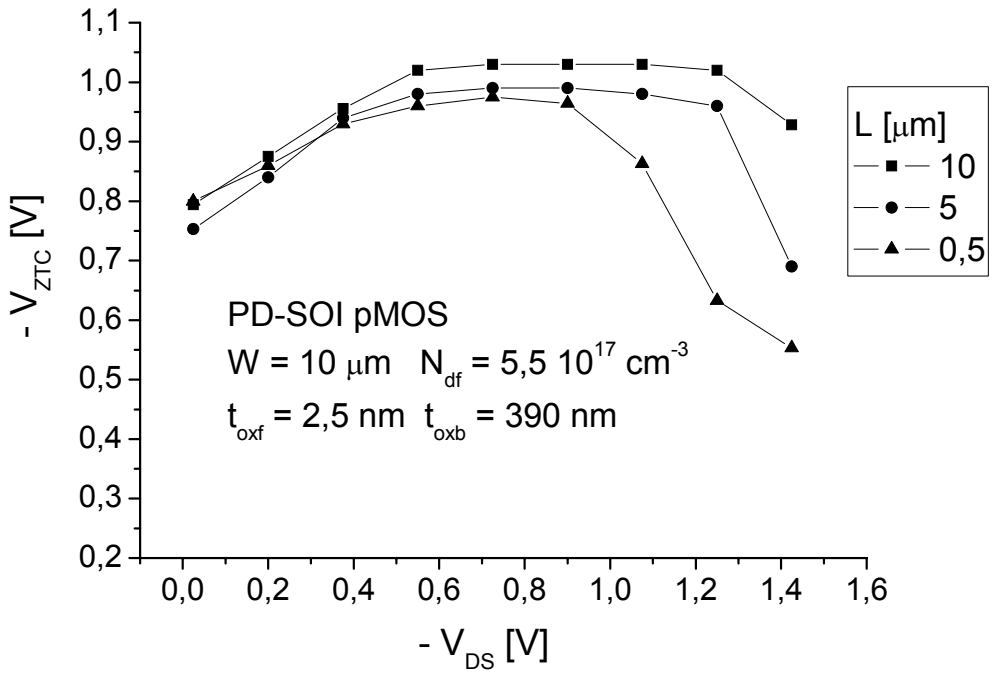


Figura 47: Tensão de polarização no ponto ZTC (V_{ZTC}) em função da tensão de dreno (V_{DS}), obtida experimentalmente para dispositivos PD SOI pMOS com comprimentos de canal (L) de 0,5 , 5 e 10 μm.

A redução observada em V_{ZTC} para um alto valor da tensão de dreno (V_{DS} > 1.0 V) possivelmente devido ao efeito DIBL (drain-induced-barrier-lowering) sobre a tensão de limiar (V_{thF}), uma vez que a barreira de potencial para formar o canal de condução é controlada por ambas as polarizações da tensão de porta (V_{GF}) e a tensão de dreno (V_{DS}). Quando V_{DS} aumenta, a barreira de potencial diminui, levando a ocorrência do efeito DIBL, que causa possivelmente a queda no valor da tensão de limiar[14,62]. Como conseqüência, ocorre um menor valor da tensão de polarização no ponto ZTC (V_{ZTC}) para tensão de dreno alta em dispositivos SOI MOSFET[47].

O modelo CM proposto, através das equações 47, 51, 54 e 55, mostra claramente que quando V_{th1} diminui, V_{ZTC} também irá diminuir e que está de

acordo com os resultados experimentais obtidos, mostrados nas figuras Figura 46 e Figura 47.

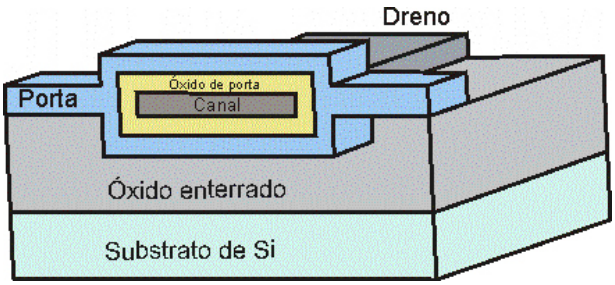
5.4 Aplicação do modelo CM proposto em outras tecnologias

Neste item é apresentada a aplicação e comparação do modelo CM proposto do ponto ZTC, com dados obtidos de dispositivos fabricados em outras tecnologias.

A primeira análise foi realizada com a estrutura SOI MOSFET, com perfil de dopantes assimétrico na região do canal, denominado GC SOI MOSFET, que foi desenvolvida com o objetivo de aumentar a tensão de ruptura, diminuir o efeito bipolar parasitário e melhorar a condutância de saída (maior tensão Early)[64]. A segunda análise foi realizada com dispositivos que foram fabricados em estrutura SOI de porta circundante com canal gradual (GC-GAA SOI[65] – "Gate-All-Around Graded Channel SOI"). Nos transistores GAA SOI[66] a camada de silício é envolvida pelo óxido de porta e pelo material de porta em toda região do canal, Figura 48A. Estes dispositivos são bastante atrativos para aplicações de baixa tensão e baixa potência, apresentam uma alta resistência à ambientes desfavoráveis, tais como altas temperaturas e ambiente com radiação[67].

A estrutura SOI de porta circundante com canal gradual (GC-GAA) nada mais é do que a combinação dos resultados excelentes obtidos com o transistor GC SOI, a partir do perfil de dopantes na região do canal, com as melhorias promovidas nos transistores GAA, devido à presença de dois canais de inversão. A região do canal deste dispositivo é dividida em duas partes: uma com a concentração de dopantes natural da lâmina junto ao dreno (L_{LD}) e a segunda com a concentração de dopantes usualmente utilizada para ajuste da tensão de limiar de transistores SOI totalmente depletados, junto à fonte (L_{HD}), a Figura 48B mostra um exemplo de um transistor nMOS com as regiões do canal P+ (L_{HD}) e P- (L_{LD}).

A)



B)

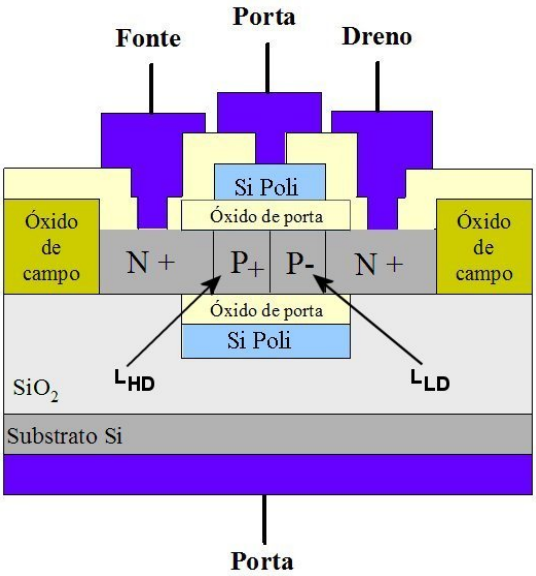


Figura 48 Perfis da estrutura GC GAA SOI[65]: Vista em perspectiva (A) e Corte longitundinal (B)

5.4.1 Análise do modelo CM proposto em dispositivos GC SOI

5.4.1.1 Características dos Dispositivos

Os dispositivos GC SOI analisados possuem espessura do óxido de porta (t_{oxf}) de 31 nm, espessura do óxido enterrado (t_{oxb}) de 390 nm e 80 nm a espessura da camada de silício (t_{Si}). Nos dispositivos GC SOI a concentração da região de baixa dopagem do canal é Nab = $1.10^{15}cm^{-3}$, sendo esta a mesma concentração do substrato. No GC SOI a concentração da região que sofreu implantação para o ajuste da tensão de limiar é N_{af} = $1.10^{17}cm^{-3}$, sendo esta a mesma concentração de todo o canal nos

dispositivos SOI convencionais, utilizados como referência para o valor total do comprimento de canal.

As curvas foram extraídas variando-se a temperatura, no intervalo entre 27 a 300 ºC (300K a 573K), tanto para o SOI convencional como para o GC SOI totalmente depletados com relação L_{LD}/L de 0,25, 0,5 e 0,825. Todos os dispositivos possuem L = 4 μm e W = 18 μm (W sendo a largura do canal).

5.4.1.2 Resultados e Discussão

A análise dos resultados, para os dispositivos GC SOI, será conduzida apresentando uma seqüência de análise dos parâmetros de dados experimentais e obtidos pelo modelo CM proposto para a tensão no ponto invariante com a temperatura (V_{ZTC}), em ambos os regimes de polarização do transistor, ou seja, linear e saturação.

5.4.1.2.1 Ocorrência do Ponto Invariante com a Temperatura (V_{ZTC})

A primeira verificação realizada foi através das curvas I_{DS} x V_{GF} obtidas através de medidas experimentais com os transistores GC SOI nMOSFETs, operando nas regiões linear e de saturação e em diferentes temperaturas. Foi possível observar a ocorrência do ponto ZTC para os diferentes valores da relação de comprimento de canal (L_{LD}/L), e que são apresentadas para as relações L_{LD}/L de 0,25 e 0,5 em ambas as condições de polarização, Figura 49 a Figura 52.

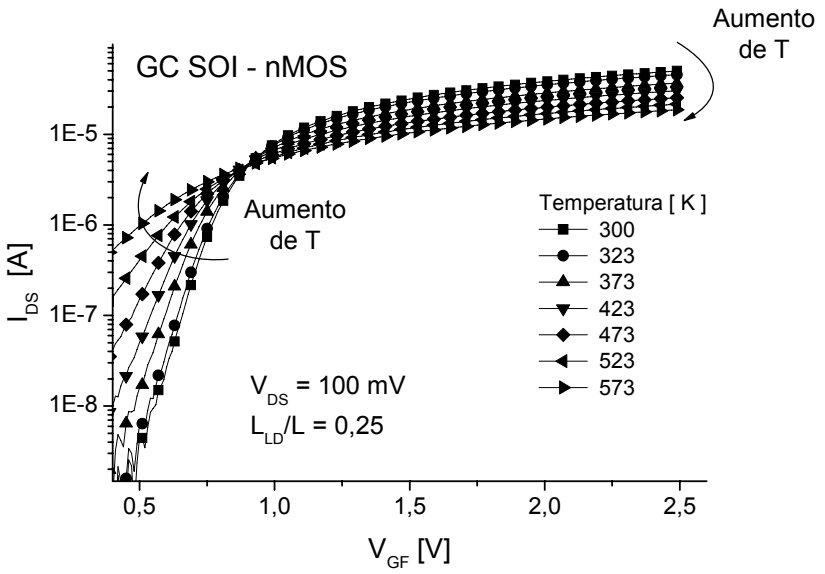


Figura 49: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC SOI nMOS (L_{LD} / L = 0,25) em diferentes temperaturas para V_{DS} = 100 mV.

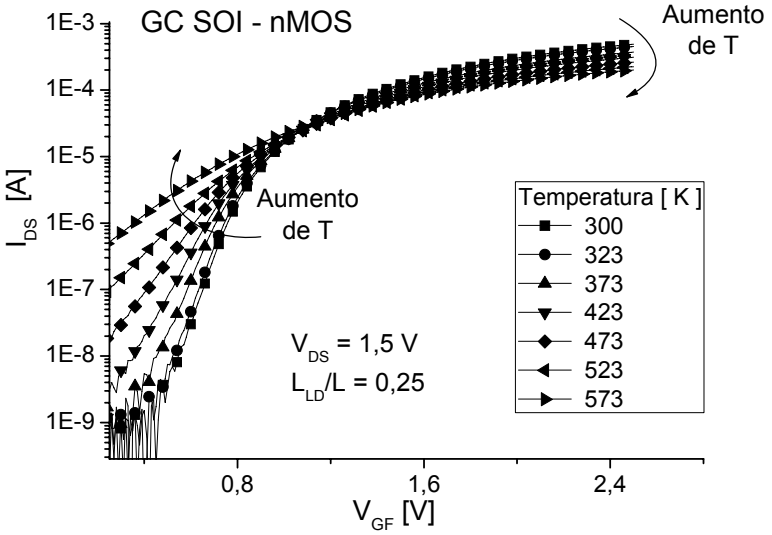


Figura 50: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC SOI nMOS (L_{LD} / L = 0,25) em diferentes temperaturas para V_{DS} = 1,5 V.

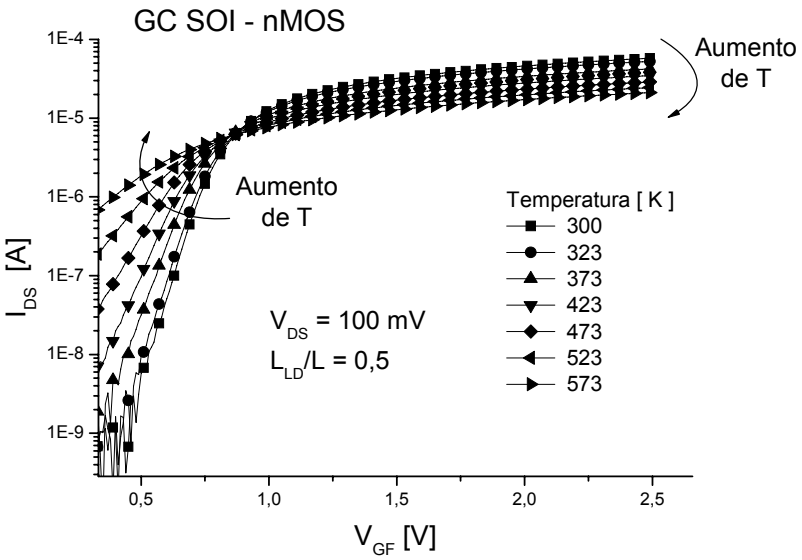


Figura 51: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC SOI nMOS (L_{LD} / L = 0,5) em diferentes temperaturas para V_{DS} = 100 mV.

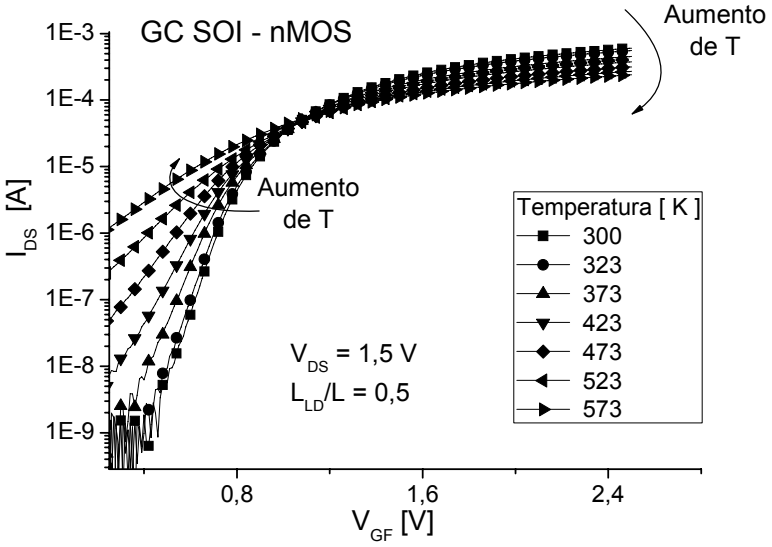


Figura 52: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC SOI nMOS (L_{LD} / L = 0,5) em diferentes temperaturas para V_{DS} = 1,5 V.

5.4.1.2.2 V_{ZTC}: Dados Experimentais e Modelo CM

Nas figuras a seguir é apresentado o valor de V_{ZTC} em função da temperatura, que foi obtido experimentalmente e pelo modelo simples proposto, operando na região linear, através da equação (47), e na região de saturação, utilizando a equação (51). Os valores obtidos para os dispositivos GC SOI são para as relações de L_{LD}/L (L_{HD}) de 0,25 (3μm), 0,5 (2μm) e para o dispositivo SOI convencional com L = 4μm, para ambas as polarizações, da Figura 53 a Figura 55. E com L_{LD}/L (L_{HD}) de 0,825 (0,7μm) na região linear, Figura 56, e L_{LD}/L (L_{HD}) de 0,625 (1,5μm) na região de saturação, Figura 57.

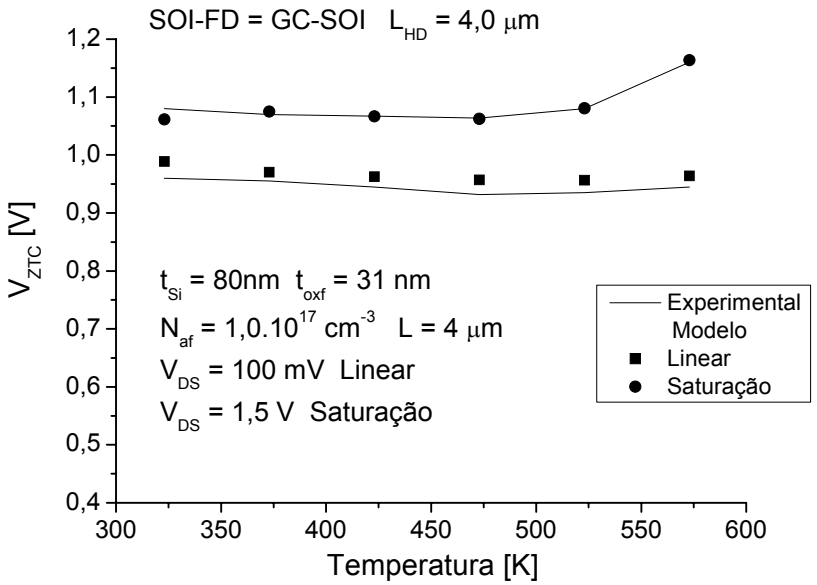


Figura 53: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos SOI nMOS Convencionais, para as duas regiões de operação linear (V_{DS} = 100 mV) e de saturação (V_{DS} = 1,5 V), comprimento de canal de L = 4μm.

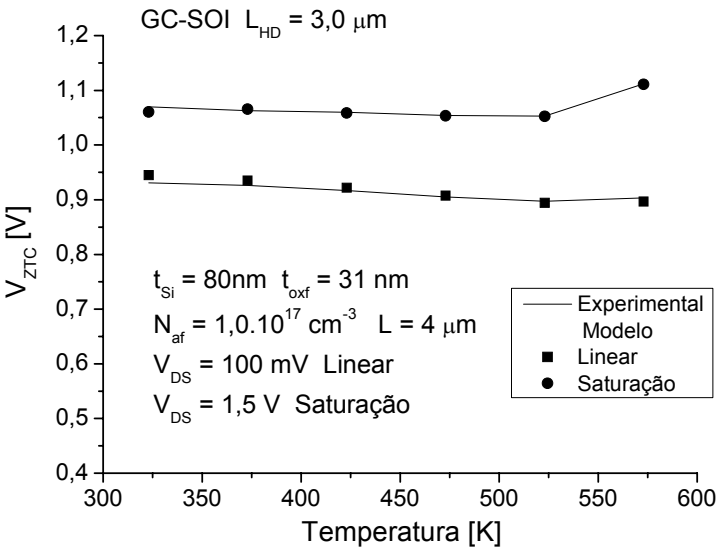


Figura 54: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC SOI nMOS, para as duas regiões de operação linear (V_{DS} = 100 mV) e de saturação (V_{DS} = 1,5 V), para relação de comprimento de canal L_{LD}/L = 0,25 ou L_{HD} = 3μm.

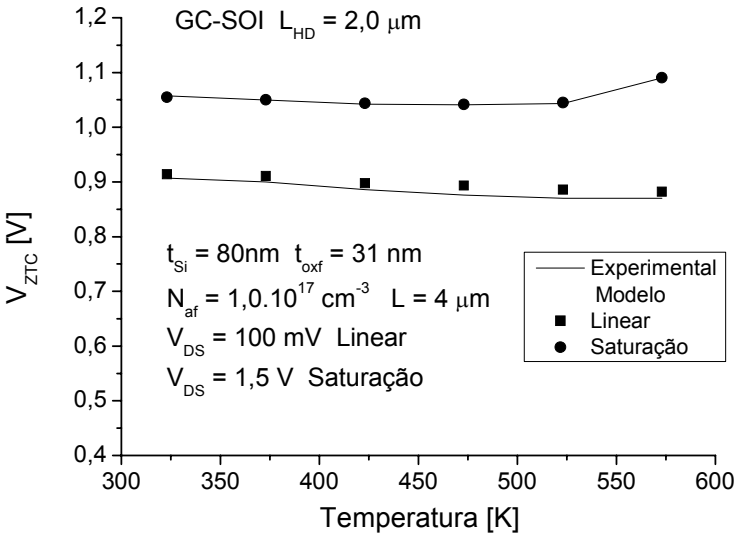


Figura 55: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC SOI nMOS, para as duas regiões de operação linear (V_{DS} = 100 mV) e de saturação (V_{DS} = 1,5 V), para relação de comprimento de canal L_{LD}/L = 0,5 ou L_{HD} = 2μm.

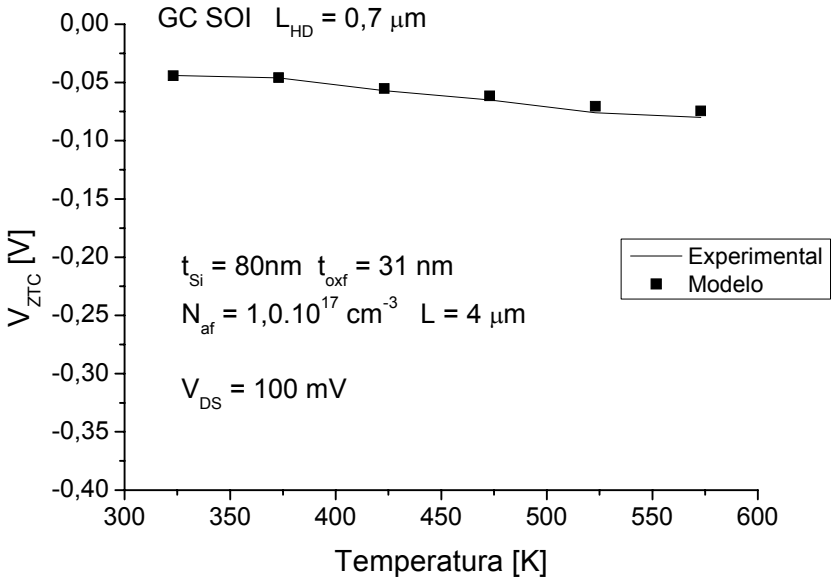


Figura 56: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC SOI nMOS, operando na região linear (V_{DS} = 100 mV), para comprimento de canal L_{HD} = 0,7μm.

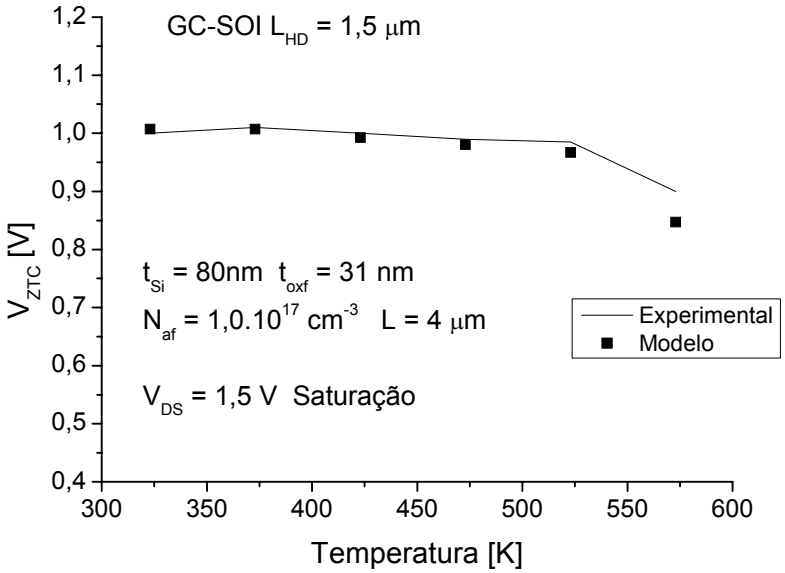


Figura 57: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC SOI nMOS, operando na região de saturação (V_{DS} = 1,5 V), para comprimento de canal L_{HD} = 1,5μm.

Os valores do fator *c*, que representa a degradação da mobilidade com a temperatura, que foram utilizados para o ajuste dos resultados do modelo proposto aos dados experimentais, são apresentados na Tabela 5 para cada dispositivo. O valor do fator *c* foi obtido através da equação (46) aplicada aos dados experimentais, e adotado a média aritmética do fator *c* dos valores para a faixa de temperatura analisada, 300 a 573 K. Com a utilização dos valores encontrados do fator c na equação (47), foi observado um bom ajuste dos resultados do modelo proposto com os dados experimentais, apesar das simplificações e considerações adotadas.

Os valores do fator c em função do comprimento de canal L_{HD}, Tabela 5, indicam a maior degradação da mobilidade com o aumento da temperatura em dispositivos com menor comprimento de canal (L_{HD}). Há também a ocorrência de uma maior degradação da mobilidade para menores comprimentos de canal devido o aumento do campo elétrico[68], uma vez que em um escalamento realista de dispositivos, a tensão elétrica é reduzida com um fator de escala menor do que o utilizado para as dimensões. Isto faz com que o campo elétrico aumente com o escalamento.

Tabela 5: Média aritmética do valor do fator c para cada comprimento de canal L_{HD}, para faixa de temperatura analisada, 300 a 573 K.

Fator *c* (média)					
L_{HD} [μm]	4	3	2	1,5	0,7
Linear	**1,46**	**1,65**	**1,81**		**1,91**
Saturação	**1,59**	**1,62**	**1,88**	**2,47**	

5.4.1.2.3 Variação de V_{ZTC} com comprimento de canal (L)

A influência no valor do ponto invariante com a temperatura (V_{ZTC}) com a variação do comprimento de canal do dispositivo, operando em regime linear, Figura 58, e no regime de saturação, Figura 59.

A Figura 58 apresenta o valor de V_{ZTC}, de dados obtidos experimentalmente para os dispositivos GC SOI nMOSFETs, em função do comprimento de canal L_{HD} de 0,7 , 2 e 3 μm, ou seja, para as relações de comprimento de canal (L_{LD}/L) de 0,825, 0,5 e 0,25, respectivamente, e para o dispositivo SOI MOSFET convencional.

Pode-se observar, através dos dados apresentados, a diminuição no valor de V_{ZTC} com a redução do comprimento de canal, indicando a sua dependência direta com a tensão de limiar, esta ultima que sofre redução devido a ocorrência do efeito de canal curto. Na Figura 59 também é possível observar a redução de V_{ZTC} para menores valores do comprimento de canal (L_{HD}), para os dispositivos operando na região de saturação.

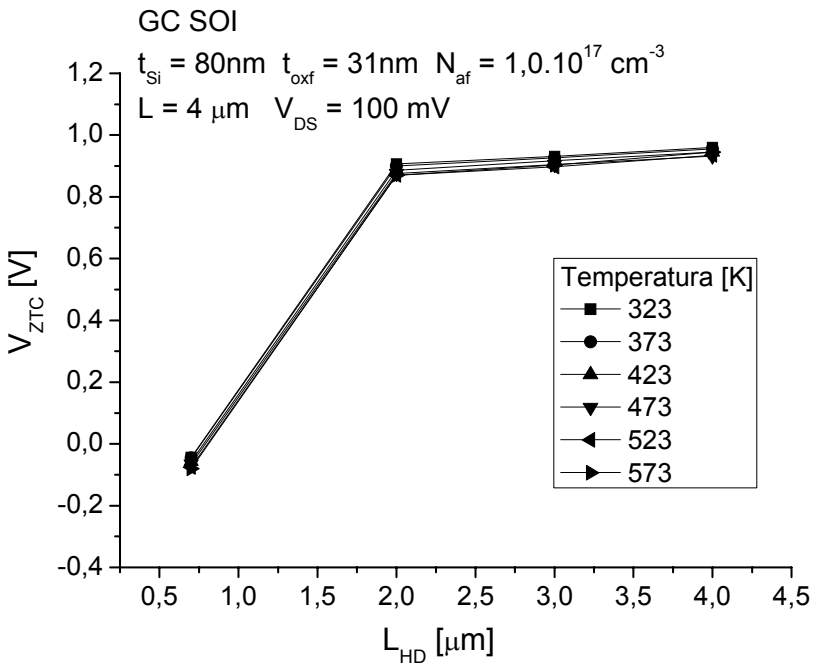


Figura 58: Tensão V_{ZTC} em função do comprimento de canal da região altamente dopada (L_{HD}) obtido experimentalmente, para dispositivos GC SOI nMOS operando na região linear (V_{DS} = 100 mV).

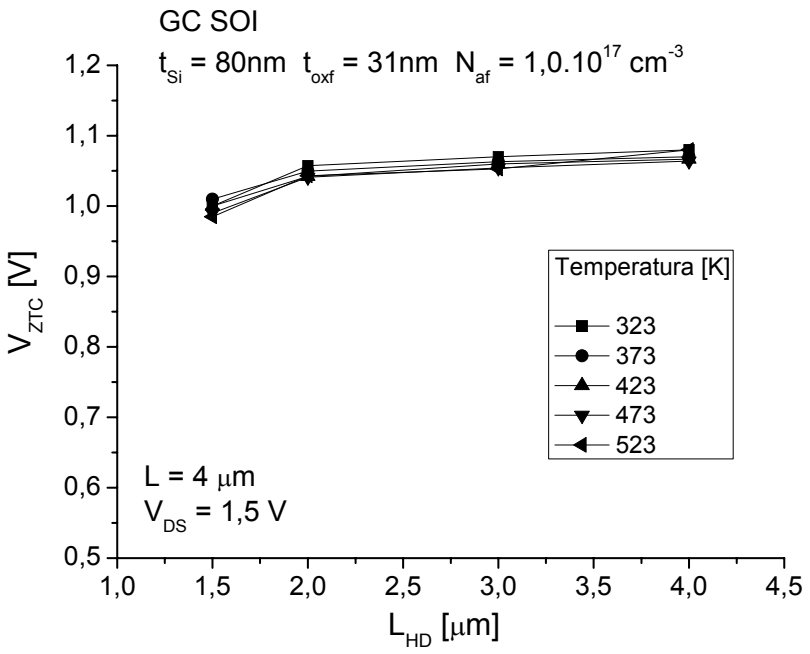


Figura 59: Tensão V_{ZTC} em função do comprimento de canal da região altamente dopada (L_{HD}) obtido experimentalmente, para dispositivos GC SOI nMOS operando na região de saturação (V_{DS} = 1,5 V).

5.4.2 Análise do modelo CM proposto em dispositivos GC GAA SOI

5.4.2.1 Características dos Dispositivos

As características físicas dos dispositivos são: espessura da camada de silício (t_{Si}) de 80 nm, espessura do óxido de porta (t_{oxf}) de 30 nm, concentração de dopantes na região de canal de 6,8x10^{16} cm^{-3} (região de ajuste da tensão de limiar), no caso dos dispositivos GC a região menos dopada tem concentração de 1,0x10^{15} cm^{-3}. Esses dispositivos são de três dedos paralelos, cada um com comprimento de 3 μm e largura de 3 μm.

5.4.2.2 Resultados e Discussão

5.4.2.2.1 Região Linear de Operação

A verificação inicial foi realizada através das curvas I_{DS} x V_{GF} obtidas através de medidas experimentais com transistores GC-GAA SOI nMOSFETs, em diferentes temperaturas e operando na região linear de polarização. É possível notar a ocorrência do ponto ZTC para os diferentes valores da relação de comprimento de canal (L_{LD}/L), Figuras 60 a 76.

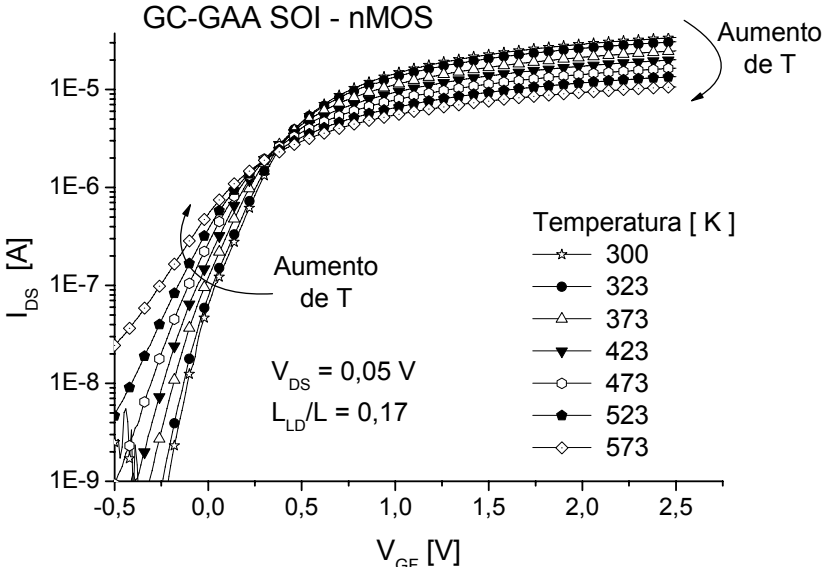


Figura 60: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,17) em diferentes temperaturas para V_{DS} = 0,05 V.

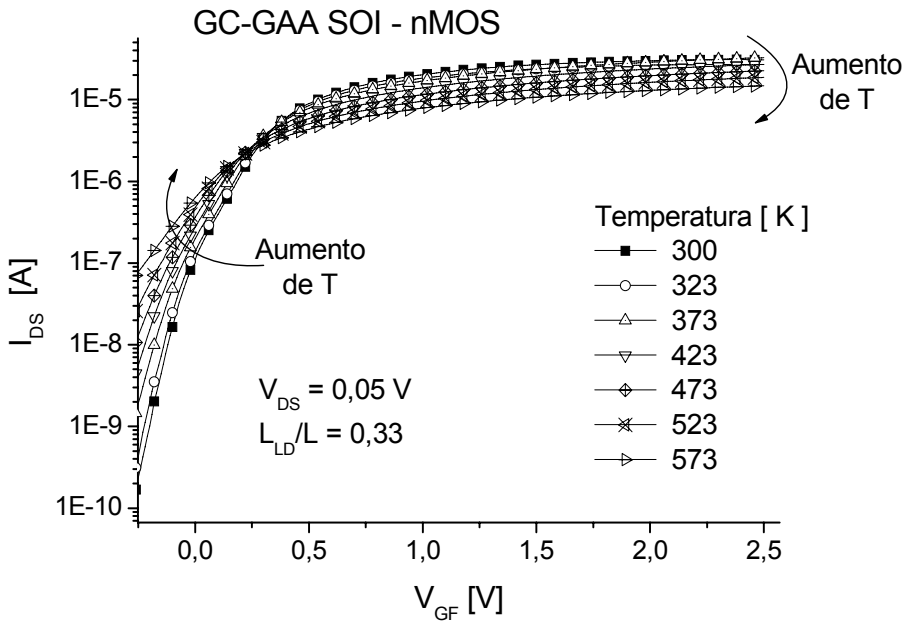


Figura 61: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,33) em diferentes temperaturas para V_{DS} = 0,05 V.

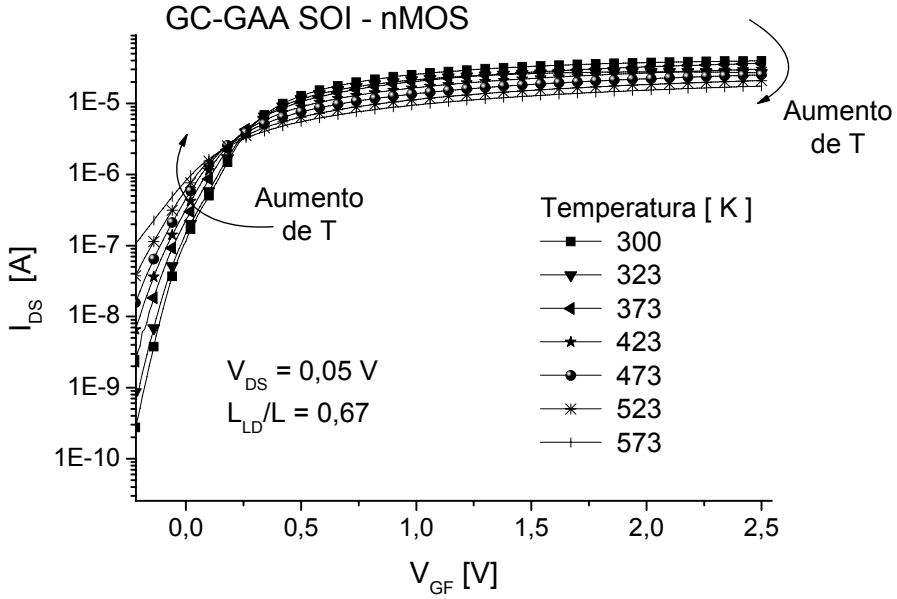


Figura 62: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,67) em diferentes temperaturas para V_{DS} = 0,05 V.

Na Figura 63 é apresentado o valor de V_{ZTC} em função da temperatura, para os dispositivos GC GAA SOI nMOSFETs, que foi obtido experimentalmente e pelo modelo simples proposto operando na região linear através da equação (47), para as diferentes relações de L_{LD}/L.

Em uma primeira avaliação, os valores do fator *c*, que representa a degradação da mobilidade com a temperatura, que foram utilizados para a obtenção do valor de V_{ZTC} para o modelo proposto, foram obtidos do mesmo modo que foi realizado para os dispositivos convencionais planares, ou seja, através do valor da média aritmética do fator *c* para a faixa de temperatura considerada.

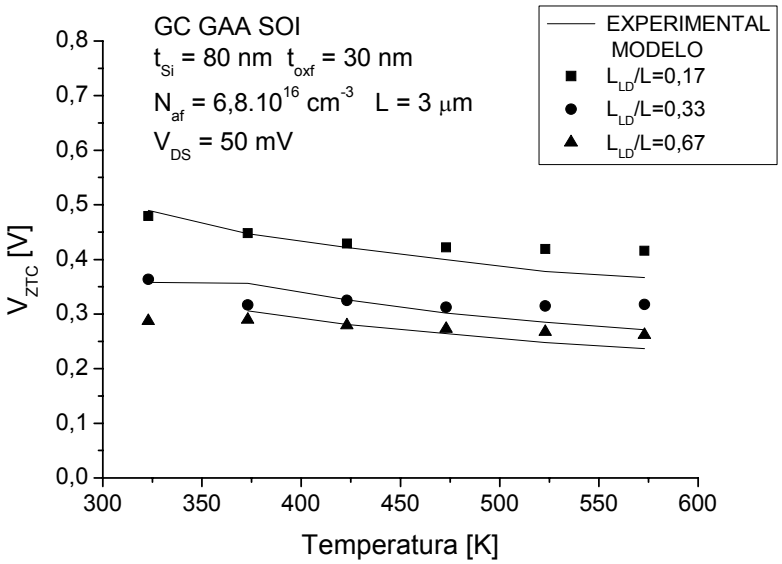


Figura 63: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC GAA SOI nMOS operando na região linear (V_{DS} = 50 mV), para valores de relação de comprimento de canal (L_{LD}/L) de 0,17, 0,33 e 0,67.

Através da Figura 63 é possível verificar que, esse método não apresentou o mesmo ajuste dos resultados do modelo com os dados experimentais dos dispositivos GC-GAA do ajuste apresentado para os dispositivos convencionais planares. Essa diferença apresentada indica que a degradação da mobilidade com a temperatura, verificada pelo fator *c*, sofre uma variação diferente. Para a verificação dessa diferença, avaliou-se a variação de V_{ZTC} com a temperatura para uma das relações L_{LD}/L utilizadas, e com os valores do fator *c* de 1, 1,5 , 2, 2,5 e 3.

A Figura 64 ilustra a influência do fator *c*, inserido no modelo CM proposto através da equação (47), na variação de V_{ZTC} com a temperatura, e também pode-se verificar a diferente tendência de variação da curva de V_{ZTC} com a temperatura dos dados experimentais.

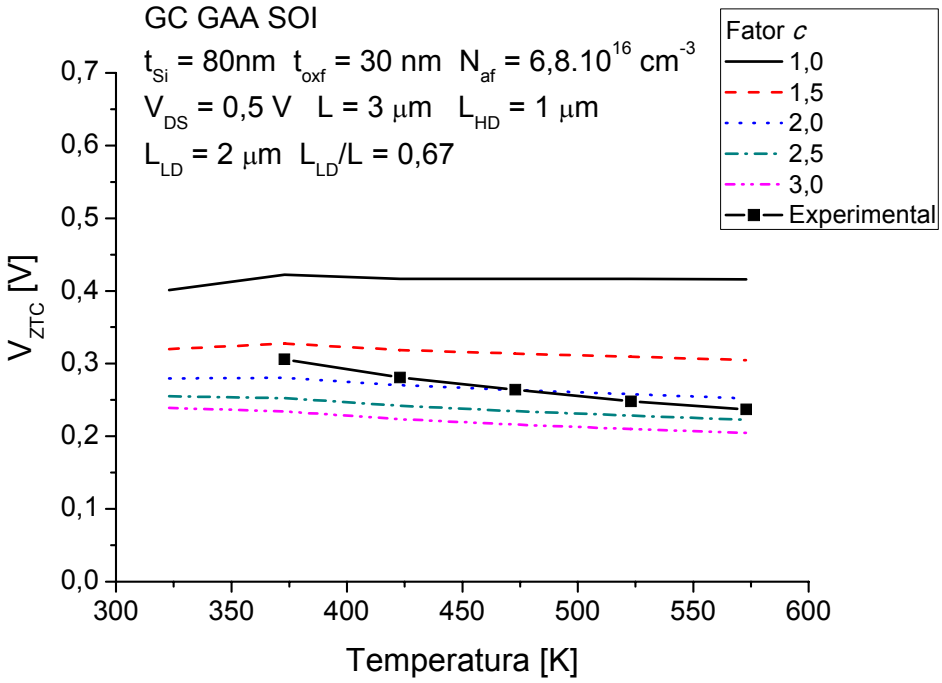


Figura 64: Tensão V_{ZTC} obtido pelo modelo proposto para dispositivos GC GAA SOI nMOS para uma relação de comprimento de canal (L_{LD}/L) de 0,67, operando na região linear (V_{DS} = 50 mV), com valores do fator *c* de 1, 1,5 , 2, 2,5 e 3.

Desta forma, foi verificada a variação do fator c com a temperatura para os dispositivos GC-GAA estudados, Figura 65. Foi adotado a utilização da extrapolação linear das retas obtidas, dispositivos com relações de L_{LD}/L de 0,17 , 0,33 e 0,67, obtendo-se uma equação de reta para a determinação do fator c dependente da temperatura, ou seja, na forma *c* = a + b.(T2), em que a e b são os coeficientes da reta e T2 é a temperatura de medida.

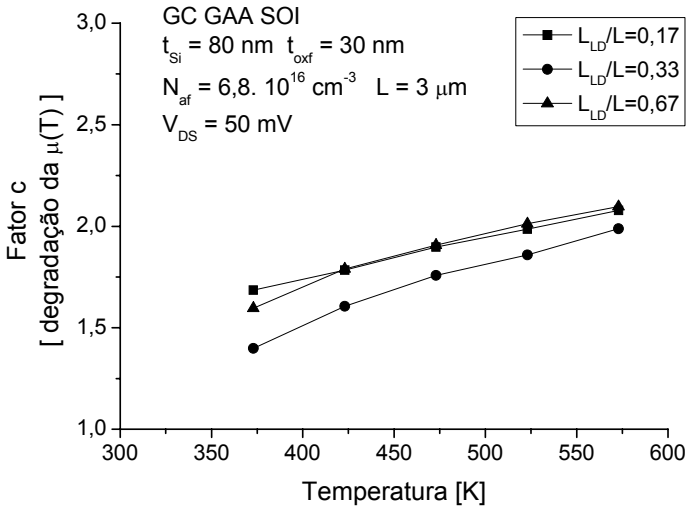


Figura 65: Variação do fator de degradação da mobilidade com a temperatura (Fator *C*).

A proposta para o valor do fator c em função da temperatura, como descrito anteriormente, foi utilizada na equação (47) e obtido o valor de V_{ZTC} para as relações de L_{LD}/L analisadas, Figura 66. Através da Figura 66, é possível verificar um melhor ajuste dos resultados do modelo proposto com os dados experimentais para as relações de L_{LD}/L analisadas.

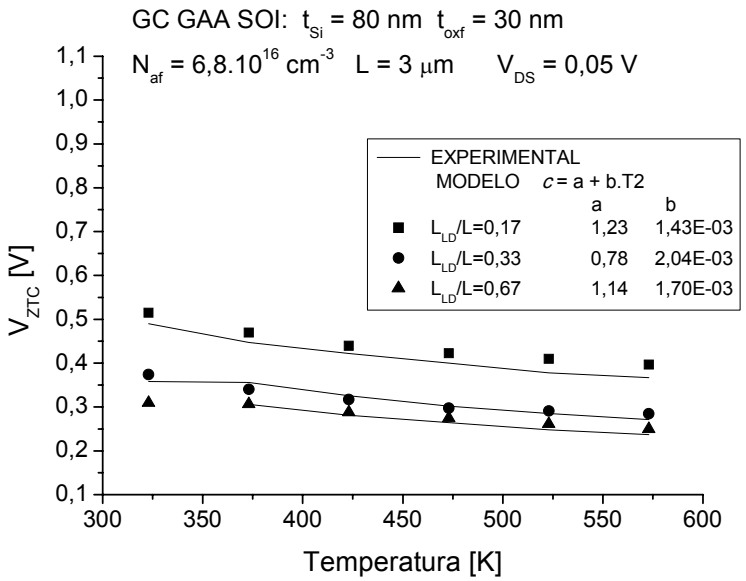


Figura 66: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função da temperatura para dispositivos GC GAA SOI nMOS operando na região linear (V_{DS} = 50 mV), para valores de relação de comprimento de canal (L_{LD}/L) de 0,17, 0,33 e 0,67.

A Figura 67 apresenta o valor de V_{ZTC}, de dados obtidos experimentalmente para os dispositivos GC-GAA SOI nMOSFETs, em função do comprimento de canal L_{HD} de 1, 2 e 2,5 μm, ou seja, para as relações de comprimento de canal (L_{LD}/L) de 0,67, 0,33 e 0,17. Pode-se observar a influência no valor do ponto invariante com a temperatura (V_{ZTC}) com a variação do comprimento de canal do dispositivo. Através dos dados analisados verifica-se a diminuição no valor de V_{ZTC} com a redução do comprimento de canal, indicando a ocorrência do efeito de canal curto (SCE - short-channel effect), uma vez que este efeito é observado no comportamento da tensão de limiar, Figura 68. Como conseqüência, o mesmo efeito ocorre na tensão de polarização no ponto ZTC (V_{ZTC}), devido a sua dependência direta com a tensão de limiar, como mostra o modelo CM proposto na equação (47).

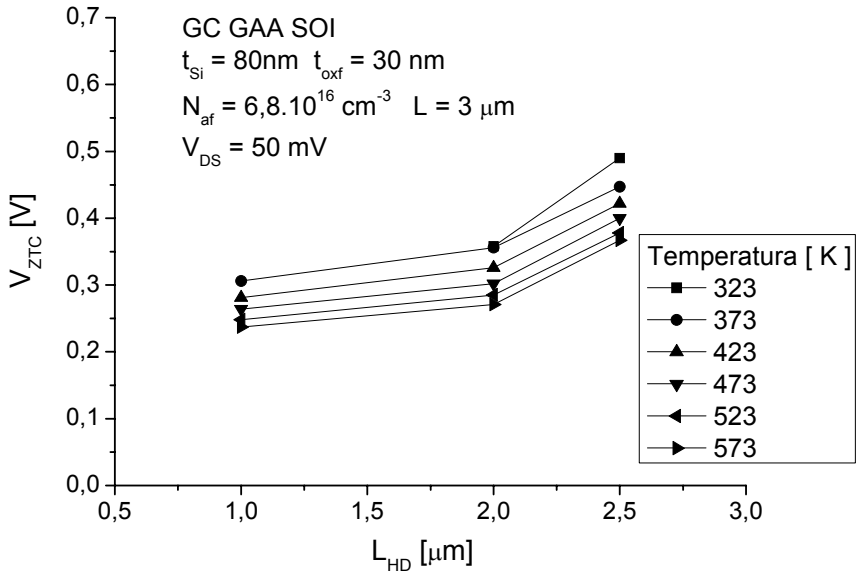


Figura 67: Tensão de polarização no ponto ZTC (V_{ZTC}) em função do comprimento de canal da região altamente dopada (L_{HD}) obtido experimentalmente, para dispositivos GC GAA SOI nMOS operando na região linear (V_{DS} = 50 mV).

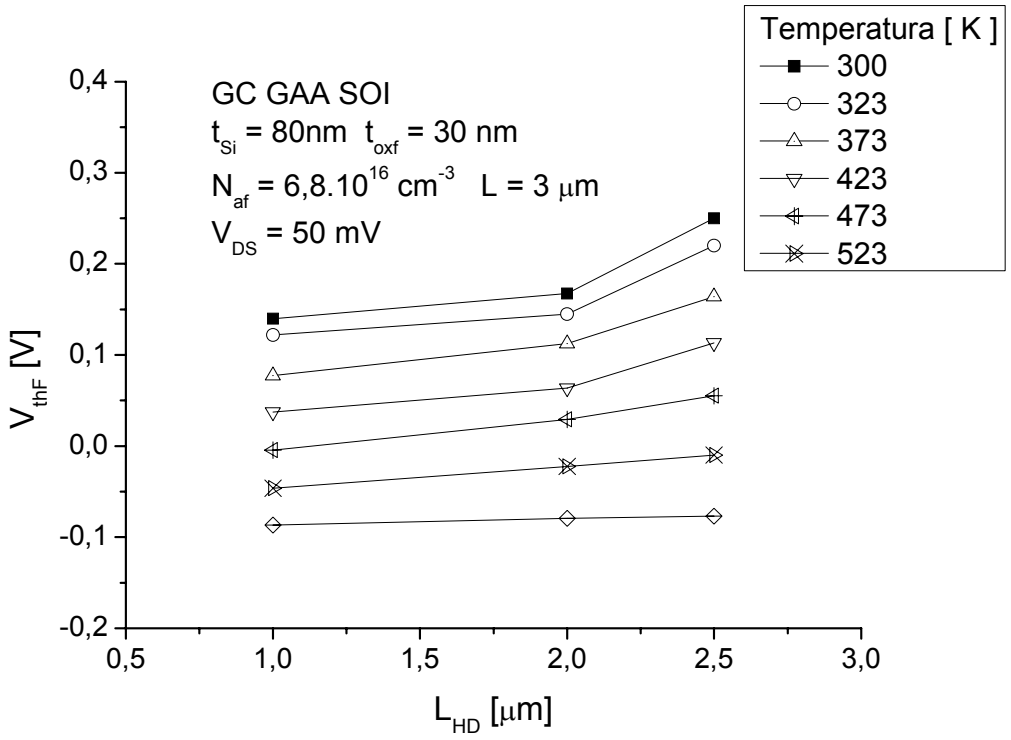


Figura 68: Dados experimentais: Variação da Tensão de limiar (V_{thF}) em função do comprimento de canal da região altamente dopada (L_{HD}) para dispositivos GC GAA SOI nMOS, para temperaturas de 300 a 573 K.

5.4.2.2.2 Região de Saturação

Operando na região de saturação de polarização, as curvas I_{DS} x V_{GF} foram obtidas da mesma forma que os dados extraídos com o transistor polarizado em regime linear, ou seja, através de medidas experimentais com os transistores GC GAA nMOSFETs sob diferentes temperaturas, da Figura 69 a Figura 71. Nas figuras é possível observar a ocorrência do ponto ZTC, para as relações de L_{LD}/L de 0,17 , 0,33 e 0,67.

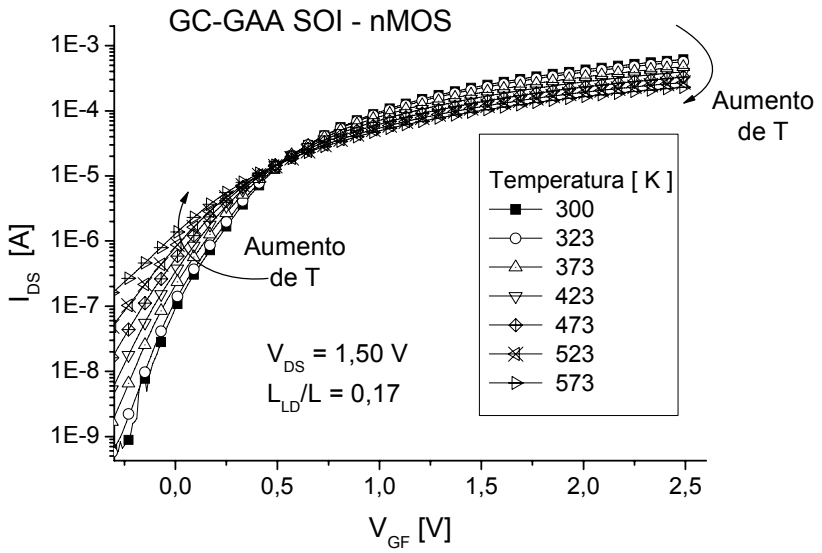


Figura 69: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,17) em diferentes temperaturas para V_{DS} = 1,5 V.

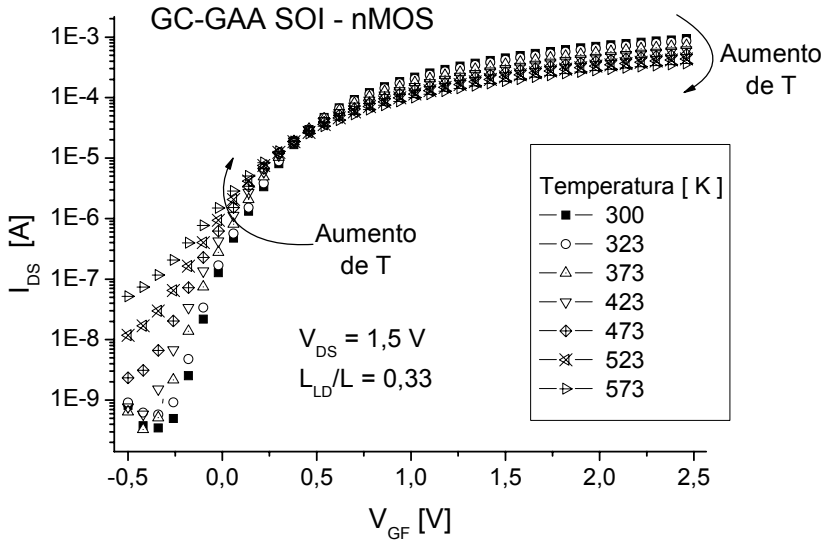


Figura 70: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,33) em diferentes temperaturas para V_{DS} = 1,5 V.

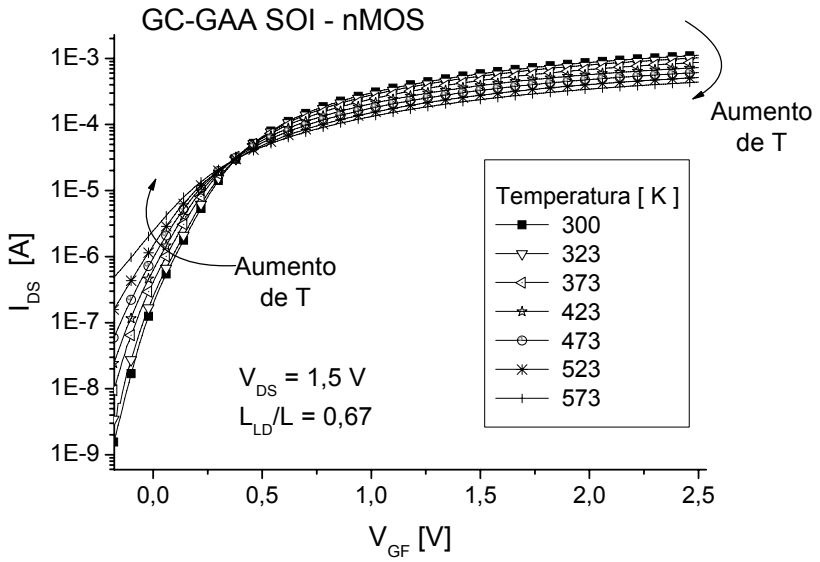


Figura 71: Curvas I_{DS} x V_{GF} de medidas experimentais do transistor GC-GAA SOI nMOS (L_{LD} / L = 0,67) em diferentes temperaturas para V_{DS} = 1,5 V.

Na Figura 72 é apresentado o valor de V_{ZTC} em função da temperatura, para os dispositivos GC GAA SOI nMOSFETs, que foi obtido experimentalmente e pelo modelo simples proposto operando na região de saturação através da equação (51), para as diferentes relações de L_{LD}/L

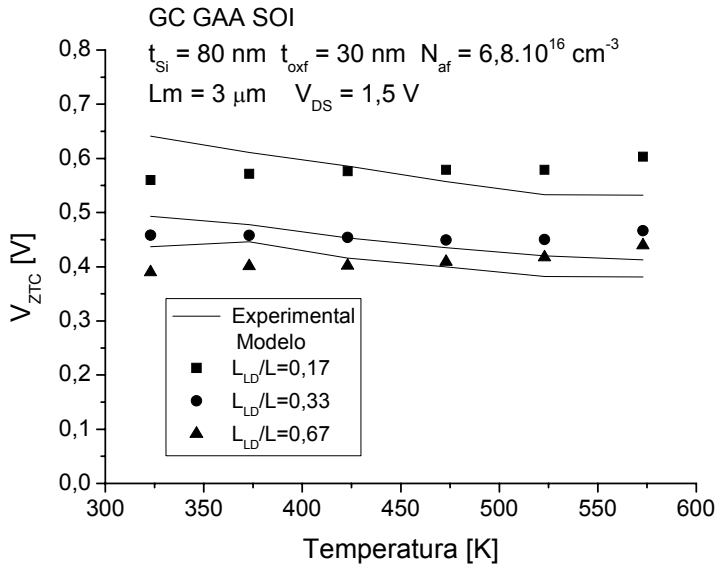


Figura 72: Tensão V_{ZTC} obtido experimentalmente e pelo modelo proposto em função da temperatura para dispositivos GC GAA SOI nMOS operando na região de saturação (V_{DS} = 1,5 V), para valores de relação de comprimento de canal (L_{LD}/L) de 0,17, 0,33 e 0,67.

Os resultados apresentados na Figura 72, do valor de V_{ZTC} obtido pelo modelo proposto, foram obtidos do mesmo modo como realizado para dispositivos convencionais planares, ou seja, através do valor da média aritmética do fator *c* para a faixa de temperatura analisada. Entretanto, os resultados do modelo proposto, com o transistor operando em regime de saturação, não apresentaram um bom ajuste com dados experimentais para os dispositivos GC-GAA.

Foi realizado também a avaliação do fator c, inserido no modelo proposto através da equação (51), para os dispositivos operando em regime de saturação. A Figura 73 mostra apresenta a variação de V_{ZTC} com a temperatura para uma das relações L_{LD}/L utilizadas, comparando os resultados com valores do fator *c* de 1, 1,5 , 2, 2,5 e 3. Na Figura 73 também nota-se a curva da variação de V_{ZTC} com a temperatura dos dados experimentais. Da mesma forma que observado com os dispositivos operando em regime linear, verifica-se a tendência diferente de sua variação.

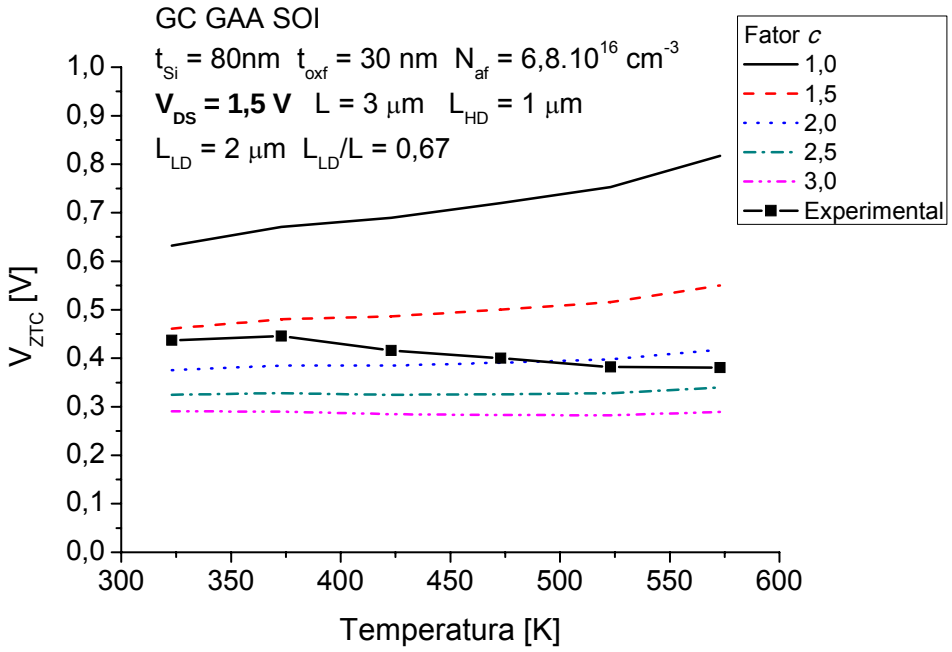


Figura 73: Tensão V_{ZTC} obtido pelo modelo proposto para dispositivos GC GAA SOI nMOS para uma relação de comprimento de canal (L_{LD}/L) de 0,67, operando na região de saturação (V_{DS} = 1,5 V), com valores do fator *c* de 1, 1,5 , 2, 2,5 e 3.

A partir da variação do fator *c* com a temperatura, Figura 74, para os dispositivos GC GAA com relações de L_{LD}/L de 0,17 , 0,33 e 0,67, operando em regime de saturação, obteve-se a extrapolação linear das curvas obtidas para os dispositivos citados. Da mesma forma que a análise realizada para a região de linear, obteve-se uma equação de reta para o fator c dependente da temperatura.

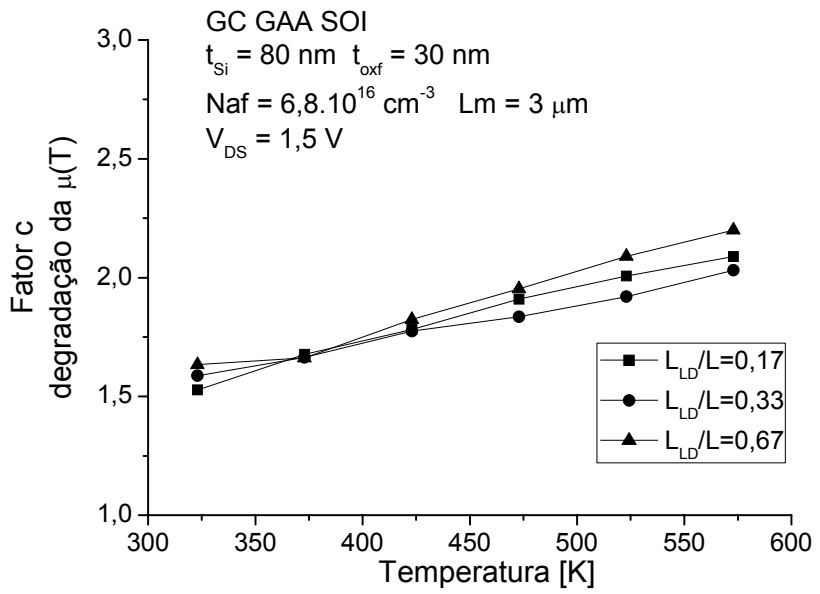


Figura 74: Variação do fator de degradação da mobilidade com a temperatura (Fator *C*) para GC GAA SOI em regime de saturação.

Utilizando a proposta para determinação do valor do fator c em função da temperatura, inserindo na equação (51), obteve-se o valor de V_{ZTC} para as relações de L_{LD}/L analisadas, Figura 75. Na mesma figura, é possível observar um melhor ajuste dos resultados do modelo proposto com os dados experimentais para as relações de L_{LD}/L analisadas.

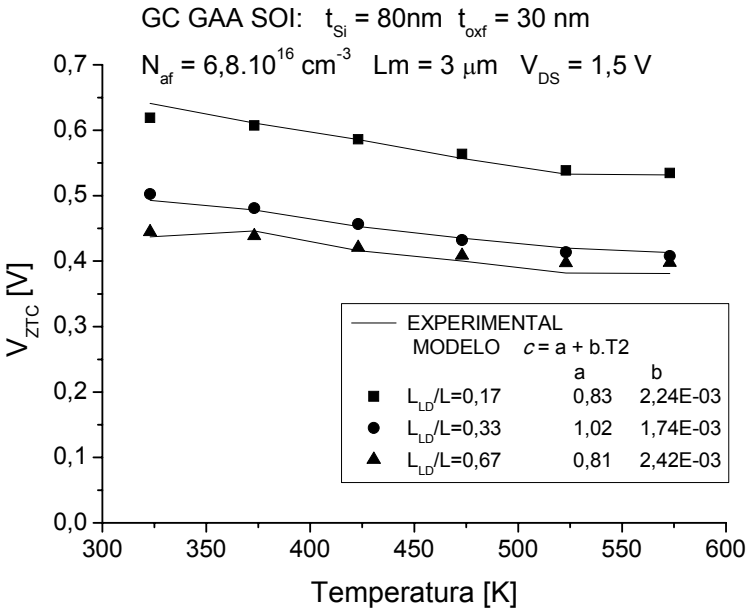


Figura 75: Tensão de polarização no ponto ZTC (V_{ZTC}) obtido experimentalmente em função da temperatura para dispositivos GC GAA SOI nMOS operando na região de saturação (V_{DS} = 1,5 V), para valores de relação de comprimento de canal (L_{LD}/L) de 0,17, 0,33 e 0,67.

Realizou-se também a verificação da influência no valor do ponto invariante com a temperatura (V_{ZTC}) com a variação do comprimento de canal do dispositivo, operando em regime de saturação.

A Figura 76 apresenta os dados obtidos experimentalmente para os dispositivos GC GAA SOI nMOSFETs com L_{HD} de 1, 2 e 2,5 μm, ou seja, para as relações de comprimento de canal (L_{LD}/L) de 0,67, 0,33 e 0,17. Analisando a variação de V_{ZTC} em função do comprimento de canal, verifica-se a diminuição no valor de V_{ZTC} com a redução do comprimento de canal, como observado para o regime linear de operação. Portanto, este efeito também indica a ocorrência do efeito de canal curto (SCE - short-channel effect) no comportamento da tensão de limiar, influênciando diretamente na tensão de polarização no ponto ZTC (V_{ZTC}) no regime de polarização de saturação.

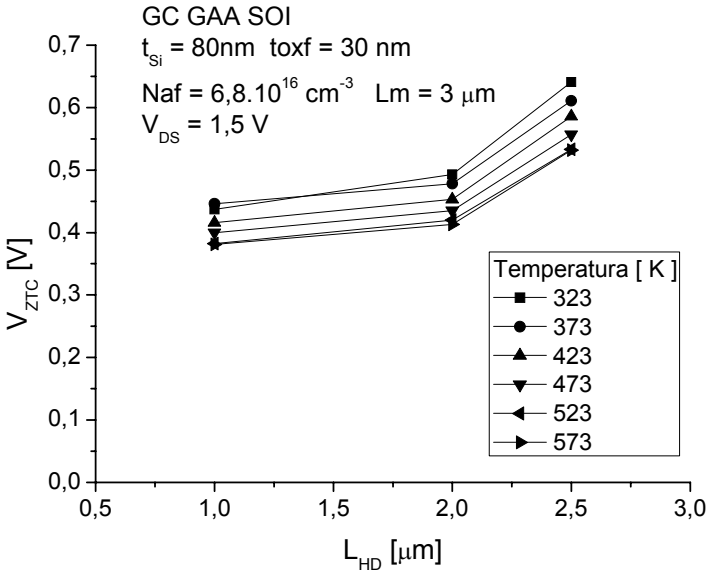


Figura 76: Tensão de polarização no ponto ZTC (V_{ZTC}) em função do comprimento de canal da região altamente dopada (L_{HD}) obtido experimentalmente, para dispositivos GC GAA SOI nMOS operando na região de saturação (V_{DS} = 1,5 V).

6 Conclusões

Neste trabalho foi apresentado um modelo analítico simples (modelo CM: Camillo-Martino) para a polarização no Ponto Invariante com a Temperatura (ZTC), para análise dos principais fatores que influênciam na obtenção deste ponto, em dispositivos SOI MOSFETs operando nas regiões linear e de saturação, dentro do intervalo de temperatura de 20 a 300ºC.

O modelo CM foi usado para estudar a influência do fator de degradação da mobilidade com a temperatura (*c*) na tensão de polarização de porta no ponto ZTC (V_{ZTC}) em dispositivos SOI MOSFETs no modo PD (Parcialmente Depletado) e FD (Totalmente Depletado).

As mudanças em V_{ZTC}, no intervalo de temperatura investigado, mostraram a existência de uma dependência da degradação da mobilidade com a temperatura, que apresentou maior influência nos dispositivos parcialmente depletados (PD).

Analisando os dados experimentais com polarização na região linear de operação, observa-se que para os dispositivos PD com o aumento da temperatura, o valor de V_{ZTC} também aumenta, mas ocorre uma leve diminuição nos dispositivos FD. Esta diferença é devida aos valores obtidos experimentalmente do fator de degradação da mobilidade com a temperatura (*c*), que é maior nos dispositivos FD (1,69) do que nos dispositivos PD (1,46). Um bom ajuste dos valores foi obtido apesar das simplificações usadas no modelo CM proposto.

A influência do fator de degradação da mobilidade com a temperatura (*c*) na tensão de polarização de porta no ponto ZTC (V_{ZTC}), em dispositivos SOI MOSFETs no modo PD e FD foi investigada através do modelo CM proposto operando na região de saturação. Os resultados foram comparados com os dados experimentais, obtendo um bom ajuste para o dispositivo PD com c = 1,46.

O modelo CM proposto também foi utilizado para o estudo da influência da polarização da tensão de dreno (V_{DS}) e do comprimento de canal (L) de dispositivos SOI MOSFETs na polarização da tensão de porta no ponto ZTC, nas regiões de operação linear e de saturação. Os resultados obtidos através do modelo CM proposto mostraram um bom ajuste com os valores extraídos experimentalmente, em ambas as regiões de operação dos dispositivos analisados.

A tensão de polarização no ponto ZTC (V_{ZTC}), na faixa de temperatura estudada, para os dispositivos SOI nMOS apresentou um menor valor operando na região de saturação do que na região linear, que pode ser previsto pelo modelo CM. E essa diferença tornou-se mais pronunciada para dispositivos com menor comprimento de canal para ambos os tipos de dispositivos, SOI n e pMOS. Foi observado o efeito reverso de canal curto (RSCE) sobre o comportamento da tensão de limiar (V_{thF}) e conseqüentemente foi notado sua influência em V_{ZTC}, observado pela variação de V_{ZTC} em função do comprimento de canal, para os dispositivos nMOS.

Observando a variação de V_{ZTC} com a tensão de dreno V_{DS}, nota-se uma diminuição no valor de V_{ZTC} para altos valores de V_{DS}, sendo possivelmente devido à redução do valor da tensão de limiar pela ocorrência do efeito DIBL e o impacto da alta tensão de dreno na mobilidade dos portadores no canal dos dispositivos.

O modelo CM proposto também foi aplicado para outras tecnologias de fabricação dos dispositivos SOI MOSFETs, além da tecnologia convencional planar, foram estudados para dispositivos fabricados na tecnologia GC SOI e GC GAA SOI.

Para os dispositivos fabricados na tecnologia GC SOI os resultados obtidos através do modelo proposto, apresentaram um bom ajuste com os valores extraídos experimentalmente, em ambas regiões de operação.

Analisando os dados experimentais dos dispositivos GC SOI, também foi verificada a redução no valor de V_{ZTC} para menores valores do comprimento de canal (L_{HD}), influência do comportamento da tensão de

limiar, que sofre com o efeito de canal curto. O modelo proposto mostra que os efeitos sobre a tensão de limiar influênciam diretamente na tensão V_{ZTC}.

Para os dispositivos fabricados na tecnologia GC-GAA SOI os resultados obtidos através do modelo proposto, aplicado do mesmo modo que foi para os dispositivos convencionais, não apresentaram inicialmente um bom ajuste com os valores extraídos experimentalmente. Entretanto, após análise da variação do fator c, que indica a degradação da mobilidade com a temperatura, foi verificado que o seu valor inserido no modelo, ou seja, o valor da sua média aritmética para a faixa de temperatura analisada, não representava uma boa aproximação.

Com análise da variação do fator c em função da temperatura, para as diferente relações de L_{LD}/L, foi possível aproximar o seu valor inserido no modelo CM proposto, equações (47) e (51), para uma equação de reta obtida do ajuste linear do fator c em função da temperatura. Desta maneira foi obtido um bom ajuste dos resultados do modelo CM com os dados experimentais para os dispositivos GC-GAA SOI, com relações de L_{LD}/L de 0,17, 0,33 e 0,67, para ambas as regiões de polarização.

Foram analisados dados experimentais dos dispositivos GC-GAA SOI, e verificou-se a redução no valor de V_{ZTC} para menores valores do comprimento de canal (L_{HD}), indicando a ocorrência do efeito de canal curto (SCE - short-channel effect), uma vez que este efeito foi observado no comportamento da tensão de limiar, e desta forma influênciando diretamente na tensão V_{ZTC}.

Como sugestão de seqüência de trabalho recomenda-se estudar a aplicação do modelo CM para dispositivos SOI de Múltiplas Portas, considerando-se a dificuldade para esses dispositivos em se obter o valor da mobilidade e o fato da degradação da mobilidade com a temperatura (fator *c*) não apresentar valores próximos a média aritmética, desta forma não permitindo a aproximação de um valor constante, como no caso dos dispositivos SOI planares.

7 Referências Bibliográficas

[1] IZUMI, K. Proceeding of the Fourth International Symposium on Silicon On Insulator Technology and Devices. v.90-6, p.3, 1990.

[2] COLINGE, J. P. “Thin-film SOI technology the solution to many submicron CMOS problems”, IEDM Tech. Dig., p.817–820, 1989.

[3] HEMMENT, P. L. F. Semiconductor-on-insulator and thin-film transistor technology. MRS Symposium Proceedings, ed. Chiang, Geis e Pfeiffer, v. 53, p. 207, 1986.

[4] SKORUPA, W. et al. Properties of buried insulating layers in silicon formed by high dose implantation at 60 keV. Nucl. Instr. and Meth. in Physics Research, v.B32, p.440, 1998.

[5] BROWN, R. B., TENY, F. L. e WU, K.-C., "High temperature micro-electronies-expanding the applications for smart sensors," IEDM Tech. Dig., 1987, pp. 274-277.

[6] NIEBERDING, W. C. e POWELL, J. A., "High-temperature electronic requirements in aeropropulsion systems," IEEE Trans. Indus. Elec¬tron., vol. IE-29, pp. 103-106, 1982.

[7] DRAPER, B. L. e PALMER, D. W., "Extension of high-temperature electronics," IEEE Trans. Componen., Hybrids Manufact. Tech¬nol., vol. CHMT-2, pp. 399-404,1979.

[8] KRULL, W. e LEE, J., "Demonstration of benefits of SOI for high temperature operation," IEEE SOI/SOS Technol¬ogy Workshop, SI. Simons Island, GA. 1988.

[9] MASZARA, W. P. Proceedings of the Fourth International Symposium on Silicon On Insulator Technology and Devices, v.90-6, p.199, 1990.

[10] COLINGE, J. P. Thin-film SOI devices: A perspective. Microeletronic Engineering, v.8, p.127, 1988.

[11] YOSHIMI, M. et al. Observation of mobility enhancement in ultrathin SOI MOSFETs. Eletronics Letters, v. 24, p. 1078, 1988.

[12] AUBERTON-HERVÉ. A. J. et al. A CMOS-SOI 1.4 µm technology on 1300°C annealed SIMOX substrates without epitaxy. Digest of Symposium on VLSI Technology, p.65; 1988.

[13] YOUNG, K. K.. Short channel effect in fully depleted SOI MOSFETs. IEEE Trans. El. Devices, v. ED-36, p. 399, 1989.

[14] TSIVIDIS, Y. P., Operation and modeling of the MOS transistor, McGraw-Hill, 1987.

[15] SZE, S. M., Physics of Semiconductor Devices. Wiley-Interscince Publication, 2a edição, ed. New York: J. Wiley & Sons, 1981.

[16] F. S., SHOUCAIR, "Analytical and Experimental Methods for Zero-Temperature-Coefficient Biasing of MOS Transistors", Electron Lett., vol. 25, n. 17, pp. 1196-1198, 1989.

[17] KLAASSEN, F. M. e HES, W., On the temperature coefficient of the MOSFET threshold voltage. Solid-St Electron. v29, p. 787, 1986.

[18] SHOUCAIR, F. S., HWANG, W. e JAIN, P., Electrical characteristics of large scale integration (LSI) MOSFETs at very high temperatures Part I. Microelectron. Reliab. vol. 24, no. 3, p. 465, 1984.

[19] SHOUCAIR, F. S., HWANG, W. e JAIN, P., Electrical characteristics of large scale integration (LSI) MOSFETs at very high temperatures Part II. Microelectron. Reliab. vol. 24, no. 3, p. 487, 1984.

[20] PRIJIC, Z. D., DIMITRIJEV, S. e STOJADINOVIC, N., , Analysis of temperature dependence of CMOS transistors' threshold voltage. Microelectron. Reliab. vol. 31, p. 33, 1991.

[21] OSMAN, A. A. et al., "Zero-Temperature-Coefficient Biasing Point of Partially Depleted SOI MOSFET´s", IEEE Trans. Electron Devices, vol. 42, no. 9, pp. 1709-1711, 1995.

[22] PRIJIC, Z. D., et al., "The Determination of Zero Temperature Coefficient Point in CMOS Transistors", Microelectron. Reliab. vol. 32, no. 6, pp. 769-773, 1992.

[23] CRISTOLOVEANU, S. Introduction to Silicon On Insulator Materials and Devices. Microelectronic Engineering, n.39, p. 145, 1997.

[24] PLOBL, A.; KRAUTER, G. Silicon-on-insulator: materials aspects and applications, n. 44, p.775, 2000.

[25] BRUEL, M. Silicon on insulator material technology. Electronics Letters, v. 31, p. 1201, 1995.

[26] COLINGE, J. P. Silicon-on-Insulator Technology: Materials to VLSI, 3ed. Kluwer Academic Publishers, 2004.

[27] KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. IEEE Transactions on Electron Devices, v. 41, p. 1217, 1994.

[28] NAKASHIMA,S.; KODATE, J. Integrity of the gate oxide on the thin top Si layer in ITOX-SIMOX wafers. Proceedings of the IEEE International SOI Conference, p. 119, 1999.

[29] CHAU, R. et al. A 50 nm depleted-substrate CMOS transistor (DST). Technical Digest of IEDM, p. 29.1.1, 2001.

[30] DOYLE, B. et al. Transistor Elements for 30nm Physical Gate Lengths and Beyond. Intel Technology Journal, v. 6, n. 2, p. 42, 2002.

[31] GAUTIER, J.; SUN, J. Y. C. On the transient operation of partially depleted SOI NMOSFET's. IEEE Electron Device Letters, v. 16, p. 497, 1995.

[32] LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. IEEE Transactions on Electron Devices, v. 30, p. 1244, 1983.

[33] FLANDRE, D. et al. Comparison of SOI versus bulk performances of CMOS micropower single-stage OTAs. Electronics Letters, v. 30, n. 23, p. 1933, 1994.

[34] COLINGE, J. P. Subthreshold slope of thin-film SOI MOSFET's. IEEE Electron Device Letters, v.7, p.244, 1986.

[35] COLINGE, J. P. Reduction of kink effect in thin-film SOI MOSFETs. IEEE Electron Device Letters, v. 9, p. 97, 1988.

[36] BANQUERI, J. et al. A Procedure for the Determination Effective Mobility in an N-MOSFET in the Moderate Inversion Region. Solid-State Electronics, v. 39, n. 6, p. 875, 1996.

[37] KOLHATKARI, J. S. ; DUTTA, A. K. A new mobility model to explain the transconductance overshoot effect observed in ultra-short-channel length MOSFETs. Solid-State Electronics, v. 44, p. 691, 2000.

[38] WONG, H.S, et al. Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET’s. Solid-State Electrons, 1987; 30:953.

[39] SCHRODER, D. Semiconductor Material and Device Characterization. Wiley, New York, 1990.

[40] RUSSELL, R.W. and FREDERIKSEN, T.M., 'Automotive and industrial electronic building blocks", IEEE J. Solid-State Circuits, v. SC-7, n. 6, pp. 446-454, 1972.

[41] DAVIS, W.F. and FREDERIKSEN, T.M.. "'A precision monolithic time-delay generator of use in automotive electronic fuel injection systems", IEEE J. Solid-State Circuits, vol. SC-7, no. 6, pp. 462-469, 1972.

[42] DAVIS, W.F., "Bipolar design considerations for the automotive environment", IEEE J. Soild-State Circuits, vol. SC-8, no. 6, pp. 419-427, 1973.

[43] Proc. Int. Congr. on Transportation Electronics, SAE, Warrendale, PA, 1980, 1984, 1986.

[44] SHOUCAIR, F.S., “Potential and problems of high temperature electronics and CMOS integrated circuits (25-250°C) - an overview”, Microelectronics Journal vol. 22 no. 2, 1991.

[45] FLEETWOOD, D. M. et al. High-temperature silion-on-insulator electronics for space nuclear power systems: requirements and feasibility. IEEE Trans Nucl Sci.

[46] FLANDRE D., NAZAROV, A. N., HEMMENT P. L. F., Science and technology of semiconductor-on-insulator structures and devices operating in a harsh environment. Kluwer Academic Publisher; 2005.

[47] GROESENEKEN, G., et al., IEEE Trans. Temperature Dependence of Threshold Voltage in Thin-Film SOI MOSFETs, Electron Device Lett., v. 11, n. 8, pp. 329-331, 1990.

[48] JEON, D. S. e BURK, D. E., A temperature-dependent SOI MOSFET model for high-temperature application (27º - 300º C), IEEE Trans. Electron Devices, v. 38, n. 9, pp. 2101-2110, 1991.

[49] KRULL, W. A. e LEE, J. F., Demostration of benefits of SOI for high temperature operation, Proc. IEEE SOS/SOI Technology Workshop (St. Simons Island, GA), p. 69, 1988.

[50] SHOUCAIR, F. S., Design considerations in high temperature analog CMOS integrated circuits, IEEE Trans. CHMT-9, n. 3, pp. 242-251, 1986.

[51] FILANOVSKY, M. e AHMED ALLAM, Mutual Compensation of Mobility and Threshold Voltage Temperature Effects with Applications in CMOS Circuits, IEEE Transactions on Circuits and Systems – I: Fundamental Theory and Applications, v. 48, n. 7, pp. 876-884, Jul. 2001.

[52] FILANOVSKY, I.M. e NAJAFIZADEH, L., Zeroing in On a Zero-Temperature Coefficient Point, IEEE 45th Midwest Symposium on Circuits and Systems, v. 1, pp. 271-274, Aug. 2002.

[53] LIM, H. K. e FOSSUM, J. G., Current-voltage characteristics of thin-film SOI MOSFET's in strong inversion. IEEE Trans. Electron Devices, vol. ED-31, no. 4, pp. 401-408, 1984.

[54] POWER, J. A. e LANE, W. A., An Enhanced SPICE MOSFET Model Suitable for Analog Applications, IEEE Transactions On Computer-Aided Design, pp. 1418-1425, 1992, 1992.

[55] COLINGE, J.P. e COLINGE, C. A., Physics of Semiconductor Devices, 1st edition, Kluwer Academic Publishers, Boston, 2002.

[56] LIOU, J. et al., Analysis and Design of MOSFETs, Kluwer, Dordrecht, MA, 1998

[57] CAMILLO, L. M. et al., “The Temperature Mobility Degradation Influence on the Zero Temperature Coefficient of Partially and Fully Depleted SOI MOSFETs”, Micr. Journal, vol. 37, 2006, 952-957.

[58] OKUMURA, Y. et al., “A novel source-to-drain nonuniformly doped channel (NUDC) MOSFET for high current drivability and threshold voltage controllability “, IEDM Tech Dig., 1990, 391-394

[59] HORI, T., “A 0.1 μm CMOS technology with tilt-implanted punchthrough stopper (TIPS)”, IEDM Tech Dig., 1994, 75-78.

[60] TAUR, Y. et al, “CMOS devices below 0.1 μm: how high will performance go?”, IEDM Tech Dig., 1997, 215-218.

[61] JIN, W. et al., “A physical thermal noise model for SOI MOSFET”, IEEE Trans. Electron Devices, vol. 47 (4), 2000, 768–773.

[62] LIU, Z. H. et al., “Threshold voltage model for deep-submicrometer MOSFETs”, IEEE Trans. Electron. Devices, vol. 40 (1), 1993, 86-95.

[63] G. M. Yeric et al., “A universal MOSFET mobility degradation model for circuit simulation“, IEEE Trans. On Computer-Aided Design, vol. 9 (10), 1990, 1123-1126.

---

[64] PAVANELLO, M. A.; MARTINO, J.A.; DESSARD, V.; FLANDRE, D.. An Asymmetric Channel SOI nMOSFET for Reducing Parasitic Effects and Improving Output Characteristics. Electrochemical and Solid-State Letters, v.3, n.1, p.50-52, 2000

[65] SANTOS, C.D.G dos; Caracterização Elétrica de Transistores SOI de Porta Circundante com Estrutura de Canal Gradual em alta temperatura. São Paulo – Brasil, 2005. /Dissertação de Mestrado – Escola Politécnica da Universidade de São Paulo

[66] COLINGE, J. P.; GAO, M. H.; ROMANO-RODRÍGUEZ, A.; CLAEYS C.. Silicon-on-Insulator "Gate-all-around device". Technical Digest of IEDM, p.595, 1990.

[67] VANDOOREN, A.; COLINGE, J.P.; FLANDRE, D.. Gate-all-Around OTA´s for Rad-Hard and High-Temperature Analog Applications. IEEE Transactions on nuclear science, v. 46, n. 4, p. 1242, 1999.

[68] SUN, S. C. AND PLUMMER, J. D., "Electron Mobility in Inversion and Accumulation Layers Thermally Oxidized Silicon Surfaces", IEEE Trans. Electron Devices, v. 27, p. 1497-1508, 1980.

APENDICE A – Publicações geradas durante o trabalho

Trabalhos completos publicados em anais de congressos

MARTINO, J. A. ; CAMILLO, L. M. ; ALMEIDA, L. M. ; SIMOEN, Eddy ; CLAEYS, Cor . **Zero-Temperature-Coefficient of Planar and MuGFET SOI Devices**. In: 10th IEEE International Conference on Solid-State and Integrated Circuit Technology, 2010, Shanghai, China. 10th IEEE International Conference on Solid-State and Integrated Circuit Technology Proceedings, 2010.

CAMILLO, Luciano Mendes ; MARTINO, J. A. ; SIMOEN, Eddy ; CLAEYS, Cor . **Influence of the Drain Bias and Gate Length of Partially Depleted SOI MOSFETs on the ZTC Biasing Point**. In: 23rd Symposium on Microelectronics Technology and Devices - **SBMicro2008**, 2008, Gramado, RS. Microelectronics Technology and Devices SBMicro2008. Pennington, NJ, EUA : The Electrochemical Society, 2008. v. 14. p. 243-252.

BELLODI, M. ; CAMILLO, L. M. ; MARTINO, J. A. ; SIMOEN, Eddy ; CLAEYS, C. . **Simple Analytical Model to Study the ZTC Bias Point in FinFETs**. In: 211th **Electrochemical Society Meeting - Silicon-On-Insulator Technology and Devices 13, 2007**, Chicago. Silicon-On-Insulator Technology and Devices 13. Pennington, NJ : The Electrochemical Society, 2007. v. 6. p. 205-209.

BELLODI, Marcello ; MARTINO, J. A. ; CAMILLO, Luciano Mendes ; SIMOEN, Eddy ; CLAEYS, Cor . **Influence of the N-Type FinFET Width on the Zero Temperature Coefficient**. In: 22st Symposium on Microelectronics Technology and Devices - **SBMicro2007, 2007**, Rio de Janeiro. Microelectronics Technology and Devices SBMicro2007. Pennington, NJ, EUA : The Electrochemical Society, 2007. v. 9. p. 29-36.

CAMILLO, Luciano Mendes ; MARTINO, J. A. ; SIMOEN, Eddy ; CLAEYS, Cor . **Simple Analytical Model to Study the ZTC Bias Point in PD and FD SOI MOSFETS**. In: EUROSOI 2006 - Second Workshop of the Thematic Network on Silicon On Insulator Technology, Devices and Circuits, 2006, Grenoble. **EUROSOI 2006** Conference Proceedings, 2006. v. 1. p. 77-78.

CAMILLO, Luciano Mendes ; MARTINO, J. A. ; SIMOEN, Eddy ; CLAEYS, C. . **The temperature mobility degradation influence on the ZTC of PD and FD MOSFETS**. In: **Silicon-on-Insulator Technology and Devices Meeting of the Electrochemical Society, 2005**, Quebec. Proceedings of Silicon-on-Insulator Technology and Devices Meeting of the Electrochemical Society. Pennington, New Jersey, USA : The Electrochemical Society, Inc, 2005. v. 2005-3. p. 119-124.

Artigos completos publicados em periódicos

CAMILLO, Luciano Mendes ; MARTINO, J. A. ; SIMOEN, Eddy ; CLAEYS, Cor . **Investigation of the Gate Length and Drain Bia dependence of the ZTC Biasing Point Instability of N- and P- Channel PD SOI MOSFETs.** JICS. **Journal of Integrated Circuits and Systems** (Ed. Português), v. 4, p. 61-66, **2009**.

CAMILLO, Luciano Mendes ; MARTINO, J. A. ; SIMOEN, Eddy ; CLAEYS, C. . **The temperature mobility degradation influence on the zero temperature coefficient of partially and fully depleted SOI MOSFETs**. **Microelectronics Journal**, Oxford, v. 37, n. 9, p. 952-957, **2006**.