ROBERT ALEKSANDER GAVIDIA BOVADILLA

Tecnologias para defasadores baseados em MEMS e linhas de transmissão de ondas lentas

São Paulo
2018

ROBERT ALEKSANDER GAVIDIA BOVADILLA

Tecnologias para defasadores baseados em MEMS e linhas de transmissão de ondas lentas

Tese apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Doutor em Ciência.

São Paulo
2018

ROBERT ALEKSANDER GAVIDIA BOVADILLA

Tecnologias para defasadores baseados em MEMS e linhas de transmissão de ondas lentas

Versão Corrigida

(Versão original encontra-se na unidade que aloja
o Programa de Pós-graduação)

Tese apresentada à Escola Politécnica da
Universidade de São Paulo para obtenção do
título de Doutor em Ciência.

Área de concentração: Microeletrônica

Orientador: Prof. Dr. Gustavo Pamplona Rehder

Co-orientador: Profa. Dra. Ariana Serrano.

São Paulo
2018

Autorizo a reprodução e divulgação total ou parcial deste trabalho, por qualquer meio convencional ou eletrônico, para fins de estudo e pesquisa, desde que citada a fonte.

Este exemplar foi revisado e corrigido em relação à versão original, sob responsabilidade única do autor e com a anuência de seu orientador.

São Paulo, _____ de _____ de _____

Assinatura do autor: _____

Assinatura do orientador: _____

Catálogo-na-publicação

Bovadilla, Robert Aleksander Gavidia

Tecnologias para defasadores baseados em MEMS e linhas de transmissão de ondas lentas / R.A.G. Bovadilla -- versão corr. --São Paulo, 2018.

140 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1. MICROELETRÔNICA I. Universidade de São Paulo. Escola Politécnica Departamento de Engenharia de Sistemas Eletrônicos II. t.

Nome: Robert Aleksander Gavidia Bovadilla

Título: Tecnologias para defasadores baseados em MEMS e linhas de transmissão de ondas lentas

Tese apresentada à Escola Politécnica da Universidade de São Paulo
para obtenção do título de Doutor em Ciência.

Aprovado em:

Banca Examinadora

Prof. Dr. _____

Instituição: _____

Julgamento: _____

Prof. Dr. _____

Instituição: _____

Julgamento: _____

Prof. Dr. _____

Instituição: _____

Julgamento: _____

Prof. Dr. _____

Instituição: _____

Julgamento: _____

Prof. Dr. _____

Instituição: _____

Julgamento: _____

Aos meus amados pais Blanca Bovadilla e
Jesús Gavidia e ao Luis Silvestrini por ter me dado muita
força e compreensão para seguir em frente.

AGRADECIMENTOS

À minha querida família que esteve todo este tempo ao meu lado, minha mãe Blanca por toda a compressão e ao meu pai Jesús por sempre esperar mais de mim. Aos meus queridos irmãos Giovana, Williams, Carolaine e Nicolle, meus queridos sobrinhos Alessandra e Williams, assim como ao meu irmão Manuel que desde o céu cuida cada passo que dou.

Ao meu orientador Dr. Gustavo Pamplona Rehder e à minha co-orientadora Dra. Arianne Serrano por ter confiado em mim e por ter sempre tido toda a disponibilidade, dedicação e paciência durante o desenvolvimento deste trabalho de doutorado.

Aos professores Marco Alayo, Inés Pereyra, Marcelo Carreño e Galo Carrillo Le Roux por terem sempre estado dispostos a me ajudar.

À minhas grandes amigas Mary e Ruthy por essa linda amizade que nos mantem juntos até agora e pelos momentos de tanta felicidade vividos durante todos estes anos.

Aos meus grandes amigos Deissy, Erick, Marilene, Isabel V., Guilherme, Ana M., Lúcia, Paula, Rynaldo, André P., Rúbens A., João P., Alexandre S., Cristiano e Caio, por ser como uma família para mim, com quem compartilhei gratos momentos durante todo este tempo em São Paulo.

Ao meu grande amigo Ernesto, que agora está no céu, pelas gratas lembranças da nossa amizade.

A todos meus amigos e companheiros do Grupo de Novos Materiais e Dispositivos em especial ao Fabio, Julio, Vanessa e Angela.

A todos meus amigos dos grupos “Sul Fiato” e “Todo Canto” do CoralUSP, assim como também aos meus amigos do grupo de canto acappella “Acappolli”. Tenho momentos de muita alegria e cantoria inesquecíveis com vocês.

À minha grande amiga Melissa Bueno por ter me acolhido nos momentos mais difíceis e por ter me inspirado para ser uma pessoa mais forte e perseverante. Eu sempre vou ser o seu grande fã.

Aos meus queridos amigos Ary, Keila, Oscar R., Ivana, Higor, Erika A., Lorena, Leticia, Nathaly, Karen, Francisco, Nancy, Isabella, Cecilia, Karla, Nelson, Carito, Jorge G., José D., Maria Rosa e Chrisnael por todos os momentos de distração que me ajudaram muito em todo este período de doutorado.

Aos meus amigos da Bijari, em especial ao João Reiff, Aymara, Daniel, Amanda, Ana R., Amauri, Magali e a nossa gatinha brava, Pipoca, por ter me ajudado em todo este tempo, fazendo-me sentir em casa.

Ao Igor, Alexandre e ao Adir pela ajuda fornecida nos laboratórios, assim como aos técnicos da sala limpa, Rita, Teresa e Cristina.

Ao Laboratório de Reciclagem, Tratamento de resíduos e Extração-LAREX, do Departamento de Engenharia Química da Escola Politécnica da Universidade de São Paulo por me permitir o uso do MEV de bancada.

Ao CNPq pelo apoio financeiro.

*“Be strong minded and always think that the impossible is possible”
Selena Quintanilla Perez.*

RESUMO

O desenvolvimento deste trabalho foi motivado pela alta demanda de novas aplicações para o mercado do consumidor que necessitam de sistemas de transmissão e recepção de dados sem fio trabalhando na região de ondas milimétricas (mmW - entre 30 GHz e 300 GHz). Para estes tipos de sistemas, os defasadores são cruciais por definir o custo e o tamanho do dispositivo final. A pesquisa bibliográfica mostra que a melhor opção são os defasadores passivos do tipo linha carregada que utilizam Sistemas Microeletromecânicos (MEMS) como elemento de ajuste para a mudança de fase. Por esse motivo neste trabalho foi feito o estudo de diferentes tecnologias para o desenvolvimento de defasadores baseados em MEMS distribuídos e linhas de transmissão com efeito de ondas lentas de tipo *shielded-CoPlanar Stripline* (S-CPS) e *shielded-Coplanar Waveguide* (S-CPW). Foram estudadas três diferentes tecnologias: a tecnologia CMOS; a tecnologia dedicada desenvolvida pelo *Laboratoire d'électronique des technologies de l'information* (CEA-Leti) e a tecnologia *in-house* desenvolvida no Laboratório de Microeletrônica da Universidade de São Paulo. Utilizando a tecnologia CMOS foram fabricadas linhas de transmissão de tipo S-CPS utilizando a tecnologia de 250 nm da IHP (*Innovations for High Performance Microelectronics*) e a tecnologia de 0,35 μm da AMS (*Austria Micro Systems*). A tecnologia de 0,35 μm da AMS foi utilizada também para o desenvolvimento de defasadores de 2-bits e 3-bits baseados em linhas de transmissão de tipo S-CPW. Para estes defasadores foi definido um processo de liberação da camada de blindagem, reproduzível, que permitiu a atuação do dispositivo. Outros defasadores baseados em S-CPW que foram desenvolvidos anteriormente com a tecnologia dedicada CEA-LETI, foram modelados eletrostaticamente utilizando o *Comsol MultiPhysics* e o *Ansys Workbench*. Os modelos desenvolvidos permitiram entender o comportamento eletromecânico do defasador e foram utilizados reprojeter o defasador com um desempenho otimizado. Finalmente, visando o desenvolvimento dos dispositivos otimizados utilizando a tecnologia *in house* com os materiais e métodos disponíveis no Laboratório de Microeletrônica da USP (LME-USP), foram estudadas algumas etapas críticas do processo de fabricação.

Palavras chaves: Defasador de ondas milimétricas. MEMS. Modelamento eletromecânico. Linha de transmissão de tipo S-CPS e S-CPW de efeito de ondas lentas. Tecnologia CMOS.

ABSTRACT

The development of this work is motivated by the high demand for new applications for the consumer market that require wireless systems for data transmission and reception working in the millimeter wave region (mmW - between 30 GHz and 300 GHz). For these kinds of systems, the phase shifter are crucial to define the cost and size of the final device. The bibliographical research shows that the best option are the passive load line-type phase shifters using Microelectromechanical Systems (MEMS) as tuning element. Therefore, in this work, the study of different technologies for the development of phase shifter based on distributed MEMS and slow-wave transmission lines. The two types of transmission lines considered were the shielded-CoPlanar Stripline (*S-CPS*) and shielded-Coplanar Waveguide line (*S-CPW*). Three different technologies were studied: CMOS technology; the dedicated technology developed by the Laboratoire d'électronique des technologies de l'information (CEA-Leti) and the in-house technology developed at the Microelectronics Laboratory of the University of São Paulo. Using the CMOS technology, *S-CPS*-type transmission lines were fabricated using IHP's 250 nm CMOS technology and AMS's 0.35 μm CMOS technology. AMS's 0.35 μm technology has also been used for the development of 2-bit and 3-bit phase-shifters based on *S-CPW* type transmission lines. For these phase shifters, a reproducible shielding layer release process was defined that allowed the device to operate. Also, another phase shifter based in *S-CPW*-type transmission lines that were previously developed with dedicated CEA-LETI technology was electrostatically modeled using Comsol MultiPhysics and Ansys Workbench. The developed models allowed to understand the electromechanical behavior of the phase shifter and was used for a new design of the phase shifter with an optimized performance. Finally, in order to develop the optimized devices using the in-house technology with the materials and methods available at the USP Microelectronics Laboratory (LME-USP), some critical stages of the fabrication process were studied.

Keywords: Millimeter wave phase shifter. MEMS. Electromechanical modeling. *S-CPS* and *S-CPW*. Slow-wave transmission line. CMOS technology.

SUMARIO

AGRADECIMENTOS	7
RESUMO	10
ABSTRACT	11
1 INTRODUÇÃO	11
1.1 Objetivo	18
2 FUNDAMENTOS TEÓRICOS	19
2.1 Defasadores e seu uso em sistemas de transmissão e recepção de dados ...	19
2.2 Defasador baseado em MEMS distribuídos	22
3 REVISÃO BIBLIOGRÁFICA	28
3.1 Tecnologias utilizadas para a fabricação de <i>S-CPS</i> e <i>S-CPW</i>	28
3.2 Defasadores baseados em <i>S-CPS</i> e <i>S-CPW</i>	51
4 DESENVOLVIMENTO DE DEFASADORES BASEADOS EM <i>S-CPS</i>	54
4.1 Etapas do desenvolvimento e resultados utilizando tecnologia CMOS	54
5 DESENVOLVIMENTO DE DEFASADORES BASEADOS EM <i>S-CPW</i>	77
5.1 Tecnologia AMS de 0,35 μm	77
5.2 Tecnologia CEA-LETI	93
5.3 Tecnologia <i>in house</i>	101
6 CONCLUSÕES	124
7 TRABALHOS FUTUROS	127
REFERENCIAS	128
APÊNDICE A	135

1 INTRODUÇÃO

Este trabalho de pesquisa é motivado pela alta demanda de novas aplicações para o mercado consumidor e pelas necessidades de sistemas sem fio de transmissão e recepção de dados que operam em grandes velocidades. Dentre os fatores mais importantes procurados nestes sistemas estão: a miniaturização, o baixo consumo de energia e o baixo custo.

Convencionalmente, os sistemas sem fio para o mercado consumidor trabalhavam entre 0,8 GHz e 10 GHz, mas esta região do espectro está saturada, dificultando o desenvolvimento de novas aplicações. Por isso, frequências em uma região bem mais alta do espectro, entre 30 GHz e 300 GHz, também conhecida como a região de ondas milimétricas (mmW) ou *Extremely High Frequency* (EHF) começaram a ser utilizadas. Na região de mmW, especificamente nas bandas V (40 GHz – 75 GHz) e W (75 GHz – 110 GHz) existem algumas aplicações definidas. Temos radares automotivos para detecção de longo alcance utilizados no controle adaptativo de velocidade (*Adaptive Cruise Control*) e radares anticolisão, ambos em 77 GHz; transmissão de vídeo de alta definição em tempo real e redes pessoais de curto alcance e alta velocidade, em 60 GHz; imagens por RF em 94 GHz, entre outras.

Em 60 GHz, ao contrário das bandas em frequências mais baixas, o sinal eletromagnético apresenta uma alta atenuação atmosférica que faz que as perdas de percurso sejam elevadas, [1]. Por um lado, a atenuação do sinal pode limitar o alcance do sinal, mas esta limitação aumenta a segurança na transmissão e permite um maior reuso de frequências. Além disso, a banda em torno de 60 GHz (geralmente entre 56 GHz e 66 GHz, dependendo do país, [2]) não é licenciada (gratuita), o que faz esta região ser especialmente interessante para o desenvolvimento de diversas aplicações.

Como possibilidade para melhorar o alcance podem ser utilizadas as técnicas de formação e direcionamento de feixe (*beam forming* e *beam steering*) que permitem a concentração da energia emitida/recebida na direção do receptor/emissor. Assim,

como mostrado na Figura 1, uma alternativa de sistema de transmissão e recepção de dados sem fios com formação de feixe pode ser implementado utilizando um arranjo de antenas alimentado por defasadores. Neste tipo de sistemas, os defasadores são os responsáveis pela mudança da fase do sinal que está sendo transmitido/recebido para as diferentes aplicações já mencionadas.

Figura 1 – Exemplo de um sistema de transmissão e recepção de dados sem fio com formação de feixe e suas aplicações em ondas milimétricas.

Fonte: Autor

Em um sistema de transmissão e recepção de dados sem fio em mmW com formação de feixe, os defasadores podem ser responsáveis por grande parte do custo, devido principalmente à tecnologia com que são fabricados e a área que eles podem ocupar. Classicamente, dispositivos de RF, como os defasadores, são fabricados utilizando tecnologia de Arseneto de Gálio (GaAs) que apresenta ótimas características tanto para dispositivos ativos como para passivos. No entanto, esta tecnologia é considerada cara para o mercado consumidor de massa. Em uma comparação simplificada temos que o custo do substrato pode chegar até ~\$200 por

uma lâmina de 100 mm, sendo este o diâmetro máximo das lâminas de GaAs. Como alternativa temos a tecnologia CMOS que é uma tecnologia mais barata já que o custo do substrato é ~\$20 por uma lâmina de 100 mm, sendo que lâminas de 300 mm são utilizadas normalmente sem um aumento significativo no preço, porém com um ganho de escala considerável. Além disso, é possível desenvolver dispositivos com bom desempenho para aplicações em *mmW* [3].

Por outro lado, a área dos defasadores varia em função do tipo de defasador utilizado. Dentre dos tipos de defasadores, existem defasadores ativos e passivos com mudança de fase contínua (defasadores analógicos) ou discreta (defasadores digitais) que utilizam diferentes elementos de ajustes (ex. eletrônico, eletromecânico ou materiais especiais). Os defasadores ativos apresentam área reduzida, mas o seu consumo de potência, entre 32 mW e 168 mW como mostrado em [4], os torna pouco atrativos para a demanda do mercado consumidor, especialmente para aplicações móveis, sendo esse o principal motivo pelo qual este trabalho dá ênfase aos defasadores passivos no trajeto de *mmW*.

Dentre dos defasadores passivos trabalhando em *mmW* podem ser encontradas três topologias principais: defasador de linha carregada (LL), defasador de linha comutada (SL) e defasador tipo reflexão (RT). Em [4] são mostrados o princípio de funcionamento de cada topologia de defasador passivo e o princípio do elemento de ajuste que eles utilizam para fazer a variação de fase.

Na Tabela 1 é mostrado um resumo do desempenho de defasadores passivos baseados nas quatro topologias mencionadas anteriormente, utilizando como elementos de ajuste: Varactor MOS, MEMS, cristal líquido e Titanato de estrôncio e bário (BST). Assim, para comparar o desempenho elétrico dos defasadores, foi calculada uma Figura de Mérito (FoM), definida pela defasagem máxima dividida pelo máximo valor de perdas de inserção. Com finalidade de encontrar uma expressão que permita relacionar o tamanho do dispositivo e o desempenho elétrico, foi calculada uma Figura de Mérito por unidade de área (FoM/Área), definida pelo valor calculado de FoM, dividido pela área do dispositivo em mm² e normalizado pelo quadrado do comprimento de onda do espaço livre (λ^2_0) na frequência de operação do dispositivo.

Tabela 1 - Resumo do desempenho de defasadores passivos

Tipo	Elemento de ajuste	Freq. (GHz)	Perdas por inserção (dB)	FoM (°/dB)	Area (mm ²)	FoM/Area (°/dB)	Ref.
SL	MEMS	60	3	90	4	563	[5]
RT	Varactor MOS	60	6,2	25	0,33	1894	[6]
RT	Varactor MOS	60	5,7	26	0,048	13542	[7]
RT	Cristal Líquido	61	14	12	33	9	[8]
RT	MEMS	65	3,2	45	1,04	922	[9]
LL	BST	60	5,9	25	1,2	521	[10]
LL	MEMS	65	3,6	94	11,9	168	[11]
LL	MEMS	78	3,1	102	9,67	155	[12]
LL	MEMS e Cristal Líquido	76	2,4	42	0,65	1007	[13]
Ondas Lentas	MEMS	60	0,8	36	0,58	1552	[14]
Ondas Lentas	MEMS	60	3	50	0,47	2660	*
Ondas Lentas	MEMS e Cristal Líquido	45	5,35	52	0,38	6082	[15]

*Apresentado na seção 5.2.

Como observado na Tabela 1, os defasadores de tipo linha comutada utilizando MEMS como elemento de ajuste não apresentam perdas por inserção altas, mas como a defasagem do defasador é diretamente proporcional com a área do dispositivo, isso termina em altos valores de FoM/Área, como mostrado em [5]. No caso dos defasadores de tipo reflexão, pode ser observado que podem possuir uma FoM/Área alta quando utiliza varactor MOS como elemento de ajuste, como mostrado em [6] e [7]. No entanto, as perdas por inserção são altas, podendo resultar no incremento do consumo de potência e a necessidade de uma etapa amplificação adicional.

Por outro lado, no caso dos defasadores de tipo linha carregada que utilizam BST como elemento de ajuste, como mostrado em [10], pode-se observar valores de FoM de 25°/dB com uma área de 1,2 mm² que resulta em um baixo valor de FoM/área de 521°/dB. Isso ocorre por causa da tangente de perdas do BST, que aumenta com a frequência, limitando o desempenho elétrico dos defasadores.

Algo diferente acontece com os defasadores que utilizam cristal líquido como elemento de ajuste, pois a tangente de perdas deste material diminui com a frequência. Apesar disto, na Tabela 1 pode-se observar o resultado de um defasador

de tipo reflexão (RT) utilizando cristal líquido como elemento de ajuste [8], que apresenta altas perdas de inserção (~ 14 dB) em 61 GHz, além de uma grande área (~ 33 mm²), resultando em uma baixa FoM de 12°/dB e uma ainda mais baixa FoM/Área de 9°/dB.

Uma melhor FoM foi reportada para os defasadores de tipo linha carregada (LL) utilizando MEMS como elemento de ajuste ou uma combinação de MEMS e cristal líquido. Por exemplo, o defasador desenvolvido em [13] apresenta uma FoM de 42°/dB em 76 GHz e uma área de 0,65 mm², resultando em uma FoM/Área de 1007°/dB. Uma limitante para esse defasador é que o tempo de atuação, de alguns milissegundos, pode significar uma limitação em algumas aplicações.

Com o objetivo de diminuir o tempo de atuação, em [15] é proposto um defasador de ondas lentas baseado em *S-CPW* e utilizando MEMS e cristal líquido como elemento de ajuste. Foi reportado uma FoM de 52°/dB em 45 GHz com uma área de 0,38 mm², resultando em uma FoM/Área de 6082°/dB.

A Figura 2 mostra uma comparação do compromisso entre o desempenho elétrico e a área dos defasadores mostrados na Tabela 1. Pode ser observado que os defasadores baseados em linhas de transmissão com efeito ondas lentas apresentam uma considerável redução do tamanho com uma moderada FoM. Não se encontrou defasadores do tipo linha carregada com MEMS como elemento de ajuste fabricados em tecnologia comerciais como de GaAs ou CMOS, provavelmente devido à área deste tipo de defasador que é consideravelmente grande, inviabilizando o seu desenvolvimento integrado.

Figura 2 – Comparação do desempenho entre as topologias de defasadores passivos: reflexão (RT), linha comutada (SL), linha carregada (LL) e de ondas lentas com diferentes elementos de ajustes.

*Apresentado na seção 5.2.

Fonte: Autor

As tecnologias comerciais são rígidas e não são feitas para a implementação de MEMS. Além disso, as regras determinadas pela *foundry* não permitem a flexibilidade de mudar as camadas utilizadas, suas espessuras ou composições.

Além das tecnologias mencionadas em [4], existem outras alternativas como as tecnologias dedicadas que foram desenvolvidas especificamente para diferentes aplicações. Uma delas é a tecnologia desenvolvida pela CEA-LETI que utiliza substrato de silício de alta resistividade e que permite desenvolver dispositivos trabalhando em *mmW*, [16], [17]. A CEA-LETI tem se focado no desenvolvimento de uma tecnologia dedicada para MEMS que não utiliza dielétrico (*dielectricless concept*) com a finalidade de aumentar a confiabilidade reduzindo os efeitos da carga dielétrica dos MEMS.

Outra alternativa de tecnologia dedicada é a desenvolvida durante o trabalho de mestrado do autor [4], onde defasadores baseados em RF MEMS foram fabricados *in house* em substratos de silício, utilizando os equipamentos disponíveis no Laboratório de Microeletrônica da Universidade de São Paulo (LME-USP). A

fabricação *in-house* permite explorar possibilidades diferentes, com grande flexibilidade no processo. Aqui, o projeto RF e eletromecânico do defasador determinará os materiais e espessuras utilizadas na fabricação, dentro do limite tecnológico.

O fato de existir diversas alternativas tecnológicas permite a possibilidade de fabricar os defasadores utilizando a tecnologia mais adequada para cada aplicação. Assim, visando desenvolver sistemas cada vez mais unificados, diversas metodologias de integração 3D (Figura 3) podem ser utilizadas para integrar as diferentes partes do sistema (analógicas, digitais, ópticas, eletromecânicas, etc.) em um único substrato (tecnologia híbrida). Um exemplo de metodologia de integração é mostrado em [18], onde o autor utilizou processos disponíveis no LME-USP para estudar a metodologia de integração 3D *flip chip* para aplicações trabalhando em altas frequências. Esta metodologia permite criar uma tecnologia híbrida onde estarão integradas as diferentes partes do sistema como os dispositivos passivos, que normalmente apresentam uma área maior, fabricados com uma tecnologia de baixo custo e dispositivos ativos, fabricados com uma tecnologia avançada.

Figura 3 – Exemplo de interconexão de diferentes partes de um sistema em um único substrato.

Fonte: <https://nhanced-semi.com/technology/about-2-5d-technology/>

Finalmente, existe uma limitante em torno ao uso de tecnologias baseadas em silício (que não seja de alta resistividade) para dispositivos passivos devido às perdas que este tipo de substrato apresenta, devido à sua condutividade. Assim, como

alternativa para diminuir as perdas associadas à condutividade do silício, no LME-USP vem se utilizando um conceito inovador baseado em sistemas microeletromecânicos (MEMS) distribuídos e linhas de transmissão coplanares de ondas lentas [19]. O defasador proposto pode ser fabricado utilizando qualquer umas das tecnologias baseadas em Si mencionadas anteriormente. O conceito do defasador será explicado na seção 2.2.

1.1 Objetivo

O objetivo principal do presente trabalho é estudar diferentes tecnologias para o desenvolvimento de defasadores passivos, de baixo custo e baixas perdas para trabalhar na região de ondas milimétricas. Os defasadores serão baseados em sistemas microeletromecânicos (MEMS) distribuídos e linhas de transmissão coplanares de efeito de ondas-lentas, utilizando tecnologia de silício compatível com a integração 3D.

Serão utilizadas as tecnologias comerciais SiGe:C BiCMOS 250nm da *foundry* IHP (*Innovations for High Performance*) e a tecnologia comercial AMS (*AustriaMicroSystems*) de 0,35 μm . Também serão utilizadas a tecnologia dedicada para RF MEMS desenvolvida pelo CEA-LETI e a tecnologia *in-house* com processo de fabricação desenvolvido no Laboratório de Microeletrônica da Escola Politécnica da Universidade de São Paulo.

2 FUNDAMENTOS TEÓRICOS

2.1 Defasadores e seu uso em sistemas de transmissão e recepção de dados

Um sistema de transmissão e recepção de dados sem fio é composto por diferentes dispositivos tal como antenas, osciladores locais (LO), amplificadores de baixo ruído (LNA), amplificadores de potência (PA), misturadores, etc. Para que um sistema de transmissão e recepção de dados implemente a técnica de formação de feixe, deve-se utilizar os defasadores para permitir o direcionamento do sinal que está sendo transmitido.

Para entender melhor a definição de defasador, deve-se ter bem claro o que é defasagem de um sinal transmitido. Defasagem é o deslocamento ou diferença de fase entre dois sinais por um mesmo meio e que tem a mesma frequência. Sabendo-se disto, pode-se definir os defasadores como dispositivos com duas portas (entrada e saída) que realizam uma variação da fase de um sinal transmitido. Um defasador pode ter mais de um estado, sendo que cada estado contribui na defasagem total do dispositivo, como ilustra a Figura 4.

Figura 4 – Estados de fase de um defasador;

Fonte: Autor

Assim, se a fase do sinal inserido na porta 1 é ϕ_0 , pode-se definir a defasagem $\Delta\phi$ na porta 2 como mostrado na eq. (1).

$$\Delta\phi_n = \phi_n - \phi_0 \quad (1)$$

Onde:

ϕ_n é a fase do sinal transmitido no Estado n.

O número de estados entre 0 e n pode variar. Dessa forma, pode-se classificar os defasadores em: analógicos e digitais. Os defasadores analógicos são aqueles que possuem infinitos estados entre 0 e n, permitindo uma mudança de fase contínua. Por outro lado, os defasadores digitais são aqueles que possuem conjuntos discretos de estados de fase.

Tanto os defasadores analógicos, como os defasadores digitais tem um princípio de mudança de fase que utiliza diferentes elementos de ajuste. Os defasadores analógico-eleto/eletrônicos podem utilizar como elementos de ajuste diodos varactores, varactores MOS, varactores baseados em materiais ferroelétricos como o Titanato de Bário e Estrôncio (BST) ou outros materiais como o cristal líquido que variam continuamente a sua capacitância em função da tensão aplicada. Por outro lado, os defasadores digital-eletrônicos podem utilizar diodos PIN ou chaves FETs para conseguir valores de defasagens discretas. Os elementos de ajuste eletromecânicos, podem ser varactores MEMS (Analógico-Mecânico) e chaves MEMS (Digital-Mecânico). Essa classificação é mostrada na Tabela 2.

Tabela 2 – Classificação dos defasadores em função do elemento de ajuste.

	ELETO/ELETRÔNICO	ELETROMECAÂNICO
ANALÓGICO	Diodo Varactor	Varactor MEMS
	Varactor BST	
	Varactor MOS	
DIGITAL	Diodo PIN e chave	Chave MEMS
	FET	

Em um sistema de transmissão e recepção de dados sem fio, os defasadores podem estar localizados no trajeto de banda base ou no trajeto de ondas milimétricas. Um exemplo de sistema de transmissão e recepção de dados sem fio com formação de feixe é mostrado na Figura 5. Como pode ser observado, localizando os defasadores no trajeto de ondas milimétricas são necessários dois misturadores; um para o trajeto de transmissão e outro a recepção. Quando a defasagem é realizada na banda base, é necessário um misturador por defasador, o que consome muita potência. Por isso neste trabalho, serão considerados os defasadores no *front-end* em ondas milimétricas.

Figura 5 - Exemplo de sistema de transmissão e recepção de dados sem fio com formação de feixe onde os defasadores são localizados no trajeto de ondas milimétricas.

Fonte: [4]

As pesquisas de diferentes topologias de defasadores são focadas no projeto de dispositivos com menor área, maior largura de banda, baixas perdas de inserção e pouca variação, entre outros fatores. O desempenho dos defasadores geralmente vai

dependem do tipo de defasador, da tecnologia utilizada, dos materiais que a tecnologia utiliza para desenvolver o defasador e dos componentes de ajustes.

2.2 Defasador baseado em MEMS distribuídos

O conceito do defasador apresentado neste trabalho de doutorado é baseado em MEMS distribuídos e linhas de transmissão de ondas lentas, onde o princípio é descrito na patente [20].

Em uma linha de transmissão o efeito de ondas lentas é obtido pelo aumento da constante dielétrica relativa efetiva (ϵ_{ref}), que resulta em uma redução na velocidade de fase do sinal transmitido, como mostra a eq. (2).

$$v_{\phi} = \frac{c}{\sqrt{\epsilon_{\text{ref}}}} = \frac{\omega d}{\phi} \quad (2)$$

A eq. (2) mostra também que a velocidade de fase pode ser escrita em função da frequência angular ω , do comprimento da linha d e da fase ϕ . Pode-se entender também que a diminuição da velocidade de fase permite projetar linhas para determinadas fases com comprimento físico menor, levando à miniaturização e redução do custo do dispositivo.

Em linhas de transmissão planares como a linha de microfitas (*Microstrip*), o aumento de ϵ_{ref} pode ser obtido através de modificações do plano de terra (*ground defect structure*) [21]. Já no caso das linhas de transmissão tipo *CoPlanar Waveguide* (CPW) e tipo *CoPlanar Stripline* (CPS) pode-se aumentar ϵ_{ref} pela adição de uma camada de metal (camada de blindagem) entre a linha de transmissão e o substrato [22], [23].

Fazendo uma pequena comparação em termos de área ocupada em um chip, as linhas tipo *CoPlanar Stripline* com efeito de ondas lentas, também conhecidas como *shielded-CPS* ou *S-CPS* podem ser mais compactas, pois possuem uma área lateral

menor, quando comparado às *S-CPW* (*shielded-coplanar waveguide*) [24]. Pode-se encontrar também que as *S-CPS* apresentam um alto fator de qualidade oferecendo, além disso, devido à sua estrutura balanceada, a vantagem de um alto nível de integração com os componentes de um sistema de Tx/Rx de dados, como osciladores controlados por tensão (VCO), amplificadores de baixo ruído (LNA) e amplificadores de potência (PA), [25].

A Figura 6 ilustra uma *S-CPS* (Figura 6a) e uma *S-CPW* (Figura 6b). Em ambos tipos de linha de transmissão, os condutores são fabricados, em tecnologia integrada, com as camadas metálicas mais espessas (entre 1 μm - 3 μm), reduzindo assim as perdas no condutor em ondas milimétricas. Por outro lado, a camada de blindagem é constituída de fitas estreitas (de 200 nm a 1 μm) e finas (de 200 nm a 600 nm).

Figura 6 - Linha de transmissão de onda lenta tipo (a) *S-CPS* e (b) *S-CPW*.

Fonte: Autor

Para entender o princípio de funcionamento do defasador proposto, é necessário analisar a estrutura de um ponto de vista elétrico, onde a velocidade de fase também pode ser definida como mostrada na eq. (3).

$$v_{\phi} = \frac{1}{\sqrt{LC}} \quad (3)$$

Onde L e C são a indutância e capacitância equivalentes por unidade de comprimento do modelo elétrico sem perdas da linha de transmissão [26].

Na estrutura, a camada de blindagem cria uma capacitância distribuída e carrega a linha de transmissão, confinando o campo elétrico entre a camada de blindagem e os condutores da linha de transmissão. Isso evita que o campo elétrico chegue até o substrato de Si, reduzindo as perdas devido à condutividade do substrato [27], [28], quando fabricadas em tecnologia baseadas em Si. Para este tipo de linha de transmissão, a capacitância equivalente é controlada essencialmente pela distância entre a camada de blindagem e os condutores da linha de transmissão. Controlando a capacitância equivalente pode-se controlar a velocidade de fase e, portanto, pode-se controlar também a fase do sinal transmitido. Por outro lado, o campo magnético não sofre alteração, o que justamente causa o efeito de ondas lentas.

Como proposto em [29], a liberação da camada de blindagem permite sua movimentação mecânica, permitindo também controlar a distância desta com a linha de transmissão. Para poder liberar a camada de blindagem é necessário corroer o dielétrico que a envolve, Figura 7.

Figura 7 - Modificação da S-CPS para a realização do defasador proposto neste trabalho.

Fonte: Autor

Uma vez liberada a camada de blindagem, a posição dela poderá ser controlada através da aplicação de uma tensão contínua entre ela e os condutores da linha de transmissão, o que produz uma força eletrostática. Se consideramos dois estados, com e sem tensão aplicada, em um primeiro momento quando não está se aplicando tensão, a camada de blindagem permanece em estado de repouso, mantendo a capacitância equivalente inicial e a fase inicial. Em um outro momento, quando uma tensão é aplicada, e esta é suficientemente forte para atrair a camada de blindagem em direção aos condutores, a camada de blindagem está em estado de atuação e a distância dela com a linha de transmissão diminui e, portanto, a capacitância equivalente da linha aumenta, mudando a fase do sinal. A Figura 8 ilustra esse princípio.

Figura 8 - Princípio de ajuste do defasador proposto.

Fonte: Autor

Complementando a ideia de estado de repouso e de atuação definido anteriormente, na posição de repouso, a linha de transmissão tem um ϵ_{ref} mínimo, pois a capacitância equivalente é mínima. Já no estado de atuação, entre a camada de blindagem e os condutores da linha de transmissão ocorre uma aproximação máxima, aumentando a capacitância e gerando um ϵ_{ref} máximo.

Para este dispositivo, a distância entre a camada de blindagem e a linha de transmissão não pode ser zero, pois isto geraria um curto circuito (em DC) entre as duas camadas. Para evitar que isso aconteça, podem ser utilizados *stoppers*

mecânicos entre os condutores e a camada de blindagem com a finalidade de parar a movimentação das fitas da camada de blindagem, antes que haja contato com os condutores (Figura 9), como proposto em [14].

Outra alternativa além do uso de *stoppers* é utilizar uma camada isolante. Essa camada isolante pode ser localizada entre a camada de blindagem e os condutores da linha de transmissão, como mostrado no detalhe da Figura 8.

Figura 9 - Princípio do uso dos *stoppers*.

Fonte: Autor

Para o desenvolvimento de um defasador variável baseado em uma linha de transmissão de efeito de ondas lentas, a camada de blindagem deve ser composta de grupos de fitas de tal modo que a ativação de cada grupo proporcione os estados de fase do defasador. Por exemplo, na Figura 10 é mostrado o esquema do que seria um defasador ideal de 3-bits, onde cada bloco representa um grupo de fitas cuja largura deve ser definida para obter os 3-bits de resolução contribuindo com a defasagem total do defasador. Assim, no caso de um defasador de 360° , a resolução do defasador é definida pelo número de estados, sendo neste caso, oito estados de fase com uma diferença de 45° entre cada um deles (0° , 45° , 90° , 135° , 180° , 225° , 270° e 315°). Para evitar as perdas de retorno associadas aos efeitos da frequência de Bragg descritos em [30], os grupos necessitam ser subdivididos em segmentos intercalados como mostrado na Figura 10.

Figura 10 – Esquema de defasador ideal de 3-bits

Fonte: Autor

3 REVISÃO BIBLIOGRÁFICA

Esta seção está dividida em duas partes: a primeira é uma revisão bibliográfica focada nas diferentes tecnologias utilizadas para a fabricação das linhas de transmissão com efeito de ondas lentas (*S-CPS* e *S-CPW*) trabalhando em mmW; e a segunda parte é uma revisão bibliográfica focada no desenvolvimento de defasadores utilizando linhas de transmissão de tipo *S-CPS* e *S-CPW*.

3.1 Tecnologias utilizadas para a fabricação de *S-CPS* e *S-CPW*

3.1.1 Tecnologia CMOS

Na literatura encontrou-se diferentes trabalhos focados no projeto e/ou desenvolvimento de linhas de transmissão de tipo *S-CPS* e *S-CPW* utilizando tecnologias CMOS comerciais. Por exemplo, em [25] é feito o projeto de uma *S-CPS* com alto fator de qualidade para ser fabricada em tecnologia *CMOS MMIC* (*Monolithic Microwave Integrated Circuits*). O estudo feito pelos autores mostra a relação entre as características geométricas da estrutura, mostradas na Figura 11a, e os parâmetros característicos da *S-CPS*, em 60 GHz, como mostrado na Figura 11b.

Figura 11 – (a) Estrutura *S-CPS* e (b) resultados da simulação do fator de qualidade em [25]

Fonte: [25]

da camada de blindagem (sw), o espaço entre as fitas (ss), o espaço entre os condutores (S) da *CPS* e o *overhang* (O). Nos resultados pode ser observado que uma pequena variação no parâmetro de atenuação resulta em uma variação considerável no fator de qualidade, como mostrado na Figura 13a e Figura 13b. Pode ser observado também, baixa atenuação da linha quando a distância entre as fitas da camada de blindagem e a largura delas é menor, como mostrado na Figura 13c.

Figura 13 - Resultados de atenuação e fator de qualidade obtida para diferentes valores geométricos da *S-CPS* simulada em [31].

Fonte: [31]

Em [24] foram projetadas e fabricadas CPS e S-CPS utilizando a mesma tecnologia BiCMOS de $0,35 \mu\text{m}$ da AMS com a finalidade de confirmar experimentalmente os resultados obtidos em [31] e extrair o modelo RLCG da estrutura. Todos os parâmetros foram simulados no *Ansys HFSS*. Além dos resultados

de atenuação e fator de qualidade, os autores apresentam também os resultados de impedância característica simulada e medida. Todos os resultados mostrados na Figura 14 foram obtidos em um intervalo de frequência entre 1 GHz e 30 GHz, podendo-se observar um melhor desempenho, nos parâmetros de atenuação e fator de qualidade, nas S-CPS.

Figura 14 - Resultados de (a) impedância característica; (b) atenuação e (c) fator de qualidade medidas e simuladas em [24].

Fonte: [24]

Um modelo elétrico equivalente foi proposto em [32] com a finalidade de proporcionar uma ferramenta que permita otimizar e projetar as S-CPS sem a necessidade de utilizar ferramentas mais pesadas do ponto de vista computacional. Assim, duas S-CPS com diferentes larguras e comprimentos foram fabricados

utilizando a tecnologia BiCMOS de $0,35\ \mu\text{m}$ da AMS. Os condutores da S-CPS foram fabricados na camada superior espessa, variando-se a distância entre eles ($D=100\ \mu\text{m}$ e $D=50\ \mu\text{m}$), e a camada de blindagem foi fabricada na camada de metal 3. A caracterização das S-CPS foi feita em um intervalo de frequência entre DC a 40 GHz, como mostrado na Figura 15. Na Figura 15, as linhas solidas representam os resultados obtidos nas S-CPS com $D=100\ \mu\text{m}$ e as linhas tracejadas representam os resultados obtidos nas S-CPS com $D=50\ \mu\text{m}$. Os resultados simulados e medidos para os parâmetros de impedância característica e constante dielétrica relativa efetiva são mostrados na Figura 15a e Figura 15b, respectivamente, e mostram uma boa coerência. Nos resultados medidos da constante de atenuação, mostrados na Figura 15c, podem ser observados valores altos, que apresentam algumas diferenças com os valores simulados. Segundo os autores essas diferenças estão vinculadas às pontas de provas utilizadas.

Figura 15 - Resultados de (a) impedância característica; (b) constante dielétrica relativa efetiva e (c) constante de atenuação medidos e simulados em [32]

Fonte: [32]

Foram encontrados também pesquisas que utilizam a tecnologia BiCMOS de 0,35 μm para fabricar linhas de transmissão de tipo S-CPW. Por exemplo, em [33] foram fabricadas três S-CPW com diferentes larguras dos condutores e o espaço entre o condutor central e os de terra (Figura 16). Na Tabela 3 são mostradas as dimensões das S-CPW fabricadas.

Figura 16 – Vista em 3D da S-CPW fabricadas em [33]

Fonte: [33]

Tabela 3 – Dimensões das S-CPW fabricadas em [33]

Nome	W (μm)	S (μm)
S-CPW1	10	100
S-CPW2	18	100
S-CPW3	18	160

Essas S-CPW foram projetadas no *Ansys HFSS*. Os condutores da S-CPW foram fabricados na camada de metal 4 (M4) e a camada de blindagem foi fabricada na camada de metal 3 (M3). A distância entre metal 4 e metal 3 é de 1 μm . Para esta tecnologia todas as camadas de metal são de alumínio. As medidas foram feitas até 40 GHz.

Como observado na Figura 17, os resultados obtidos mostram bastante coerência entre as simulações e as medidas, podendo-se observar valores de constante dielétrica relativa efetiva entre 37 e 58, em 40 GHz (Figura 17a), e valores de fator de qualidade de até 35, em 30 GHz (Figura 17b).

Figura 17 - Resultados da (a) constante dielétrica relativa efetiva e (b) fator de qualidade simulados (linha tracejada) e medidos (linha contínua) em [33]

Fonte: [33]

Outros trabalhos interessantes que mostram a relação entre os parâmetros característicos das *S-CPW* e sua geometria podem ser encontrados em [34], [35] e [36]. Em [34] os autores trabalharam em um modelo elétrico equivalente para as *S-CPW*. No trabalho são mostrados os resultados obtidos da fabricação de 5 linhas de transmissão de tipo *S-CPW*, a primeira (*S-CPW1*) utilizando a tecnologia BiCMOS de $0,35 \mu\text{m}$ da AMS, com 4 camadas de metal e as outras (*S-CPW2* até *S-CPW5*) utilizando a tecnologia BiCMOS-9 MW da STMicroelectronics, com 7 camadas de metal.

No caso da *S-CPW1*, os condutores foram fabricados no metal 4 e a camada de blindagem foi fabricada no metal 3. No caso da *S-CPW2*, a camada de blindagem foi fabricada utilizando a camada de metal mais baixa e os condutores da *S-CPW* foram fabricados utilizando todas as camadas de metais superiores ligadas por meio de vias. No caso da *S-CPW3*, a distância entre a camada de blindagem e os condutores da linha de transmissão é maior, sendo que a camada de blindagem também foi fabricada na camada de metal mais baixa, mas os condutores da linha de transmissão foram fabricados ligando as 5 camadas de metais superiores. No caso de *S-CPW4* e *S-CPW5*, os autores não detalham as camadas de metal utilizadas, só mencionam que para os condutores da *S-CPW* foram utilizadas só duas camadas de metal superiores ligadas e para a camada de blindagem foi utilizada uma das camadas de metal do meio.

Na Figura 18 são mostrados os resultados obtidos para o parâmetro de constante de atenuação (em dB/mm), constante dielétrica relativa efetiva e impedância característica em 60 GHz. Os gráficos mostram uma comparação entre os resultados do parâmetro de constante de atenuação obtidos das simulações feitas no *Ansys HFSS*, as simulações feitas utilizando o modelo elétrico equivalente proposto e as medidas das estruturas fabricadas. Podem ser observados valores de atenuação entre 0,5 dB/mm e 0,8 dB/mm para todas as *S-CPW* fabricadas. Por outro lado, as linhas *S-CPW1* e *S-CPW2* apresentaram os maiores valores de constante dielétrica relativa efetiva em 60 GHz, observando-se valores de até 26 para a *S-CPW2*.

Figura 18 – Resultados obtidos para os parâmetros de constante de atenuação (dB/mm), constante dielétrica relativa efetiva e impedância característica (Ω) a 60 GHz

Fonte: [34]

Utilizando também a tecnologia BiCMOS 9MW da STMicroelectronics em [35] estudou-se o desempenho das linhas de transmissão de tipo *S-CPW* para uso em filtros passa faixa. Na Figura 19a são mostrados alguns detalhes da tecnologia utilizada e na Figura 19b é mostrada a vista em 3D da *S-CPW* fabricada. As simulações dos dispositivos foram feitas no *3D Flux3D* e os parâmetros da linha foram medidos entre DC até 110 GHz. Os resultados são comparados com o desempenho de linhas de transmissão de tipo microfita fabricadas com a mesma tecnologia. A camada de blindagem das *S-CPW* é fabricada na primeira camada de metal (mais

próxima ao substrato) e os condutores da CPW são fabricados empilhando as camadas superiores. Foram fabricadas três *S-CPW* variando a largura do condutor central da linha de transmissão (W) e a distância entre a camada de blindagem e a *CPW* (h). As dimensões das *S-CPW* fabricadas são mostradas na Tabela 4.

Figura 19 – (a) Detalhe da tecnologia BiCMOS 9MW da STM e (b) Vista em 3D da *S-CPW* fabricada

Fonte: [35]

Tabela 4 – Dimensões das *S-CPW* fabricadas em [35]

Nome	CPW			Camada de blindagem		
	W (μm)	G (μm)	W_g (μm)	SL (μm)	SS (μm)	h (μm)
S-CPW1	5	50	10	0,16	0,64	0,4
S-CPW2						1,15
S-CPW3	10					4,55

Os resultados dos parâmetros da *S-CPW* são mostrados na Figura 20. Pode-se observar que a impedância característica da linha varia entre 30Ω e 70Ω , dependendo da distância entre a camada de blindagem e a linha de transmissão. Por outro lado, os resultados de constante dielétrica relativa efetiva e fator de qualidade mostram melhores resultados para as *S-CPW* em comparação com as linhas de transmissão de tipo microfita, observando-se valores de constante dielétrica relativa efetiva entre 7,5 e 25,6 e valores de fator de qualidade entre 30 e 45 em 60 GHz. Por último, os resultados da constante de atenuação são próximos para as duas topologias.

Figura 20 – Resultados de (a) impedância característica, (b) constante dielétrica relativa efetiva, (c) atenuação e (d) fator de qualidade obtidos em [35]

Fonte: [35]

Em [36] foram fabricados três tipos de linhas de transmissão utilizando a tecnologia CMOS de 45 nm (*foundry* não especificada): CPW, S-CPW e G-SCPW (S-CPW com camada de blindagem aterrada). A diferença da S-CPW convencional e a G-SCPW é que o campo elétrico da G-SCPW começa no eletrodo central da linha de transmissão e termina diretamente na camada de blindagem, como mostrado na Figura 21b. Assim, os condutores de todas as linhas de transmissão foram fabricados na camada de metal 10 e a camada de blindagem foi fabricada na camada de metal 9 ou na camada de metal 8. As dimensões das linhas de transmissão fabricadas são mostradas na Tabela 5. Os parâmetros-S das linhas de transmissão foram medidos até 50 GHz.

Figura 21 – (a) Campo elétrico da S-CPW e (b) campo elétrico da G-SCPW

Fonte: Adaptado [36]

Tabela 5 – Dimensões das linhas de transmissão fabricadas em [36]

Nome	Tipo	Camada de blindagem	Largura das fitas da camada de blindagem (μm)	Espaço entre as fitas da camada de blindagem (μm)
CPW	CPW	Sem camada de blindagem		
FSCPW1	S-CPW	M9	0,4	0,4
FSCPW2	S-CPW	M9	0,4	1,6
FSCPW3	S-CPW	M9	0,4	3,2
FSCPW4	S-CPW	M8	0,4	0,4
FSCPW5	S-CPW	M8	0,07	0,07
GSCPW1	S-CPW com camada de blindagem aterrada	M8	0,07	0,07

Os resultados mostrados na Figura 22 fazem uma comparação entre os parâmetros de impedância característica, atenuação, constante dielétrica relativa efetiva e fator de qualidade das linhas de transmissão de tipo *CPW* e as *S-CPW*. Os resultados mostram um melhor desempenho das *S-CPW*, sobre tudo quando a camada de blindagem é localizada na camada de metal 3 da tecnologia. Pode-se observar valores de constante dielétrica relativa efetiva maiores que 30 e valores de fator de qualidade de até 25, tudo isso com uma baixa atenuação em comparação com a linha *CPW*.

Figura 22 - Resultado do parâmetro de (a) impedância característica, (b) constante dielétrica relativa efetiva, (c) atenuação e (d) fator de qualidade das linhas CPW e S-CPW fabricadas em [36]

Fonte: [36]

Por outro lado, na Figura 23 é mostrada uma comparação do parâmetro de atenuação entre as linhas de transmissão de tipo *CPW*, *S-CPW* e *G-SCPW*, tendo estas duas últimas as mesmas características geométricas. Os resultados indicam que para as linhas de tipo *G-SCPW* a atenuação aumenta rapidamente para frequências maiores de 20 GHz.

Figura 23 - Resultado de atenuação das linhas CPW, S-CPW e G-SCPW fabricadas em [36]

Fonte: [36]

Diferentes modificações geométricas foram feitas em [37], onde os autores fabricaram três tipos de linhas de transmissão: CPW (Figura 24a); CPW com condutor de sinal modificado (Figura 24b) e uma S-CPW com todos os condutores modificados (Figura 24c). Todas as estruturas foram fabricadas em tecnologia CMOS de 0,18 μm (*foundry* não especificada) com 6 camadas de metal. No caso da S-CPW com condutores modificados, a camada de blindagem forma uma carga interdigital com os braços dos condutores, incrementando a capacitância equivalente da linha de transmissão. Para os três tipos de linhas de transmissão, os condutores são fabricados na camada de metal 6 e no caso da S-CPW com condutores modificados, a camada de blindagem foi fabricada no metal 5.

Figura 24 – Vista em 3D da (a) CPW, (b) CPW com condutor de sinal modificado e (c) S-CPW com condutores modificados fabricadas em [37]

Fonte: Adaptação de [37]

Tanto as simulações como as medidas foram feitas entre DC e 30 GHz. Os resultados de constante de fase (Figura 25a) e atenuação normalizada (Figura 25b) mostraram um melhor desempenho das linhas *S-CPW* com os condutores modificados.

Figura 25 – Resultados dos parâmetros de constante de fase e atenuação normalizada obtidos em [37] para as linhas (a) CPW, linhas (b) CPW com condutor de sinal modificado e linhas (c) *S-CPW* com condutores modificados

Fonte: [37]

Algumas vantagens das *S-CPW* sobre as *CPW* são provadas e discutidas em [38] e [39]. Em [38], linhas de transmissão de tipo *CPW*, *S-CPW* e *CPWG* (*Coplanar Waveguide with Lower Ground Plane*) foram fabricadas em tecnologia CMOS de 0,18 μm (*foundry* não especificada) com seis camadas de metal (M6-M1). Os condutores das linhas de transmissão foram implementados na camada de metal superior (M6) e a camada de blindagem da *S-CPW* foi variada entre M2 e M5. As características geométricas da camada de blindagem e separação entre ela e os condutores foram otimizadas para apresentar baixas perdas no intervalo de frequência entre 0,8 GHz e 110 GHz.

Figura 26 - Resultados da (a, c) atenuação e (b) constante dielétrica relativa efetiva medidos em [38]

Fonte: [38]

Os parâmetros de atenuação e constante dielétrica relativa efetiva são mostrados na Figura 26. No caso das *CPW*, pode ser observado um aumento gradual da atenuação em função da frequência (Figura 26a). Para este mesmo tipo de linha, a constante dielétrica relativa efetiva permanece constante ao longo de todo o intervalo de medição (Figura 26b). No caso das *S-CPW*, pode ser observado um melhor desempenho quando a camada de blindagem é localizada no M2, M3 ou M4 (Figura 26a). O pior caso de perdas de atenuação é observado quando a camada de blindagem é localizada em M5. Para este caso, os autores atribuem os altos valores de constante dielétrica relativa efetiva mostrados na Figura 26b à proximidade entre a camada de blindagem e os condutores da *CPW*.

Neste trabalho, a camada de blindagem não necessariamente é implementada em uma única camada de metal. Assim, *S-CPW* com a espessura da camada de

blindagem mais grossa foram implementadas utilizando vias para ligar as camadas de metal. Fazendo isto, os resultados de atenuação medidos (Figura 26c) são parecidos com os resultados medidos na *S-CPW* com a camada de blindagem implementada no M5. Por último, outras linhas de transmissão tipo *CPW* e *S-CPW* foram fabricadas em [39], utilizando uma tecnologia *CMOS HR-SOI* de 65 nm (*foundry* não especificada), cuja vista em 3D é mostrada na Figura 27. Os dois tipos de linhas de transmissão foram projetados para apresentar impedâncias características de 28 Ω e 65 Ω .

Figura 27 – Vista em 3D da estrutura *S-CPW* estudada em [39]

Fonte: [39]

Na Figura 28 são mostrados os resultados dos parâmetros de constante dielétrica relativa efetiva e atenuação medidos nas *S-CPW* e comparados com os resultados dos parâmetros medidos nas *CPW*, observando-se um melhor desempenho nas *S-CPW* em comparação com sua contraparte convencional.

Figura 28 - Resultados da (a) constante dielétrica relativa efetiva e (b) constante de atenuação medidos em [39]

Fonte: [39]

Em [39] foram realizadas também algumas simulações em RF por elementos finitos no *Ansys HFSS*, cujos resultados mostraram algumas características interessantes da geometria das *S-CPW*. Por exemplo, foi observado que a constante dielétrica relativa efetiva, mostrada na Figura 29a é independente do tipo do substrato utilizado e que pode ser incrementada pelo aumento do comprimento da fita da camada de blindagem (W_f , Figura 27). Os autores mostram os efeitos que provoca o aumento de W_f , como a diminuição da impedância característica (Figura 29b) e o aumento da atenuação quando um substrato tipo bulk é utilizado, como mostrado na Figura 29c. Esta última característica acontece para valores de $W_f > W_t$ (Figura 27). Já a partir deste ponto o campo elétrico não consegue atingir o substrato e permanece confinado entre os condutores e a camada de blindagem. Os resultados das simulações mostrados na Figura 29 foram comparados com resultados de medidas feitas a 60 GHz e 90 GHz, observando-se bastante semelhança entre eles.

Figura 29 - Resultados da (a) constante dielétrica relativa efetiva, (b) impedância característica e (c) atenuação simulados/medidos em [39] para diferentes valores de W_f (Figura 27) a 60 GHz.

Fonte: [39]

Como mencionado anteriormente, não existem muitos trabalhos focados no desenvolvimento de *S-CPS* para aplicações em *mmW* utilizando tecnologias CMOS comerciais, sendo que vários desses trabalhos só apresentam resultados de simulações. No caso dos trabalhos que apresentaram resultados de medidas, esses trabalhos fabricaram as *S-CPS* com impedância característica de $\sim 50 \Omega$ utilizando a tecnologia BiCMOS de $0,35 \mu\text{m}$ da AMS. Nenhuma dessas *S-CPS* foram caracterizadas em frequências maiores do que 40 GHz e todas elas apresentaram valores de atenuação de $\sim 1 \text{ dB/mm}$ em 30 GHz.

Por outro lado, por ser a *S-CPW* uma estrutura conhecida, seu desempenho em *mmW* foi bastante estudado, encontrando-se trabalhos de projeto e fabricação deste tipo de linha de transmissão utilizando tecnologias CMOS de diferentes *foundries* como a AMS e a *STMicroelectronics*. Os melhores resultados observados foram apresentados em [35], onde os autores utilizaram a tecnologia BiCMOS 9MW da *STMicroelectronics* e cujos resultados mostram valores de atenuação e fator de qualidade menores de $0,5 \text{ dB/mm}$ e maiores de 30, respectivamente.

3.1.2 TECNOLOGIAS DEDICADAS

Em [40], foi feito o modelamento de cinco diferentes tipos de ressonadores utilizando linhas de transmissão de tipo *CPS* para ser utilizados em filtros passa-faixa. Foram feitas simulações dos parâmetros de atenuação e impedância característica da *CPS* em função do espaço entre os condutores (*S* na Figura 30a). Os autores não especificam em que ferramenta foram feitas as simulações. Os resultados das simulações feitas a uma frequência de 10 GHz são mostrados na Figura 30b. Nesta figura pode-se observar que quanto maior for a separação entre os condutores, menor vai ser a atenuação e maior vai ser a impedância característica da *CPS*. Para o modelamento foi utilizado o substrato *RT/duroid 5870* que foi desenvolvido para aplicações que utilizam linhas de transmissão de tipo *stripline* e *microstrip*. Este tipo de substrato possui uma constante dielétrica uniforme ($\sim 2,3$) em uma ampla faixa de

frequência e um baixo fator de atenuação, como é mostrado no *datasheet* do fabricante [41].

Figura 30 - (a) estrutura da CPS e (b) resultados de atenuação simulados em [40]

Fonte: [40]

Pode-se observar também que os valores de impedância característica para este tipo de linha de transmissão tendem a ser altos, entre 100 Ω e 450 Ω , como mostrado na Figura 30b. Essa tendência é estudada em [42], na qual os autores propõem como alternativa a adição de fitas fabricadas em uma camada de metal inferior à camada dos condutores da CPS (camada de blindagem ilustrada na Figura 31a). A diminuição do valor da impedância característica, que é resultado da adição da camada de blindagem é mostrada na Figura 31b e na Figura 31c.

As simulações da estrutura foram feitas utilizando um substrato com constante dielétrica de 10,2 e uma espessura de 0,5 mm. As dimensões utilizadas foram próximas da tolerância mínima dos processos típicos de fabricação de circuito impresso (PCB), que não é uma tecnologia dedicada boa para trabalhar em *mmW* pelas limitações na resolução, mas é a mais comum possível.

Figura 31 – (a) estrutura S-CPS e resultados de (b, c) impedância característica simulada para diferentes valores de p e b obtidos em [42].

Fonte: [42]

Outro exemplo de tecnologia dedicada é mostrado em [43], onde foram fabricadas linhas de transmissão de tipo CPW utilizando substratos com alta resistividade ($\sim 2000 \Omega \cdot \text{cm}$), com ou sem camada de SiO_2 por cima do substrato, e substratos de baixa resistividade ($15 \Omega \cdot \text{cm}$). Assim, na Figura 32 e Figura 33, são mostrados os resultados das medidas de atenuação (em dB/cm) e de constante dielétrica relativa efetiva feitas entre 40 MHz e 40 GHz para as três linhas de transmissão de tipo CPW fabricadas. Os resultados apresentaram valores de atenuação bem altos ($\sim 25 \text{ dB/cm}$ em 40 GHz) para a CPW fabricada em substrato de silício de baixa resistividade. Por outro lado, um melhor desempenho foi observado na CPW fabricada no substrato de Si com alta resistividade sem a camada de SiO_2 , que apresentou valores de atenuação mais baixos ($\sim 2,4 \text{ dB/cm}$ em 40 GHz) e constante dielétrica relativa efetiva mais alta ($\sim 6,5$ em 40 GHz).

Figura 32 – Resultados do parâmetro de atenuação para a CPW fabricada em substrato de silício de (a) baixa resistividade; (b) alta resistividade e (c) alta resistividade com camada de SiO_2 .

Fonte: [43]

Figura 33 - Resultados do parâmetro de constante dielétrica relativa efetiva para a CPW fabricada em substrato de silício de (a) baixa resistividade; (b) alta resistividade e (c) alta resistividade com camada de SiO_2 .

Fonte: [43]

Outro estudo do desenvolvimento de CPW em diferentes substratos é realizado em [44], onde dois tipos de substratos foram utilizados: um substrato de Si poroso e um substrato de Si de alta resistividade rico em armadilhas (*trap-rich HR-Si*). Para desenvolver o Si poroso um processo de corrosão eletroquímica de Si é realizado sobre o substrato de Si. Para o processo de corrosão foi utilizado um eletrólito de HF/etanol, aplicando-se uma densidade de corrente de 20 mA/cm^2 para se obter uma espessura de Si poroso de $150 \text{ }\mu\text{m}$. Por outro lado, para desenvolver o substrato de Si com alta resistividade rico em armadilhas foi utilizado um substrato de Si com uma resistividade de $10 \text{ K}\Omega\cdot\text{cm}$. Sobre esse substrato foi depositada uma camada de Si-poli rico em armadilhas com uma espessura de 500 nm que reduz a degradação da resistividade na superfície do substrato de Si na presença de cargas fixas nos óxidos. Na sequência, sobre as superfícies dos substratos foi depositado uma camada de SiO_2 de 500nm , como mostrado na Figura 34a.

Figura 34 – (a) Vista em 3D das CPW fabricadas nos diferentes substratos; (b) resultados do parâmetro de atenuação e (c) constante dielétrica relativa efetiva

Fonte: [44]

Assim, linhas de transmissão tipo CPW com as mesmas dimensões foram fabricadas em cada substrato. Os resultados medidos de constante dielétrica relativa efetiva e atenuação entre 1 e 40 GHz são mostrados na Figura 34b e Figura 34c respectivamente. Esses resultados mostram uma melhor atenuação na CPW fabricadas no substrato de Si poroso enquanto sua constante dielétrica relativa efetiva é menor do que a constante dielétrica relativa efetiva da CPW fabricada no substrato de alta resistividade rico em armadilhas (Figura 34). Uma vez feita a comparação entre os dois tipos de substratos, foram fabricadas linhas de transmissão tipo CPW com impedância de 50 Ω (CPW1) e 145 Ω (CPW2) sobre o substrato de Si poroso. Os resultados de impedância característica, constante dielétrica relativa efetiva e constante de atenuação obtidos entre DC e 110 GHz são mostrados na Figura 35.

Figura 35 - Resultados de (a) impedância característica, (b) constante de atenuação e (c) constante dielétrica relativa efetiva das CPW fabricadas sobre o substrato de Si poroso. As linhas sólidas são dos resultados de medição e as ponteadas são dos resultados da simulação.

Fonte: [44]

Como observado na Figura 35c, a constante dielétrica relativa efetiva das CPW fabricadas é constante no intervalo de frequência da medição ($\sim 2,5$) enquanto a constante de atenuação se mantém menor do que 0,7 dB/mm (Figura 35b). No artigo, os resultados da constante de atenuação são comparados com os resultados obtidos em outros trabalhos que utilizam outros tipos de substratos. Assim, os autores conseguem mostrar que fabricando as CPW no Si poroso consegue-se reduzir a constante de atenuação.

Assim, como observado nesta seção, não se encontrou muita informação do desempenho de linhas de transmissão de tipo CPS e S-CPS em *mmW* fabricadas com alguma tecnologia dedicada, sendo que, a maioria dos resultados encontrados foram só de modelagem numéricos ou computacional. Por outro lado, foram encontrados vários trabalhos interessantes que mostram um melhor desempenho das CPW utilizando tecnologias dedicadas baseadas em substratos alternativos como os substratos de Si alta resistividade ou Si poroso. Por último, no caso das S-CPW, não foram encontradas pesquisas focadas no desenvolvimento deste tipo de linha de transmissão utilizando tecnologia dedicada. Uma possível causa pode ser que a maioria das tecnologias dedicadas utilizam substratos de Si de alta resistividade que permite reduzir as perdas, sendo que por esse motivo é pouco atrativo a ideia de implementação de um plano de blindagem.

3.2 Defasadores baseados em S-CPS e S-CPW

Durante a revisão bibliográfica não se encontraram trabalhos que utilizem as S-CPS para aplicações como defasadores. Por outro lado, no caso da S-CPW, encontrou-se diferentes aplicações em *mmW* como: filtros [35], amplificadores de potência [45], e defasadores. Dois exemplos interessantes de defasadores baseados em S-CPW são mostrados em [46] e [15]. Em [46], as S-CPW são utilizadas como acoplador de linhas paralelas de 3 dB em um defasador de tipo reflexão com cargas baseadas em varactores NMOS, como ilustra a Figura 36a. O defasador foi projetado para trabalhar em frequências entre 45-50 GHz para ser utilizado depois do oscilador

local de um sistema com direcionamento de feixe que trabalha na parte superior da região ondas milimétricas entre 270-300 GHz, ilustrado na Figura 36b. Neste trabalho, os autores buscam diminuir a área e as perdas de inserção que normalmente apresentam os acopladores híbridos. A tecnologia utilizada foi a BiCMOS de 55 nm, sendo os condutores da CPW fabricados nas camadas de metal 7 e 8; enquanto a camada de blindagem foi fabricada na camada de metal 5.

Figura 36 – (a) S-CPW utilizada como acoplador de linhas paralelas em um defasador de tipo reflexão; (b) localização dos defasadores no sistema.

Fonte: [46]

Um conceito de defasador ajustável baseado na integração da tecnologia CMOS de $0,35\ \mu\text{m}$ com uma tecnologia de cristal líquido é encontrado em [15]. Como mostrado na Figura 37a, o cristal líquido é colocado entre a camada de blindagem e os condutores da S-CPW. A aplicação de uma tensão DC resulta na mudança da constante dielétrica relativa efetiva do cristal líquido e na deflexão do condutor central da S-CPW, melhorando o ajuste do defasador. Este defasador (Figura 37) foi caracterizado aplicando valores de tensão entre 0 V e 20 V. A caracterização foi feita até 45 GHz, podendo-se observar um valor de defasagem diferencial de 275° em 45 GHz (Figura 37b), valor que se conseguiu reproduzir para várias medidas.

Figura 37 – (a) Vista em 3D da estrutura S-CPW e (b) resultado da defasagem em função da tensão aplicada em 45 GHz do defasador estudada em [15]

Fonte: [15]

Finalmente, em [14] foi desenvolvido um defasador ajustável de 2 bits utilizando a tecnologia CMOS de 0,35 μm da AMS (AustriaMicroSystems). O funcionamento desse defasador é baseado no mesmo princípio proposto neste trabalho de doutorado. Os resultados apresentados na Figura 38a mostram uma defasagem medida de 25,1°, em 60 GHz. Este valor de defasagem não é coerente com o valor de defasagem simulado no *Ansys HFSS*, sendo isto atribuído à presença de um material desconhecido mostrado na Figura 38b. É bom ressaltar que o defasador em questão não foi otimizado desde um ponto de vista mecânico.

Figura 38 – Resultado da (a) defasagem no estado atuado e não atuado e (b) foto tirada por MEV do defasador fabricado em [14]

Fonte: [14]

4 DESENVOLVIMENTO DE DEFASADORES BASEADOS EM S-CPS

4.1 Etapas do desenvolvimento e resultados utilizando tecnologia CMOS

Foram simuladas, projetadas e caracterizadas S-CPS com a finalidade de avaliar o desempenho da tecnologia utilizada e avaliar também a viabilidade do desenvolvimento dos defasadores utilizando esse tipo de linha de transmissão. Para a fabricação foram utilizadas as tecnologias CMOS de 250 nm da IHP e a tecnologia CMOS de 0,35 μm da AMS.

4.1.1 Desenvolvimento de S-CPS em tecnologia IHP de 250 nm

Foram desenvolvidas várias S-CPS com três tipos de impedância característica: impedância alta (máxima permitida pela tecnologia), impedância média e impedância baixa (mínima permitida pela tecnologia). As estruturas não foram projetadas para serem liberadas.

Devido à compatibilidade entre o *design kit* fornecido pela *foundry* e a ferramenta computacional *Advanced Design System (ADS)* da *Keysight* toda a etapa de projeto das S-CPS e o *layout* foram realizadas no ADS. Assim, o *layout* desenhado foi enviado para *foundry* e uma vez fabricadas, as linhas foram caracterizadas no Laboratório francês IMEP-LAHC. As linhas foram simuladas utilizando o *Ansys HFSS*, que permite simular o comportamento em RF da geometria em 3D por elementos finitos. Nesta primeira parte, devido à falta de informações sobre o desempenho das S-CPS, a etapa de simulação foi realizada com o objetivo de desenvolver um modelo que permitisse conhecer o comportamento das S-CPS projetadas. Os resultados obtidos desta etapa foram comparados aos resultados da etapa de caracterização, validando assim, o modelo desenvolvido. Uma vez validado, o modelo desenvolvido poderá ser utilizado para o projeto de novas linhas de transmissão S-CPS com novas características geométricas que resultam em valores satisfatórios para os parâmetros característicos já mencionados.

4.1.1.1 SIMULAÇÃO

O modelo da *S-CPS* em 3D foi desenvolvido respeitando-se as regras de projeto da tecnologia *IHP* de 250 nm. A tecnologia *IHP* de 250 nm possui 5 camadas de metal (alumínio), como mostrado Figura 39, sendo as três inferiores (Metal1, Metal2 e Metal3) camadas finas ($\sim 1\mu\text{m}$) e as outras duas superiores (TopMetal1 e TopMetal2) camadas mais espessas ($\sim 2,5\mu\text{m}$).

Figura 39 - Esquema ilustrativo do *Back-End-Of-Line* da tecnologia IHP 250nm.

Fonte: Foundry IHP

Foram feitas simulações paramétricas variando-se as características geométricas com a finalidade de encontrar o melhor desempenho das linhas. As características geométricas variadas foram a largura (W) dos condutores da *CPS*, espaço entre os condutores (S) da *CPS*, distância entre os condutores da *CPS* com a camada de blindagem (g_0) e a largura das fitas da camada de blindagem e o espaço entre elas (SL e SS respectivamente), como mostrado na Figura 40.

Fonte: Autor

Como mostrado em [4], no caso das *S-CPW*, devido ao alto custo computacional, somente um pequeno comprimento do defasador é simulado. Por isso, também é definido um plano de simetria dividindo-se a estrutura na metade do condutor central da linha de transmissão. No caso das *S-CPS*, não é possível definir um plano de simetria, devido à sua estrutura balanceada (como mostrado na Figura 41). A vista em 3D da estrutura implementada no *Ansys HFSS* é mostrada na Figura 41a e a implementação detalhada das camadas de metal da tecnologia é mostrada na Figura 41b.

Figura 41 – (a) Vista em 3D e (b) vista frontal da S-CPS implementada no *Ansys HFSS*.

Fonte: Autor

Com as simulações no *Ansys HFSS* podem ser extraídos os parâmetros-S, cujos valores são utilizados para calcular a matriz ABCD. Essa matriz, por sua vez, pode ser utilizada para calcular os parâmetros característicos da estrutura, como a impedância característica (Z_c), a constante dielétrica relativa efetiva ($\epsilon_{r_{eff}}$), constante de atenuação (α) e o fator de qualidade (Q). As equações utilizadas para calcular os parâmetros característicos são utilizadas tanto para as *S-CPW* como para a *S-CPS* [4]. Um resumo dos resultados das simulações dos parâmetros característicos da *S-CPW* em 40 GHz, feitas no *Ansys HFSS* é mostrado na Tabela 6. O resultado do comportamento dos parâmetros em toda a faixa de frequência simulada será mostrado junto com os resultados medidos na seção 4.1.1.3.

Tabela 6 – Resumo dos resultados obtidos das simulações no *Ansys HFSS* para as *S-CPW* de alta impedância, 50 Ω e baixa impedância.

S-CPS	Z_c (Ω)	$\epsilon_{r_{eff}}$	α (dB/mm)	Q
Alta Impedância	131	7	0,2	54
Impedâncias médias	34	11	0,5	20
Baixa Impedância	18	19	1,1	38

4.1.1.2 PROJETO

A implementação do *layout* foi feita de uma forma progressiva, implementando-se primeiro pequenos blocos da *S-CPS* (Figura 42a) que depois foram integrados para formar o dispositivo final (Figura 42b). A Figura 42b mostra também os *PADs RF* colocados no *layout* para utilização na etapa de caracterização RF. Os *PADs RF* foram implementados ligando todas as camadas de metal por meio de vias. Pode ser observado que os *PADs* são para linha de transmissão de tipo *CPW* (com três contatos para pontas de prova tipo *Ground-Signal-Ground-GSG*), pois durante a etapa de projeto ainda não se sabia com quais as pontas de prova seriam utilizadas para a etapa de caracterização.

Figura 42 – Layout do (a) bloco da S-CPS e (b) do dispositivo final.

Fonte: Autor

A Figura 43 mostra o *layout* enviado à *foundry* onde pode ser observado as S-CPS projetadas para diferentes valores de impedância característica. Foram projetadas quatro S-CPS de alta impedância, quatro S-CPS de impedância média e três S-CPS de baixa impedância. As dimensões e características das linhas projetadas são mostradas em detalhe na

Tabela 8. Cada S-CPS projetada foi fabricada com três comprimentos diferentes: 200 μm , 705 μm e 2,004 mm; que são utilizados para corrigir a resposta global do dispositivo, fazendo o tratamento das medidas utilizando a técnica de *deembedding* com o método de duas linhas, mostrado em [47]. Além do método de duas linhas, foi utilizado outro método de *deembedding*: método de *open/short* [48]. Para o método de *open/short* foram colocados no *layout* os modelos de PADs em aberto e curto.

Tabela 7 – Características das S-CPS projetas.

Z_c	Camada de metal (Linha/Camada de blindagem)	Dimensões (μm)
Alta Impedância	TopMetal2/Metal2	W=10; S=130
	TopMetal2/Metal2	W=10; S=60
	TopMetal2/Metal3	W=10; S=130
	TopMetal2/Metal3	W=10; S=60
Impedância Média	TopMetal2/TopMetal1/Metal2	W=70; S=10
	TopMetal2/TopMetal1/Metal2	W=35; S=10
	TopMetal2/TopMetal1/Metal2	W=50; S=50
	TopMetal2/TopMetal1/Metal2	W=22,5; S=35
Baixa Impedância	TopMetal2/TopMetal1/Metal3	W=70; S=10
	TopMetal2/TopMetal1/Metal3	W=35; S=10
	TopMetal2/TopMetal1/Metal3	W=50; S=50

Figura 43 - Layout das linhas S-CPS implementado no ADS.

Fonte: Autor

4.1.1.3 CARATERIZAÇÃO

A caracterização em RF dos dispositivos foi feita utilizando um Analisador de Rede Vectorial (VNA). Os dados obtidos pelo VNA foram tratados utilizando-se a técnica de *de-embedding*. A Figura 44 mostra algumas fotografias das primeiras S-CPS fabricadas. As fotografias foram tiradas com um microscópio óptico no Laboratório francês IMEP-LAHC durante a etapa de caracterização.

Figura 44 – Foto das S-CPS fabricadas pela *foundry* IHP.

Fonte: Autor

Devido às características de funcionamento das pontas RF utilizadas durante a etapa de caracterização, as medidas dos parâmetros-S foram feitas no intervalo de frequência entre 0,5 GHz e 40 GHz.

A. S-CPS de alta impedância:

Para conseguir um valor de impedância alto, os condutores da S-CPS foram implementados na camada de metal superior, *TopMetal2*, e a camada de blindagem foi implementada na segunda ou terceira camada de metal inferior (*Metal2* ou *Metal3*), como mostrado na Figura 39.

Como mostrado na Figura 45, os resultados das medidas para impedância característica (Z_c) e constante dielétrica relativa efetiva (ϵ_{reff}) apresentam um comportamento coerente em comparação com os resultados das simulações no *Ansys HFSS* (erro porcentual em 30 GHz de 9,66% e 14,86 % para os parâmetros de Z_c e ϵ_{reff} respectivamente). Como mostrado em [4], o valor da Z_c é inversamente proporcional a capacitância equivalente da linha, assim, o baixo valor de ϵ_{reff} é normal para uma linha de transmissão com alto valor de impedância.

Observa-se também que com este tipo de linha de transmissão é possível desenvolver estruturas de impedância característica relativamente alta (em torno de 150 Ω) com variações geométricas simples. No caso da S-CPW, isso é mais complicado [40].

Figura 45 – Resultados da (a) impedância simulada/medida e (b) a constante dielétrica relativa efetiva simulada/medida.

Para esta mesma estrutura, os resultados medidos de constante de atenuação (α) e fator de qualidade (Q) apresentaram variações consideráveis em relação aos resultados simulados, podendo ser observado que o valor de α medido é maior do que o valor simulado, como mostrado na Figura 46a, resultando em uma diminuição do fator de qualidade do dispositivo, como mostrado na Figura 46b. Devido à variação dos resultados medidos, não é possível calcular um valor de erro porcentual para estes parâmetros.

Figura 46 - Resultados da (a) atenuação simulada/medida e (b) o fator de qualidade simulado/medido para a linha de alta impedância

Fonte: Autor

Para entender melhor as diferenças entre os resultados simulados e medidos dos parâmetros de atenuação e fator de qualidade, foram estudadas algumas possíveis variações geométricas da tecnologia. Essas variações podem ocorrer devido às características dos materiais utilizados pela tecnologia.

A primeira variação estudada foi a margem de erro na definição lateral das camadas de metais e/ou em suas espessuras. Foram feitas para este tipo de linha, simulações variando-se a espessura das camadas *TopMetal2* e *Metal3*, os resultados são mostrados na Figura 47 e Figura 48. Variações na espessura da camada *TopMetal2* não resultam em mudanças muito críticas dos valores de atenuação e fator de qualidade, como mostrado na Figura 47.

Figura 47 – Resultados dos parâmetros de (a) atenuação e (b) fator de qualidade simulados com diferentes valores de espessura para a camada TopMetal2.

Variações na camada *Metal3* podem resultar em níveis de atenuação mais altos, como mostrados na Figura 48, mas ainda assim, não justificam os altos valores que as S-CPS apresentaram.

Figura 48 - Resultados dos parâmetros de (a) atenuação e (b) fator de qualidade simulados com diferentes valores de espessura para a camada Metal3.

Além das variações geométricas, outro parâmetro importante que pode influenciar nos resultados é a condutividade elétrica das camadas de metal do

processo CMOS. Nas especificações da tecnologia é mencionado que há uma variação para este parâmetro que pode resultar em mudança no comportamento da S-CPS. Os resultados das simulações considerando a condutividade mínima e condutividade máxima são mostrados na Figura 49. Os resultados mostraram pequenas variações no parâmetro de atenuação, que não justificam os valores que as S-CPS apresentaram, mas que podem resultar em grandes variações no fator de qualidade.

Figura 49 - Resultados dos parâmetros de (a) atenuação e (b) fator de qualidade simulados variando os valores de condutividade.

Fonte: Autor

Finalmente, existe uma fina camada resistiva de Nitreto de Titânio (TiN) em torno de todas as camadas de metal utilizada como barreira para diminuir os fenômenos de eletromigração. Esta camada de barreira não foi considerada no modelo porque as características físicas não são fornecidas pela *foundry*.

Os resultados mostrados na Figura 47, na Figura 48 e na Figura 49 confirmam que as possíveis variações do processo podem resultar no aumento das perdas medidas nas S-CPS. Ainda assim, esses resultados não justificam as altas perdas observadas. Outros fatores ligados à tecnologia, como a camada de TiN, podem ser responsáveis pelo aumento das perdas, mas devem ser estes devem ser estudados.

B. S-CPS de impedância média:

Para o desenvolvimento das S-CPS com impedância característica média os condutores foram implementados tanto na camada TopMetal2 como na camada TopMetal1 e a camada de blindagem no Metal2, como mostrado na Figura 39. Para conseguir condutores espessos, as duas camadas superiores foram ligadas por meio de vias, como mostrado na Figura 50. Para simular as vias no *Ansys HFSS*, foi utilizado um material equivalente com características físicas calculadas a partir das especificações do processo.

Figura 50 – TopMetal1 e TopMetal2 conectadas por vias.

Fonte: Autor

Como pode ser visto na Figura 51a, os resultados medidos de Z_c apresentam diferença entre os resultados medidos e os resultados simulados (erro percentual em 30 GHz de 21,35 %). No caso de ϵ_{reff} , como mostrado na Figura 51b, os resultados medidos foram mais próximos aos resultados simulados (erro percentual em 30 GHz de 18,2 %).

Figura 51 – Resultados de (a) impedância característica simulada/medida e (b) constante dielétrica relativa efetiva simulada/medida para a linha de impedância média

Fonte: Autor

Por outro lado, na Figura 52a e na Figura 52b, pode ser observado que da mesma forma que na *S-CPS* de alta impedância, os resultados de α e Q apresentam variações. Elas podem ser atribuídas às mesmas causas mencionadas anteriormente (variações geométricas e características físicas dos materiais utilizados pela tecnologia)

Figura 52 - Resultados de (a) atenuação simulada/medida e (b) fator de qualidade simulado/medido para a linha de impedância média

Fonte: Autor

C. S-CPS de baixa impedância:

Por último, para o desenvolvimento das S-CPS com baixa impedância foi necessário que os condutores fossem implementados na camada TopMetal2 e na camada TopMetal1, que também foram ligadas entre si por meio de vias, como mostrado na Figura 50. Para este caso, a camada de blindagem foi implementada no Metal3 (mostrado na Figura 39). Os resultados de Z_c e ϵ_{reff} , medidos e simulados são mostrados na Figura 53 e os resultados de α e Q são mostrados na Figura 54. Para este caso, todos os resultados medidos mantiveram coerência com os resultados simulados. Isso possivelmente se deve ao *Ansys HFSS* que define uma malha inicial em função do campo elétrico, sendo que para linhas com um alto valor de constante dielétrica relativa efetiva, o erro será maior para um mesmo parâmetro de convergência.

Figura 53 - Resultados de (a) impedância característica simulada/medida e (b) constante dielétrica relativa simulada/medida para a linha de baixa impedância.

Fonte: Autor

Figura 54 - Resultados de (a) atenuação simulada/medida e (b) fator de qualidade simulado/medido para a linha de baixa impedância.

Fonte: Autor

Todas as comparações entre os resultados medidos e simulados mostradas anteriormente foram realizadas para frequências entre 0,5 GHz e 40 GHz, já que as medidas foram feitas nesse intervalo de frequência, porém, o modelo desenvolvido no *Ansys HFSS* permite conhecer o comportamento do dispositivo em frequências maiores. Assim, na Figura 55 são mostrados os resultados das simulações para os parâmetros de impedância característica e constante dielétrica relativa efetiva das linhas de alta impedância, impedância média e baixa impedância. Na Figura 56 são mostrados os resultados para os parâmetros de atenuação e fator de qualidade para essas mesmas linhas.

Figura 55 - Resultados de (a) impedância característica e (b) constante dielétrica relativa efetiva simulados até 100 GHz no *Ansys HFSS*.

Fonte: Autor

Figura 56 - Resultados de (a) impedância característica e (b) constante dielétrica relativa efetiva, (c) atenuação e (d) fator de qualidade simulados até 100 GHz no *Ansys HFSS*.

Fonte: Autor

Os resultados das medidas mostrados anteriormente pertencem às *S-CPS* que apresentaram melhor rendimento durante a caracterização. Porém, foram fabricadas várias linhas com diferentes dimensões e características que são especificadas na Tabela 8.

Tabela 8 – Características das *S-CPS* projetadas.

Z_c	Camada de metal de (Linha/Camada blindagem)	Medidas a 40 GHz			
		Z_c (Ω)	ϵ_{reff}	α	Q
Alta Impedância	TopMetal2/Metal2	188,9	6,76	1,8	5,36
	TopMetal2/Metal2	180,0	5,68	1,1	8,01
	TopMetal2/Metal3	193,7	9,15	1,13	9,71
	TopMetal2/Metal3	173,4	6,9	1,6	5,9
50 Ω	TopMetal2/TopMetal1/Metal2	43,8	16,7	1,5	9,9
	TopMetal2/TopMetal1/Metal2	50,4	10,2	0,3	38,9
	TopMetal2/TopMetal1/Metal2	96,9	30,9	0,3	72,3
	TopMetal2/TopMetal1/Metal2	80,0	13,4	0,73	18,1
Baixa Impedância	TopMetal2/TopMetal1/Metal3	25,7	48,8	1,32	19,2
	TopMetal2/TopMetal1/Metal3	54,8	32,7	0,5	36,0
	TopMetal2/TopMetal1/Metal3	40,0	70,3	1,4	22,5

Os resultados obtidos nas *S-CPS* de alta impedância, ilustrados na Figura 57, mostram que os valores Z_c e ϵ_{reff} , não variam muito em toda a faixa de frequência nas linhas que foram caracterizadas. Por outro lado, os resultados de α foram altos e apresentaram muita variação, resultando em valores baixos e instáveis de Q . Observou-se também que para estas *S-CPS*, os melhores resultados de α foram encontrados na estrutura cuja camada de blindagem foi implementada no *Meta/3*, com $W=10\ \mu\text{m}$ e $S=60\ \mu\text{m}$.

Figura 57 - Resultados de (a) impedância característica medida, (b) constante dielétrica relativa efetiva medida, (c) atenuação medida e (d) fator de qualidade medido para as *S-CPS* de alta impedância.

Fonte: Autor

Os resultados para os parâmetros das *S-CPS* de impedância média ilustrados na Figura 58 demonstram que os valores de Z_c , ϵ_{reff} , α e Q dependem diretamente da

geometria dos condutores da *S-CPS*. Observou-se também que para estas *S-CPS*, os melhores resultados de α foram encontrados na estrutura cuja camada de blindagem foi implementada no Metal2, com $W=35\ \mu\text{m}$ e $S=10\ \mu\text{m}$.

Figura 58 - Resultados de (a) impedância característica medida, (b) constante dielétrica relativa efetiva medida, (c) atenuação medida e (d) fator de qualidade medido para as *S-CPS* de impedância baixa.

Fonte: Autor

Finalmente, a Figura 59 mostra as medidas obtidas das *S-CPS* de baixa impedância. Nos resultados pode ser observado que Z_c , ϵ_{reff} , α e Q podem apresentar grandes variações em função da geometria dos condutores da *S-CPS*. Para esta linha de transmissão, os melhores resultados de α foram encontrados na estrutura cuja camada de blindagem foi implementada no *Metal3*, com $W=70\ \mu\text{m}$ e $S=10\ \mu\text{m}$.

Figura 59 - Resultados de (a) impedância característica medida, (b) constante dielétrica relativa efetiva medida, (c) atenuação medida e (d) fator de qualidade medido para as S-CPS de baixa impedância.

Fonte: Autor

Como observado em todos os resultados mostrados anteriormente, o desempenho das S-CPS fabricadas com a tecnologia IHP de 250 nm, não foram os desejados, observando-se altos valores de atenuação entre DC e 40 GHz. Por esse motivo não se continuou com a etapa de desenvolvimento de defasadores baseados em S-CPS fabricadas com esta tecnologia, porém decidiu-se desenvolver este tipo de linhas de transmissão utilizando outra tecnologia CMOS comercial para verificar seu rendimento. Neste caso foi utilizada a tecnologia CMOS de 0,35 μm , cujos resultados são apresentados na seguinte seção.

4.1.2 Desenvolvimento de S-CPS em tecnologia AMS DE 0,35 μm

A tecnologia AMS de 0,35 μm , como mostrado na Figura 60, possui 4 camadas de metal (alumínio), sendo as três inferiores (Metal1, Metal2 e Metal3) camadas finas ($\sim 0,7 \mu\text{m}$) e a última (Metal Espesso ou Metal4) uma camada mais espessa ($\sim 3 \mu\text{m}$), sendo que cada camada de metal é separada por uma camada isolante. Sobre a última camada de metal (Metal4) existem duas camadas de passivação e uma camada de poliamida utilizada para proteger os dispositivos fabricados. Por motivo de confidencialidade não podem ser mostrados mais detalhes sobre a tecnologia.

Figura 60 - Esquema ilustrativo do Back-End-Of-Line da tecnologia AMS de 0,35 μm .

Fonte: Autor

Foi fabricada uma S-CPS de 50 Ω , para isso os condutores da linha de transmissão foram fabricados na camada de metal espesso e a camada de blindagem foi fabricada utilizando a camada de metal 3. A distância entre a camada de metal espesso e a camada de metal 3 é aproximadamente 1 μm .

Na Figura 61 é mostrado o *layout* da S-CPS fabricada. Foram fabricadas três S-CPS com comprimentos de 1,5 mm, 750 μm e 200 μm . Cada linha foi fabricada com diferentes comprimentos, como explicado anteriormente, para poder utiliza-las na etapa do tratamento de medidas utilizando a técnica de *deembedding*. Pelo mesmo motivo, também são considerados no *layout* os PADs em aberto e curto. As três linhas têm a mesma largura de condutor de sinal e terra ($W=20 \mu\text{m}$), distância entre os

condutores ($S=80\mu\text{m}$), largura das fitas da camada de blindagem ($SL=0,6\ \mu\text{m}$) e distância entre elas ($SS=2\ \mu\text{m}$).

Figura 61 – Layout das S-CPS fabricadas com a tecnologia AMS de $0,35\ \mu\text{m}$.

Fonte: Autor

Na Figura 62a é mostrada uma foto das S-CPS fabricadas tirada durante a etapa de caracterização. Como mostrado na Figura 62b, além das S-CPS, foram fabricadas as estruturas *open/short* para realizar o *deembedding*.

Figura 62 – (a) Foto das S-CPS fabricadas e (b) etapa de caracterização.

Fonte: Autor

A caracterização em RF foi feita no Laboratório francês IMEP-LAHC utilizando um analisador de rede vectorial (VNA) em um intervalo de frequência entre DC e 65 GHz. Os parâmetros-S extraídos nesta etapa foram depois tratados utilizando a técnica de *deembedding*. Na Figura 63 é mostrada uma comparação entre os resultados do modelamento computacional e as medidas dos parâmetros de impedância característica, constante dielétrica relativa efetiva, atenuação e fator de qualidade das linhas fabricadas. O modelamento foi feito utilizando o modelo computacional apresentado em [32].

Figura 63 – Resultados simulado e medido de (a) impedância característica; (b) constante dielétrica relativa efetiva; (c) atenuação e (d) fator de qualidade da *S-CPS* longa.

Fonte: Autor

Os resultados para impedância característica mostrados na Figura 63a apresentam uma diferença entre os valores modelados e os valores medidos, sendo que aproximadamente o valor médio simulado é de 55Ω e o valor médio medido é 70Ω . Essa diferença também pode ser observada no resultado de constante dielétrica relativa efetiva, mostrado na Figura 63b, onde o valor medido é um pouco menor do que a constante dielétrica relativa efetiva simulada.

Por outro lado, para o parâmetro de atenuação, na Figura 63c pode ser observado uma grande diferença entre os valores modelados e os valores medidos, sendo que os valores esperados eram menores do que os valores obtidos. Por isso, como era de se esperar, o fator de qualidade, mostrado na Figura 63d, também foi menor que o modelado. A diferença entre os resultados medidos e modelados mostrados na Figura 63c e na Figura 63d podem estar ligados a alguns problemas com as pontas de provas utilizadas para medir as linhas fabricadas. Esses problemas estão sendo estudados no Laboratório francês IMEP-LAHC. Por outro lado, soube-se pelo mesmo autor do modelo utilizado, que o modelo deve ser aprimorado especificamente para o cálculo de perdas e fator de qualidade.

Comparando as perdas mostradas na Figura 63c com as perdas obtidas em [24] e [32], que também desenvolveram *S-CPS* utilizando uma tecnologia CMOS comercial, pode-se observar que em 30 GHz nossos resultados de atenuação estão próximos ($\sim 1,1$ dB/mm em [24] e $\sim 0,9$ dB/mm em [32]). Além disso, as *S-CPS* fabricadas com a tecnologia AMS de $0,35 \mu\text{m}$ apresentaram melhor desempenho do que as *S-CPS* fabricadas com a tecnologia IHP de 250 nm, ainda assim, as perdas apresentadas continuam sendo altas. Por isso, decidiu-se que antes de trabalhar no desenvolvimento dos defasadores utilizando este tipo de estrutura, é necessário estudar com mais profundidade o motivo das altas perdas e verificar se é possível diminuí-las, e otimizar as simulações no *Ansys HFSS* para projetar novas *S-CPS*.

5 DESENVOLVIMENTO DE DEFASADORES BASEADOS EM S-CPW

5.1 Tecnologia AMS de 0,35 μm

Durante este trabalho de doutorado foi co-orientado o trabalho de iniciação científica de Otavio Dantas Molitor. Neste trabalho foram desenvolvidos dois defasadores: um defasador de 2-bits e outro de 3-bits baseados em MEMS distribuídos e linhas de transmissão de tipo S-CPW. Para o desenvolvimento dos defasadores foi utilizada a tecnologia CMOS de 0,35 μm , utilizada para o desenvolvimento das S-CPS apresentadas na seção 4.1.2. O defasador foi projetado mecanicamente utilizando o *Ansys Workbench*. Também foi feito um projeto eletromagnético utilizando o *Ansys HFSS* e as simulações elétricas foram feitas utilizando o *Keysight ADS*. Finalmente, devido à falta de compatibilidade entre o *design kit* da tecnologia e o *Keysight ADS*, o *layout* do defasador e as S-CPS mostradas na seção 4.1.2 foram feitos no *Cadence Virtuoso*.

Como observado na Figura 64a, a diferença entre o defasador proposto em [14] e o defasador apresentado nesta seção, é que o condutor central da S-CPW (com largura W) foi fabricado utilizando as duas camadas superiores da tecnologia (Metal 3 e Metal 4) enquanto os condutores de terra (com largura G) foram fabricados utilizando só a última camada de metal (Metal 4). O objetivo de fabricar o condutor central com essa característica foi poder utiliza-lo como um *stopper* mecânico da camada de blindagem, quando $g_0 = 0$, evitando assim, um curto elétrico durante a atuação.

Figura 64 – (a) Esquema do defasador proposto e (b) vista superior do defasador

Fonte: Autor

Na Figura 64b também é mostrada a vista superior do defasador fabricado, podendo-se observar as características geométricas da camada de blindagem (largura das fitas SL e espaço entre elas - SS).

Outra diferença entre o defasador proposto em [14] e o defasador apresentado nesta seção, é que o defasador apresentado nesta seção é atuado aplicando uma tensão DC entre a camada de blindagem e os eletrodos de terra da *S-CPW*.

5.1.1 Projeto da Linha *S-CPW*

Simulações eletromagnéticas foram feitas no *Ansys HFSS* variando a geometria dos condutores da *S-CPW* e respeitando as regras de projeto da tecnologia utilizada. Para cada variação da geometria foram feitas duas simulações: a primeira com a camada de blindagem em repouso (estado *OFF*) e a segunda com camada de blindagem deslocada no sentido da linha de transmissão (estado *ON*).

Para analisar os resultados da simulação utilizou-se a Figura de Mérito (FoM), definida pela defasagem máxima dividida pela maior perda de inserção (estado *ON* ou estado *OFF*) e a FoM/Área (Figura de mérito por unidade de área). Na Figura 65 são mostrados os resultados de FoM e FoM/Área das simulações feitas variando a largura do condutor de sinal. As primeiras simulações foram feitas fixando a largura do condutor de terra em 70 μm com a camada de blindagem na camada de metal 1 da tecnologia. Outras simulações foram feitas fixando a largura do condutor de terra em 60 μm com a camada de blindagem na camada de metal 2.

Figura 65 - FoM ($^{\circ}$ dB) e FoM/Área resultado da variação da largura do condutor de sinal com a largura do condutor de terra fixo em (a) 70 μ m com a camada de blindagem em M1 e (b) 60 μ m com a camada de blindagem em M2

Fonte: Autor

Em seguida, foi feita a mesma simulação variando a largura dos condutores de terra com o condutor de sinal fixado em 60 μ m, fabricando também a camada de blindagem na camada de metal 1 e 2. Os resultados destas simulações são mostrados na Figura 66.

Figura 66 - FoM ($^{\circ}$ dB) e FoM/Área resultado da variação da largura do condutor de terra com a largura do condutor de sinal fixo em 60 μ m com (a) a camada de blindagem em M1 e (b) a camada de blindagem em M2.

Fonte: Autor

Mesmo que os resultados mostrados nas Figura 65 e Figura 66 apresentem melhor desempenho fabricando a camada de blindagem na camada de metal 1, isso implicaria aumentar o *gap* entre a camada de blindagem e os condutores, assim, um maior valor de tensão de *pull-in* seria necessário para ativação dos dispositivos. É por esse motivo que se decidiu fabricar a camada de blindagem na camada de metal 2.

Outras simulações da FoM e FoM/Área, variando o valor da largura do condutor de terra foram feitas fixando a largura do condutor de sinal em 5 μm e o comprimento das fitas da camada de blindagem em 250 μm . Assim, como a largura do condutor de sinal está fixa, quando aumentar a largura do condutor de terra, a distância entre os condutores (S) diminui. Os resultados dessas simulações são mostrados na Figura 67.

Figura 67 - FoM ($^{\circ}/\text{dB}$) e FoM/Área resultante da variação da largura do condutor de terra com a largura do condutor de sinal fixa em 5 μm .

Fonte: Autor

A partir dos resultados mostrados na Figura 67, decidiu-se fixar a largura dos condutores de terra em 87 μm . Com esse parâmetro fixo, o FoM esperado é de 176,36 $^{\circ}/\text{dB}$ com uma área de aproximada de 0,37 mm^2 .

Utilizando esses resultados, foi feita a simulação eletromecânica do defasador utilizando o modulo *structural* do *Ansys Workbench*. O comportamento eletromecânico da estrutura foi simulado para diferentes valores de tensão aplicada, utilizando os parâmetros geométricos definidos: $G=87\text{ }\mu\text{m}$, $W=5\text{ }\mu\text{m}$, $S=35\text{ }\mu\text{m}$ e $SS=2\text{ }\mu\text{m}$. A largura das fitas da camada de blindagem foi definida no limite inferior permitido pela tecnologia.

Assim, com essas dimensões, os resultados das simulações indicaram uma tensão de *pull-in* de 30 V. Mais detalhes sobre as simulações eletromecânicas feitas no *Ansys Workbench* serão mostrados na seção 5.2.

5.1.2 Projeto do Defasador

Nesta etapa foi definido o comprimento do defasador e a resolução dos estados de fase. Para isso são utilizados os resultados dos parâmetros-S no estado ON e OFF (seção 5.1.1) do defasador extraídos das simulações da linha *S-CPW* no *Ansys HFSS*. Foram implementadas duas configurações de defasador: um defasador de 2-bits e outro defasador de 3-bits. A metodologia foi a mesma para as duas configurações: o defasador de 2-bits foi dividido em 3 trechos de atuação em série e o defasador de 3-bits foi dividido em 7 trechos de atuação em série, sendo que cada trecho proporciona a defasagem de um estado de fase do dispositivo total. Os estados de fase do defasador de 2-bits são 01 (90°), 10 (180°) e 11 (270°) e os estados de fase do defasador de 3-bits são 001 (45°), 010 (90°), 011 (135°), 100 (180°), 101 (225°), 110 (270°) e 111 (315°). Cada estado de fase é implementado no Keysight ADS com um componente TLINP, como mostrado na Figura 68.

Figura 68- Esquema do projeto elétrico do defasador proposto

Fonte: Autor

Os parâmetros do componente TLINP são ajustados até chegar em uma resposta de parâmetros-S igual a resposta obtida no *Ansys HFSS* e então usados no projeto do defasador. Um dos parâmetros definidos no TLINP é o comprimento de cada trecho (componente TLINP) para o qual obtém-se um estado de fase.

Como explicado anteriormente, para evitar as perdas de retorno associadas aos efeitos da frequência de Bragg, os grupos necessitam ser subdivididos em conjuntos intercalados. Assim, o arranjo de componentes mostrados na Figura 68 forma um segmento de linha, logo disso, vários segmentos são conectados em série.

Na Figura 69 é mostrado o circuito final utilizado para simular a defasagem do defasador de 3-bits para cada estado de fase. A mesma implementação é feita para o defasador de 2-bits.

Figura 69 – Projeto elétrico do defasador proposto implementado no *Keysight ADS*

Fonte: Autor

Como mostrado na Figura 70, em 60 GHz a defasagem simulada foi de 45,035°, 90,026°, 180,004°, 225,028°, 270,024° e 314,99° e o comprimento dos diversos trecho de linha foi de: 14,750 μm , 16,225 μm , 17,675 μm , 18,550 μm , 20,800 μm , 23,775 μm e 23,550 μm .

Figura 70 – Resultados das simulações elétricas feitas no *Keysight ADS* para cada estado de fase.

Fonte: Autor

5.1.3 Caracterização

Tendo as dimensões otimizadas, o desenho do *layout* foi feito no *Cadence Virtuoso* reunindo todas as dimensões determinadas nas etapas anteriores. Na Figura 71a é mostrado *layout* dos defasadores de 2-bits e 3-bits e na Figura 71b pode ser observado uma foto tirada do chip fabricado.

Figura 71 – (a) Layout dos defasadores de 2-bits e 3-bits mandados a fabricas e (b) Foto do defasador fabricado.

Os dispositivos foram entregados pela *foundry* corroídos até a parte superior do metal 3, como mostrado na Figura 72a. Testes da estrutura antes da liberação da camada de blindagem foram realizadas utilizando um VNA, entre DC e 70 GHz. Os resultados são mostrados na Figura 72. O defasador de 2-bits apresentou -18,9 dB para perda de retorno (S_{11}) e 1,7 dB para a perda de inserção (S_{21}) em 60 GHz, como mostrado na Figura 72b. Nos resultados mostrados na Figura 72c, pode ser observado valores de -30,167 dB para S_{11} e 1,94 dB para S_{21} para o defasador de 3-bits em 60 GHz.

Figura 72 – (a) Esquemático de como o chip foi entregue pela *foundry*. Resultados dos parâmetros S do defasador de 2-bits (a) e 3-bits (b).

(a)

(b)

(c)

Fonte: Autor

5.1.4 Liberação da Camada de blindagem

Como os dispositivos foram entregados pela *foundry* corridos até o Metal 3, foi necessário um processo de corrosão para poder liberar a camada de blindagem, como mostrado na Figura 73.

Figura 73 – Resultado esperado depois da liberação da camada de blindagem.

Fonte: Autor

Assim, para a liberação total da camada de blindagem foi feito um processo de corrosão úmida utilizando Silox Vapox III. Esta solução foi otimizada para corroer óxido de silício e é saturada em alumínio que minimiza a corrosão deste metal. Assim, o chip fabricado foi submergido na solução em intervalos de 3 min, 5 min, 10 min e mais 10 min, totalizando 28 min, sendo que entre cada intervalo foi feito o teste eletromecânico aplicando tensão para ver se a camada de blindagem estava liberada. Para esta etapa foi utilizado a estação de prova mostrada na Figura 74, que permite fazer os testes de atuação, aplicando diferentes valores de tensão DC.

Figura 74 – Estação de prova do LME-USP utilizado para os testes de atuação dos defasadores.

Fonte: Autor

Para aplicar a tensão DC são utilizadas 3 pontas de prova (Figura 75), sendo que duas são conectadas nos contatos dos condutores de terra da *S-CPW* e a outra é conectada em um dos contatos da camada de blindagem.

Figura 75 – Etapa de caracterização eletromecânica.

Fonte: Autor

Nos primeiros resultados percebeu-se que depois de 28 min, existia em algumas fitas da camada de blindagem uma movimentação, como mostrado na Figura 76a. Conforme a tensão aumentava, mais fitas da camada de blindagem eram atuadas, como mostrado na Figura 76b.

Figura 76 – Atuação dos defasadores depois da etapa de corrosão úmida aplicando (a) 28 V (b) 34 V e (c) 35 V

Fonte: Autor

Os dispositivos corroídos e atuados foram analisados por MEV (Microscópio eletrônico de varredura) e com esses resultados, mostrados na Figura 77, concluiu-se que a camada de blindagem ainda estava grudada em algumas regiões nos condutores da *S-CPW*, como observado na Figura 77c.

Figura 77 – Análise por MEV depois da etapa de corrosão. Em (a) e (b) pode ser observado resíduos de óxido e em (c) pode ser observado as fitas da camada de blindagem coladas no condutor da CPW

Fonte: Autor

Esse fenômeno é observado em processos de corrosão úmida e é conhecido como *stiction*. Como mostrado em [49], *stiction* é a adesão não intencional de superfícies em uma microestrutura quando as forças restauradoras são incapazes de superar as forças capilares, forças eletrostáticas, forças van der Waals e outros tipos de forças. Especificamente em MEMS este problema acontece durante a remoção de camadas sacrificiais (liberação das estruturas) ou quando uma vez liberada a estrutura, esta é exposta a ambientes úmidos. A partir da análise feita por MEV também foi observado que ainda existia resíduos de SiO₂ embaixo da camada de blindagem (Figura 77a e Figura 77b) e conclui-se que ela ainda não estava totalmente liberada.

Para solucionar o problema de *stiction*, decidiu-se colocar um novo chip corroído em Silox Vapox III dentro de becker com álcool, que tem uma tensão superficial menor do que a água, para depois colocar o chip sobre uma superfície aquecida a 70°C com a finalidade de fazer o álcool evaporar e secar o dispositivo. Então, foi feito o teste eletromecânico, sendo que não se observou atuação eletrostática.

Como alternativa para evitar que a camada de blindagem cole no eletrodo da *S-CPW*, a secagem dos chips foi feita com uma secadora de ponto crítico. A secadora utilizada foi a Quorum K850WM que permite fazer secagem supercrítica de lâminas de até 6 polegadas possuindo controle de temperatura e pressão. A secagem supercrítica utiliza o estado para o qual não há diferença aparente entre o estado líquido e gasoso de um meio, evitando a formação de forças capilares. Este fenômeno físico ocorre a partir de uma pressão e temperatura específica que é conhecido como ponto crítico. O meio mais conveniente para utilizar este método é o CO_2 que tem o ponto crítico em 31°C e 1070 p.s.i (~ 70 atm). O sistema utilizado, mostrado na Figura 78, é composto pela câmara de processo, o esfriador e o galão de CO_2 .

Figura 78 – Sistema utilizado no processo de secagem supercrítica

Fonte: Autor

Assim, depois do processo de corrosão com Silox Vapox III, o chip é colocado dentro da câmara de processo que depois é esfriada a uma temperatura de 5°C . Nessa temperatura, como observado no diagrama de fase do CO_2 (ponto A na Figura 79), a câmara é enchida de CO_2 , que nessas condições, se mantém em estado líquido. Uma vez cheia a câmara de CO_2 , a temperatura é aumentada até 35°C e consequentemente a pressão dentro da câmara chega aproximadamente a 1200 p.s.i. Nesta etapa do processo, o CO_2 se encontra na região supercrítica (ponto B na Figura

79) e para passar ao estado gasoso é necessário diminuir a pressão mantendo a temperatura da câmara constante (transição do ponto B ao ponto C na Figura 79). A diminuição da pressão é realizada pela abertura de uma válvula da câmara. Finalmente, nesta etapa do processo, o CO_2 em estado gasoso é totalmente liberado para o ambiente.

Figura 79– Diagrama de fase do CO_2

Fonte: Adaptada de [50]

Foi feito a corrosão do SiO_2 colocando o chip dentro de um becker com o Silox Vapox III por um tempo ininterrupto de 28 min e, em seguida, foi feito o processo de secagem supercrítica. Nas fotografias tiradas por MEV, mostradas na Figura 80, observou-se que o processo de corrosão não danificou as estruturas, podendo-se observar estruturas bem definidas e inteiras (Figura 80a). Para observar se ainda existia resíduos de óxido, uma parte da camada de blindagem foi arrancada. Os resultados confirmam que não existem resíduos de óxido de silício por debaixo da camada de blindagem (Figura 80b). Testes eletromecânicos foram realizados podendo-se observar a atuação da camada de blindagem para tensões a partir de 26 V. Mesmo sendo observada a atuação da camada de blindagem, não se conseguiu atuar cada grupo isoladamente. Em um primeiro momento este problema foi atribuído a uma possível indução eletrostática entre os grupos da camada de blindagem. Para

descartar esta hipótese, foram feitos testes de atuação aplicando tensão em um único grupo e aterrando os outros, observando-se mesmo assim que o problema persistia. Como a causa de este problema ainda não foi identificado, é necessário um estudo mais detalhado em trabalhos futuros.

Figura 80 – Fotografias tiradas por MEV do defasador depois dos processos de corrosão úmida e secagem supercrítica

Fonte: Autor

Para testar a reprodutibilidade do processo de corrosão, secado e atuação, outros chips foram corroídos e testados eletromecanicamente. Corrosões de até 40 min foram realizadas, observando-se a atuação da camada de blindagem sempre para tensões maiores que 26 V. Por esse motivo, o tempo de corrosão foi fixado em 30 min. Os dispositivos corroídos foram levados para o laboratório IMEP-LAHC na França, onde se fez a caracterização em RF com a camada de blindagem em estado de repouso e em estado atuado. Na Figura 81 são mostradas as defasagens em função da frequência medidas nos defasadores já corroídos. Esses resultados, mostram que mesmo aplicando diferentes valores de tensão e observando-se a atuação eletromecânica dos dispositivos, infelizmente não se conseguiu ver mudança nos parâmetros-S.

Figura 81 – Resultados da caracterização em RF do defasador para diferentes valores de tensão.

Fonte: Autor

Finalmente, para poder entender o que estava acontecendo, os dispositivos foram analisados por MEV. Os resultados são mostrados na Figura 82a, onde pode ser observado que algumas fitas da camada de blindagem, mesmo depois do processo de secagem supercrítica, ainda estão grudadas no eletrodo central da S-CPW, como mostrado na Figura 82b.

Figura 82 – Fotos tiradas por MEV depois da etapa de atuação eletrostática

Fonte: Autor

Como mostrado, foi possível definir um processo que permite liberar a camada de blindagem mediante a corrosão do SiO_2 que esta tecnologia utiliza como dielétrico entre as camadas de metal. O processo definido permitiu a liberação da camada de blindagem, podendo-se observar a atuação dela quando uma tensão DC é aplicada. No entanto, durante a caracterização em RF, não se conseguiu observar mudança de fase durante a atuação do defasador, e a causa desse problema deverá ser estudada posteriormente.

5.2 Tecnologia CEA-LETI

Durante o trabalho de doutorado, foi feito o modelamento eletromecânico de um defasador de 3-bits que foi projetado e fabricado utilizando a tecnologia dedicada desenvolvida pelo *Laboratoire d'électronique des technologies de l'information* (CEA-Leti). Este modelamento foi realizado com o intuito de otimizar o funcionamento do defasador para uma próxima fabricação que não ocorreu devido à falta de recursos.

O conceito do defasador desenvolvido é o mesmo conceito de defasador baseado em S-CPW e MEMS distribuídos utilizado com a tecnologia AMS de $0,35\ \mu\text{m}$, mas apresentando algumas diferenças geométricas. Assim, como observado anteriormente, normalmente os defasadores que utilizam este conceito, possuem a camada de blindagem por baixo da linha de transmissão. Isso porque normalmente nas tecnologias CMOS, as camadas superiores são as camadas mais grossas. No defasador desenvolvido no CEA-Leti, como mostrado na Figura 83, a camada de blindagem é localizada por cima dos condutores da CPW, também criando o mesmo efeito de ondas lentas. Pode ser observado também na Figura 83 que a camada de blindagem é composta por uma membrana de Nitreto de Silício que envolve as fitas de metal. Todos os metais utilizados para o desenvolvimento da S-CPW são de ouro e o substrato utilizado é o silício de alta resistividade. Os condutores da S-CPW estão localizados dentro de uma cavidade e estão separados do substrato por uma camada de Oxido de Silício. Na Figura 83 é mostrada o esquema do defasador desenvolvido.

Figura 83 – Esquema de defasador desenvolvido utilizando a tecnologia dedicada CEA-LETI.

Fonte: Autor

As etapas de projeto do defasador são parecidas às etapas mostradas para o desenvolvimento do defasador utilizando a tecnologia AMS de $0,35\ \mu\text{m}$ (sessão 5.1). Neste caso, o modelamento eletromagnético do defasador foi feito utilizando o modelo descrito em [51]. O defasador completo foi otimizado no *Keysight ADS*, onde foi definido o comprimento dos grupos da camada de blindagem. Para o defasador de 3-bits, como mostrado na Figura 84, foram projetados 7 grupos de fitas para definir os 3-bits de resolução com uma defasagem máxima de 315° . Assim, cada grupo proporciona um incremento de fase de 45° e eles foram projetados para serem ativados em combinação com grupos anteriores.

Figura 84 – Projeto do defasador de 3-bits com 7 grupos de atuação.

Fonte: Autor

A caracterização em RF foi feita entre DC e 67 GHz de cada estado de fase. Essa caracterização foi feita em vácuo e utilizando o VNA Anritsu Panorama ME7808C. Observou-se uma boa semelhança entre os resultados medidos com os resultados simulados. Na Figura 85 é mostrada uma comparação entre os resultados de Figura de Mérito (defasagem máxima dividido pelo máximo valor de perdas de inserção) calculada e os resultados medidos em três diferentes dispositivos com as mesmas características. Como observado nos resultados, a FoM calculada com os valores medidos é de 50°/dB em 60 GHz, que é um valor próximo da FoM calculada com os valores simulados (~61°/dB em 60 GHz). Como a área final do dispositivo é de 0,47 mm², para esse valor de defasagem o valor de de FoM/área é de 106°/dB·mm².

Figura 85 – Resultados da defasagem durante a caracterização em RF do defasador

Fonte: Autor

A caracterização eletromecânica foi feita utilizando tensões desde -40 V até 40 V entre o condutor de terra da CPW e a camada de blindagem. Durante a caracterização foi medida a variação da capacitância equivalente do defasador, mostrada na Figura 86, podendo-se observar um aumento do valor medido (*pull-in*) em 17 V e também o retorno ao valor inicial (*pull-out*) em 10 V. O resultado mostra também que depois do *pull-in*, a capacitância ainda tem um pequeno aumento.

Figura 86 – Resultado medido da mudança da capacitância do defasador em função da tensão aplicada

Fonte: Autor

Para entender o aumento da capacitância deve ser estudado o comportamento da deformação da membrana do defasador em função da tensão aplicada. Para isso foram realizadas algumas simulações utilizando o *Ansys Workbench* e o *Comsol Multiphysics*. Para o modelamento, como a força eletrostática que atua em cada fita da camada de blindagem é a mesma, o comportamento de toda a camada de blindagem pode ser modelado pela análise de apenas uma fita (Figura 87).

Figura 87 - (a) Condutores de terra e sinal da CPW; (b), (c) membrana da camada de blindagem e (d) esquema da estrutura modelada.

Fonte: Autor

As larguras dos condutores de terra e do condutor de sinal da CPW são de 120 μm e 5 μm , respectivamente. A espessura dos condutores, por sua vez, é de 1 μm , como observado na Figura 87a. No caso da camada de blindagem, ela possui uma espessura de 240 nm e as fitas de ouro tem uma largura de 1 μm . A camada de blindagem está envolta entre duas camadas de Nitreto de Silício (SiNx), cada uma com 0,55 μm de espessura, criando assim uma membrana com estresse compensado com uma espessura de 1,1 μm , como mostrado na Figura 87. O comprimento da membrana é de 320 μm , como mostrado na Figura 87c. Como mostrado na Figura 87d, a distância entre a membrana e a CPW é de 1,2 μm , com isso a distância entre a CPW e a fita da camada de blindagem é 1,75 μm . O metal utilizado tanto para os condutores da *S-CPW* e a camada de blindagem foi ouro. Na Figura 88 é mostrada a geometria desenhada no *Comsol Multiphysics* 5.2 e em detalhe podemos ver a definição dos materiais: Ar, SiNx e Ouro. Os materiais utilizados foram encontrados na biblioteca da ferramenta e as características físicas já definidas são mostrados na Tabela 9.

Figura 88 – Geometria da membrana do defasador desenhada no *Comsol Multiphysics*

Fonte: Autor

Tabela 9 – Características físicas utilizadas para as simulações feitas no *Comsol Multiphysics*

Material	Densidade (Kg/m^3)	Módulo de Young (GPa)	Coefficiente de Poisson
Nitreto de Si	3100	250	0,23
Ouro	19300	70	0,44

Para reduzir o tempo da simulação foi utilizada simetria tanto no plano vertical como no plano horizontal. O módulo utilizado para simular a estrutura foi o módulo eletromecânico *EMI*, que é específico para estruturas micro eletromecânicas. Foi feita uma análise paramétrica variando a tensão aplicada entre os contatos de terra e a fita de ouro da membrana. Os resultados do deslocamento da membrana em função da tensão aplicada são mostrados na Figura 89.

Figura 89 – Resultados de deslocamento da membrana em função da tensão aplicada simulado no *Comsol Multiphysics* da membrana do defasador LETI-CEA.

Fonte: Autor

Pode-se observar a partir dos resultados de simulação que o *pull-in* ocorre para tensões maiores que 21,36 V. Analiticamente, o deslocamento da fita da camada de blindagem pode ser analisado utilizando o modelo de uma viga fixa nos dois lados. Para este tipo de estrutura, sabe-se que o *pull-in* ocorre quando o deslocamento da fita atinge um terço ($1/3$) do deslocamento total. No nosso caso, o *gap* entre a fita da camada de blindagem e os eletrodos de terra é $1,75\ \mu\text{m}$, pelo que, como observado na Figura 89, o *pull-in* deve acontecer depois de que a fita se deslocou $0,58\ \mu\text{m}$ do seu estado de repouso.

A diferença entre o resultado simulado (21,36 V) e o resultado medido (17 V) pode estar vinculada aos parâmetros físicos dos materiais utilizados para simular o dispositivo. Foi feita uma simulação com passos menores para poder observar em detalhe como muda o deslocamento da camada de blindagem em função da tensão aplicada. O resultado dessa simulação é mostrado na Figura 90.

Figura 90 – Resultados do deslocamento máximo da membrana em função da tensão aplicada.

Fonte: Autor

Simulações da tensão de *pull-out* não foram possíveis devido a um erro computacional que acontecia no *Comsol Multiphysics* quando a membrana encostava no eletrodo de terra.

Para entender melhor o efeito do aumento da capacitância depois do *pull-in*, foram feitas simulações utilizando o *Ansys Workbench*. A implementação do modelo no *Ansys Workbench* é detalhada no Apêndice A.

Assim, uma vez definidos todos os parâmetros e características, a estrutura é simulada. Como observado na Figura 91, depois que a membrana alcançou o *pull-in*, a superfície de contato entre a ela e os condutores de terra da CPW aumenta quando

maior valor de tensão DC é aplicado. Isso justifica o aumento de capacitância observada durante a caracterização do defasador, mostrado na Figura 86.

Figura 91 – Simulação do aumento da superfície de contato entre a membrana e os condutores de terra da CPW em função da tensão aplicada.

Fonte: Autor

Os resultados obtidos do defasador fabricado com a tecnologia dedicada CEA-LETI foram bastante promissores, conseguindo-se a atuação eletromecânica dos grupos da membrana e observando-se a variação da fase durante a caracterização em RF. Infelizmente, como mencionado anteriormente, não se conseguiu a fabricação de novos dispositivos utilizando a tecnologia da CEA-LETI, por esse motivo, começou-se a trabalhar no projeto e desenvolvimento do defasador otimizado utilizando-se os materiais e métodos desenvolvidos no Laboratório de Microeletrônica da Universidade de São Paulo.

5.3 Tecnologia *in house*.

Baseado nos resultados obtidos com o defasador fabricado com a tecnologia dedicada CEA-LETI, no trabalho de mestrado do Franz Bedoya [18], um novo defasador com o intuito ser fabricado no LME foi projetado. Durante este trabalho de doutorado foi feito o modelamento eletromecânico do defasador e a definição de algumas etapas do processo de fabricação, necessárias para o desenvolvimento dos dispositivos com tecnologia *in-house*.

Em [18] foram realizadas três mudanças significativas durante a etapa de projeto com a finalidade otimizar a resposta do defasador fabricado anteriormente com a tecnologia dedicada do CEA-LETI. Uma das otimizações realizadas em [18] foi diminuir o número de comandos de polarização de 7 para 3 através da otimização do comprimento dos grupos de fitas da camada de blindagem. Assim, dependendo da atuação de cada um dos três grupos pode-se atingir um dos estados de fase de um defasador de 3-bits com defasagem máxima de 315° com perdas por inserção menores de 1,5 dB. Também decidiu-se mudar o material da camada de blindagem de ouro para cobre (Cu), pois este é o material disponível no LME. Por último, o defasador foi projetado eletromecanicamente para ser atuado aplicando tensão entre a camada de blindagem e o condutor de sinal da CPW.

Para o projeto do defasador foi definida uma metodologia de projeto de defasador que integra o modelamento em RF mostrado em [51] com o modelamento eletromecânico utilizando as equações mostradas em [30], tudo isso implementado no Matlab. Este aporte permite diminuir o tempo de modelamento do defasador. Para validar os modelos utilizados, os resultados do modelamento em RF e do modelamento eletromecânico foram comparados com os resultados simulados no *Ansys HFSS* (modelamento em RF) e *Ansys Workbench* (modelamento eletromecânico). O modelamento elétrico foi realizado no *Keysight ADS* utilizando os resultados da simulação em RF em estado ON e OFF do defasador (simulação no *Ansys HFSS*). Esta etapa é parecida com a etapa discutida na seção 5.1.2. Os resultados do projeto do defasador, mostrados na Tabela 10, mostram o desempenho em comparação com o resultado obtido no defasador fabricado com a tecnologia CEA-LETI, apresentando uma maior defasagem e uma alta FoM e FoM/Área.

Tabela 10 - Resultados do projeto do defasador obtidos em [18]

	Número de comandos	Máxima defasagem (°)	Área (mm ²)	FoM (%dB)	FoM/Área (%dBmm ²)
CEA-LETI	7 comandos	152	0,47	50	106,38
LME [18]	7 comandos	315	0,32	162,3	507,15
LME [18]	3 comandos	315	0,4	215,3	538,25

O modelamento eletromecânico utilizando *Ansys Workbench* foi realizado para validar os resultados dos cálculos analíticos feitos no Matlab. Na Tabela 11 e na Figura 92 são mostradas as características geométricas do dispositivo simulado.

Tabela 11 - Características geométricas do dispositivo simulado

Parâmetro	Valor
Largura do condutor central da CPW	30 μm
Largura dos conectores de terra da CPW	12 μm
Comprimento da membrana	234 μm /284 μm
Espessura dos condutores da CPW	1,1 μm
Espessura da camada de blindagem	0,24 μm
Espessura da membrana	1 μm
Gap entre CPW e membrana	1,5 μm
Gap entre CPW e camada de blindagem	1,7 μm

Figura 92 - Características geométricas do dispositivo simulado.

Fonte: Autor

Para simular a estrutura desenhou-se no *Ansys Workbench* três fitas da camada blindagem envoltas com uma camada de Nitreto de Silício para formar a membrana. Foram simuladas duas estruturas com comprimentos de 234 μm e 284 μm . A Figura 93 mostra em detalhe a membrana desenhada e as seleções nomeadas utilizadas para definir a área onde a força eletrostática é gerada pela aplicação de tensão DC entre a camada de blindagem e o condutor de sinal da CPW.

Fonte: Autor

Os resultados das simulações eletromecânicas para a membrana com comprimento de 234 μm e 284 μm são mostrados nas Figura 94 e na Figura 95, respectivamente. Teoricamente, como o *gap* entre a camada de blindagem e o condutor central da CPW é 1,7 μm , a membrana deve alcançar o *pull-in* ao ter se deslocado 0,57 μm , sendo esse valor corroborado nas simulações.

Figura 94 – Deslocamento da camada de blindagem com comprimento de 234 μm

Fonte: Autor

A partir dos resultados, pode ser observado que o *pull-in* acontece para tensões maiores que 48 V para a membrana com comprimento de 234 μm e 37 V para a membrana com comprimento de 284 μm . Esses resultados validam os resultados obtidos em [18], onde a tensão de *pull-in* resultantes foi de 45,9 V para a membrana de comprimento de 234 μm e 34,3 V para a membrana de 284 μm .

Figura 95 - Deslocamento da camada de blindagem com comprimento de 284 μm

Fonte: Autor

Uma vez terminada a etapa do projeto do defasador, iniciou-se o estudo de algumas etapas do processo de fabricação críticas e necessários para o desenvolvimento dos defasadores LME. Os resultados obtidos são mostrados na seção seguinte.

5.3.1 Estudo das etapas críticas do processo de fabricação dos defasadores *in-house*

Como mostrado em [4], um processo de fabricação para o desenvolvimento de defasadores baseados em MEMS e linhas de transmissão de tipo *S-CPW* utilizando os materiais e métodos do LME-USP já foi desenvolvido. O defasador desenvolvido não foi otimizado nem para sua atuação eletrostática, nem para seu funcionamento em RF e durante a fabricação se identificou algumas etapas críticas que precisavam ser otimizadas.

A primeira etapa crítica estudada foi a definição do material sacrificial localizado entre a camada de blindagem e a CPW, sendo que em um primeiro momento utilizava-se como material sacrificial SiO_2 depositado por PECVD que depois, era removido utilizando um processo de corrosão utilizando vapor de ácido fluorídrico (HF). Observou-se que a deposição por PECVD realizada em temperaturas elevadas ($\sim 320^\circ\text{C}$) gerava um estresse térmico nos filmes de metal (Cu) utilizado como material estrutural do defasador. Para otimizar os resultados desta etapa crítica, foram feitos alguns estudos de materiais que poderiam ser utilizados como camada sacrificial para o desenvolvimento dos defasadores.

Outra etapa crítica estudada foi a remoção da camada sacrificial com vapor de HF, que era um processo difícil de controlar dificultando a reprodutibilidade do processo. Para otimizar esta etapa, na seção 5.1.5 foram mostrados diferentes testes sobre o uso do Silox Vapox III e do processo de secagem supercrítica que permitiram fazer a liberação da camada de blindagem dos defasadores. Este processo é totalmente controlável e reprodutível.

Por último, foi feito um estudo do crescimento de filmes de SiN e SiO₂ por *sputtering* para serem utilizados como material estrutural. O objetivo de este estudo foi desenvolver filmes que depois possam ser utilizados para a fabricação da membrana do defasador.

5.3.1.1 Estudo de materiais para camada sacrificial

Os materiais estudados como camada sacrificial foram o *TetraEthylOrthoSilicate* (TEOS), o fotorresistes AZ 1518 e o AZ 9260, e o resiste PMGI.

a. TetraEthylOrthoSilicate (TEOS)

Uma primeira alternativa de material sacrificial estudada foi o uso do *TetraEthylOrthoSilicate*, também conhecido como TEOS, que é um óxido de silício, em estado líquido, de baixa qualidade. Foram feitos alguns testes do material utilizando um substrato de silício. As deposições foram feitas a temperatura ambiente, por *spinner* a uma velocidade de 2000 rpm. Para solidificar o TEOS sobre o substrato, foi feito um processo de recozimento da lâmina a 80°C utilizando um *hotplate*. O teste do TEOS apresentou alguns problemas: Primeiro, o processo de deposição usando o *spinner* resulta em um filme muito fino que por limitações na precisão do equipamento de perfilometria, não conseguimos medir. Por isso, passou-se a fazer a deposição de várias camadas, sendo feito no material, um processo de recozimento a uma temperatura de 100°C antes de cada deposição.

Durante a deposição multicamada do TEOS, observou-se que o filme trincava durante o processo de recozimento. Para tentar resolver este problema, o recozimento foi feito utilizando um forno com temperatura controlada. Além disso, o recozimento foi realizado utilizando uma rampa lenta de aquecimento no *hotplate*. Nenhuma das mudanças deu certo, por isso outras alternativas para ser utilizadas como camada sacrificial foram estudadas.

b. Fotorresistes AZ 1518 e o AZ 9260

Como segunda alternativa de material sacrificial foram estudados os fotorresiste positivos AZ 1518 e o AZ 9260. Para testar estes fotorresistes, foi utilizando o processo desenvolvido em [52], onde foram fabricadas pontes autossustentáveis. O processo é mostrado na Figura 96 e foi feito sobre um substrato de silício limpo (Figura 96a). Os fotorresistes foram depositados sobre o substrato e fotogravado utilizando a primeira máscara (máscara sacrificial), como mostrado nas Figura 96b e Figura 96c. A seguinte etapa, mostrada na Figura 96d, foi depositar o material estrutural, sendo que em alguns testes foi utilizado Cu como camada estrutural e em outros SiO₂. Tanto o Cu como o SiO₂ foram depositados por *Sputtering* apresentando espessuras de aproximadamente 200 nm e 1 µm respectivamente. Devido à espessura do Cu, foi necessário um processo de espessamento do filme por eletrodeposição.

Figura 96 – Processo utilizado para o desenvolvimento de pontes autossustentáveis: (a) Substrato de Si limpo, (b) e (c) fotolitografia, (d) deposição do material estrutural, (e) e (f) fotolitografia, (g) corrosão do Cu e (h) liberação das pontes.

Fonte: Autor

A etapa seguinte (Figura 96e e Figura 96f) é um processo de fotolitografia de uma segunda máscara para definir a camada estrutural (pontes autossustentáveis). A Figura 96g ilustra uma etapa de corrosão de Cu que utiliza a solução comercial *Super*

Etch do fabricante *Alfacleaner*. No caso do SiO_2 a remoção é feita utilizando DLV (decapagem leve de vidro). Por último, como mostrado na Figura 96h, é realizado um processo de remoção de fotorresiste para liberar a estrutura.

Para testar o fotorresiste AZ 1518, primeiro ele foi diluído e a deposição foi feita por *spinner* a 3000 RPM em um período de tempo de 30 s para obter uma espessura de $1,1 \mu\text{m}$. Para este teste, foram utilizados três substratos de Si que serviram para testar a etapa de recozimento do fotorresiste 100°C (forno) e 150°C (forno) e 200°C (*hotplate*). Neste experimento foram testados também dois materiais estruturais para fabricar as pontes: Cu e SiO_2 . Encontrou-se uma grande dificuldade para remover o fotorresiste AZ 1518, chegando a se utilizar diferentes soluções como acetona, os reveladores AZ 351 e AZ 400K e o solvente Dimetilacetamida (DMAC) indicado para remover eletrorresiste. Na Figura 97a é mostrado que não foi possível remover o fotorresiste AZ 1518 sobre as lâminas que passaram por um processo de recozimento a 150°C , podendo-se observar que o filme de Cu oxidou depois do processo de remoção e que também o fotorresiste apresenta uma superfície rachada e endurecida. Isto também pode ser observado na Figura 97b que mostram os resultados obtidos nos substratos que passaram por recozimento a 200°C .

Figura 97 – Resultados do teste do fotorresiste AZ 1518 como camada sacrificial usando Cu como camada estrutural. (a) recozido a 150°C e (b) a 200°C .

Na Figura 98 são mostradas as estruturas fabricadas utilizando SiO_2 como camada estrutural, que passaram por recozimento a 150°C . Pode ser observado que o fotorresiste ainda continua sobre o substrato e este também apresenta uma superfície rachada. Por outro lado, a superfície do SiO_2 não parece ter sofrido grandes danos.

Figura 98 - Resultados do teste do fotorresiste AZ 1518 como camada sacrificial usando SiO_2 como camada estrutural. (a) e (b) amostras recozidas a 150°C .

Fonte: Autor

O mesmo processo mostrado na Figura 96 foi utilizado para testar o fotorresiste AZ 9260. Um primeiro teste foi feito utilizando um fotorresiste de $6,2\ \mu\text{m}$ de espessura. Uma vez definida a camada sacrificial, foi depositado sobre o substrato um filme de Cu por *sputtering* que foi posteriormente espessado por eletrodeposição e fotogravado para definir as estruturas. Finalmente, o fotorresiste foi removido em acetona e logo, para remover resíduos do resiste, o substrato passou por um processo de plasma de O_2 . Os resultados obtidos são mostrados na Figura 99a e Figura 99b, onde pode ser observado que não existe mais resíduos do fotorresiste sobre o substrato e que a qualidade do filme de Cu é boa.

Figura 99 – Resultado do teste de uso do fotorresiste AZ 9260 como camada sacrificial.

Fonte: Autor

Como observado os resultados obtidos utilizando o fotorresiste AZ 9260 foram bastantes bons, sendo que o único problema observado foi a espessura do fotorresiste que para as necessidades do nosso projeto é muito espessa. Por esse motivo, foram feitos alguns testes de espessura do fotorresiste variando a velocidade do *spinner*. As espessuras do fotorresiste medidas por perfilometria sem a etapa de recozimento são mostradas na Figura 100a e as espessura com o recozimento na Figura 100b. As velocidades utilizadas fora 6000 RPM, 8000 RPM, 10 000 RPM.

Figura 100 - Resultado da medida de espessura do fotorresiste para diferentes velocidades de rotação do spinner (a) sem recozimento e (b) com recozimento.

Fonte: Autor

Nos resultados pode se observar que o fotorresiste depois do recozimento apresenta um arredondamento nas bordas que faz que o perfil do resiste se deforme um pouco. Essa deformação é maior para os resistes mais finos (depositados a maiores velocidades de rotação do *spinner*). Também pode ser observado que a menor espessura de fotorresiste obtida na maior velocidade de rotação é aproximadamente $3,5\ \mu\text{m}$, sendo esse valor ainda espesso para as necessidades do nosso projeto (distância entre a camada de blindagem e os condutores de $\sim 1,7\ \mu\text{m}$). Por esse motivo, decidiu-se fazer o mesmo teste de espessura depositando o fotorresiste AZ 9260 diluído sobre Si e vidro.

As medidas de espessura sem e com recozimento são mostrados na Figura 101a e Figura 101b, respetivamente para um filme depositado a 4500 RPM com uma diluição de 0,9:1.

Figura 101 - Resultado da medida de espessura do fotorresiste AZ 9260 diluído (a) sem pós-aquecimento e (b) com pós aquecimento.

Fonte: Autor

Como observado nos resultados, utilizando o AZ 9260 diluído obteve-se um valor de espessura de aproximadamente $0,9\ \mu\text{m}$, que é um valor fino para as necessidades do nosso projeto ($\sim 1,7$) mas acreditamos que pode ser aumentado

diminuindo a velocidade de rotação no processo de deposição por *spinner*. Pode ser observado também nos resultados, que depois da etapa de recozimento, o fotorresiste continua apresentando uma deformação no perfil. Essa deformação e o impacto dela no processo de fabricação de defasadores deverá ser estudada nos trabalhos futuros.

c. Resiste PMGI

Outro material testado como material sacrificial foi a *PolydiMethylGlutarimide*, (PMGI) do fabricante *MicroChem*, que não é um material fotossensível, mas é solúvel em reveladores aquosos convencionais a base de *TetraMethylAmmonium Hydroxide* (TMAH), [53]. Foram utilizados dois tipos de PMGI: o PMGI SF5 e o PMGI13, cujas espessuras podem variar em função da velocidade de rotação com que são depositados. De acordo com as informações do fabricante a espessura do PMGI SF5 a espessura pode variar entre 150 nm e 300 nm e no caso do PMGI S13 a espessura pode variar entre 1,4 e 3 μm .

Por causa da espessura relativamente fina do PMGI SF5, foi necessária a deposição multicamada, para atingir a espessura desejada de 1 μm . Assim, cada camada do PMGI SF5 foi depositada por *spinner* a 3000 RPM durante 30 seg, seguido de um recozimento de 170°C. Os resultados, como mostrados em [54], mostraram a reprodutibilidade da deposição multicamada do PMGI SF5, conseguindo-se a espessura desejada (1 μm).

Foram feitas várias tentativas para remover o PMGI SF5. A primeira foi utilizando o revelador AZ 351, mas depois de várias horas, observou-se que PMGI SF5 continuava presente. Logo disso, tentou-se remover o PMGI SF5 utilizando um processo de plasma de O₂ e depois de 17h10min de processo, visualmente, parecia que o filme foi removido, mas foi observado também que tanto a superfície do substrato como a superfície da camada estrutural foram danificadas.

Os testes da espessura em função da velocidade de rotação do *spinner* (2000 RPM e 4000 RPM) utilizando o PMGI SF13 foram feitos sobre um substrato de Si pré-aquecido a 100°C (Figura 102a). O tempo de rotação foi de 45 seg, e logo foi

feito um recozimento a uma temperatura de 170°C por 2 min (Figura 102b). Sobre o PMGI SF13 foi depositado o fotorresiste positivo AZ 1518 para que com ajuda dele possa ser definida a camada sacrificial (Figura 102c e Figura 102d). Finalmente, as partes do PMGI SF13 que não estão protegidas são removidas e o fotorresiste AZ 1518 é removido também, como mostrado na Figura 102e e Figura 102f.

Fonte: Autor

Como mostrado na Figura 103, depois da etapa Figura 102f, obteve-se espessuras de 1,6 μm a 2,6 μm , com rotações de 4000 e 2000 RPM, respectivamente. Pode ser observado também que o perfil do PMGI SF13, depois da etapa de recozimento, só apresenta uma pequena ponta na borda de aproximadamente 130 nm. Essa pequena deformação do perfil e o impacto dela no processo de fabricação de defasadores deverá ser estudada nos trabalhos futuros.

Figura 103 – Resultados da variação da espessura do PMGI SF13 em função das velocidades de rotação do *spinner*.

Fonte: Autor

Em função dos resultados obtidos, tanto o AZ 9260 diluído como o PMGI SF13 foram utilizados como camada sacrificial na fabricação de pontes autossustentáveis de SiO₂. Esses resultados são mostrados a seguinte seção.

5.3.1.2 Desenvolvimento de filmes SiO₂ para MEMS

Com a finalidade de obter filmes estruturais para a fabricação de MEMS foram realizados alguns estudos da fabricação de filmes de SiN_x e SiO₂ utilizando a técnica de *sputtering*, visando filmes com baixo stress intrínseco.

O primeiro material estudado foi o SiN_x que foi depositado sobre um substrato de Si. Como resultado, obteve-se um filme com um perfil irregular e também, durante o processo de deposição observou-se o aquecimento do cabo de RF que vai do casador de impedância até a câmara de processo. Uma possível causa do aquecimento do cabo RF é a potência de processo utilizado durante a deposição (300 W). Como sugestão, pensa-se que outros estudos deverão ser realizados variando os parâmetros do processo, especialmente a potência utilizada, para conseguir depositar filmes de SiN_x com melhores características.

Para o estudo do SiO₂ foram feitas variações em alguns parâmetros do processo com a finalidade de obter um filme estequiométrico. Como ponto de partida, foi utilizado uma receita previamente desenvolvida no LME alterando a pressão da câmara de deposição para 5 mTorr (normalmente utilizava-se 2 mTorr). Os parâmetros de deposição são detalhados na Tabela 12.

Tabela 12 – Parâmetros utilizados para a deposição de SiO₂ por *sputtering*

Parâmetro	Valor
Fluxo de Ar (sccm)	40
Fluxo de Nitrogênio (sccm)	0
Fluxo de Oxigênio (sccm)	60
Pressão (mTorr)	5
Potência (W)	150
Tempo (min)	60

Uma vez depositado o SiO₂ sobre a lâmina de Si, a metade da lâmina foi submergida em DLV com a finalidade de criar um degrau que permitisse medir a espessura do SiO₂ depositado. O tempo necessário para corroer o filme de SiO₂ foi de 1 min. A medida da espessura foi feita utilizando a técnica de perfilometria, observando-se uma espessura média de 0,7 µm. Com essa medida, a taxa de deposição calculada foi de 12 nm/min.

Para se ter uma ideia do estresse do filme depositado, tentou-se fazer uma corrosão do substrato de Si por baixo do filme de SiO₂, utilizando uma solução de KOH (28% a 80°C). Este teste consiste na observação de existência de ondulações na borda do filme de SiO₂ onde o substrato foi corroído, deixando essa parte liberada. Infelizmente esse teste não deu certo, já que antes de chegar aos 30 min de corrosão, o filme de SiO₂ descolou totalmente do substrato de Si.

Sem a obtenção de um resultado desejado, variou-se a potência RF do processo para 100 W, com a finalidade de diminuir a temperatura do substrato durante a deposição, e também se variou a pressão de processo entre 1 mTorr, 2 mTorr e 11,5 mTorr, como mostrado na Tabela 13.

Tabela 13 - Parâmetros utilizados para a deposição de SiO₂ por *sputtering*

Parâmetro	Valor		
Fluxo de Ar (sccm)	40		
Fluxo de Nitrogênio (sccm)	0		
Fluxo de Oxigênio (sccm)	60		
Pressão (mTorr)	1	2	11,5
Potencia (W)	100		
Tempo (min)	60		

Como resultado obteve-se filmes de SiO₂ com uma espessura de 0,6 µm, para as deposições feitas com uma pressão de processo de 1 mTorr e 2 mTorr, e de 0,4 µm para a deposição feita com uma pressão de 11,5 mTorr. A taxa de deposição calculada foi de 10 nm/min e 6,7 nm/min, respectivamente. O tempo necessário para corroer o filme com DLV foi de 2 min, 1 min e 50 s e 10 s, para as lâminas depositadas a 2 mTorr, 1 mTorr e 11,5 mTorr, respectivamente.

Uma caracterização por Espectroscopia de Infravermelhos (FTIR) foi feita para corroborar a composição do material depositado. Os resultados dessa caracterização são mostrados na Figura 104, podendo-se observar a existência de bandas em 451 cm⁻¹, 817 cm⁻¹ e 1080 cm⁻¹ que correspondem à vibração de ligações Si-O-Si característicos de filmes de SiO₂, como mencionado em [55].

Figura 104 – Caracterização por FTIR dos filmes de SiO₂ depositados por *sputtering*

Fonte: Autor

Novamente foi feita a corrosão do substrato de Si utilizando uma solução de KOH. Observou-se que o filme de SiO₂ depositado com 11,5 mTorr foi corroído pela solução de KOH, indicando que possivelmente o filme era rico em Si.

No caso dos filmes de SiO₂ depositados com 1 mTorr e 2 mTorr, depois da corrosão com KOH, foram observadas algumas ondulações nas bordas dos filmes, principalmente naquele que foi depositado a 1 mTorr, pelo que se concluiu inicialmente que os filmes estavam estressados.

Uma última experiência realizada, utilizando os filmes de SiO₂ depositados com 1 mTorr e 2 mTorr, consistiu no uso destes filmes como camada estrutural para a fabricação de estruturas MEMS utilizando o fotoresiste AZ 9260 e o PMGI SF13 como camada sacrificial. Este teste é mostrado na seção seguinte.

5.3.1.3 Fabricação de estruturas MEMS

O estudo apresentado nesta seção busca analisar a viabilidade do uso dos materiais estudados nas seções anteriores no processo de fabricação dos defasadores. Para isso, foram fabricadas pontes autossustentáveis utilizando as duas máscaras mostradas na Figura 105, projetadas no LME para o desenvolvimento de chaves MEMS para RF. Na Figura 105a e Figura 105b são mostradas as máscaras utilizadas para definir a camada sacrificial e camada estrutural, respectivamente.

Figura 105 - Máscaras utilizadas para a fabricação das pontes autossustentáveis

Fonte: Autor

O processo de fabricação utilizando o PMGI SF13 como camada sacrificial começa com a limpeza inicial do substrato e com a deposição do PMGI (Figura 106a e Figura 106b). A etapa seguinte é a fotogração da máscara da camada sacrificial (Figura 105a) como mostrado na Figura 106c e na Figura 106d. Para esse processo foi utilizado o fotorresiste AZ 1518 (depositado a 2000 RPM por 45 seg). O AZ 1518 é revelado e o PMGI SF13 que não está protegido pelo fotorresiste é removido utilizando o removedor fornecido pelo fabricante (Remover PG, Figura 106e). O fotorresiste AZ 1518 é, então, retirado com acetona (Figura 106f).

Uma vez definida a camada sacrificial, o SiO_2 é depositado e sobre ele é fotogravado a máscara da camada estrutural (Figura 105b) utilizando o fotorresiste AZ 1518 (Figura 106g e Figura 106h).

Figura 106 - Processo utilizado para desenvolver as pontes autossustentáveis

Fonte: Autor

Como a máscara da camada estrutural é de campo escuro (Figura 105b), foi necessário depositar um filme de titânio (Ti) e Cu para ser usado como máscara e assim inverter o campo (na Figura 106i). Nesta etapa o filme Ti serve para garantir uma boa aderência do filme de Cu com o substrato. Na sequência, o fotorresiste AZ 1518 é removido, e junto com ele, a camada de Ti/Cu é arrancada (Figura 106j). Depois, o SiO₂ que não está protegido pelo filme de Ti/Cu é corrido utilizando DLV (Figura 106k) e depois a camada de Ti/Cu é removida (Figura 106l). Finalmente o PMGI SF13 é removido utilizando o removedor fornecido pelo fabricante (Figura 106m).

O processo de fabricação das pontes autossustentáveis utilizando o fotorresiste AZ 9260 como camada sacrificial segue as mesmas etapas mostradas na Figura 106, omitindo as etapas mostradas na Figura 106c, Figura 106d e Figura 106e.

A espessura da camada sacrificial e da camada estrutural foram medidas por perfilometria. A espessura do PMGI SF13 e do AZ 9260 foram $2\text{ }\mu\text{m}$ e $1,1\text{ }\mu\text{m}$, respectivamente. Por outro lado, a espessura dos filmes de SiO_2 foram de $1,1\text{ }\mu\text{m}$ e $0,9\text{ }\mu\text{m}$ para os filmes depositados a uma pressão de 1 mTorr e 2 mTorr, respectivamente.

A Figura 107a mostra o resultado da etapa de corrosão do SiO_2 feito com DLV (Figura 106k) e a Figura 107b mostra as pontes autossustentáveis depois da corrosão dos filmes de Ti/Cu usado como máscara (Figura 106l). Como pode ser observado, a estrutura das pontes está bem definida e não apresentou problemas de aderência no substrato.

Figura 107 (a) Resultados da corrosão do SiO_2 feito com DLV e (b) resultados da etapa de remoção do filme de Ti/Cu

Fonte: Autor

A última etapa do processo foi remover a camada sacrificial para assim liberar as pontes autossustentáveis. No caso da estrutura fabricada utilizando o PMGI SF13, a camada de SiO_2 não aguentou a etapa de remoção do PMGI, como mostrado na Figura 108. Isso pode ser causado pela verticalidade da parede do PMGI SF13 que não permite o crescimento de óxido sobre ela, resultando em um filme mais fino nestas regiões das pontes.

Figura 108 – Resultados da etapa de remoção do PMGI SF13

Fonte: Autor

Por outro lado, utilizando o AZ 9260 como camada sacrificial, foi possível a fabricação de estruturas bem definidas, como mostrado na Figura 109. Para estas estruturas o fotorresiste utilizado como camada sacrificial foi removido com acetona e com um processo de plasma de O_2 durante 1h.

Figura 109 – Resultado final da fabricação utilizando o fotorresiste AZ 9260 como camada sacrificial.

Fonte: Autor

As estruturas fabricadas foram analisadas utilizando o microscópio eletrônico de varredura de bancada do Laboratório de Reciclagem, Tratamento de resíduos e

Extração-LAREX, que pertence ao Departamento de Engenharia Química da Escola Politécnica da Universidade de São Paulo.

A Figura 110 mostra os resultados da fabricação da camada estrutural utilizando o SiO_2 depositado em uma pressão de processo de 1 mTorr. Observou-se uma boa definição da estrutura e uma boa aderência do filme no substrato, assim como também se corroborou que não existe mais fotorresiste residual sob a estrutura. Também foi observado que todas as estruturas estavam em flambagem pelo que se conclui que a estrutura apresenta estresse compressivo que é um tipo de estresse não desejado para este tipo de estruturas [54].

Figura 110 – Foto tirada por MEV das pontes autossustentáveis cuja camada estrutural de SiO_2 foi depositado em uma pressão de processo de 1 mTorr

Fonte: Autor

Os resultados da fabricação utilizando como camada estrutural SiO_2 depositado a uma pressão de processo de 2 mTorr (Figura 111), mostraram resultados bastante

parecidos com os mostrados na Figura 110. Não foi observado fotorresiste por baixo das pontes, mas observou-se flambagem, devido ao estresse compressivo, em algumas estruturas e em outras observou-se que a ponte toda estava colada no substrato (*stiction*).

Figura 111 - Foto tirada por MEV das pontes autossustentáveis cuja camada estrutural de SiO_2 foi depositado em uma pressão de processo de 2 mTorr

Fonte: Autor

Como observado até agora, conseguiu-se estudar algumas etapas críticas que poderão ser parte do processo de fabricação de defasadores utilizando os materiais e métodos disponíveis no LME.

Os resultados de definição e remoção do fotorresiste AZ 9260 e o resiste PMGI SF13, utilizados como camada sacrificial foram bastantes promissores. Outros testes deverão ser feitos para observar a planaridade destes materiais quando são depositados sobre estruturas já definidas no substrato.

Por último, novos estudos dos parâmetros de fabricação dos filmes de SiO_2 deverão ser feitos para poder reduzir o estresse compressivo que as estruturas apresentaram e assim evitar a flambagem das pontes. Por outro lado, para evitar o *stiction* nas pontes, deverá se adicionar uma etapa de secagem supercrítica depois do processo de remoção da camada sacrificial.

6 CONCLUSÕES

Visando o desenvolvimento de defasadores passivos, foram estudadas três diferentes tecnologias de fabricação baseadas em MEMS distribuídos e linhas de transmissão com efeito de ondas lentas do tipo *shielding-CoPlanar Waveguide* (S-CPW) e *shielding-coplanar Stripline* (S-CPS).

A primeira tecnologia estudada foi a tecnologia CMOS que foi utilizada para avaliar o desempenho das linhas de transmissão de tipo S-CPS, utilizando a tecnologia SiGe:C BiCMOS de 250 nm da *foundry* IHP e a tecnologia CMOS de 0,35 μm da AMS. Também foram desenvolvidos defasadores de 2-bits e 3-bits baseados em S-CPW utilizando-se da tecnologia CMOS de 0,35 μm da AMS.

Durante o estudo do processo de fabricação comercial que utiliza a tecnologia CMOS, concluiu-se que ele apresenta a vantagem de ser um processo confiável e reproduzível. No caso das S-CPS, observou-se que esta estrutura permite o desenvolvimento de linhas de transmissão com valores altos impedância característica e que podem ser controlados facilmente com algumas variações geométricas simples. Os resultados da caracterização em RF das S-CPS mostraram que tanto com a tecnologia da IHP de 250 nm como com a tecnologia CMOS de 0,35 μm as perdas são altas. Foi possível avaliar o modelo desenvolvido no *Ansys HFSS*, observando-se resultados próximos aos resultados simulados para os parâmetros de impedância característica e constante dielétrica relativa efetiva. Ao mesmo tempo, no caso dos parâmetros de atenuação e fator de qualidade, observou-se discrepâncias entre os resultados simulados e medidos. Foram feitos alguns estudos dos possíveis motivos dessas discrepâncias nos resultados, mas não foi identificada a causa devido ao acesso parcial às informações do processo, que é uma desvantagem geral da tecnologia CMOS.

Outra desvantagem encontrada na tecnologia CMOS foi a rigidez do processo que limitou o projeto eletromecânico e RF dos defasadores de 2-bits e 3-bits desenvolvidos. Mesmo assim, conseguiu-se projetar e fabricar os defasadores, sendo que, uma vez fabricados, foi definido o processo de liberação da camada de blindagem que permitiu a sua atuação. Os resultados da caracterização eletromecânica foram

bastante coerentes com as simulações feitas no *Ansys Workbench*, o que permitiu validar o modelo desenvolvido. Porém, mesmo observando-se a atuação eletromecânica e sem alguma causa aparente, não houve variação de fase durante a caracterização em RF. Por isso, sugere-se fazer um estudo mais detalhado desta parte para poder encontrar a causa desse problema.

A segunda tecnologia estudada foi desenvolvida pelo *Laboratoire d'électronique des technologies de l'information* (CEA-Leti). Foi realizado o modelamento eletromecânico de um defasador de 3-bits previamente projetado e fabricado utilizando esta tecnologia dedicada. O contato com esta tecnologia permitiu o estudo de um processo bem estabelecido para fabricação de RF-MEMS, porém, custoso, cuja primeira fabricação teve um valor aproximado de 80 000 euros, projeto financiado pela própria CEA-LETI. Neste trabalho foram desenvolvidos e validados dois modelos utilizando: o *Comsol MultiPhysics* e o *Ansys Workbench*, que permitiram a compreensão do comportamento eletromecânico do defasador. Tais modelos também foram utilizados na otimização do defasador. Não foi possível a fabricação utilizando-se da mesma tecnologia por falta de apoio financeiro.

A terceira tecnologia estudada foi a tecnologia *in house* utilizando os materiais e métodos disponíveis no Laboratório de Microeletrônica da USP para futura fabricação dos defasadores otimizados. A vantagem do processo *in house* é a flexibilidade de projeto eletromecânico e RF possível para o desenvolvimento dos defasadores. No entanto, isso também pode representar uma desvantagem, pois cada etapa do processo de fabricação deve ser definida e estudada.

Por fim, utilizou-se como base de estudo o processo de fabricação proposto pelo autor durante o seu trabalho de mestrado [4], identificando e estudando diferentes etapas críticas e processos que permitirão o desenvolvimento tecnológico para a fabricação dos defasadores. Foram estudados vários materiais para serem utilizados como camada sacrificial. De todos os materiais estudados, o fotorresiste AZ 9260 e o resiste PMGI SF13 apresentaram melhor definição e facilidade de remoção. Outra etapa estudada foi o desenvolvimento de filmes de SiO₂ com baixo estresse para utilização na membrana da camada de blindagem do defasador. Os melhores resultados de aderência e crescimento foram encontrados nos filmes depositados por

sputtering, com os parâmetros potência RF de 100 W e pressão de 1 mTorr e 2 mTorr. Através da fabricação de pontes autossustentáveis utilizando estes filmes como material estrutural, observou-se que eles ainda apresentavam estresse compressivo, portanto, ainda se deverá continuar estudando os parâmetros do processo de deposição destes filmes, visando a redução do estresse.

7 TRABALHOS FUTUROS

Os resultados apresentados neste trabalho de doutorado deixam em aberto alguns aspectos que deverão ser estudados e otimizados para a construção de dispositivos funcionais que almejem o estado-da-arte.

Sugere-se como trabalho futuro continuar com o estudo do desempenho das linhas de transmissão de tipo S-CPS trabalhando em mmW para a identificação das causas das altas perdas apresentadas por elas. Acredita-se que para realizar esse estudo, a melhor alternativa é fabricar as estruturas utilizando a tecnologia *in-house* que o LME possui. Deve-se trabalhar também na otimização do modelo desenvolvido no *Ansys HFSS* e uma vez feito tudo isso, o desenvolvimento de defasadores baseados neste tipo de estrutura poderá ser iniciado.

Também deverão ser realizados mais testes de corrosão para liberar a camada de blindagem dos defasadores fabricados com a tecnologia de 0,35 μm da AMS. Estes testes devem ter como base os estudos realizados neste trabalho e deverão estar focados no estudo da causa pelo qual não se conseguiu fazer a atuação dos grupos da camada de blindagem de forma independente entre um grupo e outro. Outro aspecto que ficou pendente, foi estudar o motivo pelo qual não se conseguiu observar nenhuma mudança de fase durante a atuação eletromecânica.

Por último, com o intuito de fabricar os defasadores otimizados utilizando a tecnologia *in-house* do LME, deve-se trabalhar em algumas etapas que não conseguiram ser estudadas, assim como o motivo pelo qual não se conseguiu desenvolver as pontes autossustentáveis utilizando o PMGI SF3 como camada sacrificial. Outra etapa crítica que não se conseguiu fazer, foi o estudo da planaridade do fotorresiste AZ 9260 e do resiste PMGI SF13 que permitirá utilizar estes materiais como camada sacrificial. Novos estudos dos parâmetros do processo de deposição dos filmes de SiO_2 depositados por *sputtering* deverão ser feitos para reduzir o estresse compressivo que os filmes apresentaram. Durante este estudo também deve ser considerado o uso do processo de secagem supercrítica depois da remoção da camada sacrificial.

REFERENCIAS

1. MARCUS, M.; PATTAN, B. Millimeter wave propagation; spectrum management implications. **IEEE Microwave Magazine**, Junho 2005. 54-62.
2. S. SAPONARA, L. M. B. N. F. B. A. L. F. Design of a 2 Gb/s transceiver at 60 GHz with integrated antenna in bulk CMOS technology. **2014 9th European Microwave Integrated Circuit Conference**, 2014. 33-36.
3. MORANDINI, Y. et al. Evaluation of Sub-32nm CMOS Technology For Millimeter Wave Applications. **Proceedings of the 40th European Microwave Conference**, 28-30 September 2010. 417-420.
4. BOVADILLA, R. **Defasador baseado em MEMS distribuídos para aplicações em ondas milimétricas**. Dissertação de Mestrado - Escola Politécnica da Universidade de São Paulo. [S.I.]. 2013.
5. SONGBIN, G.; HUI, S.; N.S., B. A 60-GHz 2-bit Switched-Line Phase Shifter Using SP4T RF-MEMS Switches. **Microwave Theory and Techniques**, Abril 2011. 894-900.
6. KRISHNASWAMY, H.; VALDES-GARCIA, A.; JIE-WEI, L. A silicon-based, all-passive, 60 GHz, 4-element, phased-array beamformer featuring a differential, reflection-type phase shifter. **Phased Array Systems and Technology (ARRAY)**, 2010.
7. TABESH, M.; ARBABIAN, A.; NIKNEJAD, A. A 60GHz low-loss compact phase shifters using a transformer-based hybrid in 65nm CMOS. **Custom Integrated Circuits Conference (CICC)**, 19-21 Setembro 2011. 1-4.
8. BULJA, S. et al. Liquid crystal based phase shifters in 60 GHz band. **The 3rd European Wireless Technology Conference**, Paris, 2010. 37-40.
9. CHANG, C. C.; CHEN, Y. C.; HSIEH, S. A V-Band Three-State Phase Shifter in CMOS-MEMS Technology. **IEEE Microwave and Wireless Components Letters**, Maio 2013. 264-266.
10. PAOLIS, R. D. et al. Characterization of ferroelectric BST MIM capacitors up to 65 GHz for a compact phase shifter at 60 GHz. **44th European Microwave Conference**, Roma, 2014. 492-495.

11. KIM, H.-T. et al. V-band 2-b and 4-b low-loss and low-voltage distributed MEMS digital phase shifter using metal-air-metal capacitors. **Microwave Theory and Techniques**, Dezembro 2002. 2918-2923.
12. JUO-JUNG, H.; DUSSOPT, L.; REBEIZ, G. Distributed 2- and 3-bit W-band MEMS phase shifters on glass substrates. **Microwave Theory and Techniques**, Fevereiro 2004. 60-606.
13. FRITZSCH, C. et al. Continuously tunable W-band phase shifter based on liquid crystals and MEMS technology. **6th European Microwave Integrated Circuit Conference**, Manchester, 2011. 522-525.
14. VERONA, B. M. et al. Slow-wave distributed MEMS phase shifter in CMOS for millimeter-wave applications. **Microwave Conference (EuMC), 44th European**, 2014. 211.
15. FRANCO, A. et al. Compact and Broadband Millimeter-Wave Electrically Tunable Phase Shifter Combining Slow-Wave Effect With Liquid Crystal Technology. **Microwave Theory and Techniques, IEEE Transactions on**, 2013. 3905.
16. SOUCHON, F. et al. Key improvements of the MEMS switch lifetime thanks to a dielectric-free design and contact reliability investigations in hot_cold switching operations. **2013 IEEE International Reliability Physics Symposium (IRPS)**, 2013. 6B.2.1-6B.2.8.
17. LAMY, Y. et al. mmW characterization of wafer level passivation for 3D silicon interposer. **2013 IEEE 63rd Electronic Components and Technology Conference**, 2013. pp. 1887-1891.
18. BEDOYA LLANO, F. **Desenvolvimento de defasadores baseados em MEMS e linhas de transmissão de ondas lentas para aplicações em 60 GHz**. Dissertação (Mestrado em Microeletrônica) - Escola Politécnica, Universidade de São Paulo. São Paulo, p. 126. 2017.
19. OYSTEIN, B. **Millimeter wave interconnect and slow wave transmission lines in CMOS**. [S.l.]. 2013.
20. REHDER, G.; FERRARI, P. **Tunable High-Frequency Transmission Line**. WO2012032269, 8 Set 2011.

21. LIU, H.; LI, Z.; SUN, X. Compact defected ground structure in microstrip technology. **Electronics Letters**, v.41, n.3, p.132-134, 3 Feb. 2005., 3 Feb 2005. 132-134.
22. R. G. BOVADILLA, G. P. R. A. L. C. S. A. P. F. Distributed MEMS phase shifter for millimeter-wave applications. **8th Symposium on Microelectronics Technology and Devices (SBMicro 2013)**, 2013. p1-p4.
23. AZIZ, M. A. **Structures planaires pour des applications de filtrage: structures à défauts de plan de masse, lignes à ondes lentes**. Institut polytechnique de Grenoble. Grenoble. 2009.
24. AZIZ, M. A. et al. Slow-wave high-Q coplanar striplines in CMOS technology and their RLCG model. **Microw. Opt. Technol**, 2012. 650-p654.
25. HORESTANI, A.; AL-SARAWI, S.; ABBOTT, D. Designing of high-Q slow-wave coplanar strips for CMOS MMICs, Infrared Millimeter and Terahertz Waves (IRMMW-THz). **35th International Conference on. p.1,2, 5-10 Sept. 2010.**, 5-10 Sept. 2010. 1-2.
26. BURDIN, F. **Nouvelles Topologies des diviseurs de puissance, balun et déphaseurs en bandes RF et millimétriques, apport des lignes à ondes lentes**. Tese de doutorado - Université de Grenoble. Grenoble.
27. VARONEN, M. et al. Millimeter-Wave Integrated Circuits in 65-nm CMOS. **Solid-State Circuits, IEEE Journal of.**, 2008. p1991.
28. MILANOVIC, V. et al. Characterization of broad-band transmission for coplanar waveguides on CMOS silicon substrates. **Microwave Theory and Techniques, IEEE Transactions**, 1998. p632-p640.
29. REHDER, G.; VO, T.; FERRARI, P. Development of a slow-wave MEMS phase shifter on CMOS technology for millimeter wave frequencies. **Microelectronic Engineering**, 2012. 19-22.
30. REBEIZ, G. **RF MEMS: Theory, Design, and Technology**. New Jersey: Wiley, 2003.

31. AZIZ, M. A. et al. Shielded coplanar striplines for RF integrated applications. **Microwave and Optical Technology Letters**, 2009. 352.
32. BAUTISTA, A. et al. A predictive model for Slow-wave Coplanar Striplines in integrated technologies. **2016 IEEE MTT-S International Microwave Symposium (IMS)**, 2016. 1-3.
33. KADDOUR, D. et al. High-Q Slow-Wave Coplanar Transmission Lines on 0.35 μm CMOS Process. **IEEE Microwave and Wireless Components Letters**, 2009. 542.
34. FRANC, A. et al. A Lossy Circuit Model Based on Physical Interpretation for Integrated Shielded Slow-Wave CMOS Coplanar Waveguide Structures. **Microwave Theory and Techniques, IEEE Transactions on**, 2013. 754.
35. FRANC, A. et al. High-Performance Shielded Coplanar Waveguides for the Design of CMOS 60-GHz Bandpass Filters. **Electron Devices, IEEE Transactions on**, 2012. 1219.
36. CHO, H. et al. High-Performance Slow-Wave Transmission Lines With Optimized Slot-Type Floating Shields. **Electron Devices, IEEE Transactions on**, 2009. 1705.
37. ARIGONG, B. et al. An ultra-slow-wave transmission line on CMOS technology. **Microw. Opt. Technol. Lett.**, 2017. 604–606.
38. SHI, J. et al. Investigation of CMOS on-chip transmission lines CPW, SCPW and CPWG up to 110GHz. **Radio-Frequency Integration Technology**, 2009. 269.
39. TANG, X.-L. et al. Performance Improvement Versus CPW and Loss Distribution Analysis of Slow-Wave CPW in 65 nm HR-SOI CMOS Technology. **Electron Devices, IEEE Transactions on**, 2012. 1279.
40. YOUNG-HO, S.; KAI, C. Coplanar stripline resonators modeling and applications to filters. **Microwave Theory and Techniques, IEEE Transactions on**, 2002. 1289.

41. CORPORATION, R. Disponível em:
<<https://www.rogerscorp.com/documents/606/acs/RT-duroid-5870-5880-Data-Sheet.pdf>>. Acesso em: 05 jan. 2018.
42. YANG, N.; WU, K. Slow-wave rail coplanar strip (RCPS) line with low impedance capability. **Proceedings of the 29th URSI general assembly**, 2008.
43. DURAZ, E. et al. CPW on silicon substrates: propagation constant modeling and substrate free carriers contribution. **Microwave Conference 2005 European**, 2005. 3.
44. NASSIOPOULOU, A. G. et al. Porous Si as a substrate material for RF passive integration. **Ultimate Integration on Silicon (ULIS). 2013 14th International Conference on**, 2013. 89.
45. TANG, X. et al. A millimeter-wave CMOS power amplifier design using high-Q slow-wave transmission lines. **International Journal of RF and Microwave Computer-Aided Engineering**, 2016. 99–109.
46. ISKANDAR, Z. et al. A 30–50 GHz reflection-type phase shifter based on slow-wave coupled lines in BiCMOS 55 nm technology. **46th European Microwave Conference (EuMC)**, 2016. 1413-1416.
47. MANGAN, A. M. et al. De-embedding transmission line measurements for accurate modeling of IC designs. **IEEE Transactions on Electron Devices**, Fevereiro 2016. 235-241.
48. KOOLEN, M.; GEELEN, J.; VERSLEIJEN, M. An improved de-embedding technique for on-wafer high-frequency characterization. **Bipolar Circuits and Technology Meeting**, 1991. 188.
49. YAPU, Z. Stiction and anti-stiction in MEMS and NEMS. **Acta Mechanica Sinica**, 2003. 1–10.
50. TECHNOLOGIES, Q. Disponível em:
<https://www.quorumtech.com/__assets__/pdf/product/New-2018-Critical-point-drying-brochure.pdf>. Acesso em: 20 ago. 2017.
51. BAUTISTA, A.; FRANC, A. L.; FERRARI, P. Accurate Parametric Electrical Model for Slow-Wave CPW and Application to Circuits Design. **IEEE**

- Transactions on Microwave Theory and Techniques**, Dez 2015. 4225-4235.
52. TAVARES LOPES, A. **Microfabricação à base de materiais crescidos por PECVD**. Escola Politécnica da Universidade de São Paulo. São Paulo. 2002.
53. GOLDEN, J. et al. Optimization of Bi-layer Lift-Off Resist Process, 2009.
54. SANTOS, É. A. D. **Simulação, fabricação e caracterização de MEMS para extração de propriedades mecânicas de filmes finos**. Escola Politécnica, Universidade de São Paulo, São Paulo. São Paulo. 2017.
55. RIBEIRO, M. **Estudo das propriedades estruturais e ópticas em materiais nanoestruturados a base de silício**. Escola Politécnica, Universidade de São Paulo. São Paulo. 2009.

APÊNDICES

APÊNDICE A

A seguir é mostrado como foi implementado no *Ansys Workbench* o modelo para simular o efeito do aumento da capacitância depois do *pull-in* no defasador fabricado com a tecnologia dedicada da CEA-LETI.

Assim, como o *Ansys Workbench* não possui uma ferramenta específica para simulações eletromecânicas, utilizou-se os módulos estático e transiente (*Static Structural* e *Transient Structural*), que realizam simulações estáticas e dinâmicas respectivamente e que permitem implementar o efeito eletrostático desejado. A diferença entre o módulo transiente e o módulo estático é que o módulo transiente não considera a inércia durante as simulações, resultando em deslocamentos contínuos da camada de blindagem. Por outro lado, as simulações feitas no módulo transiente mostram o efeito *pull-in* (anteriormente mencionado), por isso que esta etapa de modelamento se focou só nesse tipo de simulação.

O primeiro passo para modelar o defasador utilizando o módulo transiente (como mostrado na Figura 112) é definir os materiais que serão utilizados durante a simulação. Mesmo que o *Ansys Workbench* possua uma biblioteca com diferentes materiais que podem ser utilizados (*Engineering Data*), o *software* permite adicionar outros materiais, ou criar os mesmos materiais com alguma característica diferente. As características dos materiais utilizados para esta simulação são mostradas na Tabela 14.

Figura 112 – Módulo *Transient Structural* do Ansys Workbench

Fonte: Autor

Tabela 14 - Características físicas utilizadas para as simulações feitas no Ansys Workbench

Material	Densidade (Kg/m ³)	Módulo de Young (GPa)	Coeficiente de Poisson
Nitreto de Si	2800	100	0,22
Ouro	19300	79	0,4

Depois de definidos os materiais, a estrutura do defasador, mostrada na Figura 87, deve ser desenhada (*Geometry*). O *Ansys Workbench* permite desenhar a estrutura na ferramenta *Design Modeler*. Mesmo não sendo um módulo de simulação eletromecânica, o módulo transiente possui uma ferramenta que permite modelar estruturas MEMS simples. O nome da ferramenta é *EM (Electro-Mechanical) Transducer* e ela simula uma força eletrostática agindo em uma região específica da estrutura. Assim, durante o desenho da estrutura, desenhou-se só a membrana do defasador e especificou-se nela a área onde a força eletrostática é gerada (Seleção nomeada: área superposta entre os eletrodos de terra da CPW e a camada de blindagem). Na Figura 113 é mostrada a membrana composta pela fita de ouro envolta pelo filme de Nitreto de Silício.

Figura 113 – Parte da membrana desenhada no Ansys Workbench para o modelamento eletrostático.

Fonte: Autor

Na Figura 114 é mostrada a fita de ouro que está ensanduichada entre as camadas de SiNx. Pode-se observar também as seleções nomeadas que serão

utilizadas para implementar o efeito eletrostático no modelamento. Mais detalhes serão mostrados junto com o tipo e condições da simulação.

Figura 114 – Fita da camada de blindagem com as seleções nomeadas utilizadas para simular o efeito eletrostático quando uma tensão é aplicada

Fonte: Autor

Uma vez desenhada a geometria, passou-se a modelar a estrutura (*Model*) definindo-se as características e parâmetros da estrutura assim como o tipo e condições da simulação, como mostrado na Figura 115.

Figura 115 - Características e parâmetros da estrutura a simular

Fonte: Autor

Dentro das características e parâmetros definidos, temos:

- Geometria (*Geometry*): Nesta aba é atribuído o material correspondente para cada parte da geometria desenhada anteriormente. Para a fita da camada de blindagem foi atribuído ouro como material e para a estrutura envolvente, SiNx.
- Conexões (*Connections*): Aqui são especificadas as conexões ou contato entre as superfícies. Por exemplo, nesta parte definimos o contato que existe entre a camada de blindagem e a camada envolvente de SiNx.
- Malha (*Mesh*): Nesta aba é definido o método de malha utilizado durante as simulações. No nosso caso, foi utilizado o método *tetrahedrons*.
- Seleções nomeadas (*Named Selections*): As seleções nomeadas permitem especificar uma região da geometria para criar um modelo composto. Durante o modelamento, esta opção é utilizada para implementar o transdutor eletrostático do nosso modelo, permitindo especificar a área onde a força eletrostática é gerada uma vez aplicada a tensão DC.
- Tipo e condições da simulação (*Transient-AS*): Nesta aba é implementado o efeito do nosso modelo. Os parâmetros e características definidas nesta parte são:
 - Os parâmetros da simulação como tempo, tipo, número de passos, etc.
 - Os pontos fixos da estrutura. No nosso caso, a membrana está fixa nos extremos.
 - Ferramenta *EM (Electro-Mechanical) Transducer*: Para utilizar esta ferramenta, deve-se especificar parâmetros como a tensão aplicada, o *gap* total (no nosso caso é a distância entre a membrana e os eletrodos da CPW, o *gap* mínimo que pode existir entre a membrana e os eletrodos da CPW e por último a direção do deslocamento da membrana.