MICHELE RODRIGUES

ESTUDO DE TRANSISTORES SOI DE MÚLTIPLAS PORTAS COM ÓXIDOS DE PORTA DE ALTA CONSTANTE DIELÉTRICA E ELETRODO DE PORTA METÁLICO

São Paulo 2010 **MICHELE RODRIGUES**

ESTUDO DE TRANSISTORES SOI DE MÚLTIPLAS PORTAS COM ÓXIDOS DE PORTA DE ALTA CONSTANTE DIELÉTRICA E ELETRODO DE PORTA METÁLICO

Tese apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Doutor em Engenharia.

Área de Concentração: Microeletrônica

Orientador: Prof. Dr. João Antonio Martino

São Paulo 2010

Rodrigues, Michele

Estudo de transistores SOI de múltiplas portas com óxidos de porta de alta constante dielétrica e eletrodo de porta metálico / M. Rodrigues. -- São Paulo, 2010.

155 p.

Tese (Doutorado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Sistemas Eletrônicos.

1.Semicondutores 2.Silício 3.Transistores 4.Eletrodo 5.Dielétricos I.Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Sistemas Eletrônicos II.t.

Dedico este trabalho à minha família.

AGRADECIMENTOS

Agradeço a minha dedicada mãe Célia e ao meu querido pai Moacir pela imensa compreensão nos momentos de ausência, pelas sábias palavras de conselho e pelo amor incondicional. Aos meus irmãos Adriana e Rodrigo por sempre me apoiarem e me incentivarem a nunca desistir.

Ao prof. Dr. João Antonio Martino pela atenciosa orientação e confiança depositada e por me ajudar a traçar meu caminho profissional.

Ao prof. Dr. Victor Sonnenberg pela co-orientação neste trabalho, pelas discussões e grande amizade.

Aos brilhantes pesquisadores do Centro Interuniversitário de Microeletrônica situado na Bélgica o qual fiz parte do meu doutorado: Cor, Eddy, Karim, Nadine e Amal por me receberem em seu grupo de pesquisa, disponibilizando a excelente infra-estrutura assim como os dispositivos que foram utilizados neste trabalho. Não posso esquecer-me de mencionar do quão importante eles foram para o meu aprimoramento profissional.

A todos os meus queridos e especiais amigos do grupo SOI-CMOS pelas eternas discussões e por sempre estarem dispostos a ajudar.

As grandes amigas Denice Aragão, Claudia Sanchez e Milene Galeti que mesmo a distância contribuíram para minha formação pessoal e profissional e pela grande e eterna amizade sem limites e barreiras.

Ao John Paul Lima pela presença sem igual, por sempre estar comigo, torcendo e me ajudando a enfrentar as dificuldades sempre juntos.

Ao Christiano Lima por me ajudar a ser alguém melhor e a Bernice Lima pelos momentos de descontração.

Ao Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo, pela disponibilidade da infra-estrutura necessária para essa atividade de pesquisa e a CAPES, pelo apoio financeiro inestimável, que permitiu a realização deste trabalho.

A tantas outras pessoas que, de alguma forma, colaboraram para a realização deste trabalho e que, de forma involuntária, foram aqui omitidas.

"Fazer, todos os dias, as mesmas coisas e esperar resultados diferentes é a maior prova de insanidade" (Albert Einstein)

RESUMO

Este trabalho tem como objetivo investigar o comportamento de transistores SOI de porta tripla com óxido de porta de alta constante dielétrica e eletrodo de porta de metal. Inicialmente estudou-se a aplicação dos métodos de extração de parâmetros através de curvas da capacitância, previamente desenvolvidos para estruturas SOI planares, em dispositivos de porta tripla com óxido de porta de háfnio (HfO₂) e porta de metal com nitreto de titânio (TiN). Foram utilizados dispositivos com grandes dimensões, onde a influência das portas laterais pode ser desprezada, apresentando desta forma, um comportamento similar aos dispositivos com geometria planar. Simulações numéricas tridimensionais seguidas de medidas experimentais validam a utilização desses métodos em estruturas de múltiplas portas com grande largura de canal. A capacitância também foi utilizada para se analisar a influência que o efeito de canto exerce sobre estas estruturas de múltiplas portas. Na seqüência, foi investigado o impacto que a variação da espessura da porta de metal TiN causa nas características elétricas dos transistores SOI de porta tripla com óxido de porta de silicato de óxido de háfnio (HfSiO). Parâmetros como tensão de limiar, função de trabalho, mobilidade, cargas de interface assim como as características analógicas foram analisadas. Os resultados indicaram que camadas de TiN mais finas são mais atrativas, apresentando menor tensão de limiar e armadilhas de interface, assim como um aumento na mobilidade e no ganho intrínseco do transistor. Contudo uma maior corrente de fuga pelo óxido de porta é vista nestes dispositivos. Juntamente com esta análise, o comportamento de transistores de porta tripla com dielétrico de porta de silicato de óxido de háfnio nitretado (HfSiON) também foi estudado, onde observou-se um maior impacto nas cargas de interface para o óxido de háfnio nitretado. Contudo, o mesmo é capaz de reduzir a difusão de impurezas até o óxido de silício (SiO₂) interfacial com o canal de silício. Finalmente transistores de porta tripla com diferentes composições de estrutura de porta foram estudados experimentalmente, onde uma camada de óxido de disprósio (Dy₂O₃) foi depositada entre o silicato de óxido de háfnio (HfSiO) e a porta de metal TiN. Observou-se uma redução na tensão de limiar nos dispositivos com o óxido de disprósio assim como uma variação na tensão de faixa plana. Em resumo, quando a camada de óxido de disprósio foi depositada dentro da porta de metal TiN, uma melhor interface foi obtida, assim como uma maior espessura de óxido efetivo, indicando desta forma uma menor corrente de fuga.

ABSTRACT

The main goal of this work is to investigate the behavior of SOI triple gate transistors with high dielectric constant gate oxide and metal gate material. Initially it was studied the application of process parameters extraction methods through capacitance curves, developed previously for planar SOI structures, in the triple-gate devices with hafnium gate oxide (HfO₂) and metal gate of titanium nitride (TiN). Devices with larger dimensions were used, where the lateral gate influence can be neglected, presenting a planar behavior. Three-dimensional numerical simulations followed by experimental measurements validated the methods used in multiple-gate structures with wide channel width. The capacitance was also used in order to analyze the corner effect influence under these structures. In sequence, it was investigated the impact that the metal gate TiN thickness variation cause on the electric characteristics on the SOI triple gate transistors with silicate of hafnium oxide (HfSiO) as gate oxide. Beyond threshold voltage, work function, mobility, interface trap density and analog characteristics were analyzed. The results showed that thinner TiN are highly attractive, showing a reduction on the threshold voltage and trap density, an improved mobility and of the intrinsic gain of the transistor. However, an increase on the leakage current is observed in these devices. Together with this analyzes the behavior of triple gate transistors with gate dielectric of silicate of hafnium oxide nitrated (HfSiON) was also studied, where for the HfSiON a higher interface trap density impact was observed. Nevertheless it is efficient on the reduction impurity diffusion to cross until the silicon oxide (SiO₂) that interfaces with the silicon channel. Finally, triple gate transistors with different gate stacks were experimentally studied, where a dysprosium oxide layer (Dy_2O_3) was deposited between the silicate of hafnium oxide (HfSiO) and the TiN metal gate. We observed a reduction in the threshold voltage of theses devices with dysprosium oxide as well as a variation of flatband voltage. In summary, when the dysprosium oxide layer was deposited inside the TiN metal gate, a better interface was obtained, as well as a higher effective oxide thickness, resulting in a lower leakage current.

LISTA DE ILUSTRAÇÕES

Figura 1 – Evolução dos diferentes tipos de transistores e materiais (ITRS-2009) ¹ 25
Figura 2 - Perfil transversal de um transistor SOI nMOSFET
Figura 3 – Diagramas de faixas de energia para os transistores a) MOS
convencional, b) SOI de camada espessa e c) SOI de camada fina32
Figura 4 - Diferentes estruturas SOI de múltiplas portas
Figura 5 – Estrutura de porta dupla FinFET ⁶ 34
Figura 6 – Foto de uma estrutura de porta tripla35
Figura 7 – Cortes transversais das estruturas π -gate e Ω -gate ²⁰
Figura 8 – Estrutura de porta circundante CYNTHIA
Figura 9 – Estrutura de quatro portas G ⁴ -FET ⁵⁷ 37
Figura 10 – Estrutura de múltiplos dedos
Figura 11 - Variação da inclinação de sublimiar em função do comprimento de canal
para diferentes estruturas de múltiplas portas com $H_{fin}=W_{fin}=30$ nm e
V _{DS} =0,1V ⁶⁴ 42
Figura 12 - Transcondutância em função do comprimento de canal para dispositivos
de múltiplas portas e convencionais ⁶ 43
Figura 13 - Variação de DIBL com o comprimento de canal para dispositivos
convencionais, SOI com porta simples e de múltiplas portas ⁶ 45
Figura 14 - Tensão de limiar em função do comprimento de canal em dispositivo
MOS convencional e SOI MOSFET totalmente depletado46
Figura 15 - Perfil transversal de uma estrutura de porta tripla demonstrando as
iterações eletrostáticas causadas pela portas laterais ⁷³ 48
Figura 16 - Curva da derivada da transcondutância em função da tensão na porta,
apresentando os dois picos da tensão de limiar
Figura 17 - Comportamento da mobilidade de elétrons em dispositivos de múltiplas
portas com diferentes orientações cristalográficas ⁷⁸ 50
Figura 18 - Transcondutância em função da tensão na porta para diferentes
polarizações de substrato51
Figura 19 – Densidade espectral do ruído em função da frequência52
Figura 20 – Representação da estrutura de um diodo SOI $n^+/p^-/p^+$ e a configuração
da medida experimental de bombeamento de cargas

- Figura 22 Relação g_m/I_{DS} em função de I_{DS}/(W/L) para V_{DS}=1,2V......57
- Figura 23 Comportamento do ganho intrínseco do transistor em função do comprimento de canal para dispositivos MuGFET e convencionais⁶...58
- Figura 25 Diferentes materiais para eletrodo de metal de porta......62
- Figura 27 Curva da capacitância entre a porta e dreno/fonte em função da tensão aplicada à porta para diferentes valores de tensão no substrato.......67
- Figura 28 Seção transversal de um transistor nMOS representando as capacitâncias C_{oxf}, C_{Si} e C_{oxb} estando (a) V_{GB}=0V e V_{GF}=1V, (b) V_{GB}=10V e V_{GF}=-1V e (c) V_{GB}=0V e V_{GF}=-1V......68

- Figura 33 Curvas simuladas C_{GDS} e d² C_{GDS} /d V_{GB} ² em função de V_{GB} para V_{GF} =-1 V e diferentes concentrações de dopantes do canal N_a.....74

Figura 35 - Influência da concentração de dopantes na tensão de limiar em
dispositivos de porta tripla ¹¹⁶ 77
Figura 36 - Fotografia dos transistores de porta tripla com a indicação das regiões
de fonte (S), dreno (D) e porta (G)78
Figura 37 - Curvas experimentais de $C_{\text{GDS}}\text{em}$ função de V_{GF} para diferentes tensões
no substrato em dispositivos nMOS de porta tripla79
Figura 38 - Curva experimental de C_{GDS} em função de V_{GB} para $V_{\text{GF}}\text{=-0,5}$ V em
dispositivos nMOS de porta tripla79
Figura 39 - Curvas simuladas de a) I_{DS} e b) $d^2 I_{\text{DS}}/dV_{\text{GF}}{}^2$ em função de V_{GF} para
diferentes concentrações de dopantes do canal
Figura 40 - Curvas simuladas C_{GDS} em função de V_{GF} para diferentes concentrações
de dopantes do canal83
Figura 41 - Curvas simuladas $d^2C_{\text{GDS}}/dV_{\text{GF}}{}^2$ em função de V_{GF} para diferentes
concentrações de dopantes do canal83
Figura 42 - Diferença entre a tensão de limiar do canto superior e a tensão de limiar
das laterais do canal (ΔV_T) em função da concentração de dopantes,
com os valores extraídos das curvas I-V e C-V.
Figura 43 - Perfil tridimensional da concentração de elétrons de um dispositivo
nMOS de porta tripla com N _a =8x10 ¹⁸ cm ⁻³ e tensão na porta de a)
V _{GF} =0,8 V e b) V _{GF} =1,50 V
Figura 44 - Microscopia eletrônica do transistor após o processo completo de
fabricação88
Figura 45 – Curvas experimentais de I_{DS} e g_m em função de V_{GF} para estruturas de
porta tripla (a) n- e (b) p-FET com diferentes espessuras de TiN89
Figura 46 - Curvas experimentais de C_{GDS} em função de V_{GF} para estruturas de
porta tripla n- e p-FET com diferentes espessuras de TiN
Figura 47 – Curvas experimentais de I_g em função de $V_{GT}=V_{GF}-V_T$ para estruturas de
porta tripla n- e p-FET com diferentes espessuras de TiN
Figura 48 - Microscopia eletrônica dos dispositivos com diferentes espessuras de
metal TiN: esquerda TiN=2 nm e direita TiN=5 nm ¹¹⁷ 91
Figura 49 - Variação da função de trabalho com o número de ciclos de deposição
ALD da porta de metal TiN extraída em um capacitor MOS ¹¹⁸ 92

Figura 50 -	- Ilustração do processo de crescimento da camada de TiN	depositada
	por ALD onde na figura da esquerda para TiN fino e na da	direita para
	TiN espesso	93

Figura 51 – Microscopia eletrônica de alta resolução de uma estrutura de porta Si-Poli/TiN/HfSiO/SiO₂ demonstrando o filme de TiN³³......93

- Figura 53 Análise do tensionamento em função da profundidade do canal de silício para diferentes espessuras de TiN¹²¹......95

- Figura 57 Curvas experimentais de I_{CP} em função da tensão de base em dispositivos de porta tripla n-FET com espessura de TiN de 10 nm para (a) diferentes frequências e (b) para a corrente I_{CP} resultante após a eliminação da corrente de fuga......101

- Figura 60 Curvas experimentais da corrente I_{CP} normalizada pela área em função da tensão de base para diferentes larguras de canal com espessura de TiN de 10 nm em dispositivos de porta tripla (a) n-FET e (b) p-FET..104
- Figura 61 D_{it} em função de W_{fin ef} extraída para os transistores de porta tripla n- e p-FET com as diferentes espessuras de porta de metal TiN......105

Figura 62 – Curvas experimentais da derivada da transcondutância em função de V_{GF} para as estruturas de porta tripla com diferentes espessuras de TiN em (a) n-FET e (b) p-FET......106

- Figura 63 Variação de V_T com L_{ef} para as diferentes espessuras de porta de metal. 107
- Figura 65 V_{EA} extraída em função de L_{ef} para dispositivos com diferentes espessuras de porta de metal TiN com polarização de V_{DS}=0,5 V e V_{GT}=200 mV......109

- Figura 68 Valores de g_{m,máx} em função da temperatura para os dispositivos com diferentes espessuras de porta de TiN e comprimentos de canal.113
- Figura 70 Condutância de dreno em função da temperatura extraída para V_{DS} = 0,5 V, V_{GT} = 200 mV e dispositivos com (a) L_{ef} =0,41 µm e (b) L_{ef} =0,91 µm.....115

- Figura 80 Curvas experimentais de C_{GDS} em função de V_{GF} para estruturas de porta tripla nFET com as diferentes estruturas de porta......127

- Figura 84 GIFBE em função de V_T com diferentes temperaturas para os dispositivos com diferentes estruturas de porta......132

LISTA DE TABELAS

Tabela 1 - Tabela dos possíveis materiais de alta constante dielétrica60
Tabela 2 - Parâmetros dos dispositivos nMOS de porta tripla utilizados nas
simulações numéricas tridimensionais72
Tabela 3 – Valores de EOT e H_{fin} determinados pelos métodos propostos através
das curvas simuladas74
Tabela 4 – Valores de N_a determinados pelo método proposto75
Tabela 5 – Máximo erro encontrado na determinação de EOT, H_{fin} e N_{a} em função
de alguns parâmetros elétricos e de processo
Tabela 6 – Valores experimentais de EOT e H_{fin} determinados pelos métodos para
diferentes larguras de canal (W _{fin})80
Tabela 7 - Comparação entre os valores obtidos da tensão de limiar dos cantos
superiores e das laterais extraídos através da segunda derivada da
curva I-V e C-V84
Tabela 8 – EOT, μ_n , e D _{ot} extraídos para os diferentes dispositivos estudados99
Tabela 9 – Valores de V_{T} e V_{FB} extraídos através das curvas da corrente de
bombeamento de cargas para os dispositivos com diferentes
espessuras de TiN104
Tabela 10 - DIBL extraído para os diferentes comprimentos de canal e espessuras
de porta de metal TiN111
Tabela 11 - V_T , S, DIBL e V_{EA} extraídos para diferentes temperaturas nos
dispositivos de porta tripla com diferentes espessuras de metal TiN e
L _{ef} =0,91 e 0,41 μm113
Tabela 12 – EOT, $g_{m,max}$ e S extraídos para os dispositivos n- e p-FET com diferentes
espessuras de TiN e dielétricos de porta118
Tabela 13 - $V_{\text{EA}},$ e DIBL extraídos para dispositivos de porta tripla n-FET com
diferentes espessuras de TiN e dielétricos de porta122
Tabela 14 - EOT, V_{FB} e V_T extraídos para as diferentes estruturas de porta128
Tabela 15 – S, μ_n e S_{VG} extraídos para os dispositivos com diferentes estruturas de
porta130

LISTA DE ABREVIATURAS E SIGLAS

CP	Charge pumping
CMOS	Complementary Metal-Oxide-Semiconductor
DELTA	Depleted Lean-channel Transistor
DIBL	Drain induced barrier lowering
EOT	Equivalent Oxide Thickness
FinFET	Fin Field Effect Transistor
GAA	Gate-all-around
GIDL	Gate induced drain leakage
GIFBE	Gate induced floating body effect
Imec	Interuniversity Microelectronics Center
MOCVD	Metal Organic Chemical Vapor Deposition
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
MuGFET	Multiple gate field effect transistor
PEALD	Plasma-enhanced atomic layer deposition
SCE	Short Channel Effect
SiO ₂	Óxido de silício
SOI	Silicon-on-Insulator
TiN	Nitreto de titânio
HfO ₂	Óxido de háfnio

LISTA DE SÍMBOLOS

A_{G}	Parâmetro de ajuste pré-exponencial para o cálculo da corrente de
	dreno induzida pela porta
Av	Ganho intrínseco do transistor
B_{G}	Parâmetro de ajuste físico pré-exponencial para o cálculo da corrente
	de dreno induzida pela porta [23-70MV/cm]
C1	Capacitância do óxido de porta por unidade de área [F/cm ²]
C2	Capacitância dada pela associação série da capacitância do óxido de
	porta e do silício por unidade de área [F/cm ²]
C3	Capacitância parasitária, onde não há inversão da primeira e segunda
	interfaces por unidade de área [F/cm ²]
CD	Capacitância da região de depleção na camada de silício por unidade
	de área [F/cm²]
C _{GC}	Capacitância entre a porta e o canal do transistor por unidade de área
	[F/cm ²]
C_{GS}	Capacitância entre a porta e a fonte do transistor de múltiplas portas
	por unidade de área [F/cm ²]
C_{GD}	Capacitância entre a porta e o dreno do transistor de múltiplas portas
	por unidade de área [F/cm ²]
C_{GDS}	Capacitância entre a porta e o dreno/fonte do transistor de múltiplas
	portas por unidade de área [F/cm ²]
C _{it}	Capacitância das armadilhas de interface por unidade de área [F/cm ²]
C _{itb}	Capacitância das armadilhas de interface na segunda interface do
	transistor SOI por unidade de área [F/cm ²]
C_{itf}	Capacitância das armadilhas de interface na primeira interface do
	transistor SOI por unidade de área [F/cm ²]
CL	Capacitância das laterais do canal do transistor de múltiplas portas por
	unidade de área [F/cm ²]
Cox	Capacitância do óxido de porta do transistor MOS por unidade de área
	[F/cm ²]
C _{oxf}	Capacitância do óxido de porta do transistor SOI por unidade de área
	[F/cm ²]

Coxb	Capacitância do óxido enterrado do transistor SOI por unidade de área
	[F/cm ²]
C _{Si}	Capacitância da camada de silício por unidade de área [F/cm ²]
D _{ot}	Densidade de armadilhas de interface do óxido de porta [cm ⁻³ eV ⁻¹]
D _{it}	Densidade de armadilhas de interface [cm ⁻²]
Ec	Nível energético do extremo inferior da faixa de condução [eV]
E _F	Nível de Fermi [eV]
Ei	Nível de Fermi intrínseco [eV]
EOT	Espessura efetiva do óxido de porta [nm]
Ev	Nível energético do extremo superior da faixa de valência [eV]
Ε _T	Campo elétrico total [V/cm]
Es	Campo elétrico transversal [V/cm]
f	Frequência [Hz]
g _m	Transcondutância de saída do transistor [S]
g m,máx	Transcondutância de saída máxima do transistor [S]
g _D	Condutância de dreno [S]
g Dsat	Condutância de dreno na região de saturação [S]
${\sf H}_{\sf fin}$	Altura do canal (<i>fin</i>) de uma estrutura de múltiplas portas [nm]
I _{CP}	Corrente de bombeamento de cargas [A]
I _{DS0}	Corrente de dreno de um dispositivo planar de porta simples [A]
I _{DS}	Corrente entre dreno e fonte [A]
I _{DSsat}	Corrente entre dreno e fonte na região de saturação [A]
l _G	Corrente de fuga pela porta [A]
J_{GIDL}	Densidade de corrente GIDL [A/cm ²]
k	Constante de Boltzmann [1,38066 x 10 ⁻²³ J/K]
L	Comprimento do canal do transistor [µm]
L _{ef}	Comprimento efetivo do canal do transistor [µm]
N	Número de <i>fins</i> dos dispositivos de múltiplas portas
Na	Concentração de dopantes na região do canal [cm ⁻³]
N _D	Concentração de dopantes da extensão de dreno [cm ⁻³]
N _F	Concentração de dopantes da extensão de fonte [cm ⁻³]
n _i	Concentração intrínseca de portadores do semicondutor [cm ⁻³]
Р	Espaçamento entre o início de um dedo ao mesmo ponto do outro
	dedo de um transistor de múltiplas portas [nm]

q	Carga elementar do elétron [1,6 x 10 ⁻¹⁹ C]	
Q_D	Densidade de carga de depleção na camada de silício por unidade de	
	área [C/cm²]	
Q _{inv}	Densidade de carga de inversão por unidade de área [C/cm ²]	
Q _{it}	Densidade de cargas de armadilhas de interface por unidade de área	
	[C/cm ²]	
Q _{ox}	Densidade de carga efetiva no óxido por unidade de área [C/cm²]	
Q _{ox1}	Densidade de cargas fixas na primeira interface por unidade de área	
	[C/cm ²]	
Q _{ox2}	Densidade de cargas fixas na segunda interface por unidade de área	
	[C/cm ²]	
S	Inclinação de sublimiar [mV/dec]	
Sı	Densidade espectral do ruído da corrente de dreno [A ² /Hz]	
S_{VG}	Densidade de ruído referenciado á entrada [V ² /Hz]	
Т	Temperatura absoluta [K]	
t _{high-k}	Espessura do óxido de alta constante dielétrica [nm]	
tr	Tempo de subida [s]	
t _f	Tempo de descida [s]	
t _{oxb}	Espessura do óxido enterrado [nm]	
t _{oxf}	Espessura do óxido de porta [nm]	
t _{Si}	Espessura da camada de silício [nm]	
VA	Amplitude do pulso trapezoidal [V]	
VD	Tensão aplicada ao dreno do transistor [V]	
V_{DG}	Tensão entre o dreno e a porta do transistor [V]	
V_{DS}	Tensão entre dreno e fonte do transistor [V]	
V_EA	Tensão Early [V]	
V_{FB}	Tensão de faixa plana da estrutura MOS convencional [V]	
$V_{\text{FB1,inv2}}$	Tensão de faixa plana da primeira interface estando a segunda	
	interface invertida [V]	
V_{G}	Tensão aplicada a porta do transistor MOS [V]	
V_{GB}	Tensão aplicada ao substrato do transistor SOI [V]	
$V_{\text{GB, inv2}}$	Tensão aplicada ao substrato do transistor SOI que inverte a segunda	
	interface [V]	
V_{GF}	Tensão aplicada à porta do transistor SOI [V]	

V _{GFH}	Tensão aplicada em nível alto utilizada na técnica de bombeamento e cargas [V]
V_{GFL}	Tensão de base aplicada na porta frontal utilizada na técnica de
	bombeamento e cargas [V]
V _{GT}	Sobretensão de porta [V]
Vs	Tensão aplicada à fonte do transistor [V]
V _T	Tensão de limiar da porta do transistor [V]
V_{T_CS}	Tensão de limiar dos cantos superiores de um transistor de porta tripla
	[V]
V_{T_G}	Tensão de limiar do topo e das laterais do canal de um transistor de porta tripla [V]
V _{T1p}	tensão de limiar do primeiro pico da transcondutância [V]
V _{T2p}	tensão de limiar do segundo pico da transcondutância [V]
W	Largura do canal do transistor MOS [µm]
W _{fin}	Largura do canal (<i>fin</i>) do transistor de múltiplas portas [µm]
W _{fin ef}	Largura efetiva do canal (<i>fin</i>) do transistor de múltiplas portas [µm]
X _{dmáx}	Profundidade de depleção máxima [nm]
α	Parâmetro resultante da associação das capacitâncias do transistor
	MOSFET.
α _n	Parâmetro de tunelamento para elétrons em um óxido de porta SiO_2
	[10 ⁸ cm ⁻¹]
ϵ_{high-k}	Permissividade do óxido de <i>high-k</i> [F/cm]
ε _o	Permissividade do vácuo [8,854x10 ⁻¹⁴ F/cm]
ε _{ox}	Permissividade do óxido de porta [F/cm]
ε _{Si}	Permissividade do silício [1,06 x 10 ⁻¹² F/cm]
ϕ_{F}	Potencial de Fermi [V]
Фмs	Diferença de função de trabalho entre a porta de metal e o
	semicondutor no transistor MOS [V]
φs	Potencial de superfície [V]
∮ SBinv	Potencial de superfície da segunda interface invertida [V]
Ø SFacc	Potencial de superfície da primeira interface acumulada [V]
λ	Parâmetro que considera o efeito de modulação do comprimento de
	canal devido à tensão aplicada ao dreno [V ⁻¹]

μ_n	Mobilidade efetiva dos elétrons na região do canal [cm²/V.s]

 μ_p Mobilidade efetiva das lacunas na região do canal [cm²/V.s]

SUMÁRIO

1	INTRODUÇ	ÃO	25
2	CONCEITO	S FUNDAMENTAIS	30
	2.1 Tecnolo	gia silício sobre isolante (SOI)	
	2.1.1 Tipo	os de Estruturas SOI	31
	2.2 Tecnolo	gia de múltiplas portas	33
	2.2.1 Clas	ssificação dos transistores de múltiplas portas	33
	2.2.2 Car	acterísticas elétricas do transistor de múltiplas portas	
	2.2.2.1	Corrente de dreno	
	2.2.2.2	Tensão de limiar	
	2.2.2.3	Inclinação de sublimiar	40
	2.2.2.4	Transcondutância	42
	2.2.2.5	Abaixamento da barreira induzido pelo dreno	44
	2.2.2.6	Corrente de dreno induzida pela porta	45
	2.2.2.7	Efeito de canal curto	46
	2.2.2.8	Efeito de canto	47
	2.2.2.9	Mobilidade	49
	2.2.2.10	Efeito de corpo flutuante induzido pela porta	50
	2.2.2.11	Armadilhamento de cargas	51
	2.2.2.11	.1 Medida de ruído em baixa frequência	52
	2.2.2.11	.2 Medida de bombeamento de cargas	53
	2.2.2.12	Características Analógicas	56
	2.2.2.12	.1 g _m /I _{DS}	56
	2.2.2.12	.2 Tensão Early	57
	2.2.2.12	.3 Ganho intrínseco do transistor	58
	2.3 Dielétric	o de alta constante dielétrica	59
	2.4 Eletrodo	de porta de metal	61
	2.5 Simulaç	ões numéricas tridimensionais	63
	2.5.1 Sim	ulador ATLAS	63
	2.5.2 Mod	delos físicos utilizados nas simulações	63

3 COM	3 COMPORTAMENTO DA CAPACITÂNCIA EM DISPOSITIVOS DE PORTA	
TRIPLA	COM DIELÉTRICO DE ALTA CONSTANTE DIELÉTRICA E PORTA DE	
METAL		
3.1 I	Métodos de extração de parâmetros65	
3.1.1	Estrutura de porta tripla65	
3.1.2	Determinação da espessura efetiva do óxido de porta (EOT)67	
3.1.3	Determinação da espessura do silício (H _{fin})69	
3.1.4	Determinação da concentração de dopantes do canal (Na)70	
3.1.5	Simulações numéricas tridimensionais71	
3.1.6	Resultados experimentais77	
3.2	Análise do efeito de canto através da curva C-V81	
3.2.1	Simulações numéricas tridimensionais81	
4 IMP	ACTO DO NITRETO DE TITÂNIO EM DISPOSITIVOS DE PORTA TRIPLA	
COM DIE	LÉTRICO DE ALTA CONSTANTE DIELÉTRICA	
4 1	Tensão de Limiar 88	
42 1	Espessura efetiva do óxido de porta e a corrente de fuga pela porta 89	
4.3	Mobilidade	
4.4	Armadilhamento de cargas95	
4.4.1	Medidas de ruído de baixa frequência	
4.4.2	Técnica de bombeamento de cargas100	
4.5 I	Efeito de corpo flutuante induzido pela porta105	
4.6 (Características analógicas107	
4.6.1	Efeito da temperatura no comportamento analógico112	
4.7 I	Dielétrico de porta de alta constante dielétrica HfSiO nitretado116	
4.7.1	Porta de metal TiN depositado por PEALD116	
4.7.2	Porta de metal TiN depositado por MOCVD120	
5 EST	UDO DE DIFERENTES ESTRUTURAS DE PORTA EM DISPOSITIVOS	
DE PORT	ГА TRIPLA	
51 1	Dispositivos do porta tripla com diferentes estruturas do porta	
5.0 -	Tonção de limiar	
ט.ב קקו	Mohilidade e densidade de armadilhas no óvido do porta	
5.4 I	Efeito de corpo flutuante induzido pela porta	

6	CONCLUSÕES	133
PUE	BLICAÇÕES	138
REF	FERÊNCIAS	141
APÉ	ÊNDICE A – ARQUIVO DE SIMULAÇÃO	154

1 INTRODUÇÃO

Por mais de quatro décadas a indústria de semicondutores tem se caracterizado pelo ritmo acelerado na questão de melhoria de seus produtos. As principais categorias de tendências de melhoria são: nível de integração, custo, velocidade de processamento, consumo de energia e funcionalidade. A maioria destas tendências da capacidade das resultou, principalmente, indústrias em diminuir exponencialmente as dimensões (escalamento) para fabricar circuitos integrados. Naturalmente, a tendência mais citada diz respeito ao nível de integração, que geralmente é expressa pela Lei de Moore (isto é, o número de componentes por circuito integrado dobra aproximadamente a cada 18 meses). Paralelamente, a tendência que trata a redução de custos/função é a que mais colaborou na produtividade econômica e nos avanços tecnológicos que propiciaram uma maior qualidade de vida através da proliferação de computadores, comunicação e outros eletrônicos de consumo industrial. Como base de apoio, um documento que descreve o roteiro tecnológico internacional para semicondutores ITRS (International Technology Roadmap for Semiconductors) é redigido por um comitê que reúne cientistas do mundo inteiro¹. A Figura 1 apresenta a edição de 2009 deste documento, abordando os diferentes dispositivos e materiais que vem sendo estudados a fim de se atender as tendências do mercado.



Figura 1 – Evolução dos diferentes tipos de transistores e materiais (ITRS-2009)¹.

Com o objetivo de se elevar a corrente de condução, uma elevação da mobilidade vem sendo foco de estudo, onde a utilização de diferentes materiais para formação do canal de condução vem sendo estudados. Dentre elas as estruturas com tensão mecânica agindo sobre o canal $(strain)^2$, com silício-germânio depositados em fonte e dreno³ e os dispositivos com os semicondutores compostos (III-V)⁴. Um maior controle eletrostático dos portadores no canal de condução também vem sendo buscado onde os dispositivos com a tecnologia silício sobre isolante (SOI – *Silicon-on-insulator*)⁵ e a de múltiplas portas (MuGFET – *Multiple gate field effect transistor*)⁶ vem sendo estudados. O ajuste da tensão de limiar também vem apresentando um nicho de estudo através do aparecimento de dispositivos com diferentes estruturas e materiais de porta.

Os primeiros dispositivos fabricados com a tecnologia de fabricação de circuitos integrados em lâminas de silício sobre isolante surgiram em 1963⁵, três anos após o aparecimento dos transistores por efeito de campo convencionais (metal-óxidosemicondutor)⁷. Sua principal característica, e que os difere dos transistores MOS convencionais, é a presença de um material isolante, que separa a região ativa do transistor do substrato de silício⁸. Pode-se atribuir a este isolamento dielétrico, os benefícios obtidos nas características elétricas da tecnologia SOI, onde dentre elas pode-se citar um aumento da mobilidade⁹ e da transcondutância, uma diminuição das capacitâncias parasitárias de fonte/dreno¹⁰, da inclinação de sublimiar, dos efeitos de canal curto¹¹ e da sensibilidade com a variação de temperatura¹². Dispositivos SOI com camada de silício fina sobre o isolante que funcionam com a região de canal totalmente depletada, apresentam algumas vantagens adicionais às anteriormente mencionadas, como a diminuição do campo elétrico lateral^{13,14} e diminuição do efeito de elevação da corrente¹⁵. Contudo, o escalamento da tecnologia planar para comprimentos de canal em torno de 10 nm tem se tornado uma tarefa difícil devido ao reduzido controle eletrostático da porta sobre o canal, degradação da mobilidade e excessiva corrente de fuga pela porta¹⁶.

Para solucionar alguns desses problemas, passaram a ser estudadas estruturas de múltiplas portas com geometrias não planares, onde o canal se encontra na posição vertical e mais de um canal de condução de corrente pode ser observado. Estas estruturas vêm apresentando vantagens em relação aos dispositivos fabricados em geometrias planares, tais como uma maior densidade de integração, um menor efeito de canal curto e um melhor controle da corrente⁶. Além disso, estas

estruturas de múltiplas portas também podem vir a possuir diversos dedos (*fins*), que elevam a corrente de acordo com o número de *fins*. O primeiro transistor SOI de múltiplas portas fabricado data de 1989 e ficou conhecido por transistor DELTA (*Fully Depleted Lean Channel Transistor*)¹⁷. Posteriormente, surgiram os transistores FinFET¹⁸, que apresentam uma geometria não planar de porta dupla ou tripla, e que vem sendo pesquisados por apresentarem um excelente escalonamento e fácil adequação aos processos de fabricação SOI convencionais¹⁹.

Contudo, a presença de portas circundando o canal, pode gerar através dos cantos entre as portas, mais de um canal de condução devido ao campo elétrico das portas laterais. Este efeito conhecido por efeito de canto é observado em dispositivos de múltiplas portas com alta concentração de dopantes^{20,21,22}. Juntamente, à presença de mais de uma porta de condução nos transistores de múltiplas portas faz com que novas capacitâncias sejam introduzidas (como a capacitância lateral), fazendo com que um melhor detalhamento quanto ao seu modelo de capacitâncias seja necessário^{23,24,25}.

O escalamento das dimensões dos dispositivos (a fim de se elevar a corrente de condução) vem enfrentando desafios significativos, onde um dos caminhos escolhidos, o de redução da espessura do dielétrico de porta tem deixado de cumprir os requisitos estabelecidos de aceitação, apresentando uma elevada corrente de fuga pela porta. Com isso, a introdução de novos materiais se faz necessária para se quebrar as barreiras do escalamento. Dielétricos com alta constante dielétrica têm sido estudados, sendo conhecidos por óxidos *high-k*^{26,27}, que sendo fisicamente mais espessos resultam em uma menor corrente de fuga para o mesmo comportamento elétrico do dispositivo.

Juntamente com os dielétricos de alta constante dielétrica, novos materiais de eletrodo de porta vêm sendo estudados a fim de ser conseguir variar a tensão de limiar para ambos os tipos de canal (n e p) em dispositivos de múltiplas portas e que seja direcionada para uma aplicação na tecnologia metal óxido semicondutor complementar (CMOS - *Complementary Metal-Oxide-Semicondutor*) de alto desempenho²⁸. Esta variação na tensão de limiar pode ser obtida através da mudança da função de trabalho que pode ser obtida com o uso de eletrodos de porta metálicos^{29,30}. Para estas estruturas de múltiplas portas o uso do nitreto de titânio (TiN) como material de porta é o metal que vem se destacando, onde a variação da função de trabalho pode ser obtida variando-se sua espessura^{31,32,33}.

Este trabalho tem como principal objetivo o estudo de transistores SOI de porta tripla com óxido de porta de alta constante dielétrica e eletrodo de porta de metal.

Métodos de extração de parâmetros através das curvas da capacitância em função da tensão serão aplicados nestes dispositivos de múltiplas portas, onde simulações elétricas e medidas experimentais validaram a utilização dos mesmos nestas novas tecnologias

Será abordada também a influência da variação da espessura do material de porta de nitreto de titânio (TiN) neste dispositivos de porta tripla com silicato de óxido de háfnio (HfSiO). Adicionalmente, apresentamos um estudo experimental sobre o impacto de uma etapa adicional de nitretação deste silicato de óxido de háfnio (HfSiON).

Finalmente, dispositivos SOI de porta tripla com uma estrutura de porta diferente serão analisados, através da inserção de uma camada de óxido de disprósio entre a estrutura de porta com o objetivo de se ajustar a tensão de limiar.

Este trabalho encontra-se dividido em 6 capítulos, os quais estão organizados conforme descrito abaixo:

No Capítulo 2 é apresentado os fundamentos teóricos que dão sustentação ao desenvolvimento do trabalho proposto, onde descreveremos a tecnologia SOI de porta simples e suas principais características elétricas. Serão apresentadas também as estruturas de múltiplas portas, foco de estudo deste trabalho, onde se discute seu funcionamento, suas principais características e as diferentes estruturas de múltiplas portas.

É apresentado no Capítulo 3 um estudo do comportamento da capacitância em dispositivos de porta tripla com dielétrico de alta constante dielétrica e porta de metal. Inicialmente é descrito a aplicação de métodos convencionais para extração da espessura efetiva do óxido de porta (EOT), da espessura do silício (H_{fin}) e da concentração de dopantes do canal (N_a) nestas estruturas de múltiplas portas. São apresentadas simulações numéricas tridimensionais e resultados experimentais para a aplicação dos métodos e verificação da validade dos mesmos. Segue também uma análise da influência do efeito de canto, presente em estruturas de múltiplas portas com alta concentração de dopantes, através de simulações numéricas tridimensionais com o auxílio de curvas da corrente e da capacitância de porta em função da tensão na porta. O Capítulo 4 analisa o impacto que a variação da espessura da porta de metal TiN causa nas características elétricas destas estruturas de múltiplas portas com isolantes de alta constante dielétrica. Uma ampla análise foi realizada nestes dispositivos onde parâmetros elétricos e físicos foram extraídos, juntamente com um estudo sobre seu comportamento em operação analógica. Também foram estudadas diferentes técnicas de deposição da porta de metal TiN e seu impacto na função de trabalho.

O Capítulo 5 apresenta os resultados experimentais de transistores de porta tripla, mas com diferentes composições de porta, explicitando as principais vantagens de sua utilização, principalmente no que diz respeito à obtenção de uma tensão de limiar e função de trabalho adequada.

Finalmente, o Capítulo 6 enumera as principais conclusões deste trabalho, assim como apresenta as sugestões para continuidade do que foi até então desenvolvido.

2 CONCEITOS FUNDAMENTAIS

Neste capítulo será apresentada uma revisão bibliográfica sobre a tecnologia de múltiplas portas (SOI MuGFET), onde serão abordados os diferentes tipos de transistores. Serão também apresentadas as principais características elétricas dos dispositivos de múltiplas portas como tensão de limiar, mobilidade, DIBL e etc. Finalmente, é apresentada uma breve descrição dos modelos de simulação numérica tridimensional utilizados neste trabalho.

2.1 Tecnologia silício sobre isolante (SOI)

Os primeiros dispositivos fabricados a partir da tecnologia de fabricação de circuitos integrados em lâminas de silício sobre isolante (SOI) datam de 1963⁵, onde a principal característica da tecnologia SOI é a presença de um material isolante que separa a região ativa do transistor da lâmina do substrato de silício⁸. Na Figura 2 é apresentado o perfil transversal de um transistor nSOI MOSFET.



Figura 2 - Perfil transversal de um transistor SOI nMOSFET.

Nela são indicadas as espessuras do óxido de porta (t_{oxf}), da camada de silício (t_{Si}) e do óxido enterrado (t_{oxb}), os eletrodos de porta (V_{GF}), substrato (V_{GB}), dreno (V_D) e fonte (V_S), o comprimento (L) e a largura (W) de canal, além da representação das três interfaces (Silício/óxido de silício/substrato) presentes na tecnologia SOI.

2.1.1 Tipos de Estruturas SOI

A tecnologia SOI pode ser classificada de acordo com a espessura da camada de silício (t_{Si}) sobre o isolante no qual os dispositivos são implementados, da concentração de dopantes e da temperatura. Em função desta espessura e da depleção máxima, podemos obter três tipos de transistores: de camada espessa, de camada média e de camada fina. A profundidade de depleção máxima ($x_{dmáx}$) nos dispositivos fabricados com tecnologia MOS é dada pela eq. (1).

$$x_{dmáx} = \sqrt{\frac{4\varepsilon_{Si}\phi_F}{qN_a}} \tag{1}$$

onde

 $\phi_{\scriptscriptstyle F} = rac{kT}{q} \ln rac{N_a}{n_i}$ é o potencial de Fermi

 ε_{Si} = é a permissividade do silício, ε_0 =8,854x10⁻¹⁴ F/cm é a permissividade do vácuo e vezes 11,7 que é a constante dielétrica do silício.

q é a carga elementar do elétron

k é a constante de Boltzmann

T é a temperatura absoluta

ni é a concentração intrínseca de portadores do semicondutor

Se a espessura da camada de silício é maior que o dobro da profundidade de depleção máxima ($t_{Si} > 2x_{dmáx}$) o dispositivo é considerado como um "SOI de camada espessa" ou "parcialmente depletado". Nesta estrutura não há interação das regiões de depleção da primeira e segunda interface²⁰.

Quando a espessura da camada de silício é menor que a profundidade de depleção máxima ($t_{Si} < x_{dmáx}$) o dispositivo é conhecido como "SOI de camada fina" ou "totalmente depletado". Neste caso, quando aplicada uma tensão na porta que alcance a tensão de limiar do dispositivo, a camada de silício ficará totalmente depletada. Com isso, algumas melhorias podem ser observadas como menor variação da tensão de limiar com a temperatura³⁴, menor efeito de canal curto¹¹, redução do campo elétrico³⁵, maior mobilidade de portadores³⁶ entre outras.

Por último, podemos citar os dispositivos "SOI de camada média" ou "quase totalmente depletado", onde seu comportamento elétrico está entre os dispositivos de camada espessa e camada fina ($x_{dmáx} < t_{Si} < 2x_{dmáx}$).

Os diferentes tipos de dispositivos estão apresentados na Figura 3 através dos diagramas de faixa de energia dos transistores MOS convencionais (A), SOI de camada espessa (B) e SOI de camada fina (C), onde E_C é o nível de energia inferior da faixa de condução, E_V é o nível de energia superior da faixa de valência e E_i é o nível intrínseco e E_F representa o nível de Fermil.



Figura 3 – Diagramas de faixas de energia para os transistores a) MOS convencional, b) SOI de camada espessa e c) SOI de camada fina.

2.2 Tecnologia de múltiplas portas

2.2.1 Classificação dos transistores de múltiplas portas

Serão apresentadas a seguir algumas das estruturas SOI de múltiplas portas que podem ser encontradas na literatura, onde na Figura 4 pode-se observar a estrutura de algumas delas de acordo com o número de portas.



Figura 4 - Diferentes estruturas SOI de múltiplas portas³⁷.

Dispositivos de porta dupla

Transistores de porta dupla vêm sendo estudados desde 1984, onde o primeiro transistor proposto foi o XMOS, apresentando uma significativa redução do efeito de canal curto e um excelente controle do potencial no filme de silício através do uso das portas superiores e inferiores ao canal do transistor³⁸.

O primeiro SOI MOSFET de porta dupla fabricado foi o transistor DELTA (*fully depleted Lean channel transistor*) em 1989¹⁷, onde o canal encontra-se na vertical. Logo após surgiram outros dispositivos de porta dupla com canal vertical, tais como o SOI MOSFET FinFET¹⁸ (Figura 5), o MFXMOS³⁹, *o triangular-wire*⁴⁰ e o Δ -*channel*⁴¹.



Figura 5 – Estrutura de porta dupla FinFET⁶.

A diferença entre os dispositivos DELTA e FinFET é a presença de um dielétrico chamado por "máscara rígida" depositada no topo do canal de silício. Esta máscara é utilizada na prevenção da formação da inversão parasitária do canal nos cantos superiores do dispositivo¹⁶.

Podemos citar também, como dispositivo de porta dupla o transistor GAA (*Gate-all-around*), que possui material de porta circundando toda a região do canal, mas como a largura do dispositivo é muito maior do que a espessura da camada de silício, apenas duas portas influenciam no comportamento do transistor⁴².

Dispositivos de porta tripla e com mais de três portas

Os dispositivos de porta dupla FinFET sofreram uma modificação no seu processo de fabricação, onde a oxidação térmica de porta foi feita em três lados do canal. Como resultado, as três faces do canal permaneceram com a mesma espessura do óxido de porta, e desta forma a corrente elétrica flui pelas três regiões controladas pela porta, obtendo-se um melhor controle das cargas na região do canal. Podemos citar também sua compatibilidade com o processo de fabricação da tecnologia SOI planar, o que torna esta estrutura muito interessante em termos de fabricação⁴³. O escalamento de suas dimensões também é dado como uma de suas vantagens, com um comprimento de canal de até 10nm⁴⁴. Além de excelentes propriedades elétricas para aplicações digitais e analógicas⁴⁵, apresentando melhorias tanto na frequência de ganho unitário como no ganho intrínseco do transistor⁴⁶. Entretanto uma redução na mobilidade é observada, devido à mudança da orientação cristalográfica de <100> para <110> nas laterais do canal⁴⁷.



Figura 6 – Foto de uma estrutura de porta tripla⁴⁸.

Como outros dispositivos de porta tripla implementados podemos citar: "quantum-wire SOI MOSFET"⁴⁹ e o "tri-gate MOSFET"⁵⁰.

Melhorias nos dispositivos de porta tripla foram realizadas resultando nas estruturas " π -gate"^{51,52} e " Ω -gate"⁵³. As propriedades elétricas destas estruturas estão entre os dispositivos de porta tripla e quádrupla podendo ser chamados de

"3+" (triple-plus)-gate". São dispositivos de porta tripla com uma extensão do eletrodo de porta abaixo da camada de silício, que pode ser formada utilizando-se uma taxa de corrosão maior no óxido enterrado durante a etapa de padronização da camada de silício. A extensão do eletrodo de porta abaixo da região ativa, forma um campo induzido na parte inferior do dispositivo bloqueando o campo elétrico do dreno entre as extensões da porta, funcionando como uma pseudo quarta porta, conforme pode ser visto na Figura 7. Esta extensão da porta faz também com que a tensão aplicada no substrato tenha uma menor influência nas condições de operação do dispositivo⁵⁴.



Figura 7 – Cortes transversais das estruturas π -gate e Ω -gate²⁰.

Dispositivos de porta circundante

A estrutura que apresenta melhor controle da região do canal é a de porta circundante, de onde podemos citar as estruturas: *"cylindrical*", *"thin-pillar*" (CYNTHIA)⁵⁵ (Figura 8) e *"pillar surrounding-gate*"⁵⁶.


Figura 8 – Estrutura de porta circundante CYNTHIA⁵⁶.

Dispositivos de porta quádrupla

Transistores de quatro portas (G⁴-FET)⁵⁷ possibilitam a aplicação de diferentes polarizações em cada uma das quatro portas. Este dispositivo apresenta a mesma estrutura de um SOI MOSFET convencional parcialmente depletado (PD MOSFET), mas com a presença de dois contatos de corpo independentes (n+). O fluxo de corrente nestes dispositivos flui de um contato de corpo ao outro, onde podemos enumerar as quatro portas como: G1 a porta de silício policristalino superior, G2 o substrato de silício e duas regiões p+ (JG1 e JG2) que são polarizadas reversamente em relação ao corpo n-, sendo estas as portas laterais (Figura 9).



Figura 9 – Estrutura de quatro portas G⁴-FET⁵⁷.

2.2.2 Características elétricas do transistor de múltiplas portas

Esta seção apresenta os principais parâmetros elétricos dos transistores de múltiplas portas, os quais serão utilizados nos capítulos seguintes. Dentre as principais características elétricas dos dispositivos de múltiplas portas, podemos citar como as mais relevantes: a alta corrente de condução por unidade de área devido à formação dos múltiplos canais e a excelente característica em canais curtos, pois o potencial na região do canal é controlado por mais de uma porta.

2.2.2.1 Corrente de dreno

Sabe-se que a corrente de dreno em dispositivos SOI de múltiplas portas é proporcional a largura total das portas. Tendo as portas do dispositivo a mesma largura, a corrente irá triplicar em um transistor de porta tripla, se comparada com um transistor de porta simples. Logo, pode-se aumentar a corrente de dreno através da configuração de múltiplos dedos (*fins*), conforme mostra a Figura 10⁵⁸.



Figura 10 – Estrutura de múltiplos dedos.

Sendo assim, a corrente de dreno (I_{DS}) dos dispositivos de múltiplos dedos é igual à corrente que passa por um único dispositivo só que multiplicada pelo número de dedos. Considerando P o espaçamento entre o início de um dedo ao mesmo ponto do outro dedo e assumindo a mobilidade de portadores sendo idêntica em todas as interfaces silício/óxido, a corrente por unidade de largura de dispositivo pode ser expressa pela eq. (2)³⁷.

$$I_{DS} = I_{DS0} \frac{(W_{fin} + 2H_{fin})}{P}$$
(2)

onde

 I_{DS0} é a corrente entre dreno e fonte de um dispositivo planar de porta simples W_{fin} é a largura do canal (*fin*) em transistor de múltiplas portas H_{fin} é a altura do canal (*fin*) em transistor de múltiplas portas

Em dispositivos de porta tripla, onde $H_{fin} = W_{fin}$ o espaçamento entre os dispositivos (P) precisa ser menor que $3W_{fin}$ para que a corrente de dreno seja realmente maior do que em um dispositivo de porta simples³⁷.

2.2.2.2 Tensão de limiar

A tensão de limiar (V_T) de um transistor é definida como sendo o valor da tensão aplicada à porta do dispositivo que faz com que as cargas móveis se acumulem na região do canal de forma a inverter a sua superfície formando um canal de condução entre fonte e dreno⁵⁹. Contudo, em dispositivos de múltiplas portas não podemos mais utilizar a mesma definição para V_T que se utilizava para dispositivos de porta simples, pois neste caso a condução não ocorre necessariamente na inversão forte (onde o potencial de superfície ϕ_S corresponde a $2\phi_F$), como antes, a condução de corrente pode vir a ocorrer na inversão fraca ($\phi_S < 2\phi_F$)^{60,61}. Outro ponto importante, é que em transistores de múltiplas portas a inversão pode ser alcançada em diferentes partes do canal e para diferentes tensões aplicadas na porta. A tensão de limiar para dispositivos de múltiplas portas pode ser obtida através da eq. (3)²⁰.

$$V_{T} = \phi_{S} + V_{FB} + \frac{KT}{q} \frac{\Psi}{\delta} \sqrt{1 + \frac{\delta}{\Psi}}$$
(3)

onde

 $V_{FB} = \phi_{MS} - \frac{Q_{ox}}{C_{oxf}}$ é a tensão de faixa plana da estrutura MOS, ϕ_{MS} é a diferença de função de trabalho entre o metal e o silício, Q_{ox} é a carga efetiva no óxido por

unidade de área e $C_{oxf} = \varepsilon_{ox}/t_{oxf}$ é a capacitância do óxido de porta por unidade de área e ε_{ox} é a permissividade do óxido de porta.

$$\phi_s = 2\phi_F + \frac{KT}{q} \ln \left[\delta \frac{1}{1 - \exp(-\psi)} \right]$$
 é o potencial de superfície

 $\psi = \frac{q}{kT} \cdot \frac{Q_D}{8C_{Si}}$ sendo Q_D é a carga de depleção e C_{si}= ε_{Si}/t_{Si} é a capacitância da

camada de silício por unidade de área e:

$$\delta = \frac{C_{oxf}}{4C_{Si}}$$

2.2.2.3 Inclinação de sublimiar

O fator conhecido por inclinação de sublimiar (S) dos transistores MOS consiste na variação de tensão de porta necessária para se aumentar em uma década a corrente de dreno quando operando na região de sublimiar⁶². Este parâmetro é particularmente importante nas aplicações digitais, onde um menor S é desejado para que uma maior velocidade de chaveamento seja obtida. Desta forma, a inclinação de sublimiar pode ser encontrada através da eq. (4)⁶³.

$$S = \frac{dV_{GF}}{d(\log(I_{DS}))} = \frac{kT}{q} \ln(10)n \tag{4}$$

onde n=1+ α é o fator de corpo e que pode ser entendido como a oposição que o dispositivo oferece para que o eletrodo de porta faça o controle do potencial de superfície da primeira interface⁶¹. O fator de acoplamento capacitivo do transistor (α) é dado por:

$$\alpha = \frac{C_D}{C_{ox}}$$
 para transistores MOS convencionais e SOI parcialmente (5) depletado

 $\alpha = \frac{C_{Si}}{C_{oxf}}$ para transistores SOI totalmente depletado e com a segunda (6)

interface acumulada

$$\alpha = \frac{C_{Si}C_{oxb}}{C_{oxf}(C_{Si} + C_{oxb})} \text{ para transistores SOI totalmente depletado e com a}$$
(7)

segunda interface depletada

onde C_D é a capacitância da região de depleção e C_{oxb} é a capacitância do óxido enterrado do transistor SOI ambas por unidade de área.

Com isso, pode-se verificar que o fator de corpo é menor nos dispositivos SOI totalmente depletados que nos dispositivos MOS convencionais, resultando em uma menor inclinação de sublimiar.

Uma das principais vantagens da operação de transistores MOS em baixa temperatura está relacionada à redução da inclinação de sublimiar, como pode ser visto na eq. (4). Contudo, com a redução da temperatura a influência da densidade de armadilhas de interface torna-se apreciável. A eq. (8) mostra a dependência da capacitância de armadilhas de interface (C_{it}) com a temperatura onde Q_{it} são as cargas de armadilha de interface²⁰.

$$C_{ii} = \frac{dQ_{ii}}{d\phi_S} = \frac{dQ_{ii}}{d2\phi_F} = \frac{dQ_{ii}}{d2\left(\frac{kT}{q}\ln\frac{N_a}{n_i}\right)}$$
(8)

Como resultado, o fator de acoplamento capacitivo para dispositivos SOI totalmente depletados deve considerar a capacitância de armadilhas de interface, sendo descrito pela eq. (9), onde C_{itt} e C_{itb}, respectivamente são as capacitâncias das armadilhas de interface da primeira e segunda interfaces. Logo um aumento no fator de corpo é observado com a variação de C_{it} com a redução da temperatura.

$$\alpha = \frac{C_{iif}}{C_{oxf}} + \frac{C_{Si}}{C_{oxf}} - \frac{\frac{C_{Si}^2}{C_{oxf}} \cdot C_{oxb}}{1 + \frac{C_{iib}}{C_{oxb}} + \frac{C_{Si}}{C_{oxb}}}$$
(9)

A Figura 11 apresenta as curvas da inclinação de sublimiar em função do comprimento de canal para as diferentes estruturas de múltiplas portas, e como pode ser visto, quanto maior o número de portas do transistor menor S. Este efeito se dá ao maior controle da região do canal pelas portas laterais, assim como, a uma maior proteção da região do canal contra a influência do campo elétrico do dreno⁶⁴.



Figura 11 – Variação da inclinação de sublimiar em função do comprimento de canal para diferentes estruturas de múltiplas portas com $H_{fin}=W_{fin}=30$ nm e $V_{DS}=0,1V^{64}$.

2.2.2.4 Transcondutância

O parâmetro transcondutância (g_m) de um transistor MOSFET mede a eficácia do controle que a tensão aplicada a porta exerce sobre a corrente de dreno, sendo definido por:

- -

$$g_m = \frac{dI_{DS}}{dV_{GF}} \tag{10}$$

Em transistores SOI a medida da transcondutância pode ser obtida através das equações de corrente descritas pelo modelo Lim & Fossum, onde⁶⁵:

Em triodo:

$$g_m = \frac{W \cdot \mu_n C_{oxf}}{L} V_{DS} \tag{11}$$

onde μ_n é a mobilidade efetiva de elétrons e V_{DS} é a tensão entre dreno e fonte. <u>Em saturação:</u>

$$g_m = \frac{W \cdot \mu_n C_{oxf}}{L(1+\alpha)} (V_{GF} - V_T)$$
(12)

Como resultado do menor fator de corpo observado em transistores SOI totalmente depletados discutido anteriormente, uma maior transcondutância é vista nestes dispositivos em relação aos transistores MOS convencionais.

A Figura 12 apresenta o comportamento da transcondutância em função do comprimento de canal para dispositivos de múltiplas portas em comparação com dispositivos convencionais. Dispositivos de múltiplas portas com reduzido comprimento de canal apresentam menor g_m principalmente devido a maior resistência parasitária entre fonte/dreno, vista nestes dispositivos⁶.



Figura 12 – Transcondutância em função do comprimento de canal para dispositivos de múltiplas portas e convencionais⁶.

2.2.2.5 Abaixamento da barreira induzido pelo dreno

O efeito de redução de barreira induzida pelo dreno (*Drain-Induced Barrier Lowering* – DIBL) se dá pelo compartilhamento de cargas entre a porta e as junções, fazendo com que as regiões de fonte e dreno do transistor MOS formem uma junção PN com o corpo do dispositivo⁶⁶. Como resultado, a tensão aplicada ao dreno promove uma polarização reversa que leva a um aumento da largura das regiões de depleção juntamente com essa junção PN. Quando isto acontece, se o canal é suficientemente longo, nenhuma alteração na barreira de potencial da junção de fonte é observada. Contudo, conforme o comprimento de canal é reduzido esta barreira de potencial na fonte pode vir a sofrer uma redução, dependendo da polarização imposta ao dreno. Assim, o aumento da região de depleção de dreno, originado pelo aumento de V_{DS}, reduz a carga de depleção que é controlada pela porta, e como resultado, uma menor tensão de limiar é vista para altos valores de V_{DS}. Para se determinar o valor de DIBL normalmente a eq. (13) é utilizada ⁶⁷.

$$DIBL(mV/V) = \frac{V_{Ttriodo} - V_{Tsat}}{V_{DSsat} - V_{DStriodo}}$$
(13)

A Figura 13 mostra valores típicos de DIBL em dispositivos MOSFET convencionais, SOI totalmente depletados e dispositivos de múltiplas portas. Como os dispositivos SOI de filme fino, estando totalmente depletados, apresentam um melhor controle das cargas no canal do que os dispositivos MOSFET, pode-se observar um menor DIBL mesmo a comprimentos de canal reduzidos⁶⁸. Esta redução é ainda maior em dispositivos de múltiplas portas devido ao melhor acoplamento eletrostático das portas laterais com a região do canal, reduzindo a influencia do campo elétrico e desta forma DIBL⁵².



Figura 13 – Variação de DIBL com o comprimento de canal para dispositivos convencionais, SOI com porta simples e de múltiplas portas⁶.

2.2.2.6 Corrente de dreno induzida pela porta

A corrente de dreno induzida pela porta (*Gate induced drain leakage* – GIDL) é causada pelo tunelamento de banda para banda na região do dreno abaixo da porta⁶⁹. Quando há uma tensão entre dreno e porta suficiente, ocorre um tunelamento entre a banda no silício com a interface com o dielétrico de porta, causando um tunelamento de elétrons da banda de valência para a banda de condução. No caso de dispositivos com canal tipo n, os elétrons gerados seguem para o dreno enquanto as lacunas para o eletrodo de menor potencial (neste caso a fonte). A densidade de corrente GIDL pode ser modelada através da eq. (14), onde: A_G é um parâmetro pré-exponencial, B_G é um parâmetro físico pré-exponencial (tipicamente 23–70MV/cm) e E_T é o campo elétrico total⁶.

$$J_{GIDL} = A_G \cdot E_T \cdot \exp(-B_G / E_T) \tag{14}$$

A maior componente do campo elétrico total é o campo elétrico transversal (E_S), que pode ser extraído através da eq. (15) onde V_{DG} é a tensão entre dreno e porta.

$$E_{s} = \frac{V_{DG} - V_{FB} - 1.2}{3t_{oxf}}$$
(15)

2.2.2.7 Efeito de canal curto

O efeito de canal curto (SCE – *Short Channel Effect*) se dá pela redução do comprimento de canal dos transistores e faz com que ocorra uma diminuição das cargas de depleção controladas pela porta. Com isso, as regiões de depleção de fonte e dreno tornam-se significativas em relação à região de depleção controlada pela porta¹¹. Como resultado uma redução de V_T é vista em dispositivos que sofrem do efeito de canal curto⁷⁰. Contudo, conforme pode ser visto na Figura 14, dispositivos SOI MOSFET totalmente depletados apresentam uma menor redução da tensão de limiar com o comprimento de canal quando comparado aos dispositivos MOS⁷¹.



Figura 14 - Tensão de limiar em função do comprimento de canal em dispositivo MOS convencional e SOI MOSFET totalmente depletado⁷¹.

Através da distribuição do potencial no canal em dispositivos de porta simples SOI totalmente depletados, que é governada pela equação de Poisson, pode-se extrair o parâmetro conhecido como comprimento natural do dispositivo (λ) e que depende da espessura do óxido de porta e do filme de silício, como mostra a equação (16). Sabe-se que para se prevenir o efeito de canal curto é recomendado um comprimento efetivo de canal de 5 a 10 vezes maior que este comprimento natural, logo menor λ é desejado a fim de se minimizar o efeito de canal curto. Como pode ser visto nas equações (17) e (18), quanto maior o número de portas menor será o comprimento natural, resultando em um reduzido efeito de canal curto em dispositivos de múltiplas portas⁶.

Dispositivo de porta simples
$$\lambda = \sqrt{\frac{\varepsilon_{Si}}{\varepsilon_{ox}} t_{oxf} t_{Si}}$$
 (16)

 $\lambda = \sqrt{\frac{\varepsilon_{Si}}{2\varepsilon_{ox}}} t_{oxf} t_{Si}$

Dispositivo de porta dupla

Dispositivo de porta quádrupla
$$\lambda = \sqrt{\frac{\varepsilon_{Si}}{4\varepsilon_{ox}}t_{oxf}t_{Si}}$$
 (18)

2.2.2.8 Efeito de canto

Um aumento na concentração de dopantes do canal em transistores permite um aumento da tensão de limiar, uma diminuição da inclinação de sublimiar e uma subseqüente redução do efeito de canal curto⁷². Contudo, estruturas de múltiplas portas com alta concentração de dopantes ($>N_a=1x10^{18}$ cm⁻³) têm seu comportamento prejudicado devido à influência do acoplamento das portas laterais sobre os portadores na região do canal. Um efeito conhecido por "efeito de canto" é gerado e faz com que portadores acumulem-se nos cantos superiores e inferiores do canal. Como resultado o potencial de superfície e a tensão de limiar variam ao longo do canal^{73,74}. A Figura 15 apresenta o perfil transversal de uma estrutura de porta tripla demonstrando as interações eletrostáticas.

(17)



Figura 15 – Perfil transversal de uma estrutura de porta tripla demonstrando as iterações eletrostáticas causadas pela portas laterais⁷³.

Trabalhos recentes focaram o estudo da influência do efeito de canto, através de curvas de corrente em função da tensão na porta. Para os dispositivos de múltiplas portas com alta concentração de dopantes é observada através da segunda derivada da curva I-V a presença de dois picos. Pode-se dizer então que estes dispositivos apresentam duas tensões de limiar, as quais estão relacionadas aos diferentes canais de condução de corrente, sendo estes ativados com diferentes tensões na porta (Figura 16)⁷⁵.



Figura 16 – Curva da derivada da transcondutância em função da tensão na porta, apresentando os dois picos da tensão de limiar⁷⁵.

Dispositivos com largura e altura de canal reduzidas são menos sujeitos ao efeito de canto, mesmo com altas concentrações de dopantes no canal. Conforme a altura e largura do canal são reduzidas, as tensões de limiar (dos cantos e das laterais do canal) se aproximam até convergirem em uma única tensão⁷⁵. Uma maneira de se eliminar o efeito de canto é utilizar dispositivos com grande raio de curvatura dos cantos ou totalmente depletados⁷⁶.

2.2.2.9 Mobilidade

A mobilidade dos portadores é um parâmetro importante para determinação da capacidade de fornecimento de corrente em um transistor. O movimento dos portadores em um cristal semicondutor não é livre, mas sim limitado por mecanismos de espalhamento que reduzem a mobilidade.

Um efeito conhecido por inversão de volume, descoberto por Balestra⁷⁷, foi observado inicialmente em dispositivos de porta dupla em filmes muito finos. Neste caso a inversão de portadores não está mais confinada perto da interface do silício com o óxido de porta e sim ao centro do canal. Com isso as cargas presentes no centro do canal sofrem menos espalhamento de superfície do que os portadores que trafegam na camada de inversão na interface do canal. Com isto uma maior mobilidade é observada em dispositivos de múltiplas portas com largura de canal reduzidos do que em dispositivos convencionais de uma única porta.

Entretanto, outro ponto que deve ser levado em consideração é que dispositivos de múltiplas portas apresentam diferentes orientações cristalográficas, onde o canal superior apresenta uma orientação na direção <100> e os canais laterais apresentam uma orientação <110>⁷⁸. A Figura 17 mostra o comportamento da mobilidade de elétrons em dispositivos de múltiplas portas para as diferentes orientações cristalográficas, e como pode ser visto uma maior mobilidade é observada para a orientação cristalográfica do topo do canal <100>.



Figura 17 – Comportamento da mobilidade de elétrons em dispositivos de múltiplas portas com diferentes orientações cristalográficas⁷⁸.

Dentre as técnicas utilizadas para se extrair a mobilidade de portadores em dispositivos de múltiplas portas a técnica de *Split-CV* tem demonstrado maior eficácia e veracidade em seus valores⁴⁷. A eq.(19) mostra o cálculo da mobilidade efetiva de elétrons (μ_n) onde Q_{inv} que é a carga inversão foi expressa em função da capacitância entre a porta e o canal (C_{GC}) por unidade de área.

$$\mu_{n} = \frac{L^{2} I_{DS}}{V_{GFinv}}$$
(19)
$$V_{DS} \int_{V_{GFacum}}^{V_{GFinv}} C_{GC}(V_{GF}) dV_{GF}$$

2.2.2.10 Efeito de corpo flutuante induzido pela porta

Quando o corpo do transistor não é aterrado, um efeito conhecido por corpo flutuante é observado degradando o comportamento do dispositivo. Este efeito é especialmente observado em dispositivos MOSFET e SOI parcialmente depletado, mas também pode ser observado em dispositivo SOI totalmente depletado quando este está operando com uma tensão de acumulação no substrato desacoplando, desta forma, a segunda interface da primeira interface⁷⁹.

Contudo, com a constante redução da espessura do óxido de porta, um novo tipo de efeito de corpo flutuante tem sido observado na região de triodo. A principal diferença é o tunelamento de portadores que acontece entre o corpo e a porta (devido ao fino óxido de porta) para uma tensão de porta muito elevada. Neste momento, o tunelamento de elétrons da banda de valência ocorre e dá origem a portadores majoritários no filme de silício elevando, desta forma, o potencial no corpo. Este efeito, também conhecido por efeito de corpo flutuante induzido pela porta (GIFBE - *Gate induced floating body effect*) tende a acontecer para reduzidas tensões de polarização na porta devido ao aumento do tunelamento com a redução das dimensões. Como resultado, uma elevação da corrente de dreno na região de triodo é observada, resultando no aparecimento de um segundo pico na curva da transcondutância como pode ser visto na Figura 18^{80,81,82}.



Tensão na porta

Figura 18 – Transcondutância em função da tensão na porta para diferentes polarizações de substrato.

2.2.2.11 Armadilhamento de cargas

Em dispositivos de múltiplas portas a qualidade de interface do canal com o óxido de porta vem sendo foco de estudo, principalmente em dispositivos com reduzida largura de canal, onde uma maior densidade de armadilhas de interface é vista nos canais laterais devido à diferente orientação cristalográfica (110)⁴⁷. A interface do óxido de porta com alta constante dielétrica (que vem sendo estudados)

e o canal de silício também apresenta uma grande quantidade de cargas de interface que afetam o desempenho dos dispositivos⁸³. Com base neste estudo, diferentes técnicas de caracterização de interface vêm sendo estudadas. Dentre elas podemos citar as medidas de capacitância ou condutância em função da tensão de polarização, medidas da variação da inclinação de sublimiar, da transcondutância, medidas de ruído em baixa frequência e a técnica de bombeamento de cargas no canal.

2.2.2.11.1 Medida de ruído em baixa frequência

O mecanismo de transporte de portadores através do canal de um transistor MOS é um processo estocástico que apresenta flutuações randômicas com o tempo. Estas flutuações apresentam uma densidade espectral do ruído da corrente de dreno (S₁) que é dependente da freqüência (f), como pode ser visto na Figura 19⁸⁴.



Figura 19 – Densidade espectral do ruído em função da frequência.

Este ruído em baixa frequência é composto por um ruído inversamente proporcional a (f) conhecido por ruído *Flicker* ou $1/f^{\gamma}$ (o expoente da frequência é aproximadamente 1) e por um ruído de geração–recombinação (g-r)^{85,86,87}.

Ruído de geração-recombinação (g-r) é formado por flutuações causadas por armadilhas que aprisionam ou emitem portadores aleatoriamente. O formato de um espectro de ruído de geração-recombinação segue o modelo de Lorentz, sendo constante em baixas frequências e sofrendo uma redução com o aumento de f em uma proporção de 1/f².

Já o ruído *Flicker* ou 1/f é modelado por dois diferentes mecanismos em um transistor CMOS. Flutuações na corrente podem ser originadas por flutuações na mobilidade da camada de inversão, na densidade de cargas ou através dos dois mecanismos correlacionados entre si. Usualmente, assume-se que 1/f é gerado por um número de flutuações, vindos do armadilhamento ou desarmadilhamento de cargas no canal causados por defeitos presentes entre a interface do canal de silício com o óxido de porta.

O ruído também pode ser caracterizado através da densidade espectral de ruído referenciado à entrada (*input-referred noise spectral density* - S_{VG}), que por sua vez apresenta uma ligação com a densidade espectral de ruído da corrente de dreno com a transcondutância como pode ser visto na eq. (20).

$$S_{VG} = \frac{S_I}{g_m^{2}}$$
(20)

Através de S_{VG} pode-se extrair a densidade efetiva de armadilhas do óxido de porta (D_{ot}) como mostra a eq.(21)⁸⁸, onde α_n é um parâmetro de tunelamento sendo 10⁸ cm⁻¹ para elétrons em um óxido de porta de SiO₂⁸⁹.

$$S_{VG} = \frac{q^2 k T D_{ot}}{W L C_{oxf}^2 \alpha_n f}$$
(21)

2.2.2.11.2 Medida de bombeamento de cargas

A técnica de bombeamento de cargas (*charging pumping* - CP) é um método direto e confiável a fim de se determinar a densidade de armadilhas de interface no óxido de porta sem danificar o dispositivo⁹⁰. A técnica consiste em aplicar um pulso no eletrodo de porta que gera uma corrente de substrato que é proporcional à densidade de armadilhas de interface. Contudo, devido à ausência de um contato de substrato em dispositivos SOI a técnica CP apresenta um uso limitado. Como alternativa, um diodo com configuração n+/p-/p+ (*gated diode*) foi proposto⁹¹ com o

objetivo de se aplicar a técnica de bombeamento de cargas em dispositivos SOI. Recentemente, este medida também foi aplicada em dispositivos de múltiplas portas⁹².

A Figura 20 apresenta a estrutura do diodo SOI n⁺/p⁻/p⁺ utilizada para aplicação da técnica, assim como a configuração da medida experimental. Como em dispositivos MOSFET, a região N+ aterrada age como uma fonte de portadores minoritários, o terminal P+ fornece os portadores majoritários e tem a mesma função que o substrato em um dispositivo MOSFET. A tensão aplicada na porta frontal é pulsada periodicamente levando a região do canal da inversão para a acumulação. Portadores minoritários capturados como armadilhas de interface durante a inversão contribuem para a corrente de bombeamento de carga (I_{CP}) medida no contato P+, enquanto a tensão no substrato permanece aterrada.



Figura 20 – Representação da estrutura de um diodo SOI n⁺/p⁻/p⁺ e a configuração da medida experimental de bombeamento de cargas.

A configuração do pulso trapezoidal aplicado a porta é visto na Figura 21a, onde: f é a frequência de operação, t_r e t_f são tempos de subida e de descida, V_A é a amplitude do pulso e V_{GFL} é a tensão de base aplicada na porta frontal e V_{GFH} é a tensão em nível alto. Na Figura 21b pode-se observar a corrente de bombeamento de cargas (I_{CP}) resultante em função da tensão de base V_{GFL}. O pulso aplicado na porta pode ser dividido em três regiões baseando-se no comportamento da corrente CP. Região (1): neste momento onde V_{GFL}<V_{FB}<V_{GFH}<V_T, pode-se ver um aumento da corrente CP devido ao processo de recombinação que se inicia e está

relacionado com um aumento da concentração de elétrons. Na borda de subida da curva tem-se que $V_{GFL}=V_T-V_A$ e neste momento a tensão de limiar (V_T) pode ser estimada. Região (2): com a tensão V_{GFL} entre V_{FB} , contudo V_{GFH} está acima de V_T , à corrente CP apresenta seu valor máximo como pode ser visto na curva sendo este utilizado para se extrair a densidade de armadilhas de interface (D_{it}); Finalmente na Região (3), V_{GFL} atinge V_{FB} e o processo de recombinação começa a desaparecer levando à superfície do canal a inversão forte. A borda de descida da curva I_{CP} pode ser utilizada para se estimar a tensão de faixa plana (V_{FB}) do dispositivo.



Figura 21 – (a) Configuração dos parâmetros do pulso trapezoidal e (b) a variação típica da corrente I_{CP} em função da tensão de base para dispositivos nFET

Com o valor máximo de I_{CP} a densidade de armadilhas de interface total (D_{it}) pode ser extraída através da eq.(22) onde N é o número de *fins* dos dispositivos de múltiplas portas.

$$D_{it} = \frac{I_{CP}}{N \cdot W \cdot L \cdot q \cdot f} \tag{22}$$

2.2.2.12.1g_m/I_{DS}

A relação entre a transcondutância e a corrente de dreno g_m/I_{DS} traduz a eficiência do transistor em converter uma dada corrente de polarização em transcondutância. Seu valor máximo ocorre quando o transistor está operando em inversão fraca, sendo para transistor MOS convencional e SOI dada por⁹³:

$$\frac{g_m}{I_{DS}} = \frac{\ln(10)}{S} = \frac{q}{nkT}$$
(23)

Em inversão forte, há uma redução no valor da relação g_m/I_{DS}^{94} , conforme descrito abaixo:

$$\frac{g_m}{I_{DS}} = \sqrt{\frac{2\mu_n C_{oxf} W / L}{nI_{DS}}}$$
(24)

Devido ao menor fator de corpo (n) observado em dispositivos SOI totalmente depletados, a relação g_m/I_{DS} é maior em dispositivos SOI que em transistores MOS convencionais. Na inversão forte também é visto uma dependência da relação de g_m/I_{DS} com a mobilidade.

A Figura 22 mostra a curva de g_m/I_{DS} em função da corrente de dreno normalizada $I_{DS}/(W/L)$ para $V_{DS}=1,2V$, onde pode ser visto as regiões de inversão fraca, moderada e forte.



Figura 22 – Relação g_m/I_{DS} em função de $I_{DS}/(W/L)$ para $V_{DS}=1,2V$.

2.2.2.12.2Tensão Early

Em um transistor MOS convencional, quando a tensão aplicada ao dreno é maior do que a tensão de saturação, a região de depleção próxima ao dreno aumenta. Como resultado, o comprimento efetivo do canal sofre uma redução, provocando um acréscimo na corrente de dreno na saturação. Este acréscimo se traduz em um aumento da inclinação da curva da corrente de dreno em função da tensão entre dreno e fonte na região de saturação. Através da curva da corrente de dreno, extrapoladas para grandes tensões na porta até se interceptar o eixo da tensão, é possível de se extrair a tensão *Early* (V_{EA}), que representa esta variação na inclinação da curva, é pode ser expressa como⁶²:

$$V_{EA} \cong \frac{I_{DSsat}}{g_{Dsat}} \tag{25}$$

onde g_{Dsat} é a condutância de dreno na região de saturação.

2.2.2.12.3 Ganho intrínseco do transistor

O ganho intrínseco do transistor (A_V) descreve a eficiência do transistor em controlar a fonte de corrente considerando-se a resistência de saída, limitando desta forma o ganho dos amplificadores operacionais. O ganho pode ser definido como:

$$\left|A_{V}\right| = \frac{g_{m}}{g_{D}} \cong \frac{g_{m}}{I_{DS}} V_{EA} \tag{26}$$

A Figura 23 compara o comportamento do ganho em transistores convencionais e MuGFET e como pode ser visto, mesmo para reduzidos comprimentos de canal, dispositivos de múltiplas portas apresentam uma melhora no ganho, mesmo com reduzido g_m. A razão para este maior ganho se dá a reduzida condutância de saída observada em MuGFETs devido a baixa dopagem dos *fins* e ao reduzido efeito de canal curto^{6,95}.



Figura 23 – Comportamento do ganho intrínseco do transistor em função do comprimento de canal para dispositivos MuGFET e convencionais⁶.

2.3 Dielétrico de alta constante dielétrica

Para as indústrias de semicondutores a melhoria no desempenho dos dispositivos e a redução dos custos sempre foram o ponto chave para a perspectiva dos benefícios. Para uma melhoria do desempenho, um aumento da velocidade de operação lógica é necessário, sendo este proporcional a corrente de dreno do transistor apresentada na eq. (27)²⁰.

$$I_{DS} = \frac{W}{2L} \mu_n C_{oxf} (V_{GF} - V_T)^2$$
(27)

A capacitância do óxido de porta pode ser descrita através da eq. (28).

$$C_{oxf} = \frac{\mathcal{E}_{ox}}{t_{oxf}} \tag{28}$$

Com isso pode-se concluir que a melhora no desempenho do transistor (ou seja, maior corrente de condução) pode ser alcançada se diminuirmos a espessura do oxido de porta (t_{oxf}) ou se reduzirmos o comprimento de canal (L). Além disso, a redução das dimensões dos transistores leva a uma redução da capacitância, que também eleva a velocidade de operação do dispositivo. Com isso, uma maior integração de transistores por *chip* pode ser alcançada assim um menor custo de produção.

Contudo, o escalamento do dielétrico de porta de óxido de silício tem se tornado uma possibilidade inviável, em vista da elevada corrente de fuga que aparece atravessando o óxido de porta em direção ao canal. Simulações numéricas predizem que o limite para o oxinitreto é de 1,6 nm de espessura para operação de alto desempenho e de 2,2 nm para operação de baixa potência de operação⁹⁶.

Como alternativa, o dielétrico SiO₂ vem sendo substituído por outro material que possa ser fisicamente mais espesso, porém eletricamente equivalente, através de um óxido de porta com uma maior permissividade dielétrica (ϵ). Estes materiais com maior constante dielétrica são conhecidos por materiais de alta constante dielétrica. Com isso, definiu-se uma espessura do óxido equivalente (EOT - *Equivalent Oxide Thickness*)¹ que é definida como a espessura que uma camada de óxido de silício

deveria ter para equivaler ao óxido de alta constante dielétrica, com espessura maior, de forma a manter a mesma capacitância conforme eq. (29), onde t_{high-k} é a espessura do óxido de alta constante dielétrica e ε_{high-k} é a permissividade do dielétrico de *high-k*.

$$C_{ox} = \frac{\mathcal{E}_{ox}}{EOT} = \frac{\mathcal{E}_{high-k}}{t_{high-k}}$$
(29)

Por exemplo, um isolante com constante dielétrica de 16 possibilita uma espessura física de 4,1 nm para se obter um EOT de 1 nm, enquanto a constante dielétrica do SiO_2 é de 3,9.

Inicialmente, a deposição do material de alta constante dielétrica foi realizada diretamente em contato com o substrato de silício. Contudo, foi demonstrada uma grande densidade de armadilhas de interface em sua interface com o silício⁹⁷. Como resultado, uma camada interfacial de óxido de silício entre o material de alta constante dielétrica e o canal de silício foi mantida a fim de se melhorar a qualidade de interface sem grande impacto na mobilidade dos portadores.

Porém, a corrente de tunelamento não é dependente apenas da espessura do dielétrico, mas também da energia necessária para um elétron saltar da banda de valência para a banda de condução do isolante (*band gap*). Com isso, o material para substituir o SiO₂ deve conter não só uma maior constante dielétrica, mas também possuir uma maior energia. Infelizmente, para a maioria dos materiais de alta constante dielétrica, esta energia é inversamente proporcional a constante dielétrica⁹⁸. A Tabela 1 apresenta os possíveis substitutos do óxido de silício.

Material	8	Energia [eV]
SiO ₂	3,9	8,9
AI_2O_3	9-11	6,2 - 8,8
Dy ₂ O ₃	11-13	
Ta ₂ O ₅	26	4,5
TiO ₂	80	3,5
HfO ₂	15-26	5,6 - 5,9
ZrO ₂	14-25	5,5 - 5,8

Tabela 1 - Tabela dos possíveis materiais de alta constante dielétrica⁹⁹.

Materiais isolantes compostos por Al₂O₃ possuem uma grande altura de banda e apresentam boa estabilidade térmica com o silício quando depositados em elevadas temperaturas, contudo apresentam uma menor constante dielétrica que os demais materiais de alta constante dielétrica ¹⁰⁰. Recentemente materiais como o óxido de háfnio e o zircônio, assim como seus silicatos, tem recebido uma grande atenção devido a sua estabilidade termodinâmica com o silício e uma altura da banda aceitável (a partir de 1 eV)^{101,102}.

Adicionalmente, a incorporação de nitrogênio nestes isolantes de alta constante dielétrica vem apresentando uma boa estabilidade térmica, uma reduzida corrente de fuga e uma redução da penetração de dopantes pelo óxido^{103,104}.

2.4 Eletrodo de porta de metal

Em dispositivos planares convencionais, para conter as depleções vindas das regiões de fonte e dreno na direção do canal, uma elevada concentração de dopantes é necessária para com isso retardar o efeito de canal curto¹⁰⁵. Contudo, em dispositivos de múltiplas portas, devido a presença das portas laterais, um maior controle eletrostático da porta sobre os portadores no canal é observado⁶. Desta forma, é possível reduzir-se a concentração de dopantes, adquirindo uma maior mobilidade de portadores e um reduzido número de etapas do processo de fabricação^{62,106}. Entretanto, estes dispositivos MuGFET com baixa dopagem do canal estão apresentando uma tensão de limiar quase que constante com a variação da concentração.

Com isso, novas técnicas de ajuste da tensão de limiar vêm sendo estudadas para uma aplicação CMOS, dentre elas, o uso de porta de metal para ajuste da função de trabalho²⁸. A Figura 24 apresenta a tensão de limiar em relação à função de trabalho do material de porta, para dispositivos planares e MuGFET em diferentes condições de funcionamento. Como pode ser visto, para trabalho em alto desempenho (HP – *High Power*) onde uma reduzida tensão de limiar é necessária, transistores de múltiplas portas (MuGFET) precisam de uma função de trabalho de ±200 meV do meio da banda do silício. Para funcionamento em baixa potência (LP – *Lower Power*) uma única função de trabalho (no meio da banda) atende para ambos os tipos de canal n- e p-FET.



Figura 24 – Variação da tensão de limiar com a função de trabalho da porta para transistores planares e MuGFET⁶.

A Figura 25 apresenta os possíveis candidatos para serem utilizados como metal de porta e suas respectivas função de trabalho^{109,107}. Para dispositivos de múltiplas portas o uso de nitreto de titânio (TiN) vem apresentando vantagens como baixa resistividade, função de trabalho no meio da banda, onde a mesma pode facilmente ser alterada através da variação da espessura do filme de TiN^{31,33}. Ainda pode-se citar que com a substituição do silício policristalino como eletrodo de porta o efeito de depleção do silício-poli pode ser suprimido¹⁰⁸.

Para finalizar a estrutura de porta, a camada de TiN é coberta com uma espessa camada de silício policristalino. Este Si-poli é utilizado para se reduzir a resistência de porta após o processo de silicetação⁶.

AI (4.08) Ta (4.19) Mo (4.20) Sr V (4.30) Ti (4.33) Sn (4.42) W (4.52) Cr

Figura 25 – Diferentes materiais para eletrodo de metal de porta¹⁰⁹.

2.5 Simulações numéricas tridimensionais

2.5.1 Simulador ATLAS

O simulador ATLAS (SILVACO)¹¹⁰ é um programa de simulações numéricas bidimensionais e tridimensionais de dispositivos que pode ser utilizado para simular o comportamento de capacitores, transistores MOS e bipolares, e outros dispositivos semicondutores. Este simulador é baseado em equações físicas que permitem a obtenção das características elétricas dos dispositivos especificados, assim como suas condições de polarização e funcionamento.

As simulações obedecem a uma grade triangular não linear, que nos permite modelar a geometria do dispositivo com superfície planar ou não-planar. Elementos de grade adicionais podem ser inseridos, conforme a quantidade especificada pelo usuário, assim como o potencial ou a concentração de impurezas pode ser variada. Eletrodos podem ser colocados em qualquer lugar da estrutura do dispositivo.

Modelos físicos são incorporados ao programa para uma simulação precisa, incluindo modelos para recombinação, foto-geração, ionização por impacto, estreitamento da banda de energia, tunelamento, mobilidade e tempo de vida de portador.

2.5.2 Modelos físicos utilizados nas simulações

Segue uma breve descrição dos modelos usados no desenvolvimento do presente trabalho¹¹⁰:

SHR (*Shockley-Read-Hall*) – Modelo de geração/recombinação, onde o tempo de vida dos portadores minoritários é fixo;

AUGER – Modelo de recombinação, através da transição direta de três partículas, onde um portador é capturado ou emitido. Importante em altas densidades de correntes.

BGN (*Bandgap Narrowing*) – Modelo importante para aplicação em regiões com alta concentração de dopantes, e necessário para a modelagem do ganho do transistor bipolar parasitário associado ao transistor SOI. Deve ser usado em conjunto com o modelo Klaassen¹¹¹.

FLDMOB (*Parallel Electric Field Dependence*) – Modelo de mobilidade dependente do efeito de campo elétrico lateral, utilizado em estruturas de silício e arseneto de gálio;

KLA (Klaassen) – Modelo de mobilidade, que inclui dependência com concentração de portadores, concentração intrínseca de portadores e da temperatura. Aplica diferentes mobilidades para portadores majoritários e minoritários. Recomendado para transistores da tecnologia SOI¹¹².

CVT – Modelo de mobilidade que inclui a dependência com a concentração de portadores, com a temperatura e com o campo elétrico paralelo e perpendicular. Recomendado para dispositivos não-planares.

CONSRH (*Concentration Dependent Lifetime SRH*) – Modelo de recombinação onde o tempo de vida dos portadores depende da concentração.

3 COMPORTAMENTO DA CAPACITÂNCIA EM DISPOSITIVOS DE PORTA TRIPLA COM DIELÉTRICO DE ALTA CONSTANTE DIELÉTRICA E PORTA DE METAL

Neste capítulo serão analisadas as curvas da capacitância em função da tensão (C-V) em dispositivos SOI de múltiplas portas, onde inicialmente métodos convencionais de extração de parâmetros serão aplicados nestas estruturas a fim de se avaliar sua validade. Será estudado também o impacto que o efeito de canto, presente em estruturas de múltiplas portas, causa na curva da capacitância.

3.1 Métodos de extração de parâmetros

Dentre as principais técnicas utilizadas para se extrair as principais características das estruturas MOS, a mais comumente aplicada é a C-V. Esta técnica permite a extração de diversos parâmetros, como espessura do dielétrico de porta, tensão de faixa plana, tensão de limiar, concentração de dopantes, largura de depleção da porta, densidade de cargas no óxido, densidade de armadilha de interface entre outros. Com base neste estudo, nesta seção serão apresentados métodos de extração de parâmetros que são aplicados em dispositivos SOI MOSFET de porta única e agora serão aplicados em dispositivos de porta (EOT), a espessura do silício (H_{fin}) e a concentração de dopantes do canal (N_a). Os métodos de extração utilizam curvas C-V operando em alta frequência e para se avaliar a aplicação desses métodos foram executadas simulações numéricas tridimensionais e medidas experimentais.

3.1.1 Estrutura de porta tripla

A Figura 26a apresenta a estrutura de porta tripla utilizada na aplicação dos métodos, juntamente com a seção transversal para representação (Figura 26b) das

capacitâncias entre a porta/fonte (C_{GS}) e porta/dreno (C_{GD}) e as capacitâncias laterais (C_L) existentes em estruturas de múltiplas portas (Figura 26c).



Figura 26 – (a) Estruturas de porta tripla e seção transversal de uma estrutura de porta tripla representando b) as capacitâncias entre porta/fonte (C_{GS}) e porta/dreno (C_{GD}) e c) as capacitâncias laterais (C_L).

Para uma largura de canal $W_{fin} >> 2^*H_{fin}$ os transistores de porta tripla apresentam comportamento de funcionamento similar aos transistores de porta única, desse modo as capacitâncias laterais (C_L) podem ser desconsideradas.

Os métodos de extração de parâmetros que serão aplicados na estruturas de porta tripla foram publicados por Sonnenberg^{113,114}, tendo como foco de aplicação estruturas SOI com óxido de porta com corrente de fuga desprezível.

3.1.2 Determinação da espessura efetiva do óxido de porta (EOT)

Para determinação da espessura efetiva do óxido de porta é extraída uma curva da capacitância entre a porta e o dreno/fonte ($C_{GDS}=C_{GD} + C_{GS}$) em função da tensão aplicada à porta (V_{GF}), para diferentes valores de tensão no substrato (V_{GB}), conforme mostra a Figura 27.



Tensão aplicada à porta

Figura 27 – Curva da capacitância entre a porta e dreno/fonte em função da tensão aplicada à porta para diferentes valores de tensão no substrato.

Com o aumento de V_{GB} pode-se observar que a capacitância mínima aumenta devido à inversão da segunda interface. Quando a tensão na porta V_{GF} é positiva o suficiente, a primeira interface do transistor está invertida e a capacitância entre a porta e dreno/fonte (C_{GDS}) tende para a capacitância do óxido de porta (C_{oxf}), definida como C1, conforme mostra a Figura 28a. Se a primeira interface está depletada ou acumulada (baixos valores de V_{GF}), a capacitância C_{GDS} depende da tensão aplicada ao substrato (V_{GB}) devido ao acoplamento entre as depleções da primeira e segunda interface do transistor. Neste caso, para altos valores de V_{GB}, a segunda interface encontra-se invertida e a capacitância entre porta e fonte/dreno (C_{GDS}) é dada pela associação série da capacitância do óxido de porta (C_{oxf}) e do silício (C_{Si} = ϵ_{Si} .W_{fin}.L / H_{fin}), sendo representada por C2 (Figura 28b). Quando são aplicados baixos valores de V_{GB} (Figura 28c) não ocorre à formação da região de inversão na segunda interface e o valor da capacitância C_{GDS} tende a zero (capacitância C3) sendo esta uma capacitância parasitária inerente das medidas elétricas.



Figura 28 - Seção transversal de um transistor nMOS representando as capacitâncias C_{oxf} , $C_{Si} \in C_{oxb}$ estando (a) $V_{GB}=0V \in V_{GF}=1V$, (b) $V_{GB}=10V \in V_{GF}=-1V$ e (c) $V_{GB}=0V \in V_{GF}=-1V$.

Com a capacitância C_1 extraída da Figura 27 é possível de se obter a espessura efetiva do óxido de porta (EOT) através da eq. (30).

$$EOT = \frac{\varepsilon_{OX}}{C1} W_{fin} L \tag{30}$$

3.1.3 Determinação da espessura do silício (H_{fin})

A espessura do silício (H_{fin}) é extraída pela eq.(31), através da capacitâncias C1, C2 e C3 extraídas da Figura 27, que conforme visto representa a associação série da capacitância do óxido de porta (C_{oxf}) com a capacitância do silício (C_{Si}).

$$H_{fin} = \varepsilon_{Si} \frac{(C1-C3) - (C2-C3)}{(C1-C3)(C2-C3)} W_{fin} L$$
(31)

Para se encontrar a tensão aplicada ao substrato que garanta que a segunda interface esteja invertida e assim extrair C2, a curva da capacitância entre a porta e o dreno/fonte (C_{GDS}) em função da tensão aplicada ao substrato (V_{GB}) deve ser utilizada, com uma tensão aplicada à porta que acumule a primeira interface, desacoplando desta forma as interfaces. Com isso é possível extrair a capacitância C2 garantindo que a segunda interface esteja invertida, conforme mostra a Figura 29.



Figura 29 - Curva da capacitância entre a porta e dreno/fonte em função da tensão aplicada ao substrato para uma tensão na porta que acumule a primeira interface.

3.1.4 Determinação da concentração de dopantes do canal (N_a)

De acordo com Nicollian e Brews¹¹⁵, a concentração de dopantes do canal pode ser determinada iterativamente através da eq. (32).

$$N_{a} = \left(-\Phi_{MS} + \frac{Q_{ox}}{C_{oxf}} + 2\frac{kT}{q}\ln\frac{N_{a}}{n_{i}}\left(\frac{C_{Si}}{C_{oxf}W_{fin}L}\right) + V_{FB1,inv2}\right)\frac{2C_{oxf}}{qH_{fin}}$$
(32)

onde $V_{FB1,inv2}$ é a tensão de faixa plana da primeira interface estando a segunda interface invertida.

Com as capacitâncias $C_{oxf}=C1$ e $C_{Si}=\epsilon_{Si}.W_{fin}.L / H_{fin}$ extraídas anteriormente, o único termo faltando para a resolução desta equação é a tensão de faixa plana da primeira interface estando a segunda interface invertida (V_{FB1,inv2}). Para encontrarmos o valor da tensão de faixa plana deve-se primeiro conhecer o valor de V_{GB} que inicia a inversão da segunda interface, com a primeira interface acumulada para garantir o desacoplamento das interfaces. Para isso, inicialmente, utiliza-se a curva da capacitância entre a porta e o dreno/fonte (C_{GDS}) em função da tensão aplicada ao substrato (V_{GB}) e através da sua segunda derivada, no ponto de máximo, pode-se extrair a tensão aplicada ao substrato que inicia a inversão da segunda interface (V_{GB,inv2}), conforme mostra a Figura 30.



Figura 30 – Curva da capacitância entre a porta e dreno/fonte e sua segunda derivada em função da tensão aplicada ao substrato para uma tensão na porta que acumule a primeira interface.

Esse valor da tensão aplicada ao substrato ($V_{GB,inv2}$) extraído da Figura 30 é então aplicado no transistor e obtém-se a curva da capacitância entre porta e fonte/dreno (C_{GDS}) em função da tensão na porta (V_{GF}) (Figura 31). Através da sua segunda derivada é possível extrair a tensão de faixa plana da primeira interface estando a segunda interface invertida ($V_{FB1,inv2}$) no primeiro ponto de máximo da curva.



Figura 31 - Curva da capacitância entre a porta e dreno/fonte e sua segunda derivada em função da tensão aplicada à porta para uma tensão no substrato que inverta a segunda interface.

3.1.5 Simulações numéricas tridimensionais

A fim de se validar os métodos anteriormente mencionados, foram realizadas simulações numéricas tridimensionais com o auxílio do simulador ATLAS¹¹⁰, onde dispositivos nMOS de porta tripla foram simulados com os parâmetros indicadas na Tabela 2 e variando-se a concentração de dopantes do canal (N_a). Um modelo do arquivo de simulação pode ser encontrado no Apêndice A.

Parâmetros	Valor	
Largura do canal (W _{fin})	20 µm	
Comprimento do canal (L)	10 µm	
Matarial da parta	Nitreto de titânio TiN	
Material de porta	$(\Phi_{M} = 4,7 \text{ eV})$	
Espessura do óxido enterrado (t _{oxb})	145 nm	
Espessura do silício (H _{fin})	60 nm	
Concentração de dopantes da extensão de dreno e fonte	$1 \times 10^{19} \mathrm{cm}^{-3}$	
(N _D e N _F)		
1 nm SiO ₂ + 2 nm HfO ₂	2 nm	
Espessura efetiva do óxido de porta (EOT)		
Cargas fixas nos óxido da primeira (Q _{ox1}) e segunda	desconsideradas	
interface (Q _{ox2})		

Tabela 2 - Parâmetros dos dispositivos nMOS de porta tripla utilizados nas simulações numéricas tridimensionais.

A Figura 32a apresenta as curvas simuladas de C_{GDS} em função de V_{GF} para diferentes valores de tensão no substrato (V_{GB}). Como pode ser visto, conforme a tensão no substrato aumenta, levando a segunda interface à inversão, um aumento na capacitância mínima (C3) é observado, onde na capacitância C2 tem-se a segunda interface do canal já invertido.

Para uma extração mais exata de C2 e C3, curva C_{GDS} foi simulada agora em função de V_{GB} para uma tensão de porta V_{GF} = -1 V que certifica a acumulação da primeira interface (Figura 32b). Quando a tensão no substrato é alta o suficiente a ponto de inverter a segunda interface (patamar), pode-se extrair a capacitância C2 e para baixos valores de V_{GB} , quando a segunda interface está acumulada, pode-se extrair a capacitância C3.


Figura 32 - Curvas simuladas C_{GDS} em função de (a) V_{GF} e (b) V_{GB} em dispositivos nMOS de porta tripla.

A Tabela 3 apresenta os valores de EOT e H_{fin} extraídos através dos métodos propostos. Nas simulações, considerou-se $N_a=2x10^{17}$ cm⁻³ e $V_{GF}=-1,0V$. Como pode ser visto o erro máximo foi de 2,0% para EOT e 7,4% para o H_{fin} .

EOT (nm)	H _{fin} (nm)	C1	C2	C3	EOT (nm)	Erro	H _{fin} (nm)	Erro
Simulado	Simulado	(pF)	(pF)	(pF)	Método	%	Método	%
1	60	6,78	0,35	0,014	1,02	2,0	58,57	2,4
2	60	3,41	0,31	0,018	2,02	1,0	64,81	7,4
3	60	2,26	0,32	0,013	3,05	1,7	58,24	3,0
2	50	3,38	0,37	0,019	2,04	2,0	52,90	5,8
2	70	3,40	0,28	0,018	2,03	1,5	72,91	4,2

Tabela 3 – Valores de EOT e H_{fin} determinados pelos métodos propostos através das curvas simuladas.

A Figura 33 apresenta curvas simuladas C_{GDS} e d^2C_{GDS}/dV_{GB}^2 em função de V_{GB} para V_{GF} = -1,0 V (primeira interface acumulada) e considerando-se diferentes concentrações de dopantes do canal. É possível observar que quanto maior a concentração de dopantes (N_a), uma maior tensão no substrato (V_{GB}) é necessária para se inverter a segunda interface devido ao elevado potencial do corpo.



Figura 33 - Curvas simuladas C_{GDS} e d² C_{GDS} /d V_{GB} ² em função de V_{GB} para V_{GF} =-1 V e diferentes concentrações de dopantes do canal N_a.

Na Tabela 4 são apresentados os valores da concentração de dopantes N_a obtidos através das curvas simuladas d^2C_{GDS} $/dV_{\text{GF}}{}^2$ em função V_{GF} . Para

concentrações de dopantes do canal de $N_a=1x10^{17}$ cm⁻³ um erro de 17% foi encontrado. Sendo este método de extração previamente aplicado em dispositivos SOI convencionais onde a concentração típica era de $N_a=1x10^{17}$ cm⁻³, esta foi à base inicial de valores de N_a para se aplicar o método nestes dispositivos de múltiplas portas.

N _a (cm⁻³)	$V_{\text{FB1,inv2}}$	N _a (cm⁻³)	$M_{}(M)$	
Simulado	(V)	Método	VGB(V)	LIIU /0
1x10 ¹⁷	-0,51	1,17x10 ¹⁷	8,0	17,0
2x10 ¹⁷	-0,55	2,03x10 ¹⁷	10,6	1,5
3x10 ¹⁷	-0,60	3,30x10 ¹⁷	12,6	10,0

Tabela 4 – Valores de N_a determinados pelo método proposto.

A sensibilidade dos métodos propostos foi analisada para dispositivos nMOS de porta tripla conforme as condições apresentadas na Tabela 2, com $N_a=2x10^{17}$ cm⁻³ e $V_{GF}=-1V$. A Tabela 5 mostra a sensibilidade, onde é possível notar que o máximo erro encontrado na determinação de EOT, H_{fin} e N_a foi 5,4, 8,1 e 36,5 %, respectivamente.

Tabela 5 – Máximo erro encontrado na determinação de EOT, H_{fin} e N_a em função de alguns parâmetros elétricos e de processo.

Parâmetros	EOT %	H _{fin} %	N _a %
$V_{FB1,inv2}\pm5~\%$			36,5
$V_{GB,inv2}$ (0,5 V)			36,0
$EOT\pm0,2\;nm$			17,7
$H_{fin} \pm 1 \text{ nm}$			0,5
C1 ± 5%	5,4	<0,5	
$C2 \pm 5\%$		8,1	
$C3 \pm 5\%$		<0,5	

Com o objetivo de obter o modo de operação das interfaces dos dispositivos estudados, o potencial no meio do canal foi simulado para uma tensão no substrato de V_{GB} =8V, uma concentração de dopantes N_a =1x10¹⁷ cm⁻³ e diferentes tensões na porta (V_{GF}), como mostra a Figura 34.



Figura 34 - Curvas simuladas do potencial em função da profundidade do silício, extraídas no meio do canal para V_{GB} = 8 V, N_a =1x10¹⁷ cm⁻³ e diferentes valores de V_{GF} .

É possível observar que para valores abaixo de V_{GF}= -1,0 V a primeira interface está acumulada (Φ_{SFacc} potencial de superfície da primeira interface acumulada). Neste momento, a segunda interface está depletada e a capacitância entre a porta e dreno/fonte (C_{GDS}) é considerada como sendo C3. Conforme a tensão na porta é aumentada (V_{GF} = -0,5 V), a primeira interface começa a transição da acumulação para a depleção (perto da tensão de faixa plana da primeira interface com a segunda invertida $V_{FB1,inv2}$), enquanto que a segunda interface está perto da inversão (Φ_{SBinv} potencial de superfície da segunda interface invertida) resultando em C_{GDS} igual a C2. Com V_{GF} igual a 0,5 V, ambas as interfaces estão invertidas (sendo o potencial descrito como duas vezes ϕ_F) e neste momento nenhuma diferença pode ser observada. Para esse caso, a capacitância tende a C1. Como reportado por Akarvardar et al. e mostrado na Figura 35^{116} , em dispositivos SOI de múltiplas portas a tensão de limiar se torna praticamente independente da concentração para $N_a \le 1 \times 10^{17}$ cm⁻³, pois nesta condição a densidade de cargas no canal (Q_{Si}) é baixa. Baseado neste estudo, o método não foi aplicado em concentrações de dopantes menores que $N_a = 1 \times 10^{17}$ cm⁻³.



Figura 35 – Influência da concentração de dopantes na tensão de limiar em dispositivos de porta tripla¹¹⁶.

3.1.6 Resultados experimentais

Os métodos citados anteriormente foram verificados através de medidas experimentais em dispositivos de porta tripla, fornecidos pelo Imec (*Interuniversity Microelectronics Center*), situado na Bélgica.

Os dispositivos foram fabricados sobre lâminas SOI nMOSFETs com dopagem natural da lâmina de $N_a=1\times10^{15}$ cm⁻³, onde a espessura efetiva do óxido enterrado (t_{oxb}) é de 145 nm e a espessura do silício (H_{fin}) igual a 60 nm. Após a definição da camada de silício, um óxido térmico foi crescido com espessura de 1nm, seguido por uma deposição atômica (ALD) de 2 nm de óxido de háfnio (HfO₂), resultando em uma espessura efetiva de óxido de porta de EOT igual a 2 nm. No eletrodo da porta,

uma camada de 5 nm de nitreto de titânio (TiN) seguida por 100 nm de silício policristalino foram depositadas. Na Figura 36 é mostrada uma fotografia dos transistores de porta tripla, contendo a indicação das regiões de fonte (S), dreno (D) e porta (G).



Figura 36 – Fotografia dos transistores de porta tripla com a indicação das regiões de fonte (S), dreno (D) e porta (G).

Para obtenção das curvas C-V foi utilizado um analisador de parâmetros LCR HP4280 com uma frequência de 1 MHz, e um picoamperimetro HP4140 para polarização do substrato. Um degrau lento foi aplicado para a polarização estática (DC) do dispositivo e um sinal alternado de alta freqüência (1 MHz) e baixa amplitude (10 mV), para se extrair a capacitância da estrutura nas diversas condições de polarização (acumulação, depleção e inversão). A medida foi realizada variando-se da inversão para a acumulação em ambiente escuro.

A Figura 37 apresenta curvas experimentais de C_{GDS} em função de V_{GF} para diferentes valores de tensão no substrato (V_{GB}), onde é o observado o aumento na capacitância mínima devido à inversão da segunda interface (como ocorreu nas simulações).



Figura 37 - Curvas experimentais de C_{GDS} em função de V_{GF} para diferentes tensões no substrato em dispositivos nMOS de porta tripla.

Na Figura 38 pode-se observar a curva experimental da capacitância C_{GDS} em função de V_{GB} para V_{GF}=-0,5 V, em um dispositivo nMOS de porta tripla com largura e comprimento de canal de W_{fin}=L=10 µm. A transição observada na curva representa a mudança de estado da segunda interface com a variação de V_{GB}, indo da acumulação (C3) para a inversão (C2).



Figura 38 - Curva experimental de C_{GDS} em função de V_{GB} para V_{GF} =-0,5 V em dispositivos nMOS de porta tripla.

Utilizando o método proposto, calcularam-se os valores da espessura efetiva do óxido de porta EOT e da espessura do silício H_{fin} para diferentes larguras de canal W_{fin} (Tabela 6). Para larguras de canal menores que 3 μ m, as capacitâncias apresentam valores muito pequenos, dificultando a medida experimental devido ao limite dos equipamentos utilizados.

W _{fin} (μm)	C1 (pF)	C2 C3 (pF) (pF)	EOT (nm) Método	Erro %	H _{fin} (nm) Método	Erro %
20	3,75	0,55 0,24	1,96	2,04	60,91	1,52
10	1,97	0,39 0,23	1,98	1,00	58,76	2,07
5	1,09	0,31 0,23	1,99	0,50	59,53	0,78

Tabela 6 – Valores experimentais de EOT e H_{fin} determinados pelos métodos para diferentes larguras de canal (W_{fin}).

A concentração de dopantes do canal (N_a) não pôde ser calculada nas curvas experimentais, pois a lâmina continha apenas a dopagem intrínseca da lâmina (N_a \cong 1x10¹⁵ cm⁻³) e dessa maneira, fora da faixa de aplicação do método, conforme abordado anteriormente.

3.2 Análise do efeito de canto através da curva C-V

Nesta seção será apresentado um estudo da influência do efeito de canto (*corner effect*), existente em dispositivos de múltiplas portas, através das curvas da corrente de dreno e da capacitância de porta em função da tensão de porta.

3.2.1 Simulações numéricas tridimensionais

O efeito de canto que ocorre em dispositivos de múltiplas portas com alta concentração de dopantes, conforme apresentado no Capítulo 2, faz com que duas ou mais tensões de limiar sejam observadas, as quais estão relacionadas aos diferentes canais de condução de corrente, sendo estes ativados com diferentes tensões na porta.

Para se analisar este efeito, inicialmente foram simuladas estruturas de porta tripla nMOS com as seguintes características: H_{fin} =60 nm, t_{oxb} =145 nm, EOT=2 nm, L=1 µm, W_{fin} =120 nm e a concentração de dopantes do canal foi variada de N_a de1x10¹⁸ a 8x10¹⁸ cm⁻³. Foram simuladas curvas da corrente e da capacitância, ambas em função da tensão na porta com o auxílio do simulador ATLAS.

A Figura 39 apresenta as curvas (a) da corrente de dreno (I_{DS}) em função da tensão aplicada na porta (V_{GF}) e (b) sua segunda derivada, para uma tensão no dreno V_{DS} =100 mV. Para concentrações menores que $N_a \le 1 \times 10^{18} \text{ cm}^{-3}$ a segunda derivada da curva I-V, apresenta uma única rampa, que indica que ambos os cantos e as laterais do canal invertem ao mesmo tempo. Conforme a concentração de dopantes aumenta, duas rampas passam a ser observadas, sendo que a primeira rampa indica a inversão dos cantos superiores (indicada por V_{T_CS}) e a segunda rampa indica inversão do topo e das laterais do canal (indicada por V_{T_G}), com pode ser visto na Figura 39B.



Figura 39 – Curvas simuladas de a) I_{DS} e b) $d^2 I_{DS}/dV_{GF}^2$ em função de V_{GF} para diferentes concentrações de dopantes do canal.

Usando os mesmos parâmetros dos dispositivos da Figura 39, foram realizadas simulações da capacitância entre a porta e o dreno/fonte em função da tensão aplicada na porta em uma alta frequência de operação (1MHz), conforme mostra a Figura 40. Na medida em que a concentração de dopantes do canal aumenta, uma rampa pode ser observada no início da condição de depleção. Isso ocorre devido à inversão dos cantos superiores que acontece antes da inversão do topo e das laterais do canal.



Figura 40 - Curvas simuladas C_{GDS} em função de V_{GF} para diferentes concentrações de dopantes do canal.

Na Figura 41 são mostradas as curvas da segunda derivada da Figura 40 para diferentes concentrações de dopantes do canal e nota-se o surgimento de um segundo pico. Ambos os picos se deslocam para maiores tensões de porta (V_{GF}) conforme a concentração de dopantes aumenta. Deve-se ao fato que altas concentrações elevam o potencial do corpo aumentando a tensão de limiar. Mas a diferença entre os dois picos, que representam a tensão de limiar dos cantos e das laterais, se torna maior conforme a concentração de dopantes do concentração de dopantes.



Figura 41 - Curvas simuladas d^2C_{GDS}/dV_{GF}^2 em função de V_{GF} para diferentes concentrações de dopantes do canal.

A Tabela 7 apresenta os valores das tensões de limiar $V_{T_CS} e V_{T_G}$ extraídas tanto pelas curvas da segunda derivada da corrente, como pelas curvas da segunda derivada da capacitância. Como pode ser visto conforme a concentração de dopantes do canal aumenta, um aumento nas tensões de limiar é observado. Comparando-se o método de extração da tensão de limiar da curva da capacitância em relação à curva da corrente, a maior variação encontrada foi de 20,7% e ambas as tensões de limiar apresentaram uma menor variação para maiores concentrações de dopantes. Desta forma, pode-se utilizar a curva da segunda derivada da capacitância para extração das tensões de limiar dos cantos superiores (V_{T_CS}) e do topo e das laterais do canal (V_{T_G}).

Tabela 7 – Comparação entre os valores obtidos da tensão de limiar dos cantos superiores e das laterais extraídos através da segunda derivada da curva I-V e C-V.

\ \ /_	N	Segunda derivada I-V		Segunda derivada C-V		Variação	Variação
vv _{fin}	INa [om ⁻³]	\/ F\/1	\/ [\/]		\/ [\/]	[%]	[%]
[um]	[cm_]	V _{T_CS} [V]	V _{T_G} [V]	V _{T_CS} [V]	V _{T_G} [V]	V_{T_CS}	V_{T_G}
	1x10 ¹⁸		0,82		0,65		20,7
	2x10 ¹⁸	0,62	0,97	0,54	0,81	11,3	17,5
120	4x10 ¹⁸	0,77	1,20	0,64	1,00	16,9	16,7
	6x10 ¹⁸	0,81	1,37	0,70	1,20	13,6	12,4
	8x10 ¹⁸	0,84	1,51	0,75	1,35	10,7	10,6

A diferença entre a tensão de limiar do topo e das laterais do canal com a tensão de limiar do canto superior (ΔV_T) foi extraída e os resultados são apresentados na Figura 42 em função da concentração de dopantes do canal extraída tanto pela segunda derivada da curva I-V como da curva C-V.



Figura 42 - Diferença entre a tensão de limiar do canto superior e a tensão de limiar das laterais do canal (ΔV_T) em função da concentração de dopantes, com os valores extraídos das curvas I-V e C-V.

Como pode ser visto para ambos os métodos o aumento na concentração de dopantes também leva a um aumento em ΔV_T . Conforme descrito no Capítulo 2, este fenômeno é reduzido para canais mais estreitos, onde o acoplamento das portas laterais é maior. Espera-se que para dispositivos com largura de canal muito pequena a presença destes dois picos venha a desaparecer mesmo em altas concentrações, pois o canal tende a inverter todo de uma vez, havendo uma junção entre as regiões de depleção dos cantos e laterais do canal.

Para se observar as diferentes regiões de inversão (cantos superiores e laterais do canal), foi simulado o perfil tridimensional da concentração de elétrons no canal, para um dispositivo nMOS de porta tripla com W_{fin} =120 nm, N_a =8x10¹⁸ cm⁻³ e diferentes tensões na porta, conforme mostra a Figura 43. Pode-se ver que para uma tensão na porta de V_{GF}=0,80 V apenas os cantos superiores estão invertidos. Conforme a tensão na porta aumenta para V_{GF}=1,50 V, o topo, as laterais e os cantos inferiores do canal também invertem.



(b)

Figura 43 – Perfil tridimensional da concentração de elétrons de um dispositivo nMOS de porta tripla com $N_a=8\times10^{18}$ cm⁻³ e tensão na porta de a) $V_{GF}=0,8$ V e b) $V_{GF}=1,50$ V.

4 IMPACTO DO NITRETO DE TITÂNIO EM DISPOSITIVOS DE PORTA TRIPLA COM DIELÉTRICO DE ALTA CONSTANTE DIELÉTRICA

Neste capítulo será apresentado um estudo sobre o comportamento dos dispositivos de porta tripla compostos por óxido de porta de alta constante dielétrica e porta de metal, no caso, o nitreto de titânio (TiN). O impacto da espessura do material de porta de TiN será o foco de estudo, analisando-se seu impacto nas características elétricas dos dispositivos de porta tripla, assim como sua influência na espessura efetiva do óxido de porta, nas cargas de interface e no efeito GIFBE. Um estudo do comportamento analógico destes dispositivos também será apresentado, demonstrando a variação do ganho intrínseco do transistor com as diferentes espessuras de TiN. Finalmente, o impacto das diferentes técnicas de deposição do material de porta de TiN será discutido.

Os dispositivos analisados foram fabricados (Imec) em lâminas SOI com concentração de dopantes de 10^{15} cm⁻³, espessura do óxido enterrado de 150 nm e uma camada de silício de 65 nm. O dielétrico de porta consiste de 1 nm de óxido de silício (SiO₂) utilizado como camada interfacial com o canal de silício sob 2,3 nm de silicato de óxido de háfnio (HfSiO). A porta de metal TiN foi depositada através da técnica deposição por camadas atômicas assistida por plasma (PEALD - *plasma-enhanced atomic layer deposition*) onde diferentes espessuras foram consideradas: 2 nm onde foram utilizados 64 ciclos de deposição, 5 nm com 160 ciclos de deposição e finalmente 10 nm com 320 ciclos deposição. Foram analisados dispositivos n e pMOS onde inicialmente foi considerado um comprimento de canal de L=10 µm e uma largura de canal W_{fin} =2 µm. Foi considerada uma variação no comprimento e largura de máscara de 90 (Δ_L) e 125 nm (Δ_W), respectivamente (resultante da difusão lateral dos dopantes das regiões de fonte e dreno para o interior do canal). Como resultado um comprimento efetivo de canal de L_{ef}=9,91 µm e uma largura efetiva do canal de $W_{fin ef}$ = 1,88 µm foram considerados.

A Figura 44 mostra uma imagem obtida através de microscopia eletrônica de transmissão (TEM) do dispositivo após o processo completo de fabricação.



Figura 44 – Microscopia eletrônica do transistor após o processo completo de fabricação.

4.1 Tensão de Limiar

A Figura 45 apresenta as curvas experimentais da corrente de dreno e transcondutância em função da tensão na porta para as diferentes espessuras de material de porta tanto nos dispositivos nFET como para os pFET sendo $V_{DS}=\pm50$ mV. Pode-se observar um aumento da tensão de limiar com a espessura do TiN para ambos os dispositivos (nFET e pFET). Através das curvas da transcondutância em função da tensão na porta ficou claro também um aumento da transcondutância máxima (g_{m,máx}) com a redução da espessura de TiN.



Figura 45 – Curvas experimentais de I_{DS} e g_m em função de V_{GF} para estruturas de porta tripla (a) n- e (b) p-FET com diferentes espessuras de TiN.

4.2 Espessura efetiva do óxido de porta e a corrente de fuga pela porta

Com o objetivo de se analisar a variação da tensão de limiar com a espessura do material de porta de TiN foram extraídas as curvas da capacitância entre a porta e dreno/fonte (C_{GDS}) em função da tensão aplicada à porta para uma frequência de operação de f=1 MHz, como mostra a Figura 46. Um aumento da capacitância

máxima com a redução de TiN pode-se ser visto, resultando em uma redução da espessura do óxido de porta (tabela da Figura 46).



Figura 46 – Curvas experimentais de C_{GDS} em função de V_{GF} para estruturas de porta tripla n- e p-FET com diferentes espessuras de TiN.

As curvas da corrente de fuga pela porta (I_G) em função da sobretensão de porta ($V_{GT}=V_{GF}-V_T$) apresentadas na Figura 47, comprovam este comportamento de EOT com a variação da espessura do TiN para ambos os dispositivos. Maior I_G é observado para finas espessuras de TiN correspondendo a maior capacitância máxima observada na Figura 46 e reduzido EOT.



Figura 47 – Curvas experimentais de I_g em função de $V_{GT}=V_{GF}-V_T$ para estruturas de porta tripla n- e p-FET com diferentes espessuras de TiN.

Em um primeiro momento, esperava-se que o aumento dos números de ciclos de deposição do TiN durante as etapas de processo (resultando assim em uma maior espessura do TiN) poderia causar uma maior interação entre o nitrogênio (N) e o dielétrico com alta constante dielétrica (neste caso o silicato de óxido de háfnio). Desta forma, aumentando a permissividade do dielétrico e reduzindo EOT, mas o que podemos observar foi uma situação contraria. Como alternativa este fenômeno pode estar relacionado a uma reação entre o alto nível de oxigênio (O₂) fornecido durante os processos de deposição por camadas atômicas (ALD) e a camada interfacial de óxido de silício depositada a fim de se manter uma boa interface com o canal de silício. Como resultado, um aumento na espessura do óxido de silício (SiO₂) resultaria neste aumento de EOT para maior TiN. Este aumento de EOT pode ser observado através da Figura 48, que mostra uma análise através de microscopia eletrônica (TEM) dos dispositivos em estudo para TiN de 2 e 5 nm de espessura. Como pode ser visto, a espessura de 1 nm de SiO₂ depositada como camada de interface entre o dielétrico de alta constante dielétrica HfSiO e o canal de silício, sofre um aumento para 1,4 nm¹¹⁷ nos dispositivos com TiN=5nm.



Figura 48 – Microscopia eletrônica dos dispositivos com diferentes espessuras de metal TiN: esquerda TiN=2 nm e direita TiN=5 nm¹¹⁷.

Como outro causador da variação da tensão de limiar, podemos citar a tensão de faixa plana (V_{FB}), onde uma maior V_{FB} é esperada com o aumento da espessura de TiN. Este efeito pode ser atribuído a uma variação da função de trabalho com a espessura do TiN¹¹⁸. A Figura 49 mostra a variação da função de trabalho com o aumento do número de ciclos de deposição ALD (aumento da espessura) da porta de metal TiN extraída em um capacitor MOS.



Figura 49 – Variação da função de trabalho com o número de ciclos de deposição ALD da porta de metal TiN extraída em um capacitor MOS¹¹⁸.

Sabe-se que a função de trabalho é inicialmente definida a partir da interface entre o dielétrico e o eletrodo de porta. Durante a fase inicial de deposição da camada de TiN pela técnica ALD, ocorre o processo de nucleação que é responsável pela formação de ilhas tridimensionais de TiN¹¹⁹. Estas ilhas formam uma superfície rugosa e cheia de buracos. No topo da superfície de TiN, uma espessa camada de poli-silício é usualmente depositada afim de se completar o eletrodo de porta. Para uma camada de TiN muito fina, e que apresenta uma descontinuidade, grãos de silício da porta de silício policristalino são agrupados ao TiN perto da interface com o dielétrico, como mostra a Figura 50a. Logo, a função de trabalho é primeiramente definida a partir da interface entre o dielétrico e o eletrodo de poli-silício (aproximadamente 3,9 eV). Já para camadas de TiN espessas, o ponto de fechamento do filme é alcançado, impedindo a passagem de grãos de silício (Figura 50b). Como isso, a função de trabalho atinge um valor constante (como mostra o patamar da Figura 49), sendo finalmente representado a partir da interface entre o dielétrico e o metal TiN^{32,118,120}.



Figura 50 – Ilustração do processo de crescimento da camada de TiN depositada por ALD onde na figura da esquerda para TiN fino e na da direita para TiN espesso.

A Figura 51 mostra uma microscopia eletrônica de alta resolução tirada destas estruturas de porta tripla com estrutura de porta Si-Poli/TiN/HfSiO/SiO₂. Como pode ser visto, com 20 ciclos de deposição por PEALD do filme de TiN um maior número de ilhas de metal TiN é conseguido, estando elas mais unificadas não permitindo a penetração do silício-poli³³.



Figura 51 – Microscopia eletrônica de alta resolução de uma estrutura de porta Si-Poli/TiN/HfSiO/SiO₂ demonstrando o filme de TiN³³.

4.3 Mobilidade

A Figura 52 apresenta as curvas da mobilidade efetiva de elétrons (μ_n) e lacunas (μ_p) para baixo campo elétrico (V_{DS} =50mV) em função da densidade de cargas de inversão (Q_{inv}), extraídas através da técnica *Split-CV* mencionada no Capítulo 2 para as diferentes espessuras de TiN. Apesar da pequena variação na mobilidade observada para grandes dimensões ($W_{fin ef}$ = 1,88 μ m e L_{ef}=9,91 μ m), pode-se dizer que uma maior mobilidade é apresentada com a redução de TiN, tanto para n-FET quanto p-FET. Este comportamento vai de acordo com a maior transcondutância apresentada na Figura 45.



Figura 52 – Curvas da mobilidade de elétrons (μ_n) e lacunas (μ_p) em função de Q_{inv} extraídas para as estruturas de porta tripla n- e p-FET com diferentes espessuras de TiN.

A literatura reporta que porta metálica de TiN induz um tensionamento no canal dos transistores SOI de porta tripla. Através de uma análise física, simulação e características de geração de portador mostrou-se que reduzida espessura de TiN leva a um maior estresse na região do canal que dispositivos com espesso TiN, como pode ser visto na Figura 53 através. Para um configuração nMOSFET, foi observado que menor TiN apresenta uma estresse tensivo no substrato de silício. Como resultado foi observado um aumento na corrente de saturação (I_{DSsat}) para dispositivo com reduzido TiN, que está relacionado a este maior tensionamento. Contudo uma análise física mais detalhada sobre o efeito deste maior estresse ainda precisa ser realizada¹²¹.



Figura 53 – Análise do tensionamento em função da profundidade do canal de silício para diferentes espessuras de TiN¹²¹.

4.4 Armadilhamento de cargas

A fim de se melhor estudar o comportamento da tensão de faixa plana e da mobilidade efetiva dos portadores nestes dispositivos de porta tripla com diferentes espessuras de metal TiN, uma análise sobre a variação da densidade de armadilhas presentes tanto na interface como dentro do óxido de porta foi realizada. Os

resultados apresentados foram extraídos através de duas técnicas: medidas de ruído e de bombeamento de cargas, onde nesta última a extração da tensão de faixa plana também pode ser realizada.

4.4.1 Medidas de ruído de baixa frequência

O impacto da espessura do eletrodo de TiN nas medidas de ruído de baixa frequência foi extraído em dispositivos n-FET de porta tripla com dimensões reduzidas onde o comportamento é mais pronunciado: $W_{fin ef}=25$ nm, $L_{ef}=0,91$ µm com 10 *fins*. As medidas foram realizadas através do sistema de controle da BTA (*Berkeley Technology Associates*) interligado ao programa *NoisePro*, onde o dispositivo foi polarizado na região linear (V_{DS}=50mV) e a porta foi levada da inversão fraca à forte.

A densidade espectral do ruído da corrente de dreno (S_I) em função da frequência é apresentada na Figura 54a e mostra um comportamento 1/f. A Figura 54b mostra S_I em função da corrente de dreno (I_{DS}) para uma frequência de 25 Hz, onde maior S_I é observado para maior porta de metal TiN e baixa corrente de dreno. S_I também segue um comportamento quadrático com a corrente de dreno para I_{DS} $\leq 10^{-6}$ A.

A densidade de ruído normalizada pela corrente de dreno (S_I/I_{DS}^2) é representada na Figura 55 em função da corrente de dreno para as diferentes espessuras de porta de metal TiN e f=25Hz. Na região de inversão fraca (I_{DS} <1E-6 A) um patamar é observado, onde porta de metal TiN espessa apresenta um maior nível de ruído normalizado.



Figura 54 – Densidade espectral do ruído da corrente de dreno (S_I) em função (a) da frequência e (b) de I_{DS} para estruturas de porta tripla n-FET com diferentes espessuras de TiN.



Figura 55 – Densidade de ruído normalizada pela corrente de dreno em função de I_{DS} para estruturas de porta tripla n-FET com diferentes espessuras de TiN.

Este aumento no ruído normalizado para espesso TiN também pode ser observado através da curva da densidade espectral de ruído referenciado à entrada $(S_{VG}=S_{I}/g_{m}^{2})$ em função da sobretensão de porta V_{GT} e uma frequência de 25 Hz (Figura 56). Com os valores do patamar de S_{VG} extraídos para as diferentes espessuras de TiN e com o auxílio da eq. (33) a densidade efetiva de armadilhas do óxido de porta (D_{ot}) pode ser encontrada, conforme descrito no Capítulo 2.

$$S_{VG} = \frac{q^2 k T D_{ot}}{W_{fin} L C_{oxf}^2 \alpha_n f}$$
(33)



Figura 56 – Curvas experimentais de S_{VG} em função de V_{GT} para estruturas de porta tripla n-FET com diferentes espessuras de TiN.

A Tabela 8 apresenta os valores de EOT, μ_n (extraída pela função Y - $I_{DS}/g_m^{1/2})^{122}$ e D_{ot} extraídos para os dispositivos de porta tripla com as diferentes espessuras de porta de metal TiN. Como esperado, mesmo com a variação de EOT, um aumento de D_{ot} é visto para maiores TiN.

Tabela 8 – EOT, μ_n , e D_{ot} extraídos para os diferentes dispositivos estudados.

TiN [nm]	EOT [nm]	μ _n [cm²/Vs]	D _{ot} [cm ⁻³ eV ⁻¹]
10	1,58	284	3,40x10 ¹⁸
5	1,57	311	1,92x10 ¹⁸
2	1,25	317	1,91x10 ¹⁸

4.4.2 Técnica de bombeamento de cargas

A técnica de bombeamento de cargas (CP - charge pumping) foi aplicada nestes dispositivos SOI de porta tripla com diferentes espessuras de porta de metal TiN. Os transistores foram fabricados a partir de uma lâmina com substrato SOI com uma camada do filme de silício de 60 nm e um óxido enterrado de 150 nm. O dielétrico de porta consiste de 1 nm de SiO₂ como camada de oxido interfacial embaixo de 2,3 nm HfSiO depositado e sujeito a uma nitretação térmica. Para o eletrodo de porta de metal TiN depositado por vapor químico MOCVD (Metal Organic Chemical Vapor Deposition), com espessura de 5 e 10 nm. Foram considerados dispositivos n- e p-FET com diferentes larguras efetivas de canal W_{fin} ef= 25, 55, 85 nm, 30 *fins* e um comprimento efetivo de canal de Lef= 160 nm. A porta do dispositivo de porta tripla foi pulsada com um formato trapezoidal obtido através de um gerador de pulso Agilent 81110A e a corrente de bombeamento de cargas I_{CP} foi medida com o auxilio de um sistema de caracterização de semicondutor Keithley 4200. Os eletrodos de substrato e de dreno foram aterrados. As medidas foram realizadas utilizando pulsos com diferentes frequências de operação, tempos de subida e de descida de $t_s=t_d=120$ ns e uma amplitude do pulso de $V_A=1,2V$.

Devido à reduzida espessura do óxido de porta é preciso inicialmente separar-se da corrente I_{CP} a contribuição da elevada corrente de fuga presente nestes dispositivos. A Figura 57a mostra o comportamento da corrente I_{CP} para uma alta frequência (3 MHz) e para uma baixa frequência (1 kHz) nos dispositivos de porta tripla n-FET com porta de metal TiN de 10 nm. A corrente de fuga é independente de f, fazendo com que a corrente I_{CP} em baixa frequência contenha apenas a contribuição da corrente de fuga. Com isso, a corrente em alta frequência, que contém a porcentagem da variação da corrente de fuga e também a variação das armadilhas de interface, deve ser subtraída da corrente I_{CP} em baixa frequência. A Figura 57b mostra à corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente I_{CP} resultante que contem apenas a contribuição das corrente contem apenas a contribuiç



Figura 57 – Curvas experimentais de I_{CP} em função da tensão de base em dispositivos de porta tripla n-FET com espessura de TiN de 10 nm para (a) diferentes frequências e (b) para a corrente I_{CP} resultante após a eliminação da corrente de fuga.

As curvas da corrente I_{CP} corrigidas pela corrente de fuga medidas com diferentes frequências de operação podem ser vistas na Figura 58 em função da tensão de base para os dispositivos de porta tripla n- e p-FET com TiN de 10 nm. A corrente I_{CP} apresenta um aumento para elevadas frequências, demonstrando a dependência das cargas de interface com o aumento da frequência de operação.



-1,0 -0,8 -0,6 -0,4 -0,2 0,0 0,2 Tensão de base [V] (b) Figura 58 – Curvas experimentais da corrente I_{CP} em função da tensão de base para

-0,8

= t, = 120ns

diferentes frequências em dispositivos com espessura de TiN de 10 nm (a) n-FET e (b) p-FET.

A Figura 59 apresenta a corrente I_{CP} extraída para as diferentes espessuras do eletrodo de porta de metal TiN operando em uma alta frequência de operação (1MHz), em dispositivos (a) n-FET e (b) p-FET. Com o aumento da espessura de

TiN um aumento da corrente I_{CP} é observado, indicando uma maior densidade de cargas de interface. Este resultado vai de acordo com o maior nível de ruído apresentado anteriormente.



Figura 59 – Curvas experimentais da corrente I_{CP} em função da tensão de base para as diferentes espessuras da porta de metal TiN em dispositivos de porta tripla (a) n-FET e (b) p-FET.

Através das curvas da corrente I_{CP} os valores de V_T e V_{FB} foram estimados para os diferentes dispositivos analisados e os valores são apresentados na Tabela 9. O aumento observado para a tensão de faixa plana com a espessura da porta de metal TiN vai de acordo com a maior densidade de carga de interface e com a maior função de trabalho observada em espesso TiN.

Tabela 9 – Valores de V_T e V_{FB} extraídos através das curvas da corrente de bombeamento de cargas para os dispositivos com diferentes espessuras de TiN.

	TiN [nm]	V _{FB} [V]	V _Τ [V]
n_FET	5	-0,25	0,36
11-1 🗠 1	10	-0,15	0,44
	5	0,44	-0,30
p-rei	10	0,55	-0,20

A Figura 60 apresenta as curvas da corrente I_{CP} normalizadas pela área em função das diferentes larguras de canal para uma porta de metal TiN=10 nm em transistores n- e p-FET. Com pode ser visto, a corrente máxima de I_{CP} aumenta com a redução de $W_{fin ef}$. Uma maior densidade de cargas de interface é esperada para reduzida largura de canal, este fato se deve ao maior problema de interface encontrado nas laterais do canal devido à diferente orientação cristalográfica⁴⁷.



Figura 60 – Curvas experimentais da corrente I_{CP} normalizada pela área em função da tensão de base para diferentes larguras de canal com espessura de TiN de 10 nm em dispositivos de porta tripla (a) n-FET e (b) p-FET.

A densidade de armadilhas de interface total (D_{it}) foi extraída, conforme abordado no Capítulo 2, para as diferentes espessuras de TiN e larguras do canal, onde os resultados são mostrados na Figura 61.



Figura 61 – D_{it} em função de $W_{fin ef}$ extraída para os transistores de porta tripla n- e p-FET com as diferentes espessuras de porta de metal TiN.

Um aumento linear de D_{it} com $W_{fin ef}$ é observado, onde eletrodos de porta maiores apresentam uma maior densidade de armadilhas de interface. Este comportamento é visto para ambos os dispositivos (n- e p-FET), onde as lacunas se mostraram menos suscetíveis à variação das cargas de interface.

4.5 Efeito de corpo flutuante induzido pela porta

O efeito de corpo flutuante induzido pela porta (*Gate induced floating body effect* - GIFBE) também foi analisado para as diferentes espessuras do material de porta de TiN através da curva da derivada da transcondutância em função da tensão aplicada na porta, como mostra a Figura 62, na região de triodo V_{DS}=±50 mV e uma tensão no substrato que acumula a segunda interface sendo V_{GB}= -20 V para n-FET

e V_{GB}=50V para dispositivos p-FET. O aumento da tensão de limiar do primeiro pico (V_{T1p}) para material de porta espesso é resultado da variação da tensão de faixa plana e de EOT, conforme descrito anteriormente. A tensão de limiar do segundo pico (V_{T2p}) , atribuída ao aparecimento do efeito GIFBE, apresenta um pequeno aumento com a espessura de TiN que pode estar relacionado a variação da função de trabalho com as diferentes espessuras da porta de metal⁸².



Figura 62 – Curvas experimentais da derivada da transcondutância em função de V_{GF} para as estruturas de porta tripla com diferentes espessuras de TiN em (a) n-FET e (b) p-FET.

4.6 Características analógicas

Estes dispositivos de porta tripla com diferentes espessuras da porta de metal TiN também foram analisados para fins de aplicações analógicas, com uma largura de canal W_{fin}=25 nm garantindo o comportamento como um transistor de porta tripla e com diferentes comprimentos de canal.

Inicialmente foi analisada a variação da tensão de limiar em função do comprimento de canal efetivo (L_{ef}) para as diferentes espessuras de TiN (Figura 63) na região de triodo V_{DS}=50 mV. O aumento em V_T observado anteriormente para porta de metal TiN espessa é mantido mesmo para reduzidos comprimentos de canal. Independente da espessura de TiN, os dispositivos em análise começam a sofrer de efeito de canal curto apenas para comprimentos de canal menores que $L_{ef} \leq 40$ nm.



Figura 63 – Variação de V_T com L_{ef} para as diferentes espessuras de porta de metal.

A Figura 64 apresenta a relação da g_m/I_{DS} em função da corrente de dreno normalizada $I_{DS}/(W_{fin}/L)_{ef}$ com $V_{DS}=0.5$ V, para os diferentes comprimentos de canal e espessuras de porta de TiN.



Figura 64 - Relação g_m/I_{DS} em função da corrente de dreno normalizada para dispositivos com diferentes comprimentos de canal e espessuras de porta de metal.

Na região de inversão fraca os valores de g_m/I_{DS} por volta de 38 V⁻¹ indicam uma inclinação de sublimiar próximo do ideal (S=60 mV/dec) para todos os dispositivos analisados. Já na região de inversão forte o maior g_m/I_{DS} observado para os dispositivos com fina porta de metal TiN está relacionado com o aumento da mobilidade observado anteriormente.

A Figura 65 mostra a tensão Early ($V_{EA}=I_{DS}/g_D$) em função de L_{ef} para as diferentes espessuras de TiN. Para extração de V_{EA} utilizou-se I_{DS} para um V_{GT} de 200mV e a condutância de dreno (g_D) através da derivada das curvas I_{DS} x V_{GF} com V_{DS} = 0,5 V e V_{GT}=200 mV. Pode-se observar uma redução de V_{EA} com a redução do comprimento de canal, efeito este já reportado anteriormente para dispositivos de porta tripla^{123,46}. Além disso, uma redução em V_{EA} para porta de metal TiN espessa pode ser visto para toda a faixa de comprimento efetivo de canal analisada. Como abordado anteriormente, com o aumento da espessura da porta de metal TiN um
aumento em EOT foi observado e assim uma consequente redução da capacitância de porta. Esta variação em EOT reduz a influência do campo elétrico vertical na corrente de dreno, enfatizando a contribuição do campo elétrico horizontal e resultando nesta redução de V_{EA}.



Figura 65 – V_{EA} extraída em função de L_{ef} para dispositivos com diferentes espessuras de porta de metal TiN com polarização de V_{DS}=0,5 V e V_{GT}=200 mV.

Esta influência do campo elétrico vertical com EOT pode ser observada através das curvas da corrente de dreno em função de V_{GT} sobre uma condição de saturação V_{DS} =1,2 V, conforme apresentada na Figura 66. A região da curva I-V para uma tensão da porta negativa é dominada por uma componente de corrente de fuga, que acontece mesmo sem a porta estar polarizada, conhecida por corrente de dreno induzida pela tensão na porta (GIDL). Como pode ser visto, uma maior corrente GIDL é observada para reduzidas espessuras de TiN. Este comportamento deve-se ao reduzido EOT, que eleva o campo elétrico vertical e, desta forma, a corrente GIDL também.



Figura 66 – Curvas experimentais de I_{DS} em função de V_{GT} para V_{DS} =1,2V nas estruturas de porta tripla com diferentes espessuras de material de porta de TiN.

O efeito de redução de barreira induzida pelo dreno (DIBL) também foi extraído para os diferentes dispositivos em estudo e os resultados são apresentados na Tabela 10 considerando V_{DS} =50 mV e V_{DS} =0,5 V. Como esperado, foi observado um aumento em DIBL para comprimentos de canal reduzidos, este fato se deve à influência da corrente de dreno na barreira de potencial da fonte. Considerando-se as diferentes espessuras de TiN uma pequena diferença em DIBL é observada para grandes comprimentos de canal, sugerindo que a variação em V_{EA} está apenas relacionada com a maior contribuição do campo elétrico horizontal para finas porta de metal. Entretanto, para reduzidos comprimentos de canal, espessos TiN apresentam um maior DIBL relacionado com o campo elétrico vertical reduzido, neste caso, um menor acoplamento das portas laterais é visto, fazendo com que a variação de V_T seja mais pronunciada com a polarizado do dreno. Como resultado, uma maior condutância de saída (g_D) é esperada para porta de metal TiN espessa.

		DIBL [mV/V]	
L _{ef} [μm]	TiN=2 nm	TiN=5 nm	TiN=10 nm
9,91	19,57	20,43	22,98
0,91	22,13	22,13	22,98
0,41	20,43	20,43	21,28
0,16	24,70	35,74	42,55
0,06	68,09	75,70	95,32

Tabela 10 – DIBL extraído para os diferentes comprimentos de canal e espessuras de porta de metal TiN.

Em contrapartida a pequena variação no comportamento de g_m/I_{DS} observada anteriormente, um aumento do ganho de tensão ($A_v=g_m/I_{DS}*V_{EA}$) para reduzidas espessuras de porta de metal TiN é observado na Figura 67 para grande comprimento de canal L_{ef}=910 nm.



Figura 67 – Curvas do ganho de tensão em função da corrente de dreno normalizada, extraídas para as diferentes espessuras de porta de metal TiN.

Esta variação no ganho é atribuída ao impacto de V_{EA} com as diferentes espessuras de TiN. O mesmo comportamento é mantido para reduzidos comprimentos de canal.

4.6.1 Efeito da temperatura no comportamento analógico

O comportamento dos transistores MOS operando em baixas temperaturas vem demonstrando grande interesse, sendo uma alternativa atraente com o propósito de se melhorar sua velocidade de chaveamento¹²⁴. Também se pode citar uma melhoria na mobilidade assim como na inclinação de sublimiar. No entanto, algumas desvantagens podem ser mencionadas, como um deslocamento da tensão de limiar, um aumento das capacitâncias de armadilhas de interface e uma diminuição da taxa de geração/recombinações que podem ocasionar alguns efeitos transitórios¹²⁵. Baseando-se neste princípio, o impacto da redução da temperatura também foi analisado nestes dispositivos de porta tripla com diferentes espessuras de porta de metal sob comportamento analógico. Os dispositivos tiveram sua temperatura controlada através do equipamento *Variable Temperature Micro Probe System*, modelo K20 da MMR Technologies e as curvas da corrente foram extraídas utilizando o analisador de parâmetros de semicondutores Agilent 4156C, sendo a temperatura variada de 300 a 100K.

A Tabela 11 apresenta os valores da tensão de limiar extraídos para os diferentes dispositivos e temperaturas. Como esperado, com a redução da temperatura uma maior tensão de limiar é obtida devido ao aumento do potencial de Fermi ($\phi_F = kT/q^* ln(N_a/n_i)$) com a temperatura¹²⁶.

A Figura 68 apresenta os valores da transcondutância máxima em função da temperatura extraídos para os dispositivos com diferentes espessuras de TiN e comprimento de canal. Como pode ser visto, conforme a temperatura é reduzida um aumento na transcondutância máxima é observado e este fato está relacionado com a elevação da mobilidade de portadores com a redução da temperatura¹²⁷. O aumento da transcondutância para reduzida espessura de TiN é mantido em baixa temperatura.

L _{ef} T		TiN=2 nm			TiN=10 nm				
[um]	[K]	V_ IV1	S	DIBL	V_{EA}	V_ [\/]	S	DIBL	V_EA
[µiii] [i	[,,]	vilvj	[mV]	[mV/V]	[V]	v [v]	[mV]	[mV/V]	[V]
	300	0,40	60	25,53	140	0,51	62	25,53	72
	250	0,38	51	20,25	136	0,54	51	21,28	65
0,91	200	0,41	42	17,98	129	0,57	44	17,02	48
	150	0,44	35	16,40	135	0,60	33	15,20	55
	100	0,49	25	10,85	113	0,62	29	12,77	36
	300	0,38	61	25,53	96	0,52	61	29,79	39
	250	0,37	53	20,63	88	0,55	57	21,28	33
0,41	200	0,41	42	17,56	76	0,56	46	17,02	27
	150	0,44	32	12,74	62	0,60	35	14,60	15
	100	0,48	24	8,51	64	0,61	29	13,10	21

Tabela 11 - V_T, S, DIBL e V_{EA} extraídos para diferentes temperaturas nos dispositivos de porta tripla com diferentes espessuras de metal TiN e L_{ef}=0,91 e 0,41 μ m.



Figura 68 – Valores de $g_{m,máx}$ em função da temperatura para os dispositivos com diferentes espessuras de porta de TiN e comprimentos de canal.

A Figura 69 descreve o comportamento da relação de g_m/I_{DS} em função da corrente de dreno normalizada. Como esperado, na região de inversão fraca com a redução da temperatura a relação de g_m/I_{DS} aumenta devido a uma redução da inclinação de sublimiar descrita na introdução. Esta redução na inclinação de sublimiar com a diminuição da temperatura pode ser observada na Tabela 11 para ambas as espessuras de TiN e diferentes comprimentos de canal.



Figura 69 - Relação g_m/I_{DS} em função da corrente de dreno normalizada medida para dispositivos com diferentes espessuras de porta de TiN e em diversas temperaturas.

Conforme observado anteriormente, em temperatura ambiente e na região de inversão fraca, quase nenhuma diferença em g_m/I_{DS} é observada entre as diferentes espessuras de TiN. Entretanto, com a redução da temperatura uma diminuição em g_m/I_{DS} para espessos TiN é observada, e esta diferença tende a aumentar com a redução da temperatura. Este fenômeno está relacionado com a maior densidade de armadinhas de interface presente em espessas porta de metal TiN observado através das medidas de ruído e de bombeamento de carga. Esta maior densidade de armadilhas observada com o aumento de TiN tende a se elevar com a redução da temperatura, sendo esta inversamente proporcional a temperatura.

A condutância de saída (g_D) também foi extraída através da derivada das curvas $I_{DS} \times V_{DS}$ para V_{GT} =200 mV e V_{DS} =0,5 V, nos dispositivos com diferentes espessuras de TiN e dois comprimentos de canal, como mostra a Figura 70.



Figura 70 – Condutância de dreno em função da temperatura extraída para V_{DS} = 0,5 V, V_{GT} = 200 mV e dispositivos com (a) L_{ef} =0,41 µm e (b) L_{ef} =0,91 µm.

Uma degradação em g_D é observada conforme a temperatura é reduzida para todos os casos estudados devido ao aumento da ionização por impacto¹²⁸. Este aumento em g_D com a espessura de TiN também pode ser explicada pela redução do campo elétrico vertical com o aumento de TiN, discutido anteriormente. O aumento em DIBL com a espessura de TiN (Tabela 11) confirma esta degradação em g_D .

O ganho intrínseco do dispositivo também foi extraído e é apresentado na Figura 71 em função da temperatura para $V_{DS}=0,5$ V e considerando-se uma corrente de dreno constante de $I_{DS}/(W_{fin}/L_{ef})=5x10^{-5}$ A (região de inversão forte). Em concordância com o comportamento de g_D , dispositivos com reduzidas espessuras de TiN apresentaram uma maior V_{EA} Consequentemente, um maior ganho é observado para finos TiN em todas as temperaturas analisadas assim como comprimentos de canal. Os valores quase que constantes do ganho de tensão $(A_V=g_m/I_{DS}*V_{EA})$ com a redução da temperatura se dá pela competição de efeitos, onde a tensão Early reduz com a temperatura (Tabela 11) mas a transcondutância aumenta (Figura 68).



Figura 71 – Ganho de tensão intrínseco em função da temperatura para dispositivos com $L_{ef}=0,91$ e 0,41 µm para as diferentes espessuras de porta de metal.

4.7 Dielétrico de porta de alta constante dielétrica HfSiO nitretado

Esta seção apresenta o impacto que uma etapa adicional de nitretação ao dielétrico de alta constante dielétrica HfSiO pode causar nas características elétricas dos transistores quando comparadas aos dispositivos com diferentes espessuras de porta de metal TiN. Juntamente com esta analise, diferentes técnicas de deposição do metal TiN foram consideradas (PEALD e MOCVD).

4.7.1 Porta de metal TiN depositado por PEALD

Os dispositivos descritos anteriormente, onde o metal TiN foi depositado por PEALD, agora foram sujeitos a uma nitretação térmica após o processo de deposição do dielétrico de háfnio (HfSiO) realizada em um ambiente NH₃ a uma temperatura de 800°C durante 60s. Para a porta de metal TiN, duas espessuras foram consideradas: TiN=2 e 5 nm com W_{fin} =2 µm, L=10 µm e 10 fins.

A variação na tensão de limiar com a espessura do material de porta (redução de V_T para finos TiN) observada anteriormente é reduzida para dielétricos HfSiON, como pode ser visto na Figura 72, onde para dispositivos p-FET foi encontrada uma variação de ΔV_T =30mV e para n-FET ΔV_T =50mV.



Figura 72 – Variação de V_T com os diferentes dielétricos de porta e espessuras de TiN depositados por PEALD em dispositivos de porta tripla n- e p-FET.

Na Tabela 12 encontram-se alguns parâmetros como EOT, transcondutância máxima g_{m,máx} e a inclinação de sublimiar (S), extraídos para os diferentes dispositivos em estudo. Como pode ser visto, a inserção de nitrogênio ao dielétrico HfSiO reduz em 5% o EOT quando comparado ao dispositivo de referência para o mesma espessura de TiN. Este efeito pode ser atribuído ao aumento da permissidade do dielétrico de alta constante dielétrica com a incorporação do nitrogênio¹²⁹. De acordo com a literatura é esperado que o óxido de háfnio nitretado (HfSiON), devido a sua composição já conter um montante grande de nitrogênio, bloqueasse a passagem de impurezas, impedindo uma possível reoxidação do óxido de silício. Entretanto, o uso de HfSiO nitretado não está conseguindo impedir por completo a variação de EOT com a espessura de TiN (depositado por PEALD), onde a penetração de oxigênio na camada interfacial de SiO₂ ainda está ocorrendo. Como resultado um aumento de 9% em EOT é visto para metal TiN espesso quando para o dielétrico sem nitreto HfSiO uma variação de 12% foi observada.

		HfSiO		HfSiON	
	Parâmetros	TiN= 2 nm	TiN=5 nm	TiN= 2 nm	TiN=5 nm
nMOS	EOT [nm]	1,48	1,65	1,42	1,55
	g _{m,máx} [µS]	43	41	40	37
	S [mV/dec]	64,3	63,7	64,1	64,5
pMOS	EOT [nm]	1,49	1,66	1,45	1,59
	g _{m,máx} [µS]	16	15	16	15
	S [mV/dec]	61,6	60,7	64,1	63,5

Tabela 12 – EOT, $g_{m,max}$ e S extraídos para os dispositivos n- e p-FET com diferentes espessuras de TiN e dielétricos de porta.

Apesar da pequena variação observada na inclinação de sublimiar para os diferentes dispositivos estudados (Tabela 12), uma redução é vista no valor da transcondutância máxima para TiN espesso. Quando comparado os dielétricos, menor g_{m,máx} é observado para HfSiON. Para confrontar este comportamento da transcondutância a Figura 73 apresenta as curvas da mobilidade efetiva de elétrons (μ_n) e lacunas (μ_p) em função da carga de inversão (Q_{inv}) extraídas através da técnica de split C-V para os diferentes dielétricos e espessuras de TiN. Em ambos os dielétricos a menor mobilidade observada com o aumento de TiN é mantida. Já para os dispositivos n-FET, uma menor mobilidade é vista para estruturas com óxido de háfnio nitretado (HfSiON). Contudo, uma pequena variação é observada para as estruturas p-FET, indicando um menor impacto das lacunas com TiN espesso e HfSiON. Este fenômeno pode ser atribuído ao aumento do numero de espalhamento por Coulomb causado por ilhas de Silício-Nitrogênio que se acumulam perto da interface do dielétrico de alta constante dielétrica com a interface do silício. Nestes dielétricos nitretados termicamente, devido à elevada temperatura utilizada no processo de deposição observou-se uma elevada quantidade de nitrogênio na interface com o canal, que pode estar degradando a qualidade da interface e reduzindo a mobilidade¹³⁰.



Figura 73 – Curvas experimentais da mobilidade de (a) elétrons e (b) lacunas em função de Q_{inv} para os dispositivos de porta tripla com diferentes espessuras de TiN e dielétrico de porta.

Esta degradação causada pelo dielétrico HfSiON e TiN espessos na interface entre o óxido de porta e o canal pode ser visto através das curvas da densidade espectral de ruído referenciado à entrada (S_{VG}) normalizadas pela capacitância do óxido de porta, desconsiderando desta forma a variação de S_{VG} com a mudança de EOT (Figura 74). Uma menor largura de canal $W_{fin ef}$ =25 nm foi considerada, onde a variação do ruído é mais pronunciada. Como pode ser visto, dielétrico HfSiON possui maior nível de ruído e desta forma maior densidade de armadilhas de interface.



Figura 74 – Curvas experimentais de S_{VG} normalizado por C_{EOT} em função de V_{GT} para os dispositivos com diferentes espessuras de TiN e dielétrico de porta.

4.7.2 Porta de metal TiN depositado por MOCVD

Os dispositivos com dielétrico de alta constante dielétrica HfSiO de referência descritos anteriormente onde a porta de metal TiN foi depositada pela técnica PEALD agora também serão comparados com dielétricos de porta de alta constante dielétrica nitretados (HfSiON) mas neste caso, o metal TiN foi depositado por MOCVD. As espessuras do TiN foram de 5 e 10 nm, a largura do canal foi de W_{fin ef}=25 nm garantindo um comportamento de porta tripla, diferentes larguras de canal foram consideradas com dispositivos de 5 *fins* para dielétrico HfSiON e 10 *fins* para HfSiO.

A Figura 75 apresenta a tensão de limiar em função de L_{ef} para os dispositivos em análise. Maior V_T é observado para TiN espesso para ambos dielétricos conforme discutido anteriormente. Contudo, dielétrico HfSiON apresenta uma maior variação em V_T para as diferentes espessuras de TiN, maior até que o dielétrico nitretato apresentado na Figura 72, onde o TiN foi depositado por PEALD.



Figura 75 - Variação de V_T com os diferentes dielétricos de porta, espessuras e técnicas de deposição de TiN em dispositivos de porta tripla n- e p-FET.

A fim de se analisar essa maior variação em V_T, inicialmente EOT foi extraído para os diferentes dispositivos estudados através das curvas C-V como mostra a Figura 76. Inesperadamente, um menor aumento de EOT para espesso TiN foi observado. Este comportamento indica que o dielétrico nitretato HfSiON, com TiN depositado por MOCVD está conseguindo bloquear a passagem de impurezas pelo mesmo, sem atingir o óxido interfacial SiO₂ com o canal. Este comportamento está mais pronunciado que no dielétrico HfSiON mas com TiN depositado por PEALD, indicando que o tipo de deposição do metal TiN também implica na passagem de impurezas pelo óxido de háfnio. Finalmente, a maior variação observada em V_T para as diferentes espessura de TiN para o dielétrico HfSiON, não pode ser relacionada a uma maior variação de EOT. Como resultado, uma maior variação na tensão de faixa plana é esperada para dispositivos com TiN depositado por MOCVD. De acordo com a literatura, estes dispositivos com TiN depositado por MOCVD



Figura 76 – Curvas experimentais de C_{GDS} em função de V_{GF} para estruturas de porta tripla n- e p-FET com diferentes espessuras de TiN e dielétricos de porta.

A Tabela 13 mostra os valores de V_{EA}≅I_{DS}/g_D extraídos através da condutância de saída para uma sobretensão de V_{GT} de 200 mV nestes dispositivos de porta tripla n-FET com diferentes espessuras de TiN e dielétricos de porta. TiN espesso apresenta uma redução em V_{EA} para ambos os dielétricos. Quando comparados os dielétricos, menor V_{EA} é vista para HfSiON.

	HfSiO				HfSiON			
	TiN=	5 nm	TiN=10 nm		TiN=5 nm		TiN=10 nm	
L _{ef} [μm]	9,91	0,16	9,91	0,16	9,91	0,16	9,91	0,16
V _{EA} [V]	150	14,8	122	9,82	58	8,3	53	7,6
DIBL [mV/V]	21,7	33,9	23,5	33,8	26,9	34,2	29,6	34,8

Tabela 13 – V_{EA} , e DIBL extraídos para dispositivos de porta tripla n-FET com diferentes espessuras de TiN e dielétricos de porta.

Conforme abordado anteriormente, para TiN espesso, maior EOT foi observado, sendo este responsável por uma menor influência do campo elétrico vertical na corrente de dreno, enfatizando a contribuição do campo elétrico horizontal e resultando em menor V_{EA}. Contudo, para dielétrico nitretado a menor tensão Early não pode ser responsabilizada pela variação de EOT, sendo este menor para HfSiON. Novamente a maior função de trabalho observada para HfSiON com metal TiN depositado por MOCVD está causando esta redução do campo elétrico vertical, como pode ser visto através das curvas experimentais de I_{DS} em função de V_{GF} (Figura 77). Menor GIDL (e menor campo elétrico vertical) é observado para dielétrico HfSiON e também para TiN espesso.



Figura 77 - Curvas experimentais de I_{DS} em função de V_{GT} para V_{DS} =1,2 V para estruturas de porta tripla com diferentes espessuras de material de porta de TiN e dielétrico de porta.

O efeito de redução de barreira induzida pelo dreno (DIBL) também foi extraído para os diferentes dispositivos em estudo e os resultados são apresentados na Tabela 13 considerando V_{DS} =50m V e V_{DS} =1,2 V. Os dispositivos com dielétrico HfSiON e TiN espesso apresentam maiores valores de DIBL para ambos os comprimentos de canal. Este comportamento vai de acordo com a menor V_{EA} e correspondente maior condutância de saída.

5 ESTUDO DE DIFERENTES ESTRUTURAS DE PORTA EM DISPOSITIVOS DE PORTA TRIPLA

Neste capítulo serão estudadas estruturas de porta tripla com diferentes composições da porta onde o óxido de disprósio (Dy_2O_3) foi utilizado entre o dielétrico de alta constante dielétrica HfSiO e a porta de metal TiN, afim de se possibilitar um ajuste da tensão de limiar. O impacto que estes diferentes arranjos de porta causam em alguns parâmetros importantes como V_T, EOT, V_{FB} e na mobilidade foi abordado.

5.1 Dispositivos de porta tripla com diferentes estruturas de porta

Os dispositivos analisados também foram fabricados no Imec em lâminas SOI com concentração de dopantes de 10¹⁵ cm⁻³, espessura do óxido enterrado de 145 nm e uma camada de silício de 65 nm. Os dispositivos chamados de referência (Figura 78a) possuem uma estrutura de porta composta por 5 nm de porta de metal TiN (depositado por PEALD), 2,3 nm de dielétrico de alta constante dielétrica HfSiO (depositado por MOCVD) e finalmente 1 nm óxido de silício (SiO₂) como camada interfacial (IL) entre o silicato de óxido de háfnio (HfSiO) e o canal de silício (IL/HfSiO/TiN).



Figura 78 - Esquemático com as diferentes estruturas de porta onde na (a) IL/HfSiO/TiN, na (b) IL/HfSiO/Dy₂O₃/TiN e na (c) IL/HfSiO/TiN/Dy₂O₃/TiN.

Na seqüência, o dispositivo de referência foi sujeito a deposição por deposição atômica por vapor (AVD) de óxido de disprósio (Dy₂O₃) com 0,5 nm de espessura entre o dielétrico HfSiO e o metal TiN como mostra a Figura 78b (IL/HfSiO/Dy₂O₃/TiN). A Figura 78c mostra a última estrutura em estudo, onde a camada de (Dy₂O₃) foi depositado dentro do metal TiN onde dispositivos com diferentes espessuras foram consideradas: (1) 1 nm TiN + 1 nm Dy₂O₃ + 4 nm TiN; (2) 1 nm TiN + 0,5 nm Dy₂O₃ + 4 nm TiN e (3) 2 nm TiN + 1 nm Dy₂O₃ + 3 nm TiN⁴⁸. Foram analisados dispositivos de porta tripla n-FET com 10 *fins*, W_{fin} =2 µm e L=10 µm131.

Esta camada de Dy₂O₃ normalmente é utilizada para ajustar o valor da tensão de limiar através da mudança da função de trabalho do metal. Materiais de terras raras como o metal disprósio vem sendo estudados como óxido de porta de alta constante dielétrica (sendo considerado como óxidos de lantanídeo). Deve-se este fato a sua configuração eletrônica, com relação ao número de elétrons que formam sua camada externa. Podemos ressaltar também sua habilidade de se ligar com os íons de oxigênio e/ou evitar lacunas no mesmo e sua característica de ser termodinamicamente estável com silício. Estes óxidos de lantanídeos apresentam uma boa estabilidade térmica e uma constante dielétrica elevada. Contudo, sua natureza higroscópica leva a uma retenção de umidade e uma subseqüente reação com a água que impõe algumas mudanças na sua integração. Dentre estes óxidos, o disprósio foi o que apresentou uma menor reação com água^{132,133,134,135}.

5.2 Tensão de limiar

A Figura 79a apresenta as curvas experimentais de I_{DS} em função de V_{GF} com V_{DS} =50mV para os dispositivos de porta tripla n-FET com as diferentes estruturas de porta. Pode-se observar uma redução em V_T para os dispositivos com a camada de Dy_20_3 quando comparados com o dispositivo de referência. Na sequência, V_T mostra uma redução conforme a espessura de metal TiN é reduzida (com interface com o óxido de háfnio), podendo este efeito estar relacionado com a redução da tensão de faixa plana com a espessura de TiN observada no Capítulo 4.

A transcondutância também foi analisada para os diferentes dispositivos em analise como mostra a Figura 79b. Menor g_m é visto para os dispositivos onde a camada de óxido de disprósio é colocada diretamente com a interface do óxido HfSiO, indicando uma maior degradação da interface. Os dispositivos de referência apresentam o melhor comportamento da transcondutância.



Figura 79 – Curvas experimentais de (a) I_{DS} e (b) g_m em função de V_{GF} para as diferentes estruturas de porta.

Para uma melhor análise de V_T, as curvas experimentais de C_{GDS} em função de V_{GF} foram extraídas para as diferentes estruturas de porta (Figura 80). Uma maior capacitância máxima é observada para o dispositivo de referência, sendo que para os demais dispositivos C_{GDS} apresenta uma pequena variação. Através das curvas C-V os valores de EOT foram extraídos conforme mostra a Tabela 14, juntamente com V_T e V_{FB} sendo que este último extraído pelo método de Sonnerberg¹¹³, abordado no Capítulo 2. Os dispositivos com a camada de Dy₂O₃ apresentam maior EOT assim como um menor V_T e V_{FB} quando comparados com o dispositivo de referência. A espessura a mais de Dy₂O₃ provoca este aumento em EOT, sendo que o dispositivo onde esta camada se encontra em contato direto com o óxido de háfnio mostra a maior variação. Esta redução de V_{FB} indica uma possível variação da função de trabalho com a inserção desta camada de Dy₂O₃. Contudo, esta modulação observada em V_T está correlacionada tanto ao aumento em EOT quanto na variação de V_{FB} observada nos dispositivos com estrutura de porta diferente.



Figura 80 - Curvas experimentais de C_{GDS} em função de V_{GF} para estruturas de porta tripla nFET com as diferentes estruturas de porta.

Combinações	EOT [nm]	V _{FB} [V]	V _T [V]
HfSiO/0,5 nm Dy ₂ O ₃ / 5nm TiN	2,09	-0,90	-0,07
HfSiO/1nmTiN / 1nm Dy ₂ O ₃ / 4nmTiN	2,02	-0,88	0,11
HfSiO/1nmTiN/0,5nm Dy ₂ O ₃ / 4nmTiN	1,99	-0,87	0,19
HfSiO/2nmTiN / 1nm Dy ₂ O ₃ / 3nmTiN	1,90	-0,84	0,27
HfSiO/5nm TiN (REF)	1,64	-0,80	0,35

Tabela 14 - EOT, V_{FB} e V_T extraídos para as diferentes estruturas de porta.

As curvas da corrente de fuga em função da tensão na porta para os diferentes dispositivos em estudo são apresentadas na Figura 81 para V_{DS} =50mV. Um maior nível de corrente de fuga é visto para os dispositivos de referência, que está de acordo com os reduzidos valores de EOT.



Figura 81 – Curvas experimentais de I_G em função de V_{GF} para os dispositivos com diferentes estruturas de porta.

5.3 Mobilidade e densidade de armadilhas no óxido de porta

A Figura 82 demonstra as curvas da mobilidade efetiva de elétrons μ_n em função da carga de inversão (Q_{inv}) extraídas através da técnica de split C-V para os dispositivos com diferentes estruturas de porta. Em concordância com o comportamento da transcondutância, menor mobilidade é observada para os dispositivos com a camada de Dy₂O₃ depositada imediatamente após o óxido de háfnio (Tabela 15). Como benefício, à inserção da camada de Dy₂O₃ inserida dentro da porta de metal TiN garante uma mobilidade igual e até mesmo superior que o dispositivo de referência. Maior inclinação de sublimiar (S) é vista também na Tabela 15 para os dispositivos com Dy₂O₃ depositado sobre o HfSiO, indo em concordância com a menor mobilidade.



Figura 82 - Curvas experimentais de μ_n em função de Q_{inv} para os dispositivos com diferentes estruturas de porta.

Combinações	S [mV]	μ _n [cm²/Vs]	S _{VG} [V ² /Hz]
HfSiO/0,5 nm Dy ₂ O ₃ / 5nm TiN	69	350	2,5x10 ⁻¹⁰
HfSiO/1nmTiN / 1nm Dy ₂ O ₃ /	64	533	1.1x10 ⁻¹⁰
4nmTiN			1,1710
HfSiO/1nmTiN/0,5nm Dy ₂ O ₃ /	64	552	1.2×10^{-10}
4nmTiN			1,2710
HfSiO/2nmTiN / 1nm Dy ₂ O ₃ /	64	488	1 2×10 ⁻¹⁰
3nmTiN			1,2×10
HfSiO/5nm TiN (REF)	63	477	5,0x10 ⁻¹¹

Tabela 15 – S, μ_n e S_{VG} extraídos para os dispositivos com diferentes estruturas de porta.

Medidas de ruído em baixa frequência também foram realizadas nestes dispositivos onde $S_{VG}=S_I/g_m^2$ foi extraído, e os valores são apresentados na Tabela 15. Maior S_{VG} é visto para os dispositivos com a camada de Dy_2O_3 após o HfSiO, indicando uma maior densidade de cargas de interface. Como conclusão a utilização da camada de Dy_2O_3 dentro do metal TiN consegue ativar uma menor tensão de limiar, com um maior EOT (como conseqüência uma menor corrente de fuga) e ainda manter uma mobilidade igual ou superior que os dispositivos de referência.

5.4 Efeito de corpo flutuante induzido pela porta

O comportamento de GIFBE também foi analisado nestes dispositivos com diferentes estruturas de porta. A Figura 83 mostra as curvas da transcondutância em função de V_{GF} para as diferentes configurações de porta, com V_{DS} = 50 mV e V_{GB}=-10V garantindo, desta forma, a acumulação da segunda interface. Como pode ser observada, a inserção da camada de óxido Dy₂O₃ acarreta um deslocamento do segundo pico da transcondutância para maiores valores de V_{GF}. Como conclusão, um atraso no aparecimento do GIFBE pode ser obtido com estruturas de porta que contenham uma camada de Dy₂O₃.



Figura 83 – Curvas experimentais de g_m em função de V_{GF} com V_{GB}= -10 V para as diferentes estruturas de porta.

A Figura 84 mostra a relação entre a tensão de limiar do segundo pico V_{T2p} e a tensão de limiar V_T ambas extraídas através do ponto de máximo da segunda derivada de $I_{DS}xV_{GF}$ para o primeiro e segundo pico da curva. Como V_T diminui com a redução de V_{FB} nos dispositivos com Dy_2O_3 depositado após o óxido de háfnio, um aumento em V_{T2p} é observado graças a redução da corrente de tunelamento (devido ao aumento de EOT). GIFBE também foi analisado em função da temperatura, e para temperaturas maiores uma redução em ambas as tensões de limiar é vista para todos os dispositivos analisados. Este efeito está relacionado com a redução do nível de Fermi com a temperatura.



Figura 84 – GIFBE em função de V_T com diferentes temperaturas para os dispositivos com diferentes estruturas de porta.

Esta variação da corrente de tunelamento pela porta (I_G) com GIFBE pode ser vista na Figura 85, onde a maior V_{T2p} observada nos dispositivos com Dy_2O_3 em relação a referência, deve-se a menor corrente de fuga vista neste dispositivos com elevado EOT.



Figura 85 – Variação de I_G extraída em V_T em função de GIFBE (V_{T2p}) com diferentes temperaturas para os dispositivos com diferentes estruturas de porta.

6 CONCLUSÕES

Apresentamos neste trabalho um estudo do comportamento de transistores de porta tripla SOI com óxido de porta de alta constante dielétrica e porta de metal. O dielétrico escolhido foi o silicato de óxido de háfnio (HfSiO), sendo este também analisado quando sujeito a uma nitretação (HfSiON). O metal utilizado na porta foi o nitreto de titânio (TiN), onde o impacto da variação da sua espessura foi abordado. Finalmente, diferentes composições da estrutura de porta foram consideradas onde uma camade de Dy_2O_3 foi depositada entre o HfSiO e o metal TiN.

Inicialmente foram apresentados métodos para extração da espessura efetiva do óxido de porta (EOT), da espessura do silício (H_{fin}) e da concentração de dopantes do canal (N_a), desenvolvidos através de curvas da capacitância em função da tensão (C-V) operando em alta frequência para dispositivos SOI de porta tripla com óxido de porta HfSiO e porta de metal TiN.

Resultados experimentais e simulações numéricas tridimensionais foram utilizados para a avaliação da validade dos métodos quando aplicados em estruturas de porta tripla. As simulações indicaram uma variação de 2, 7,4 e 17 % para a extração de EOT, $H_{fin} e N_a$, respectivamente. O método de extração da concentração de dopantes da camada de silício mostrou-se impossível de ser aplicado para concentrações menores que $N_a=2x10^{17}$ cm⁻³, pois a tensão de limiar se torna independente da concentração.

Foi analisado o efeito de canto, presente em dispositivos de múltiplas portas com alta concentração de dopantes, através das curvas da corrente de dreno e da capacitância em dispositivos de porta tripla com óxido de porta de alta constante dielétrica e porta de metal. Uma vez tendo realizado as simulações numéricas tridimensionais com os mesmos parâmetros físicos dos dispositivos experimentais, novas simulações foram realizadas a fim de se extrapolar a influência da alta concentração do canal nos dispositivos de porta tripla.

Pode-se observar a presença de mais de uma tensão de limiar, resultado da inversão dos cantos superiores. As curvas da corrente e da capacitância indicaram que a diferença entre estas tensões de limiar (de canto e laterais) aumenta juntamente com a concentração de dopantes do canal.

Na sequência, o impacto da variação da espessura da porta de metal de nitreto de titânio (TiN) foi analisado em dispositivos de porta tripla com silicato de óxido de háfnio como dielétrico (HfSiO). Inicialmente foi observado um aumento na tensão de limiar com a espessura de TiN nos dispositivos n- e p-FET. Através de medidas experimentais, este efeito foi atribuído tanto a um aumento da espessura efetiva do óxido de porta quanto da tensão de faixa plana. Este aumento de EOT foi relacionado com uma reação entre o alto nível de oxigênio (O₂), fornecido durante processos posteriores a deposição do TiN, e a camada interfacial de óxido de silício, causando um aumento da mesma. Como resultado, uma menor corrente de fuga foi vista nestes dispositivos. O aumento observado na tensão de faixa plana está relacionado com o aumento da função de trabalho com a espessura de TiN.

Dispositivos com reduzido TiN também apresentaram reduzida transcondutância e mobilidade, devido ao maior tensionamento observado neste dispositivos.

Medidas de ruído de baixa frequência foram realizadas nestes dispositivos, para uma melhor análise das cargas de interface. Os resultados demonstraram uma menor densidade de ruído para os dispositivos com reduzida espessura de TiN proveniente de uma menor densidade de carga de interface.

Juntamente com a análise de ruído, medidas de bombeamento de cargas também foram realizadas. Em consistência com o menor nível de ruído, reduzida corrente de bombeamento de cargas (proporcional a densidade de cargas de interface) foi extraída para estes dispositivos com menor TiN. Através desta técnica de medida também foi possível extrair a tensão de faixa plana, que esta de acordo com a variação da tensão de limiar. Finalmente, reduzidas larguras de canal foram analisadas apresentando uma maior densidade de cargas de interface, devido ao maior problema de interface encontrado nas laterais do canal.

O efeito de corpo flutuante induzido pela porta (GIFBE) foi estudado nestes dispositivos demonstrando uma redução no seu aparecimento para TiN espesso, estando este efeito relacionado tanto a menor corrente de fuga assim como a maior função de trabalho do metal.

Uma análise experimental sobre as características analógicas destes dispositivos também foi realizada. Os valores da relação de g_m/I_{DS} observados na região de inversão fraca, indicaram uma inclinação de sublimiar próximo do ideal para todos os dispositivos analisados. Já na região de inversão forte, maior g_m/I_{DS} foi

observado para os dispositivos com porta de metal TiN fina, estando este efeito relacionado com o aumento da mobilidade.

Além disso, uma redução da tensão Early para porta de metal TiN espessa pode ser vista. Deve-se este fato ao maior EOT visto nestes dispositivos, que por sua vez faz com que a influência do campo elétrico vertical na corrente de dreno reduza, aumentando desta forma a contribuição do campo elétrico horizontal. Esta influência do campo elétrico vertical com EOT foi confirmada pelo comportamento da corrente de fuga do dreno induzida pela tensão na porta GIDL, que foi menor para TiN mais espesso.

Dispositivos com TiN espesso e reduzidos comprimentos de canal apresentaram um maior DIBL devido a redução do campo elétrico vertical. Como resultado, uma maior condutância de saída (g_D) foi vista nestes transistores. Combinando-se estes resultados, observou-se uma redução do ganho de tensão nos transistores com TiN espesso, sendo esta variação atribuída principalmente ao impacto de V_{EA}.

Esta análise analógica também foi realizada em baixas temperaturas nos dispositivos com diferentes espessuras de TiN. A relação g_m/I_{DS} apresentou uma maior variação em baixa temperatura na região de inversão fraca, sendo esta relação menor para TiN. Deve-se este fato a maior densidade de armadilhas de interface observada para TiN de 10 nm, indo de acordo com a maior inclinação de sublimiar. Já a condutância de dreno apresentou um aumento com a redução da temperatura devido à maior ionização por impacto. E mesmo em baixa temperatura maior g_D foi mantido para TiN espesso, assim como um reduzido ganho de tensão.

Finalmente, estes dispositivos com diferentes espessuras de TiN foram analisados quando depositados por diferentes técnicas (PEALD e MOCVD) e quando o dielétrico de alta constante dielétrica HfSiO sofre uma etapa adicional de nitretação. Para os dispositivos com porta de metal depositada por PEALD, uma menor variação na tensão de limiar com a espessura da porta de metal foi observada para o dielétrico nitretado (HfSiON). Esta redução na variação de V_T deve-se a menor variação em EOT com a espessura de TiN. Estes dispositivos com óxido de háfnio nitretado aparentemente estão bloqueando a passagem de impurezas até o óxido interfacial, impedindo o mesmo de alterar sua espessura. Contudo era esperado um maior bloqueio do óxido HfSiON, sendo o aumento de EOT de 9% com TiN espesso e para o dielétrico sem nitreto (HfSiO) EOT apresentava um aumento de 12%. Menor transcondutância também foi observada

para o dielétrico HfSiON. Este comportamento está de acordo com a reduzida mobilidade e elevada densidade de ruído. Já para os dispositivos com porta de metal depositada por MOCVD, uma maior variação na tensão de limiar com a espessura da porta de metal foi observada para o dielétrico nitretado HfSiON. Este comportamento discorda daquele obtido nos dispositivos com porta de metal depositado por PEALD. Inesperadamente, não podemos atribuir este fato a uma maior variação de EOT. Pelo contrário, uma menor variação em EOT com a espessura de TiN foi obtida nestes dielétricos nitretados e com TiN depositado por MOCVD. Como resultado, esta maior variação em V_T com a espessura de TiN está relacionada a uma maior variação da tensão de faixa plana e correspondente função de trabalho obtida por metal TiN depositado por MOCVD. A tensão Early também foi extraída apresentando menor valor para óxido de háfnio nitretado, mas neste caso não podemos mais relacionar com um menor campo elétrico vertical (maior EOT). Neste caso, menor EOT é observado para oxido HfSiON devido a maior permissividade alcançada pela incorporação de nitrogênio. Novamente, a maior função de trabalho observada para HfSiON com metal TiN depositado por MOCVD está causando esta redução do campo elétrico vertical e desta forma da tensão Early.

Também foram estudados transistores de porta tripla com diferentes estruturas de porta onde um camada óxido de disprósio (Dy_2O_3) foi utilizada juntamente com o dielétrico de alta constante dielétrica HfSiO e a porta de metal TiN. Os resultados obtidos indicam uma maior espessura do óxido de porta e uma resultante menor corrente de fuga. Foi observada também uma redução da tensão de faixa plana que se deve a uma possível variação da função de trabalho reportada na literatura. Como resultado, uma redução na tensão de limiar pode ser obtida com a inserção desta camada de óxido de disprósio na estrutura de porta. Os resultados experimentais também mostraram que quando a camada de óxido Dy_2O_3 é colocada entre o material de porta de metal TiN, uma melhor mobilidade de portadores pode ser obtida assim como uma reduzida densidade de cargas de interface. O GIFBE também foi analisado e pode-se averiguar um retardamento no aparecimento deste efeito com estas estruturas de porta tripla com a camada de óxido Dy_2O_3 na estrutura da porta. Deve-se este efeito à menor corrente de fuga vista nestes dispositivos.

Como proposta de sequência deste trabalho pretende-se abordar os seguintes tópicos:

- Melhoramentos no método de extração da concentração de dopantes, tornando-o viável para aplicação em dispositivos de múltiplas portas com baixa dopagem.

- Desenvolvimento um método de extração da função de trabalho em dispositivos SOI de múltiplas portas, a partir do estudo do efeito de corpo flutuante induzido pela porta.

PUBLICAÇÕES

Artigos completos publicados em periódicos

- RODRIGUES, M.; Martino, J.A.; MERCHA, A.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C. . Low-frequency noise and static analysis of the impact of the TiN metal gate thicknesses on n- and p-channel MuGFETs. Solid-State Electronics, p. 1-10, 2010.
- RODRIGUES, M. ; SONNENBERG, Victor ; MARTINO, J. A. Parameters Extraction from C-V Curves in Triple-Gate FinFET. JICS. Journal of Integrated Circuits and Systems, v. 3, p. 77-81, 2008.
- 3) GALETI, M. ; RODRIGUES, M. ; COLLAERT, N. ; SIMOEN, E. ; CLAEYS, C. ; MARTINO, João Antônio . Analog performance of SOI nFinFETs with different TiN gate electrode thickness and high-k dielectric. JICS. Journal of Integrated Circuits and Systems 2010.

Artigos completos submetidos para periódicos

 Influence of the sidewall crystal orientation, HfSiO nitridation and TiN metal gate thickness on n-MuGFETs under analog operation. RODRIGUES, M.; GALETI, M.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C.; MARTINO, João Antônio. Solid-State Electronics 2010.

Trabalhos completos publicados em anais de congressos

 RODRIGUES, M.; GALETI, M.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C.; MARTINO, João Antônio. Analog application of SOI nFinFETs with different TiN gate electrode thickness operating at cryogenic temperatures. In: Ninth International Workshop on Low Temperature Electronics (WOLTE9), 2010, Guarujá. Proceedings of the Ninth International Workshop on Low Temperature Electronics, 2010. v. 1.

- GALETI, M.; RODRIGUES, M.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C.; MARTINO, João Antônio . Analog performance of SOI nFinFETs with different TiN gate electrode thickness. ECS Transactions - Microelectronics Technology and Devices - SBMicro2010, 2010. v. 31.
- RODRIGUES, M. ; GALETI, M. ; MARTINO, João Antônio ; COLLAERT, N. ; SIMOEN, E. ; CLAEYS, C. . Effects of HfSiO nitridation and TiN metal gate thickness on p- and n-SOI MuGFETs for analog applications. In: 2010 IEEE SOI Conference, 2010, San Diego, Califórnia. 2010
- 4) RODRIGUES, M. ; MARTINO, João Antônio ; COLLAERT, N. ; SIMOEN, E. ; CLAEYS, C. . Channel backscattering coefficient impact on FinFET devices with uniaxial/biaxial strain engineering. In: 11th Ultimate Integration on Silicon Conference - ULIS 2010, 2010, Glasgow, Escócia. v. 1. p. 17-20.
- 5) RODRIGUES, M. ; MARTINO, João Antônio ; COLLAERT, N. ; MERCHA, A. ; SIMOEN, E. ; CLAEYS, C. . Impact of the TiN metal gate thickness in gate induced floating body effect. In: EuroSOI 2009 - Fifth Workshop of the Thematic Network on Silicon-On-Insulator Technology, Devices and Circuits, 2009, Goteborg. v. 1. p. 131-132.
- RODRIGUES, M.; MERCHA, A.; SIMOEN, E.; COLLAERT, N.; CLAEYS, C.
 ; MARTINO, J. A. . Impact of TiN metal gate thickness and the HfSiO nitridation on MuGFETs electrical performance. In: 10th Ultimate Integration on Silicon Conference ULIS 2009, 2009, Aachen, Alemanha. IEEE
- 7) MARTINO, João Antônio ; RODRIGUES, M. ; MERCHA, A. ; SIMOEN, E. ; VELOSO, A. ; COLLAERT, N. ; JURCZAK, M. ; CLAEYS, C. . Gate Stack Influence on GIFBE in nFinFETs. In: 215th Electrochemical Society Meeting -Silicon-On-Insulator Technology and Devices 14, 2009, San Francisco. v. 19.
- 8) RODRIGUES, M. ; MOON JU, C. ; MARTINO, J. A. ; COLLAERT, N. ; MERCHA, A. ; SIMOEN, E. ; CLAEYS, C. . Analysis of the interface trap density in SOI FinFETs with different TiN gate electrode thickness through charge pumping technique. ECS Transactions - Microelectronics Technology and Devices - SBMicro2009. Pennington, NJ : The Electrochemical Society, 2009. v. 23. p. 559-565.
- 9) RODRIGUES, M.; MERCHA, A.; COLLAERT, N.; SIMOEN, E.; CLAEYS, C.
 ; MARTINO, J. A. . Impact of the TiN Layer Thickness on the Low-Frequency Noise and Static Device Performance of n-channel MuGFETs. In: 20th

International Conference on Noise and Fluctuations, 2009, Pisa, Italy. AIP Conference Proceedings, 2009. v. 1. p. 167-170.

- 10)RODRIGUES, M. ; SONNENBERG, Victor ; MARTINO, J. A. . Corner Effect on Capacitance-Voltage Curves in Triple Gate FinFET Microelectronics Technology and Devices - SBMicro2008. Pennington, NJ : The Electrochemical Society, 2008. v. 14. p. 223-231.
- 11) RODRIGUES, M.; SONNEENBERG, Victor; MARTINO, João Antônio. Triple Gate FinFET Parameter Extraction Using High Frequency Capacitance -Voltage Curves. Microelectronics Technology and Devices - SBMicro 2007. Pennington, NJ: Electrochemical Society, 2007. v. 9. p. 9-18.
- 12)M. Rodrigues1, M. Galeti, J. A. Martino, N. Collaert, E. Simoen, C. Claeys, TiN/HfSiON for analog applications of nMuGFETs. ECS Meeting 2010.
- 13)M. Rodrigues, V. Sonnenberg, J. A. Martino, N. Collaert, E. Simoen, C. Claeys. Fin pitch impact on biaxial strain engineering of triple-gate device. ECS Meeting 2010

Resumos expandidos publicados em anais de congressos

- GALETI, M.; RODRIGUES, M.; MARTINO, João Antônio; SIMOEN, E.; CLAEYS, C. Impact of the halo region on floating body effects in triple gate FINFETs. In: 9th Microelectronics Students Forum, 2009, Natal, RN.
- ZANCHIN, V. R. ; RODRIGUES, M. ; MARTINO, João Antônio . High frequency capacitance versus voltage curves analysis in Pi-Gate SOI MOSFET structures. In: 8th Microelectronics Students Forum, 2008, Porto Alegre, RS.

REFERÊNCIAS

1 International Technology Roadmap for Semiconductors: http://www.itrs.net/

2 THOMPSON, S. E. A 90-nm logic technology featuring strained-silicon. <u>IEEE</u> <u>Transactions on Electron Devices</u>, v. 51, n. 11, p. 1790-1797, 2004.

3 MANASEVIT, H. M.; GERGIS, I. S.; JONES. A. B. Electron mobility enhancement in epitaxial multilayer Si.Si1.xGex alloy films on (100) Si. <u>Applied Physics Letters</u>, v. 41, n. 5, p. 464, 1982.

4 HILL, R. J. W. et al. Enhancement-mode GaAs MOSFETs with an $In_{0.3}Ga_{0.7}As$ channel, a mobility of over 5000 cm²/Vs, and transconductance of over 475 μ S/ μ m. <u>IEEE Electron Device Letters</u>, v. 28, n. 12, p. 1080-1082, 2007.

5 MANASEVIT, H. M.; SIMPSON, W. I. Single - Crystal Silicon on a Sapphire Substrate. Journal of Applied Physics, v.35, n. 4, p.1349-1351, 1964.

6 COLINGE, J. P. FinFETs and Other Multi-Gate Transistors. New York: Springer, 2008.

7 KAHNG, D. A historical perspective on the development of MOS transistors and related devices. <u>IEEE Transactions on Electron Devices</u>, v. 23, n. 7, p. 655-657, 1976.

8 CRISTOLOVEANU, S.; LI, S. S. <u>Electrical Characterization of Silicon-on-Insulator</u> <u>Material and Devices</u>. Boston: Kluwer Academic Publishers, 1995.

9 YOSHIMI, M. et al. Observation of mobility enhancement in ultrathin SOI MOSFETs. <u>Electronics Letters</u>, v. 24, n. 17, p. 1078-1079, 1988.

10 EL-KAREH, B. et al. Silicon on insulator-an emerging high-leverage technology. <u>IEEE Transactions on Componentes</u>, Packaging and Manufacturing Technology, v. 18, n. 1, p. 187-194, 1995.

11 YOUNG, K. K. Short-channel effect in fully depleted SOI MOSFETs. <u>IEEE</u> <u>Transactions on Electron Devices</u>, v. 36, n. 2, p. 399-402, 1989. 12 CHEN, H. S.; LI, S. S. Comparison of statistical variation of threshold voltage in bulk and SOI MOSFETs. <u>Solid-State Electronics</u>, v.35, n.9, p.1233-1239, 1992.

13 FOSSUM, J.G.; CHOI, J.-Y.; SUNDARESAN, R. SOI design for competitive CMOS VLSI. <u>IEEE Transactions on Electron Devices</u>, v. 37, n. 3, p. 724-729, 1990.

14 COLINGE, J. P. Hot-electron effects in Silicon-on-insulator n-channel MOSFET's. <u>IEEE Transactions on Electron Devices</u>, v. 34, n. 10, p. 2173-2177, 1987.

15 COLINGE, J. P. Reduction of kink effect in thin-film SOI MOSFETs. <u>IEEE Electron</u> <u>Device Letters</u>, v. 9, n. 2, p. 97-99, 1988.

16 YU, B. FinFET Scaling to 10 nm Gate Length. <u>IEEE International Electron Devices</u> <u>Meeting IEDM</u>, p. 251-254, 2002.

17 HISAMOTO, D.; KAGA, T.; KAWAMOTO, Y. TAKEDA, E. A fully depleted leanchannel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET. <u>IEDM Technical</u> <u>Digest</u>, p.833-836, 1989.

18 HUANG, X. et al. Sub 50-nm FinFET: PMOS<u>IEEE International Electron Devices</u> <u>Meeting IEDM</u>, p. 67-70, 1999.

19 HISAMOTO, D. et al. FinFET a self-aligned double-gate MOSFET scalable to 20nm. IEEE Transactions on Electron Devices, v. 47, n. 12, p. 2320, 2000.

20 COLINGE, J. P. <u>Silicon-on-nsulator Technology: Materials to VLSI</u>. 3rd Ed. New York: Springer, 2004.

21 XIONG, W.; PARK, J. W.; COLINGE, J. P. Corner effect in multiple-gate SOI MOSFETs. <u>IEEE International SOI Conference Proceedings</u>, p. 111-113, 2003.

22 DOYLE, B. et al. Tri-Gate Fully-Depleted CMOS Transistors: Fabrication, Design and Layout. <u>IEEE VLSI Symposium Digest of Technical Papers</u>, p. 133-134, 2003.

23 RUSTAGI, S. C.; MOHSEN, Z. O.; CHANDRA, S.; CHAND, A. C-V characterization of MOS capacitors in SOI structures. <u>Solid-State Electronics</u>, v. 39, n. 6, p. 841-849, 1996.

24 MCDAID, L. J.; HALL, S.; ECCLESTON, W.; ALDERMAN, J.C. Interpretation of capacitance-voltage characteristics on silicon-on-insulator (SOI) capacitors. <u>Solid-State Electronics</u>, v. 32, n. 1, p. 65-68, 1989.

25 IKRAIAM, F. A.; BECK, R.B.; JAKUBOWSKI, A. Modeling of SOI-MOS capacitors C-V behavior: partially- and fully-depleted cases. <u>IEEE Transactions on Electron</u> <u>Devices</u>, v. 45, n. 5, p.1026-1032, 1998.

26 LO, S.-H.; BUCHANAN, D.A.; TAUR, Y.; WANG, W. Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultra-thin-oxide nMOSFET's. <u>IEEE Electron Device Letters</u>, v. 18, n. 5, p. 209-211, 1997.

27 VELLIANITIS, G. et al. Gatestacks for scalable high-performance FinFETs. <u>IEEE</u> <u>International Electron Devices Meeting IEDM</u>, p. 681-684, 2007.

28 YEO, Y.-C.; KING, T.-J.; HU, C. Metal-dielectric band alignment and its implications for metal gate complementary metal-oxide-semiconductor technology. Journal of Applied Physics, v. 92, n. 12, p. 7266, 2002.

29 CHANG, L.; LEONG, M.; YANG, M. CMOS circuit performance enhancement by surface orientation optimization. <u>IEEE Transactions on Electron Devices</u>, v. 51, n. 11, p. 1621-1627, 2004.

30 CHOI, C.; CHIDAMBARAM, P. R.; KHAMANKAR, R.; MACHALA, C. F.; YU, Z.; DUTTON, R. W. Gate length dependent polysilicon depletion effects. <u>IEEE Electron</u> <u>Device Letters</u>, v. 23, n. 4, p. 224-226, 2002.

31 LIU, Y. et al. Investigation of the TiN gate tlectrode with tunable work function and its application for FinFET fabrication. <u>IEEE Transactions on Nanotechnology</u>, v. 5, n. 6, p. 723-730, 2006.

32 SINGANAMALLA, R. et al. On the impact of TiN thickness variations on the effective work function of poly-Si/TiN/SiO₂ and Poly-Si/TiN/HfSiON gate stacks. <u>IEEE</u> <u>Electron Device Letters</u>, v. 27, n. 5, p. 332-334, 2006.

33 CHOI, K. et al. The effect of metal thickness, overlayer and high-k surface treatment on the effective work function of metal electrode. <u>Proceedings of the European Solid State Device Research Conference ESSDERC</u>, p. 101-104, 2005.

34 GROESENEKEN, G. et al. Temperature dependence of threshold voltage in thinfilm SOI MOSFETs. <u>IEEE Electron Device Letters</u>, v. 11, n. 8, p. 329-331, 1990.

35 KISTLER, N.; WOO, J. Detailed characterization and analysis of the breakdown voltage in fully depleted SOI n-MOSFET's. <u>IEEE Transactions on Electron Devices</u>, v. 41, n. 7, p. 1217, 1994.

36 YOSHIMI, M. et al. Two-dimensional simulation and measurement of highperformance MOSFETs made on a very thin SOI film. <u>IEEE Transactions on Electron</u> <u>Devices</u>, v. 36, n. 3, p. 493-503, 1989.

37 COLINGE, J. P. Multi-gate SOI MOSFETs. <u>Microelectronic Engineering</u>, v. 84, n. 9-10, p. 2071-2076, 2007.

38 SEKIGAWA, T. HAYASHI, Y. Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate. <u>Solid-State Electronics</u>, v. 27, n. 8-9, p. 827-828, 1984.

39 LIU, Y.; ISHII, K.; TSUTSUMI, T.; MASAHARA, M.; SUZUKI, E. Ideal rectangular cross-section Si-Fin channel double-gate MOSFETs fabricated using orientation-dependent wet etching. <u>IEEE Electron Device Letters</u>, v. 24, n. 7, p. 484, 2003.

40 HIRAMOTO, T. Nano-scale silicon MOSFET: towards non-traditional and quantum Devices. <u>IEEE International SOI Conference Proceedings</u>, p.8-10, 2001.

41 JIAO, Z.; SALAMA, CAT. A Fully Depleted Delta-Channel SOI NMOSFET <u>Electrochemical Society Proceedings</u>, v. 2001-3, p.403-408, 2001.

42 COLINGE, J. P.; GAO, M. H.; ROMANO-RODRÍGUEZ, A.; CLAEYS, C. Siliconon-insulator 'gate-all-around device'. <u>IEEE International Electron Devices Meeting</u> <u>IEDM</u>, p. 595-598, 1990.

43 PEI, G.; KEDZIERSKI, J.; OLDIGES, P.; IEONG, M.; KAN, E. C.-C. FinFET design considerations based on 3-D simulation and analytical modeling. <u>IEEE</u> <u>Transactions on Electron Devices</u>, v. 49, n. 8, p. 1411-1419, 2002.

44 BIN, Y. et al. FinFET scaling to 10 nm gate length. <u>IEEE International Electron</u> <u>Devices Meeting IEDM</u>, p. 251-254, 2002.
45 YANG, J. W.; FOSSUM, J. G. On the feasibility of nanoscale triple-gate CMOS transistors. <u>IEEE Transactions on Electron Devices</u>, v. 52, n. 6, p. 1159-1164, 2005.

46 LEDERER, D.; KILCHYTSKA, V.; RUDENKO, T.; COLLAERT, N.; FLANDRE, D.; DIXIT, A.; MEYER, K.; RASKIN, J. P. FinFET analog characterization from DC to 110GHz. <u>Solid-State Electronics</u>., v. 49, n. 9, p. 1488-1496, 2005.

47 RUDENKO, T.; COLLAERT, N.; GENDT, S.; KILCHYTSKA, V.; JURCZAK, M.; FLANDRE, D. Effective mobility in FinFET structures with HfO2 and SiON gate dielectrics and TaN gate electrode. <u>Microelectronic Engineering</u>, v. 80, n. 1, p. 386-389, 2005.

48 VELOSO, A.et al. Flexible and robust capping-metal gate integration technology enabling multiple-V_T CMOS in MuGFETs. <u>IEEE VLSI Symposium Digest of Technical Papers</u>, p. 14-15, 2008.

49 BAIE, X.; COLING, J. P.; BAYOT, V.; GRIVEI, E. Quantum-wire effects in thin and narrow SOI MOSFETs. <u>IEEE International SOI Conference Proceedings</u>, p. 66-67, 1995.

50 CHAU, R. et al. Advanced depleted-substrate transistors: single-gate, double-gate and tri-gate. <u>Proceeding of the International Conference on Solid State Devices and Materials SSDM</u>, p. 68, 2002.

51 PARK, J. T.; COLINGE, J. P.; DIAZ, C. H. Pi-Gate SOI MOSFET. <u>IEEE Electron</u> <u>Device Letters</u>, v. 22, n. 8, p. 405-406, 2001.

52 PARK, J. T.; COLINGE, J. P. Multiple-gate SOI MOSFETs: device design guidelines. <u>IEEE Transactions on Electron Devices</u>, v. 49, n. 12 p. 2222-2229, 2002.

53 YANG, F. L. et al. 25 nm CMOS Omega FETs. <u>IEEE International Electron</u> <u>Devices Meeting IEDM</u>, p. 255-258, 2002.

54 FREI, J. et al. Body effect in tri- and pi-gate SOI MOSFETs. <u>IEEE Electron Device</u> <u>Letters</u>, v. 25, n. 12, p. 813-815, 2004.

55 MIYANO, S.; HIROSE, M.; MASUOKA, F. Numerical analysis of a cylindrical thinpillar transistor (CYNTHIA). <u>IEEE Transactions on Electron Devices</u>, v. 39, n. 8, p.1876-1881, 1992. 56 NITAYAMA, A. et al. Multi-pillar surrounding gate transistor (M-SGT) for compact and high-speed circuits. <u>IEEE Transactions on Electron Devices</u>, v. 38, n. 3, p. 579-583,1991.

57 DUFRENE, B. et al. Investigation of the four-gate action in G4-FETs. <u>IEEE</u> <u>Transactions on Electron Devices</u>, v. 51, n. 11, p. 1931, 2004.

58 COLINGE, J. P. Multiple-gate silicon-on-insulator MOS transistors. <u>Electrochemical Society Proceedings</u>, v. 2003-09, p. 2-17, 2003

59 SZE, S. M. <u>Physics of Semiconductor Devices</u>, 2nd Ed. New York: John Wiley, p. 868, 1981.

60 COLINGE, J.P.; PARK, J.W.; XIAONG, W. Threshold voltage and subthreshold slope of multiple-gate SOI MOSFETs. <u>IEEE Electron Device Letters</u>, v. 24, n. 8, p. 515-517, 2003.

61 LIM, H. K.; FOSSUM, J. G. Threshold voltage of thin-film Silicon-on-insulator (SOI) MOSFET's. <u>IEEE Transactions on Electron Devices</u>, v. 30, n. 10, p. 1244-1251, 1983.

62 COLINGE, J.P.; COLINGE, C.A. <u>Physics of Semiconductor Devices</u>. 1st Ed. Massachusetts: Kluwer Academic Publishers, 2002.

63 BREWS, J.R. Subthreshold behavior of uniformly and nonuniformly doped longchannel MOSFET. <u>IEEE Transactions on Electron Devices</u>, v. 26, n. 9, p. 1282-1291, 1979.

64 COLINGE, J.P. Multiple-gate SOI MOSFETs. <u>Solid-State Electronics</u>, v. 48, n. 6, p. 897-905, 2004.

65 GROVE, A. S. <u>Physics and technology of semiconductor devices</u>, New York, J. Wiley & Sons, p. 326, 1967.

66 VEERARAGHAVAN, S.; FOSSUM, J.G. A. Short-channel effects in SOI MOSFETs. <u>IEEE Transactions on Electron Devices</u>, v.36, n. 3, p. 522-528, 1989.

67 HAMID, H. A. E. et al. Two-Dimensional Analytical Threshold Voltage and Subthreshold Swing Models of Undoped Symmetric Double- Gate MOSFETs. <u>IEEE</u> <u>Transactions on Electron Devices</u>, v. 54, p. 1402-1408, 2007.

68 ADAM, A. O. et al. Analytical threshold voltage model for ultrathin SOI MOSFETs including short-channel and floating-body effects. <u>IEEE Transactions on Electron</u> <u>Devices</u>, v. 46, n. 4, p. 729-737, 1999.

69 CHAN, T.Y.; CHEN, J.; KO, P.K.; Hu, C. The impact of gate-induced drainleakage current on MOSFET scaling. <u>IEEE International Electron Devices Meeting</u> <u>IEDM</u>, p. 718-721, 1987.

70 MUNATA, T. et al. Control of threshold-voltage and short-channel effects in ultrathin strained-SOI CMOS devices. <u>IEEE Transactions on Electron Devices</u>, v. 52, n. 8, p. 1780-1786, 2005.

71 COLINGE, J. P. Thin-film SOI technology: the solution to many submicron CMOS problems, <u>IEEE International Electron Devices Meeting IEDM</u>, p. 817-820, 1989.

72 HAVALDAR, D. S. et al. Subthreshold current model of finfets based on analytical solution of 3-D Poisson's equation. <u>IEEE Transactions on Electron Devices</u>, v. 53, n. 4, p. 737-742, 2006

73 CURENKOV, A.; LORENZ, J. Corner effect in double and triple gate FinFETs. <u>Proceedings of the European Solid State Device Research Conference ESSDERC</u>, p. 135, 2003.

74 STADELE, M. et al. A comprehensive study of corner effects in tri-gate transistors. <u>Proceedings of the European Solid State Device Research Conference ESSDERC</u>, p. 165-168, 2004.

75 RUIZ, F.G; GODOY, A.; GAMIZ, F.; DONETTI, L.; SAMPEDRO, C. Study of the Corner Effects on Pi-Gate SOI MOSFESTs. <u>Proceedings of the Spanish Conference on Electron Devices</u>, p. 76-79, 2007.

76 FOSSUM, J.G.; YANG, J.-W.; TRIVEDI, V.P. Suppression of corner effects in triple-gate MOSFETs. <u>IEEE Electron Device Letters</u>, v. 24, n. 12, p. 745-747, 2003.

77 BALESTRA, F.; CRISTOLOVEANU, S.; BENACHIR, M.; BRINI, J.; ELEWA, T. Double-gate silicon-on-insulator transistor with volume inversion: A new device with greatly enhanced performance. <u>IEEE Electron Device Letters</u>, v. 8, n. 9, p. 410-412, 1987.

78 LANDGRAF, E. et al. Influence of crystal orientation and body doping on trigate transistor performance. <u>Solid-State Electronics</u>, v. 50, n. 1, p.38-42, 2006.

79 MERCHA, A.; RAFI, J.M.; SIMOEN, E.; CLAEYES, C. Evidence for a linear kink effect in ultra-thin gate oxide SOI MOSFETs. <u>Electrochemical Society Proceedings</u>, v. 05, p. 319-324, 2005.

80 PRETED, J. et al. New mechanism of body charging in partially depleted SOI-MOSFETs with ultra-thin gate oxides. <u>Proceedings of the European Solid State</u> <u>Device Research Conference ESSDERC</u>, p.515-518, 2002

81 MERCHA, A. et al. Linear kink effect induced by electron valence band tunneling in ultrathin gate oxide bulk and SOI MOSFETs. <u>IEEE Transactions on Electron</u> <u>Devices</u>, v. 50, n. 7, p.1675-82, 2003

82 LEE, W-C.; HU, C. Modeling CMOS tunneling currents through ultrathin gate oxide due to conduction- and valence-band electron and hole tunneling. <u>IEEE</u> <u>Transactions on Electron Devices</u>, v. 48, n. 7, p.1366-1373, 2001

83 YANG, M. et al. Performance dependence of CMOS on silicon substrate orientation for ultrathin oxynitride and HfO2 gate dielectrics. <u>IEEE Electron Device</u> <u>Letters</u>, v. 24, n. 5, p. 339-341, 2003.

84 BEHZAD, R. <u>Design of analog CMOS integrated circuits</u>. New York: McGraw-Hill, 2001.

85 HAARTMAND, M.; Östling, M. Low-frequency noise in advanced MOS devices. Springer, 2007.

86 GHIBAUDO, G.; ROUX, O.; NGUYEN_DUC, C.; BALESTRA, F.; BERINI, J. Improved analysis of low frequency noise in field-effect MOS transistors. <u>Physica</u> <u>Status Solidi (a)</u>, v. 124, n. 2, p. 571-581, 1991.

87 HUNG, K. K. et al. A unified mode for the flicker noise in metal-oxide semiconductor field-effect transistor. <u>IEEE Transactions on Electron Devices</u>, v. 37, n. 3, p. 654-665, 1990.

88 SIMOEN, E.; CLAEYS, C. On the flicker noise in submicron silicon MOSFETs Solid-State Electronics. v. 43, n. 5, p. 865-882, 1999.

89 JAYARAMAN, R.; SODINI, C. G. A 1/f noise technique to extract the oxide trap density near the conduction band edge of silicon. <u>IEEE Transactions on Electron</u> <u>Devices</u>, v. 36, n. 9, p. 1773-1778, 1989.

90 GROESENEKEN, G.; MAES, H. E.; BELTRAN, N.; KEERSMAECKER, R. F. A reliable approach to charge-pumping measurements in MOS transistors. <u>IEEE</u> <u>Transactions on Electron Devices</u>, v. 31, n. 1, p. 42-53, 1984.

91 OUISSE, T. et al. Adaptation of the charge pumping technique to gated p-i-n diodes fabricated on silicon on insulator. <u>IEEE Transactions on Electron Devices</u>, v. 38, n. 6, p. 1432-1444, 1991.

92 KAPILA, G.; KACZER, B.; NACKAERTS, A.; COLLAERT, N.; GROESENEKEN, G.V. Direct measurement of top and sidewall interface trap density in SOI MOSFETs. <u>IEEE Electron Device Letters</u>, v. 28, n. 3, p. 232-234, 2007.

93 VITTOZ, E. A. Low Power design: ways to approach the limits. <u>IEEE International</u> <u>Solid State Circuits Conference Digest of Technical Papers</u>, p. 14-18, 1994.

94 FLANDRE, D. et al. Modelling and application of fully depleted SOI MOSFETs for low voltage, low power analogue CMOS circuits. <u>Solid-State Electronics</u>, v. 39, n. 4, p. 455-460, 1996.

95 SUBRAMANIAN, V. et al. Device and circuit-level analog performance trade-offs: a comparative study of planar bulk FETs versus FinFETs. <u>IEEE International Electron</u> <u>Devices Meeting IEDM</u>, p. 898-901, 2005.

96 PETRY, J. <u>Microstructural and electrical characterization of thin dielectric with high k values.</u> Tese (Doutorado). KUL, Bélgica, 2005.

97 BENDER, H. et al. Physical characterization of high-k gate stacks deposited on Hf-last surfaces. <u>Proceedings of the International Workshop on Gate Insulator</u>, p. 86-92, 2001.

98 PEACOCK, P. W.; ROBERTSON. J. Band offsets and Schottky barrier heights of high dielectric constant oxides. <u>Journal of Applied Physics</u>, v. 92, n. 8, p. 4712-4721, 2002.

99 LEE, S. I. Recent progress in high-k dielectric films for ULSIs. <u>Proceeding of the</u> <u>International Conference on Solid State Devices and Materials SSDM</u>, p. 8, 2001

100 CHIN, A.; LIAO, C. C.; LIU, C. H.; CHEN, W. J.; TSAI, C. Device and Reliability of High-K Al_2O_3 Gate Dielectric with Good Mobility and Low Dit. <u>IEEE VLSI</u> <u>Symposium Digest of Technical Papers</u>, p.135, 1999.

101 LEE, B. H. et al. Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application. <u>IEEE International Electron Devices</u> <u>Meeting IEDM</u>, p.133-136, 1999.

102 COPEL, M.; GRIBELYUK, M.; GUSEV, E. Structure and stability of ultrathin zirconium oxide layers on Si(001). <u>Applied Physics Letters</u>, v. 76, n. 4, p. 436, 2000.

103 KANG, C. S et al. Improved thermal stability and device performance of ultra-thin (EOT<10 Å) gate dielectric MOSFETs by using hafnium oxynitride (HfOxNy). <u>IEEE</u> <u>VLSI Symposium Digest of Technical Papers</u>, p. 146-147, 2002.

104 ROTONDARO, A. et al. Advanced CMOS transistors with a novel HfSiON gate dielectric. <u>IEEE VLSI Symposium Digest of Technical Papers</u>, p. 148-149, 2002.

105 MII, Y. et al. Experimental high performance sub-0.1um channel nMOSFETs. <u>IEEE Electron Devices Letters</u>, v. 15, n. 1, p. 28-30, 1994.

106 MAGNONE, P. et al. Gate voltage and geometry dependence of the series resistance and of the carrier mobility in FinFET devices. <u>Microelectronic Engineering</u>, v. 85, n. 8, p. 1728-1731, 2008.

107 MISRA, V.; HEUSS, G.. ZHONG, H. Advanced Metal Electrodes for High-K Dielectrics. <u>Proceedings of the Material Reserch Society MRS Workshop</u>, p.5, 2000.

108 CHANG, L.; LEONG, M.; YANG, M. CMOS circuit performance enhancement by surface orientation optimization. <u>IEEE Transactions on Electron Devices</u>, v. 51, n. 10, p. 1621-1627, 2004.

109 LIDE, D. R. <u>CRC Hand book of Chemistry and Physics</u>, ed. 83, CRC Press, 2002.

110 ATLAS User's Manual, SILVACO (2007).

111 SLOTBOOM, J.W.; H.C. De Graaf. Measurements of Bandgap Narrowing in Silicon Bipolar Transistors. <u>Solid State Electronics</u>, v. 19, p. 857-862, 1976.

112 KLAASSEN, D.B.M. A Unified Mobility Model for Device Simulation- I. Model Equations and Concentration Dependence. <u>Solid-State Electronics</u>, v. 35, n. 7, p. 953-959, 1992.

113 SONNENBERG, V. <u>Novos Métodos para a determinação de parâmetros da</u> <u>tecnologia SOI através de capacitores.</u> Tese (Doutorado). Universidade de São Paulo, São Paulo, 2001.

114 SONNENBERG, V.; MARTINO, J. A. SOI Technology Characterization Using SOI-MOS Capacitor <u>Solid-State Electronics</u>, v. 49, n. 1, p. 109-116, 2005.

115 NICOLLIAN, E. H.; BREWS, J. R. <u>MOS-Physics and Technology</u>. New York: John Wiley & Sons, 1982.

116 AKARVARDAR, K. et al. A two-dimensional model for interface coupling in triplegate transistors. <u>IEEE Transactions on Electron Devices</u>, v. 54, n. 4, p. 767-775, 2007.

117 FERAIN, I. et al. Metal gate thickness optimization for MuGFET performance improvement. <u>Proceedings of the European Solid State Device Research Conference ESSDERC</u>, p. 202-205, 2008.

118 FERAIN I. <u>Fabrication and Characterization of SOI Multi Gate Field Effect</u> <u>Transistors with High-k Dielectrics and Metal Gates</u>. Tese (Doutorado). KUL, Bélgica, 2008.

119 SATTA, A. <u>Growth mechanism and properties of atomic layer deposited ultra-</u> <u>thin films</u>. Tese (Doutorado). KUL, Bélgica, 2003. 120 POURTOIS, G. et al. First-principle calculations on gate/dieletric interfaces: on the origin of work function shifts. <u>Microelectronic Engineering</u>, v. 80, n. 17, p. 272-279, 2005.

121 KANG, C. Y. et al. Effects of Film Stress Modulation Using TiN Metal Gate on Stress Engineering and Its Impact on Device Characteristics in Metal Gate/High-k Dielectric SOI FinFETs. <u>IEEE Electron Device Letters</u>, v. 29, n. 5, p. 487-490, 2008.

122 GHIBAUDO, G. New method for the extraction of MOSFET parameters. <u>Electronics Letters</u>, v. 24, n. 9, p. 543-545, 1988.

123 RASKIN, J-P. et al. Analog/RF performance of multiple gate SOI devices: wideband simulations and characterization <u>IEEE Transactions on Electron Devices</u>, v. 53, n. 5, p. 1088-1095, 2006.

124 SUN, J.Y.C.; TAUR, Y.; DENNARD, R.H Submicrometer-channel cmos for low temperature operation. <u>IEEE Transactions on Electron Devices</u>, v. ED-34, n. 1, p. 19-27, 1987.

125 SELBERHERR, S. MOS Device Modeling at 77K. <u>IEEE Transactions on</u> <u>Electron Devices</u>, v. 36, n.8 p. 1464-1474, 1989.

126 MCKELVEY, J. P. <u>Solid state and semiconductor physics.</u> Harper & Row Publishers, p. 300-302, 1966.

127 GUITIERREZ, E. A.; DEEN, J.; CLAEYS, C. Low temperature Electronics: Physics, Devices, Circuits and Applications, Academic Press, 1991.

128 YOUNG, K. K; BURNS, J. A. Avalanche-Induced Drain-Source Breakdown in Silicon-on-Insulator n-MOSFET's. <u>IEEE Transactions on Electron Devices</u>, v. 35, n.4, p. 426-431, 1988.

129 VISOKAY, M. R.; CHAMBERS, J. J.; ROTONDARO, A. L. P.; SHANWARE, A.; COLOMBO, L. Application of HfSiON as a gate dielectric material. <u>Applied Physics</u> <u>Letters</u>, v. 80, n. 17, p. 3183-3185, 2002.

130 SHAHRIAR RAHMAN, M. et al. Effect of nitrogen incorporation on 1/f noise performance of metal-oxide-semiconductor field effect transistors with HfSiON dielectric. Journal of Applied Physics, v. 103, n. 3, p. 033706, 2008.

131 VELOSO, A. et al. Capping-Metal Gate Integration Technology for multiple- V_T CMOS in MuGFETs. <u>IEEE International SOI Conference Proceedings</u>, p. 119-120, 2008.

132 LEE, T. et al. Structural advantage for the EOT scaling and improved electron channel mobility by incorporating dysprosium oxide (Dy_2O_3) into HfO₂ n-MOSFETs. <u>IEEE Electron Device Letters</u>, v. 27, n. 8, p. 640-643, 2006.

133 JEON, S.; HWAND, H. Effects of hygroscopic nature on the electrical characteristics of lanthanide oxides (Pr_2O_3 , Sm_2O_3 , Gd_2O_3 , and Dy_2O_3). Journal of <u>Applied Physics</u>, v. 93, n. 10, p. 6393-6395, 2003.

134 JEON, S. et al. Excellent electrical characteristics of lanthanide (Pr, Nd, Sm, Gd and Dy) oxide and lanthanide-doped oxide for MOS gate dielectric applications. <u>IEEE</u> <u>International Electron Devices Meeting IEDM</u>, p. 471-474, 2001.

135 LEE, H.; JEON, S.; HWANG, H. Electrical characteristics of a Dy-doped HfO₂ gate dielectric. <u>Applied Physics Letters</u>, v. 79, n. 16, p. 2757-2776, 2001.

APÊNDICE A – Arquivo de simulação numérica tridimensional ATLAS

```
go atlas
mesh three.d
```

```
##-----
# Definição da Grade
x.mesh loc=0 spacing=0.02
x.mesh loc=0.05 spacing=0.01
x.mesh loc=0.1 spacing=0.02
x.mesh loc=5.1 spacing=0.8
x.mesh loc=10.1 spacing=0.02
x.mesh loc=10.15 spacing=0.01
x.mesh loc=10.2 spacing=0.02
y.mesh loc=0.0 spacing=0.01
y.mesh loc=0.01 spacing=0.01
y.mesh loc=0.0105 spacing=0.01
y.mesh loc=0.011 spacing=0.01
y.mesh loc=0.012 spacing=0.01
y.mesh loc=0.072 spacing=0.01
y.mesh loc=0.1445 spacing=0.03
y.mesh loc=0.217 spacing=0.05
z.mesh loc=0.0
              spacing=0.025
z.mesh loc=0.01 spacing=0.01
z.mesh loc=0.012 spacing=0.01
z.mesh loc=10.012 spacing=1.0
z.mesh loc=20.012 spacing=0.01
z.mesh loc=20.014 spacing=0.01
z.mesh loc=20.024 spacing=0.025
##------
# Definição das Regiões
##_____
region number=1 oxide x.min=0 x.max=10.2 y.min=0.072 y.max=0.217 z.min=0.0
z.max=20.024
region number=2 silicon x.min=0.05 x.max=0.1 y.min=0.012 y.max=0.072
z.min=0.012 z.max=20.012
region number=3 silicon x.min=0.1 x.max=10.1 y.min=0.012 y.max=0.072
z.min=0.012 z.max=20.012
region number=4 silicon x.min=10.1 x.max=10.15 y.min=0.012 y.max=0.072
z.min=0.012 z.max=20.012
region number=5 oxide x.min=0.1 x.max=10.1 y.min=0.01 y.max=0.012
z.min=0.01 z.max=20.014
region number=6 oxide x.min=0.1 x.max=10.1 y.min=0.01 y.max=0.072
z.min=0.01 z.max=0.012
region number=7 oxide x.min=0.1 x.max=10.1 y.min=0.01y.max=0.072
z.min=20.012 z.max=20.014
```

```
##______
# Definição dos Eletrodos
##______
electrode name=gate x.min=0.1 x.max=10.1 y.min=0.0 y.max=0.01
z.min=0.0 z.max=20.024
                   x.min=0.1 x.max=10.1 y.min=0.0 y.max=0.072
electrode name=gate1
z.min=0.0 z.max=0.01
                   x.min=0.1 x.max=10.1 y.min=0.0 y.max=0.072
electrode name=gate2
z.min=20.014 z.max=20.024
electrode name=source x.min=0.0 x.max=0.05 y.min=0.012 y.max=0.072
z.min=0.012 z.max=20.012
electrode name=drain x.min=10.15 x.max=10.2 y.min=0.012 y.max=0.072
z.min=0.012 z.max=20.012
electrode name=substrate bottom
##______
# Definição dos Perfis de Dopagem
##______
doping
        uniform n.type conc=1e19 reg=2
doping
        uniform n.type conc=1e19 reg=4
        uniform p.type conc=1e17 reg=3
doping
##______
# Definição dos Contatos
contactname=gate workfunc=4.7contactname=gate1 workfunc=4.7 common=gatecontactname=gate2 workfunc=4.7 common=gatecontactname=source alumincontactname=drain alumincontactname=substrate workfunc=4.95
##-----
# Definição dos Modelos Físicos
##_____
models cvt srh auger bgn print temp=300
solve init
##______
# Definição dos Métodos de Resolução
##______
method gummel autonr bicgst newton trap maxtrap=10 carriers=2
##______
# Polarização
##______
solve prev
solve vgate=-0.000005
solve vgate=-0.00005
solve vgate=-0.0005
solve vgate=-0.005
solve vgate=-0.05
solve vgate=-0.5
solve vgate=-1.0
log outf=arquivo_saida.log
solve vgate=-1.0 vfinal=1.5 vstep=0.025 name=gate ac freq=1e6
quit
```