ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO

Diego Paolo Ferruzzo Correa

MALHA SÍNCRONA DIGITAL "TANLOCK" COM ESTIMAÇÃO DE FREQUÊNCIA E GANHO ADAPTATIVO PARA CONVERGÊNCIA RÁPIDA

São Paulo 2011

Diego Paolo Ferruzzo Correa

MALHA SÍNCRONA DIGITAL "TANLOCK" COM ESTIMAÇÃO DE FREQUÊNCIA E GANHO ADAPTATIVO PARA CONVERGÊNCIA RÁPIDA

Dissertação apresentada à Escola Politécnica da Universidade de São Paulo para obtenção do título de Mestre em Engenharia Elétrica.

Área de Concentração: Engenharia de Sistemas

Orientador: Prof. Dr. José Roberto Castilho Piqueira

FICHA CATALOGRÁFICA

Ferruzzo Correa, Diego Paolo

Malha síncrona digital "Tanlock" com estimação de frequência e ganho adaptativo para convergência rápida / D.P. Ferruzzo Correa. -- São Paulo, 2011. 90 p.

Dissertação (Mestrado) - Escola Politécnica da Universidade de São Paulo. Departamento de Engenharia de Telecomunicações e Controle.

1. Sistemas discretos 2. Sistemas não lineares 3.Sistemas dinâmicos 4. Sistemas de controle I. Universidade de São Paulo. Escola Politécnica. Departamento de Engenharia de Telecomunicações e Controle II. t.

Ao meu pai, à minha mãe e aos meus irmãos, com amor; dedico.

Agradecimentos

Eu agradeço ao professor Piqueira, a confiança, os conselhos e a oportunidade de trabalho. Agradeço aos meus caros amigos Átila, Reginaldo e Bressan pelas horas de conversa e reflexão que fizeram o trabalho de pesquisa ainda mais interessante. Conhecerlhes tem sido de inspiração e motivação inestimáveis.

Agradeço à CNPq, à FAPESP e à CAPES pelo financiamento.

Resumo

Nas últimas três décadas os *phase locked loops* (PLLs) totalmente digitais têm recebido muita atenção devido, principalmente, às vantagens que eles oferecem em comparação aos PLLs analógicos. Essas vantagens incluem melhor desempenho, maior velocidade e confiabilidade, tamanho reduzido e menor custo. Os PLLs também são amplamente utilizados em sistemas de comunicações e em outras aplicações digitais. A presente dissertação é uma contribuição no campo dos PLLs digitais adaptativos e otimizados para a sua implementação em *hardware*. É feito uma análise de suas caraterísticas dinâmicas e proposta uma nova estrutura de PLL digital capaz de melhorar a resposta da malha em termos de tempo de aquisição e largura de banda. A Malha Síncrona Digital "Tanlock" com Estimação de Frequência e Ganho Adaptativo para Convergência Rápida, como é chamada, foi desenvolvida a partir da malha digital "Tanlock", utilizando-se teoremas de ponto fixo e mapas contrativos para determinar as condições de ganho que garantam convergência rápida e melhor utilização da largura de banda. Resultados das simulações são comparados com os obtidos teoricamente para avaliar o desempenho da malha proposta.

Palavras-chave: Malha digital "Tanlock", PLL digital, PLL adaptativo, dinâmica nãolinear, teoremas de ponto fixo.

Abstract

In the last three decades, fully-digital Phase-Locked-Loops (PLLs) systems have received a lot of attention due to its advantages in comparison with analog PLLs. These advantages include improved transient response, reliability and also reduced size and cost. The PLLs are widely used in communications systems and many other digital applications. This dissertation is a contribution to the field of digital adaptive PLLs optimized to hardware implementation. Here, a new PLL structure is presented; the Frequency Sensing Adaptive TDTL is an improvement to the classic Time-Delay Tanlock structure, alowing fast convergence to the synchronous states, using fixed-point theorems and contractive maps to determine the gain conditions which ensure the rapid convergence and also providing wider bandwidth. The results of simulations are compared with those obtained theoretically in order to assess the loop performance.

Keywords: Adaptive PLL, digital PLL, digital Tanlock loop, fixed-point theorems, nonlinear dynamic.

Lista de Figuras

1.1	Mapa conceitual dos TDTLs	3
2.1	Diagrama em blocos do PLL analógico	4
2.2	Diagrama em blocos do DPLL	8
2.3	Diagrama em blocos do DPLL <i>flip-flop</i>	9
2.4	Sinais gerados no detector de fase e no contador para o DPLL $\mathit{flip-flop.}$	9
2.5	Diagrama em blocos do DPLL Nyquist- <i>rate</i>	10
2.6	Diagrama em blocos do DPLL Avanço-Atraso	10
2.7	Diagrama em blocos do DPLL OR-exclusivo	11
2.8	Sinais de entrada, saída e erro para o DPLL OR-exclusivo	11
2.9	Diagrama em blocos do DPLL com detecção de cruzamento por zero. $\ .\ .$	12
2.10	Diagrama em blocos do <i>Digital Tanlock Loop</i>	13
2.11	Função característica do detector de fase do DTL	14
3.1	Diagrama em blocos do <i>Time Delay Tanlock Loop</i>	17
3.2	Processo de captura para o TDTL	19
3.3	Faixas de captura para o TDTL de 1 ^a ordem. $\dots \dots \dots \dots \dots \dots \dots$	24
3.4	Faixa de captura e curvas de convergência rápida para o TDTL de primeira	
	ordem	26
3.5	Resposta do TDTL de 1ª ordem para diferentes valores de ganho K_1 , com	
	$W = 1.5.\ldots$	27

3.6	Resposta do TDTL de 1 ^a ordem para diferentes valores de ganho K_1 , com $W = 0.75$	28
3.7	Resposta do TDTL de 1 ^a ordem para uma entrada degrau em frequência, W = 1.1	29
3.8	Diagrama de fase do TDTL de 1 ^a ordem para uma entrada degrau em frequência	30
3.9	Resposta do TDTL de 1 ^a ordem para uma entrada degrau em frequência, $W = 1.1 \text{ e } K_1 = 0.975. \dots \dots$	30
3.10	Sinal de $x(t)$ e sinal de relógio no processo de captura do TDTL de 1ª ordem.	31
3.11	Resposta do TDTL de 1 ^a ordem para uma entrada tipo FSK	31
3.12	Faixa de captura para o TDTL de 2 ^a ordem	34
3.13	Captura independente das condições inicias para o TDTL de 2ª ordem. 	36
4.1	Diagrama em blocos do TDTL com chaveamento de atraso de tempo . $\ .\ .$	38
4.2	Faixas de captura para o TDTL de 1ª ordem com chaveamento de atraso	
	de tempo	39
4.3	Frequências do sinal de prova	40
4.4	Resposta do TDTL de 1 ^a ordem, com $\psi_0 = \pi/2$	40
4.5	Resposta do TDTL de 1 ^a ordem, com $\psi_0 = \pi/3$	41
4.6	Resposta do TDTL de 1ª ordem com chaveamento de atraso de tempo. $\ . \ .$	41
4.7	Diagrama em blocos do TDTL com ganho adaptativo	42
4.8	Faixa de captura para o TDTL de 1 ^a ordem com ganho adaptativo, $\psi_0 = \pi/2$.	42
4.9	Frequência do sinal de prova.	43
4.10	Respota do TDTL de 1 ^a ordem simples para o sinal de prova. \ldots .	43
4.11	Resposta do TDTL 1 ^a ordem com ganho adaptativo para o sinal de prova.	44
4.12	Diagrama em blocos do TDTL com chaveamento de atraso de tempo e ganho adaptativo	45

4.13	Faixa de captura para o TDTL de 1ª ordem com chave amento de atraso	
	de tempo e ganho adaptativo e ganho escalonado gerado pela FSM. $\ .\ .$.	45
4.14	Diagrama em blocos do TDTL Adaptativo por detecção de amostra	46
4.15	Faixa de captura para o TDTL de 1 ^a ordem com ganho adaptativo por deteccão de amostra, com $\psi_0 = \pi/2$.	46
4.16	Resposta do TDTL de 1 ^a ordem adaptativo por detecção de amostra	47
4.17	Diagrama em blocos do TDTL adaptativo com detecção rápida de erro. $\ .$	47
4.18	Faixa de captura para o EES-ATDTL 1 ^ª ordem	48
4.19	Implementação do fitro FIR em forma direta.	49
4.20	Frequência do sinal de prova para o TDTL adaptativo com detecção rápida de erro.	50
4.21	Resposta do filtro Gaussiano para o sinal de prova.	50
4.22	Resposta do TDTL de 1ª ordem simples com $\psi_0 = \pi/2$ para o sinal de prova.	51
4.23	Resposta do EES-ATDTL de 1 ^a ordem simples com $\psi_0 = \pi/2$ para o sinal de prova	51
5.1	Diagrama em blocos da Malha Digital Tanlock com Estimação de Frequên- cia e Ganho Adaptativo para Convergência Rápida	53
5.2	Faixa de captura e curvas de convergência rápida para o FS-ATDTL de 1 ^ª ordem.	54
5.3	Frequência de entrada e frequências estimadas pelos filtros passa-baixas Butterworth de $2^{\underline{a}}$ ordem e Filtro Gaussiano	55
5.4	Diagrama em blocos da estimativa de ganho	56
5.5	Faixa de Captura TDTL simples com $\psi_0 = \pi/2$	56
5.6	Resposta a entrada degrau em frequência do TDTL e FS-ATDTL de 1ª ordem.	57
5.7	Resposta a entrada degrau em frequência do TDTL de 1ª ordem. \ldots .	58
5.8	Resposta a entrada degrau em frequência do FS-ATDTL de 1ª ordem	58
5.9	Processo de captura para o FS-ATDTL de 1 ^ª ordem	59

6.1	Diagrama esquemático da implementação das malhas "Tanlock"	60
6.2	Resposta em fase $\phi(k)$ do TDTL de 1 ^a ordem com $\psi_0 = \pi/2$ para $W = 1.1$.	62
6.3	Processo de captura para o TDTL de 1ª ordem com $\psi_0 = \pi/2$ para $W = 1.1$.	63
6.4	Resposta em fase $\phi(k)$ do TDTL de 1 ^a ordem com $\psi_0 = \pi/2$ para $W = 0.9$.	64
6.5	Processo de captura para o TDTL de 1ª ordem com $\psi_0 = \pi/2$ para $W = 0.9$.	65
6.6	Resposta dos filtros Butterworth (a) e Gaussiano (b) para entrada FSK	66
6.7	Resposta do TDTL para sinal de entrada FSK	67
6.8	Resposta do FS-ATDTL em duas versões, Gaussiano (a) e Butterworth	
	(b), para sinal de entrada FSK	68
6.9	Processo de captura para o FS-ATDTL Gaussiano (a) e Butterwoth (b)	69

Lista de Tabelas

3.1	Valores do erro em regime estacionário e tempo de acomodação para o	
	TDTL de 1 ^a ordem com $W = 1.5$	28
3.2	Valores do erro em regime estacionário e tempo de acomodação para o	
	TDTL de 1 ^a ordem com $W = 0.75$	29
6.1	Valores de ganho e do tempo de acomodação de 2% para o TDTL de	
	$1^{\underline{a}}$ ordem com $W = 1.1.$	61
6.2	Valores de ganho e do tempo de estabelecimento de 2% para o TDTL de	
	1 ^a ordem com $W = 0.9$	65

Lista de símbolos

- T_0 Período da oscilação de livre curso do DCO.
- y_t Sinal de entrada ao TDTL.

Acrônimos

ADC Analog-Digital Converter. Conversor Analógico-Digital.

CGCR Critério de Ganho para Convergência Rápida.

DCO Digitally Controlled Oscilator. Oscilador controlado digitalmente.

- **DPLL** Digital PLL. PLL Digital.
- DTL Digital Tanlock Loop. Malha digital Tanlock.
- **EES-ATDTL** Early Error Sensing Adaptive TDTL. Malha digital Tanlock com ganho adaptativo e detecção rápida de erro.
- FIR Finite Impulse Response. Resposta ao Impulso Finita.
- **FS-ATDTL** Frequency Sensing-Adaptive TDTL. Malha digital Tanlock com detecção de frequência e ganho adaptativo.
- FSK Frequency-shift keying. Modulação por chaveamento de frequência.
- FSM Finite-State Machine. Máquina de estados finitos.
- PLL Phase-Locked Loop. Malha de sincronismo de fase.
- S/H Sample and Hold. Amostrador e segurador.
- **TDTL** Time Delay Digital Tanlock Loop. Malha digital Tanlock.

VCO Voltage-Controlled Oscillator. Oscilador controlado por tensão.

 ${\bf ZC\text{-}DPLL}$ Zero-Crossing DPLL. DPLL com detecção de cruzamento por zero.

Sumário

1	Intr	Introdução			
2	Revisão bibliográfica				
	2.1	l O PLL analógico		4	
		2.1.1	Modelo matemático do PLL analógico	5	
	2.2	PLL d	ligitais	7	
		2.2.1	DPLL <i>flip-flop</i>	8	
		2.2.2	DPLL Nyquist- <i>rate</i>	9	
		2.2.3	DPLL avanço-atraso	10	
		2.2.4	DPLL Or-exclusivo	11	
		2.2.5	DPLL com detecção de cruzamento por zero	12	
	2.3	3 A malha digital "Tanlock"			
3	ГО	ГDTL			
	3.1	3.1 Operação		18	
	3.2	Modelo matemático do TDTL			
		3.2.1	Função característica do detector de fase	21	
	3.3	O TDTL de 1 ^{\underline{a}} ordem \ldots			
		3.3.1	Faixa de captura	22	
		3.3.2	Erro de estado estacionário	24	

		3.3.3	Convergência rápida	24	
	3.4	O TDTL de $2^{\underline{a}}$ ordem \ldots			
		3.4.1	Faixa de captura	32	
		3.4.2	Captura independente das condições iniciais	34	
4	Os '	TDTLs	s adaptativos	37	
	4.1	TDTL	com chaveamento de atraso de tempo	37	
	4.2	TDTL	com ganho adaptativo	41	
	4.3	TDTL	com chaveamento de atraso de tempo e ganho adaptativo	44	
	4.4	TDTL	adaptativo por detecção de amostra	45	
	4.5	TDTL	adaptativo com detecção rápida de erro	46	
5	O F	S-ATI	DTL	52	
	5.1	O estin	mador de frequência	54	
	5.2	Critéri	o de ganho para convergência rápida - CGCR	56	
6	Res	ultado	s experimentais	60	
7	Conclusão			70	

Capítulo 1

Introdução

O estudo dos *phase locked loops* (PLLs) analógicos vem sendo desenvolvido com diferentes perspectivas nos anos recentes, desde os trabalhos de Piqueira em [25], com enfoque nas respostas das diferentes arquiteturas para entradas de processos de fase diversos, e os métodos para o cálculo das taxas de falha de sincronização de Popken em [26], passando pela estimação do número crítico de nós escravos em uma rede de via única proposta por Monteiro em [18], e pela determinação do sincronismo em redes mestre-escravo com atraso em [19].

No caso dos PLLs digitais, têm sido estudado métodos de otimização considerando a rede de PLLs e a sua interconexão como objeto de estudo, em trabalhos como o proposto por Orsatti em [21] e Carareto em [11], para redes mutuamente conectadas e Carareto em [10], para redes implementadas em *software*. Também se tem analisado o ruído em *All Digital* PLLs nos trabalhos de Vamvakos em [29], e a sincronização de redes de *Digital* PLLs nos trabalhos de Akre em [1].

Os PLLs digitais são utilizados em inúmeras aplicações, desde telecomunicações até sistemas de controle industrial, desempenhando tarefas como o acompanhamento do sinal de relógio, garantindo o sincronismo entre nós geograficamente distantes ou demodulando informação em fase e frequência. Com o desenvolvimento de sistemas digitais cada vez mais compactos, métodos de integração de circuitos em grande escala, e o aumento das frequências de trabalho nos sistemas baseados em microprocessadores, a procura por sistemas mais eficientes em termos de tamanho e custo tem se tornado mais relevante. Os All Digital PLLs, como também são chamados, têm evoluído significativamente desde a sua apresentação [17]. Nas suas versões mais recentes, com amostragem não uniforme, têm-se desenvolvido técnicas para adaptar o ganho à frequência de entrada, baseadas nas informações disponíves após a amostragem, tal como é apresentado em [3], [5], e [6]. As ditas adaptações permitem maior robustez da malha frente a perturbações na frequência, além de aproveitar melhor a faixa de captura. No entanto as estimativas feitas a partir do erro conseguem, apenas, uma aproximação indireta da frequência de entrada e o critério para a adaptação de ganho utilizado é só para garantir a captura.

Na nova estrutura apresentada, chamada de Malha Síncrona Digital "Tanlock" com Estimação de Frequência e Ganho Adaptativo para Convergência Rápida (FS-ATDTL), se explora uma técnica de detecção rápida, capaz de obter uma melhor estimativa da frequência de entrada. Também é proposto um novo critério para o cálculo do ganho que permite adaptar o filtro digital de modo que a convergência ao ponto fixo seja a mais rápida possível. A dita estrutura é baseada no *Time Delay Tanlock Loop* (TDTL) apresentado pela primeira vez em [15].

Dado que os sistemas considerados têm comportamento não-linear, não é possível utilizar as ferramentas de análise clássicas lineares. Em vez disso são utilizados os teoremas de pontos fixos e mapas contractivos para a determinação das características dinâmicas dos sistemas, tal como fora proposto em [23].

Na figura 1.1 pode-se ver um mapa conceitual que mostra a relação entre o PLL analógico clássico e o FS-ATDTL proposto, o qual é uma versão adaptativa do TDTL, que por sua vez é um tipo de PLL digital amostrado não uniformente e otimizado para implementação em *hardware*. O desenvolvimento da presente dissertação segue como referência o mapa conceitual mostrado.

O texto está organizado da seguinte forma: No capítulo 2 se faz uma revisão dos PLLs analógicos e digitais, com ênfase nos tipos de PLLs digitais segundo o detector de fase, em particular o *Time Delay Tanlock Loop* (TDTL) como elemento base na análise posterior.

No capítulo 3 desenvolve-se a análise do *Time Delay Tanlock Loop*, obtendo-se o modelo matemático para malhas de 1^a e 2^a ordem. Calcula-se, também, a condição de convergência rápida, a partir da aplicação dos teoremas de ponto fixo e são feitas



Figura 1.1: Mapa conceitual dos TDTL.

simulações para avaliar os resultados teóricos obtidos.

Uma revisão do estado da arte das diferentes técnicas de adaptação dos parâmetros dos TDTLs é feita no capítulo 4.

É apresentado o FS-ATDTL no capítulo 5, onde são descritas, também, as técnicas da estimativa de frequência e do ganho da malha para obter uma melhora no tempo de adquisição e da largura de banda, junto com os resultados experimentais obtidos.

No capítulo 7 são apresentadas as conclusões da dissertação.

Capítulo 2

Revisão bibliográfica

2.1 O PLL analógico

Um PLL é um circuito que sincroniza um sinal de saída (gerado por um oscilador local) com uma referência ou sinal de entrada tanto em frequência como em fase. No estado síncrono, a diferença de fase entre o sinal de saída do oscilador local e o sinal de referência é nula ou mantém-se constante. Se ocorrer alguma perturbação e o erro de fase aumentar, a malha fechada atua no sentido de reduzir novamente o erro [7].

O PLL é composto por três blocos básicos, como mostrado na figura 2.1:

- 1. Um oscilador controlado por tensão (VCO)
- 2. Um detector de fase
- 3. Um filtro de malha



Figura 2.1: Diagrama em blocos do PLL analógico.

O VCO gera um sinal senoidal cuja frequência é proporcional à saída do filtro de malha. O detector de fase é, no caso do PLL analógico clássico, um circuito multiplicador. Para fins de análise os sinais de interesse no PLL mostrado na figura 2.1 são os seguintes:

$$v_i(t) = v_i \sin(\omega_o t + \theta_i(t)), \qquad (2.1)$$

$$v_o(t) = v_o \cos(\omega_o t + \theta_o(t)), \qquad (2.2)$$

$$\vartheta(t) \stackrel{\scriptscriptstyle \Delta}{=} \theta_i(t) - \theta_o(t), \tag{2.3}$$

sendo:

- O sinal de referência (ou entrada) $v_i(t)$
- A fase do sinal de referência $\theta_i(t)$
- O sinal de saída $v_o(t)$
- A estimativa de fase do sinal de saída $\theta_o(t)$
- O sinal de saída do detector de fase $v_d(t)$
- O sinal de saída do filtro de malha $v_c(t)$
- O erro de fase θ(t), definido como a diferença das fases entre o sinal de entrada v_i(t)
 e o sinal de saída v_o(t).

As amplitudes dos sinais de entrada e saída são v_i e v_o respectivamente, ω_o é a frequência angular de livre curso do VCO.

O sistema de controle na figura 2.1 tem a finalidade de sincronizar o sinal de saída $v_o(t)$, ao sinal de referência $v_i(t)$. O sinal de controle $v_c(t)$ atua sobre a frequência angular ω_o do sinal de saída, aumentando-a ou diminuindo-a, a fim de minimizar o erro de fase ϑ . Note-se que o sinal $v_d(t)$, na saída do detector de fase, tem o mesmo sinal do erro de fase ϑ , permitindo seguir o sinal de referência [7, 9].

2.1.1 Modelo matemático do PLL analógico

Embora os PLL sejam circuitos inerentemente não-lineares, muitas operações podem ser aproximadas por modelos lineares, desde que o erro de fase seja pequeno, o que normalmente é certo quando a malha opera próxima ao estado síncrono [12]. Considere-se o PLL analógico mostrado na figura 2.1, onde o detector de fase é um circuito multiplicador. Os sinais de entrada e saída são os definidos nas equações 2.1 e 2.2, portanto a saída do detector de fase é dada pelo produto dos sinais $v_i(t)$ e $v_o(t)$,

$$v_d(t) = \frac{k_d v_i v_o}{2} \left[\sin(\vartheta(t)) + \sin(2\omega_o t + \theta_i(t) + \theta_o(t)) \right], \qquad (2.4)$$

sendo k_d o ganho do detector de fase.

A fim de se obter um modelo linear do PLL analógico, na equação 2.4 desconsiderase o termo de frequência dupla e assume-se um erro de fase pequeno. Assim, o $\sin(\vartheta(t))$ pode ser aproximado pelo primeiro termo da serie de Taylor, de modo que:

$$\upsilon_d(t) \approx \frac{k_d \mathbf{v}_i \mathbf{v}_o}{2} \vartheta(t), \tag{2.5}$$

e, tomando a transformada de Laplace:

$$V_d(s) = \frac{k_d v_i v_o}{2} \Theta(s).$$
(2.6)

A saída do filtro de malha pode ser calculada considerando F(s) como a função de transferência do filtro, tal que:

$$V_c(s) = F(s)V_d(s), \qquad (2.7)$$

sendo $V_c(s)$ a transformada de Laplace de $v_c(t)$.

A fase de saída $\theta_o(t)$ do VCO é controlada pela relação:

$$\frac{d}{dt}\theta_o(t) = k_o v_c(t), \qquad (2.8)$$

cuja transformada de Laplace é:

$$\Theta_o(s) = \frac{1}{s} k_o \mathcal{V}_c(s), \qquad (2.9)$$

sendo k_o o ganho do VCO.

A partir das equações 2.6, 2.7 e 2.9, tem-se a relação entre as fases do sinal de entrada e o sinal de saída, que é o modelo linearizado para o PLL analógico:

$$\Theta_o(s) = \frac{K_m F(s)}{s + K_m F(s)} \Theta_i(s), \qquad (2.10)$$

sendo $K_m = \frac{k_o k_d v_i v_o}{2}$, $\Theta_o(s) \in \Theta_i(s)$ as transformadas de Laplace de $\theta_o(t) \in \theta_i(t)$, respectivamente.

Como se pode ver, na equação 2.10, a ordem do PLL é n + 1, sendo n a ordem do filtro de malha F(s). O incremento em uma unidade na ordem é devido ao polo na origem introduzido pelo VCO (equação 2.9). Assim, para um filtro de malha proporcional $F(s) = G_1$, a relação entre as fases de entrada e saída para o PLL é de 1^a ordem:

$$\Theta_o(s) = \frac{1}{(\frac{1}{K_m G_1})s + 1} \Theta_i(s),$$
(2.11)

para um filtro de malha proporcional mais integral, $F(s) = G_1 + G_2/s$, o PLL aprensenta uma função de transferência de 2^a ordem,

$$\Theta_o(s) = \frac{G_1 s + G_2}{\frac{1}{K_m} s^2 + G_1 s + \frac{G_2}{K_m}} \Theta_i(s).$$
(2.12)

A dinâmica do PLL analógico pode ser analisada utilizando a teoria clássica dos sistemas de controle lineares e os parâmetros da malha podem ser projetados em função dos requisitos da resposta transitória o em frequência desejadas.

2.2 PLL digitais

Na literatura especializada alguns autores reservan o termo DPLL (*Digital* PLL), para aquele cujo detector de fase é digital, mas os outros componentes permanecem analógicos. O termo ADPLL (*All digital* PLL) é usado para aquele que é inteiramente digital [7], geralmente implementado em *hardware*. No entanto, para simplificar, no presente texto será utilizado o termo DPLL para se referir a ambos.

Os DPLLs, como seus pares analógicos, são constituidos de três blocos principais, conforme mostrado na figura 2.2. O Detector de fase calcula a diferença de fase e frequência entre o sinal de entrada e o sinal gerado pelo DPLL, o filtro digital determina a dinâmica geral da malha, e o DCO gera um sinal de saída que sincroniza em frequência e fase com o sinal de entrada.

Em 1980, Osborne [23, 24] propôs a utilização dos teoremas de ponto fixo e mapas contrativos para a análise dos DPLLs com características não-lineares e, em 1981, Lindsey e Chie [17] publicaram uma revisão sobre o desempenho de vários tipos de DPLLs, todos voltados para o acompanhamento de um sinal de entrada senoidal.

Dado que os sistemas digitais precisam de uma taxa de amostragem para a aquisição dos dados, uma primeira classificação dos DPLLs pode ser estabelecida segundo o seu



Figura 2.2: Diagrama em blocos do DPLL.

período de amostragem, ou seja: DPLLs amostrados uniformemente e não uniformemente. No primeiro caso, o intervalo de tempo entre duas amostras consecutivas é constante. No segundo, o mesmo intervalo é uma função que depende, em geral, da diferença de fase e frequência entre o sinal de entrada e o sinal de saída.

Os DPLLs também podem ser classificados segundo o tipo de detector de fase usado, tal como proposto por Best [7]:

- DPLL *flip-flop*
- DPLL Nyquist-*rate*
- DPLL avanço-atraso
- DPLL Or-exclusivo
- DPLL detecção de cruzamento por zero (ZC-DPLL)

Apenas o último é do tipo amostrado não uniformemente. A seguir, apresenta-se uma breve descrição de cada tipo.

2.2.1 DPLL flip-flop

Neste tipo de DPLL a detecção de fase é realizada por um *flip-flop* tipo R-S e um contador como se mostra na figura 2.3.

O sinal de entrada senoidal é convertido em um sinal quadrado por meio do comparador na entrada. A saída Q do *flip-flop* é fixada em "1" lógico no flanco positivo do comparador, e a "0" lógico no flanco positivo do DCO. Portanto a duração de Q em "1" será proporcional ao erro de fase entre o sinal de entrada e a saída do DCO, como é mostrado



Figura 2.3: Diagrama em blocos do DPLL flip-flop.

na figura 2.4. O dito erro é usado para inicializar o contador com uma frequência de relógio $2^M f_o$, sendo f_o a frequência central de livre curso do DCO e 2^M é número de níveis de quantização do erro de fase sob o período 2π . O contador é zerado e inicializado no flanco positivo do *flip-flop*. O conteudo do contador, que é proporcional ao erro de fase, é aplicado ao filtro digital, a saída deste controla o período do DCO, que pode ser um contador programável. O DPLL *flip-flop* é um PLL digital amostrado não uniformemente.



Figura 2.4: Sinais gerados no detector de fase e no contador para o DPLL *flip-flop*.

2.2.2 DPLL Nyquist-rate

O nome vem do teorema de Nyquist, o qual estabelece que a frequência de amostragem tem de ser, ao menos, duas vezes maior que a maior frequência significativa do sinal de entrada. Nesse DPLL, o sinal senoidal de entrada é amostrado uniformemente com uma frequência f_s (frequência de Nyquist) e convertido num sinal digital de *N*-bits por meio do ADC, e em seguida, é multiplicado digitalmente com o saída do DCO, para gerar o sinal de erro de fase. O dito erro é aplicado ao filtro digital, cuja saída controla o período do DCO, como é mostrado na figura 2.5.



Figura 2.5: Diagrama em blocos do DPLL Nyquist-rate.

2.2.3 DPLL avanço-atraso

O DPLL avanço-atraso gera um sinal de saída binário no detector de fase que indica se a saída do DCO-contador é avançada ou atrasada em relação ao sinal de entrada, o qual precisa ser convertido para sinal quadrado, por meio de um comparador, como mostrado na figura 2.6. Quando um pulso na saída do DCO-contador ocorre, um dos terminais do detector de fase, seja de avanço ou atraso, dependendo do sinal de entrada, mudará para nível alto ou baixo. Os ditos pulsos são aplicados a um filtro sequencial, que utiliza a duração dos pulsos para decidir se algum limite foi atingido. A figura 2.6 mostra que o



Figura 2.6: Diagrama em blocos do DPLL Avanço-Atraso.

filtro seqüencial é composto por um contador up-down de módulo 2N + 1. Um pulso de avanço faz com que o contador aumente uma unidade, um pulso de atraso tem o efeito oposto. Quando o contador chegar a 0 ou 2N, a saída gera um pulso que reinicia o contador a N e dispara o controlador de fase. Um pulso de atraso faz com que o controlador apague um pulso do relógio aplicado ao contador /L, obrigando ao DCO-contador se atrasar uma fase igual a $2\pi/L$. Um pulso de avanço faz o oposto.

2.2.4 DPLL Or-exclusivo

A operação do detector de fase XOR neste tipo de DPLL é semelhante ao multiplicador linear do PLL analógico, mas os sinais neste DPLL são sempre binários. Na



Figura 2.7: Diagrama em blocos do DPLL OR-exclusivo.

figura 2.7 mostra-se que o filtro digital é um contador módulo K e o DCO é um contador up-down junto com um contador /N.

O detector de erro de fase compara a fase do sinal de entrada f_i com a fase do sinal de saída f_o , para gerar o sinal de erro. Assumindo que os sinais são simétricos quadrados, temos uma média do erro de fase \overline{v}_d igual a zero, para uma defasagem de 90° entre o sinal de entrada e o sinal de saída, como se pode ver na figura 2.8 (a).



Figura 2.8: Sinais de entrada, saída e erro para o DPLL OR-exclusivo, (a) para $v_d = 0$ e (b) para $v_d > 0$.

Se o sinal de saída atrasa em relação ao sinal de entrada, o erro de fase será positivo, como se mostra na figura 2.8 (b).

A saída da porta XOR controla a operação do contador K, que consiste de dois contadores /K, um contador crescente e um descrescente, operando à frequência Mf_o , sendo f_o a frequência central e M, um número inteiro. A saída C desse contador gera um pulso quando o contador K completa um ciclo de subida, enquanto B gera um pulso ao final do ciclo de descida. Um pulso aplicado à entrada INC do contador I/D adiciona 1/2 ciclo à sua saída, enquanto um pulso na entrada DEC subtrai 1/2 ciclo.

O contador I/D opera com frequência $2Nf_o$, sendo N o módulo do contador /N. Se nenhum sinal lhe for aplicado o dito contador é apenas um contador /2.

2.2.5 DPLL com detecção de cruzamento por zero

A maior ventagem deste tipo de DPLL é a simples integração do detector de fase [17]. O diagrama de blocos do ZC-DPLL, é mostrado na figura 2.9. A função de amostragem e a detecção de fase são implementadas conjuntamente, utilizando um conversor analógicodigital controlado pela saída do DCO.



Figura 2.9: Diagrama em blocos do DPLL com detecção de cruzamento por zero.

A malha é projetada para seguir um sinal quadrado. Basicamente o ZC-DPLL amostra o sinal de entrada nos pontos em que cruza o eixo temporal, acumulando as amostras e gerando uma variação na fase do DCO, por meio do filtro de malha no sentido de levar o valor acumulado perto de zero.

O filtro passa-baixas na entrada visa eliminar o ruído do sinal. A saída gerada pelo contador é comparada com a saída do filtro de malha para obter a amostra seguinte do sinal de entrada, que por sua vez, gera o reinício do contador. Esse tipo de DPLL tem duas versões, aquele que amostra apenas as transições positivas e o que amostra as ambas transições por zero, positivas ou negativas. É desenvolvido com detalhe em [13].

2.3 A malha digital "Tanlock"

Em 1982 Lee e Un [16] propuseram um novo tipo de DPLL amostrado não uniformemente, chamado *Digital Tanlock Loop* (DTL), que utiliza um tipo de detector de fase linear baseado na função arco-tangente, tornando possível caracterizar o DTL por meio de uma equação linear de diferenças, assim, nos DTLs não há necessidade de aproximar a não-linearidade comum na análise dos PLLs. A malha também utiliza uma transformação de Hilbert, que é a responsável por produzir o deslocamento de fase de 90° para a quadratura dos sinais, necessária na função arco-tangente.



Figura 2.10: Diagrama em blocos do Digital Tanlock Loop.

O diagrama de blocos do DTL é mostrado na figura 2.10. Quando um sinal é aplicado na entrada do DTL, este é amostrado no S/H-I, nos instantes determinados pelo relógio digital interno (em geral a frequência de entrada e a do relógio são diferentes). O S/H-II amostra o sinal x(t) que está atrasado 90° em relação ao primeiro, de modo que o detector de fase pode calcular o arcotangente do quociente dos sinais y(k) e x(k), obtendo assim a diferença de fase entre o sinal de entrada e o sinal gerado pelo relógio digital. Se a frequência de entrada e a do relógio forem diferentes, a saída do detector de fase será diferente de zero e o filtro digital gerará o ajuste necessário para o relógio, de tal forma que a sua frequência atinja à frequência do sinal de entrada. O ajuste na frequência do relógio se faz em cada instante de amostragem, desde que a saída do detector de fase seja

diferente de zero, ou seja:

$$T(1) = T_0 - c(0),$$

$$T(2) = T_0 - c(1),$$

$$\vdots$$

$$T(k) = T_0 - c(k - 1).$$
(2.13)

sendo T_0 o período da oscilação de livre curso do relógio digital. T(k) é o período no *k*-ésimo instante de amostragem e c(k) a saída do filtro digital. É claro que o tempo total *t* transcorrido até o instante *k* é a soma de todos os períodos anteriores:

$$t(k) = \sum_{i=0}^{k} T(i) = \sum_{i=0}^{k} [T_0 - c(i-1)],$$

= $kT_0 - \sum_{i=0}^{k-1} c(i).$ (2.14)

O DTL permite uma análise da dinâmica do sistema, devido a sua caraterística de detecção de fase linear em módulo 2π , já que a saída do detector de fase é diretamente proporcional à diferença de fase entre o sinal de saída e o sinal de entrada (ver figura 2.11), e não ao seno daquela diferença, como no caso dos PLLs. No entanto, sua principal desvantagem é que apresenta uma implementação complexa, devido à dificuldade para sintetizar em *hardware* a transformação de Hilbert.



Figura 2.11: Função característica do detector de fase para o DTL.

Os sinais $y(t) \notin x(t)$, na figura 2.10, estão em quadratura e são definidos como:

$$y(t) = A\sin[\omega_o t + \theta(t)], \qquad (2.15)$$

$$x(t) = A\cos[\omega_o t + \theta(t)], \qquad (2.16)$$

 com

$$\theta(t) \stackrel{\Delta}{=} (\omega - \omega_o)t + \theta_0, \qquad (2.17)$$

sendo A a amplitude do sinal de entrada, ω_o a frequência angular de livre curso do DCO e $\theta(t)$ o processo da fase de entrada, $\omega \in \theta_0$ são a frequência angular e a fase inicial do sinal de entrada.

Os sinais $y(k) \in x(k)$ após os amostradores são:

$$y(k) = A\sin[\omega_o t(k) + \theta(k)], \qquad (2.18)$$

$$x(k) = A\cos[\omega_o t(k) + \theta(k)], \qquad (2.19)$$

sendo $\theta(k) = \theta[t(k)]$. Levando em conta a equação 2.14, temos que:

$$y(k) = A\sin[\theta(k) - \omega_o \sum_{i=0}^{k-1} c(i)],$$
(2.20)

$$x(k) = A\cos[\theta(k) - \omega_o \sum_{i=0}^{k-1} c(i)].$$
(2.21)

Definindo $\phi(k)$ como:

$$\phi(k) \stackrel{\triangle}{=} \theta(k) - \omega_o \sum_{i=0}^{k-1} c(i), \qquad (2.22)$$

os sinais $y(t) \in x(t)$ podem ser reescritos:

$$y(k) = A\sin[\phi(k)], \qquad (2.23)$$

$$x(k) = A\cos[\phi(k)]. \tag{2.24}$$

Dado que são conhecidos os valores dos sinais x(k) e y(k), a saída do detector de fase como função da Tan⁻¹(·) pode ser definida nos quatro quadrantes, inequivocamente, logo:

$$e(k) = f\left[\operatorname{Tan}^{-1}\left(\frac{y(k)}{x(k)}\right)\right] = \phi(k), \qquad (2.25)$$

a função $f[\alpha] \stackrel{\triangle}{=} [-\pi + \{(\alpha + \pi) \mod (2\pi)\}]$ garante que a saída do detector de fase esteja sempre no intervalo $(-\pi, \pi)$, como se pode ver na figura 2.11.
Das equações 2.22, 2.17 e 2.14, temos que a fase $\phi(k)$ pode ser escrita como:

$$\phi(k+1) = \phi(k) - \omega c(k) + \Lambda_o, \qquad (2.26)$$

com $\Lambda_o \stackrel{\triangle}{=} 2\pi (\omega - \omega_o) / \omega_o$. A equação 2.26 representa o modelo matemático para o DTL.

Da equação 2.13 pode-se ver que a resposta do DCO depende da saída do filtro na iteração anterior, o que equivale a um pólo no plano complexo z. A partir daí, a ordem da malha DTL é sempre n + 1, sendo n a ordem do filtro digital, tal como acontece nos PLLs analógicos.

Assumindo que o filtro digital para um DTL de 1^a ordem é apenas un ganho proporcional G_1 e para um DTL de 2^a ordem é proporcional mais integral $G_1 + G_2 z/(z-1)$, as equações que descrevem a dinâmica do sistema para cada caso são:

$$\phi(k+1) = (1 - K_1')\phi(k) + \Lambda_o, \qquad (2.27)$$

е

$$\phi(k+2) = (2 - rK_1')\phi(k+1) + (K_1' - 1)\phi(k), \qquad (2.28)$$

 $\operatorname{com} K_1' \stackrel{\triangle}{=} \omega G_1, \, \Lambda_o \stackrel{\triangle}{=} 2\pi(\omega - \omega_o)/\omega_o \, \mathrm{e} \, r \stackrel{\triangle}{=} 1 + G_2/G_1.$

Dado que as equações 2.27 e 2.28 são lineares em $\phi(k)$, é possivel utilizar as ferramentas dos sistemas lineares discretos para o seu análise, tal como feito em [16].

Hussaim [15], em 2001, apresentou um novo tipo de DTL amostrado não uniformemente, chamado *Time Delay Tanlock Loop* (TDTL), que utiliza um atraso de tempo constante em vez da transformação do Hilbert, reduzindo assim a complexidade do sistema. A nova estrutura proposta preserva a maioria das caraterísticas do DTL exceto a linearidade na saída do detector de fase.

Capítulo 3

O TDTL

O *Time Delay Tanlock Loop*, mostrado na figura 3.1, é um tipo de DPLL amostrado não uniformemente apresentado pela primeira vez em [15], como uma proposta para simplificar a implementação em *hardware* do DTL, já que o TDTL utiliza um bloco de atraso de tempo constante para substituir a transformação de Hilbert, que reduz consideravelmente a complexidade da malha. Essa caraterística faz com que o TDTL seja uma escolha apropriada para aplicações integradas em *hardware*, onde a complexidade dos blocos individuais determina o tamanho e o custo da aplicação final.



Figura 3.1: Diagrama em blocos do Time Delay Tanlock Loop.

3.1 Operação

A operação do TDTL é similar ao DTL, com a única diferença de ter um bloco de atraso de tempo constante em vez do bloco de Hilbert, o que gera uma caraterística de fase não linear.

A saída do detector de fase na figura 3.1 é proporcional à função $\operatorname{Tan}^{-1}\left[\frac{x(k)}{y(k)}\right]$, que é definida no intervalo $(0, 2\pi)^1$. Os sinais $x(k) \in y(k)$ aplicados ao detector são as versões amostradas dos sinais $x(t) \in y(t)$, respectivamente, que são, por sua vez, amostrados e mantidos nos instantes determinados pelos pulsos do relógio digital.

O período dos pulsos do relógio não é constante, sua frequência vai se ajustando à partir da frequência angular de livre curso ω_0 , segundo a saída do filtro digital, até que a frequência dos pulsos se sincronizem com a frequência do sinal de entrada. Esse estado é chamado de estado síncrono.

O sinal x(t) está defasado de um ângulo ψ radianos em relação ao sinal y(t), devido ao atraso constante τ , de modo que ψ seja igual a $\omega\tau$. A defasagem ψ do sinal x(t)depende da frequência ω do sinal de entrada e não é constante, como no caso do DTL, no qual o valor de ψ é $\frac{\pi}{2}$ para todos os valores da frequência de entrada. Logo o TDTL apresenta, na saída do detector de fase, um comportamento não linear.

O filtro digital é uma versão discreta dos filtros analógicos clássicos presentes nos PLLs, e determina a dinâmica geral da malha, isto é, o tipo de resposta que o TDTL apresenta às mudanças na frequência e na fase do sinal de entrada. Seus parâmetros são ajustados para obter o desempenho desejado da malha, para um tipo de entrada determinada. No presente trabalho serão considerados dois tipos: filtros proporcionais com função de transferência

$$D(z) = G_1, \tag{3.1}$$

para malhas de 1^a ordem, e filtros proporcionais e integrais (PI) com:

$$D(z) = G_1 + \frac{G_2}{1 - z^{-1}},$$
(3.2)

para malhas de 2ª ordem. Como visto no capítulo anterior para o DTL (pág. 16), a ordem

¹Diferentemente da função clássica $\tan^{-1}(\cdot)$ que é definida apenas no intervalo $\left(-\frac{\pi}{2}, \frac{\pi}{2}\right)$, a função $\tan^{-1}(\cdot)$ pode ser definida em todo o intervalo $(0, 2\pi)$, dado que são conhecidos os sinais de x(k) e y(k) em cada instante de amostragem.

da malha TDTL é n + 1, sendo n a ordem do filtro digital.

A saída do TDTL é um sinal senoidal gerado no relógio digital, cujos instantes de transição por zero no flanco de subida coincidem com os pulsos que amostram os sinais y(t) e x(t). De fato, no estado síncrono, os pulsos do relógio digital sincronizam com o sinal x(t) no instante em que este cruza o zero no flanco de subida, como se pode ver na figura 3.2.



Figura 3.2: Processo de captura para o TDTL. O sinal do relógio digital (linha a traços) coincide com a passagem por zero do sinal de saída (linha cheia). No estado síncrono o sinal de saída coincide como o sinal x(t) (linha pontilhada).

3.2 Modelo matemático do TDTL

O modelo matemático será obtido seguindo a linha proposta por Al-Araji em [28].

O sinal de entrada ao TDTL é

$$y(t) = A\sin[\omega_0 t + \theta(t)]$$
(3.3)

$$\theta(t) \stackrel{\Delta}{=} \Delta \omega t + \theta_0, \tag{3.4}$$

sendo A a amplitude do sinal, ω_0 a frequência angular de livre curso do relógio digital do TDTL e $\theta(t)$ o processo de fase da entrada, que depende da diferença de frequências angulares entre o sinal de entrada e o sinal gerado pelo relógio ($\Delta \omega = \omega - \omega_0$) e de θ_0 , que é a fase inicial. O atraso τ produz uma defasagem ψ igual a $\omega \tau$ no sinal x(t), tal que x(t) pode ser expresso como:

$$x(t) = A\sin[\omega_0 t + \theta(t) - \psi].$$
(3.5)

No k-ésimo instante de amostragem, os valores de $y(t) \in x(t)$ são:

$$y(k) = A\sin[\omega_0 t(k) + \theta(k)], \qquad (3.6)$$

$$x(k) = A\sin[\omega_0 t(k) + \theta(k) - \psi], \qquad (3.7)$$

sendo que $\theta(k)$ é igual a $\theta[t(k)]$.

Conforme discutido para o DTL no capítulo anterior, o intervalo de tempo entre os instantes de amostragem $t(k) \in t(k-1)$ é uma função da saída do filtro digital dada por:

$$T(k) = T_0 - c(k-1), (3.8)$$

sendo T_0 o período da oscilação de livre curso do DCO² ($T_0 = \frac{2\pi}{\omega_0}$), e c(i) a saída do filtro digital no *i*-ésimo instante de amostragem. Assumindo que t(0) = 0, então o tempo total t(k) até o k-ésimo instante de amostragem é:

$$t(k) = \sum_{i=1}^{k} T(i) = kT_0 - \sum_{i=1}^{k-1} c(i).$$
(3.9)

Substituindo a equação 3.9 nas equações 3.6 e 3.7, têm-se:

$$y(k) = A \sin\left[\theta(k) - \omega_0 \sum_{i=0}^{k-1} c(i)\right]$$
 (3.10)

е

$$x(k) = A \sin \left[\theta(k) - \omega_0 \sum_{i=0}^{k-1} c(i) - \psi \right].$$
 (3.11)

Definindo o erro de fase como:

$$\phi(k) \stackrel{\triangle}{=} \theta(k) - \omega_0 \sum_{i=0}^{k-1} c(i) - \psi, \qquad (3.12)$$

pode-se expressar $y(k) \in x(k)$ como:

$$y(k) = A\sin[\phi(k) + \psi]$$
(3.13)

²Em DPLLs e TDTLs o relógio digital recebe o nome de **DCO**, *Digitally Controlled Oscilator*.

$$x(k) = A\sin[\phi(k)]. \tag{3.14}$$

Considerando as equações 3.4, 3.9 e 3.12, temos:

$$\phi(k+1) = \phi(k) - \omega c(k) + \Lambda_0, \qquad (3.15)$$

com Λ_0 igual a $2\pi \frac{\omega - \omega_0}{\omega_0}$. A equação 3.15 é o modelo matemático do TDTL.

Se D(z) é a função de transferência do filtro digital, então a sua saída c(k) é igual à convolução $h_D(k) * e(k)$, sendo $h_D(k)$ a transformada Z inversa D(z), e e(k) a saída do detector de fase, no k-ésimo instante de amostragem.

3.2.1 Função característica do detector de fase

Definindo a função $f[\cdot]$ que desloca o seu argumento dentro do intervalo $(-\pi, \pi)$, como sendo:

$$f[\alpha] \stackrel{\triangle}{=} -\pi + \{ (\alpha + \pi) \text{ modulo } (2\pi) \}, \qquad (3.16)$$

então a saída do detector de fase e(k) é:

$$e(k) = f \left[\operatorname{Tan}^{-1} \left(\frac{\sin\{\phi(k)\}}{\sin\{\phi(k) + \psi\}} \right) \right].$$
(3.17)

Note-se que a saída do detector de fase é diferente da mostrada na equação 2.25 para o DTL, devido ao ângulo de defasagem entre os sinais y(k) e x(k) não ser necessariamente 90°. Assim, o detector de fase do TDTL apresenta um comportamento não linear com relação à fase.

A função característica $h_{\psi}(\phi)$ do detector de fase:

$$h_{\psi}(\phi) = f \left[\operatorname{Tan}^{-1} \left(\frac{\sin(\phi)}{\sin(\phi + \psi)} \right) \right], \qquad (3.18)$$

depende da frequência de entrada ω e do atraso τ , já que ψ é igual $\omega \tau$, e pode também ser expressa em termos da relação de frequências $W = \frac{\omega_0}{\omega}$ e o deslocamento de fase nominal³ $\psi_0 = \omega_0 \tau$, do seguinte modo:

$$h_{\psi}(\phi) = f \left[\operatorname{Tan}^{-1} \left(\frac{\sin(\phi)}{\sin(\phi + \frac{\psi_0}{W})} \right) \right].$$
(3.19)

³O deslocamento de fase nominal ψ_0 é o atraso de fase medido em relação ao sinal gerado no relógio digital.

Dado que são conhecidos os valores dos sinais x(k) e y(k) em cada instante de amostragem, a função $\operatorname{Tan}^{-1}\left[\frac{x}{y}\right]$ pode ser definida inequivocamente no intervalo $(0, 2\pi)$.

A função $h_{\psi}(\phi) = f(\phi, W; \psi_0)$, com ψ_0 como parâmetro, é não-linear. Portanto, não é possível utilizar técnicas convencionis de análise de estabilidade. Pode-se verificar, entretanto, que $h_{\psi}(\phi)$ e a sua primeira derivada são contínuas e diferenciáveis em ϕ no intervalo $(-\pi, \pi)$, como é demostrado em [28]. Assim, é possivel utilizar os teoremas de ponto fixo para analisar o desempenho do sistema [24].

3.3 O TDTL de $1^{\underline{a}}$ ordem

Para o TDTL de primeira ordem, o filtro digital D(z) é apenas um ganho G_1 , considerado positivo e constante.

Para a análise da dinâmica do sistema, será considerada uma entrada tipo degrau em frequência em ausência de ruído. Logo, partindo da equação 3.15, obtém-se:

$$\phi(k+1) = \phi(k) - K'_1 h_{\psi}[\phi(k)] + \Lambda_0.$$
(3.20)

Já que $K'_1 = \omega G_1$, define-se $K_1 \stackrel{\triangle}{=} \omega_0 G_1$ e, com isso, K'_1 pode ser definido como K_1/W .

3.3.1 Faixa de captura

A equação 3.20, pode ser expressa como um mapa não linear $\phi \mapsto g(\phi)$, tal que a função:

$$g(\phi) = \phi - K'_1 h_{\psi}(\phi) + \Lambda_0, \qquad (3.21)$$

apresente um ponto fixo em ϕ_{ss} , que seja uma solução da equação 3.21, da seguinte forma [30]:

$$g(\phi_{ss}) = \phi_{ss}.\tag{3.22}$$

Então, para $k\to\infty,$ a sequência $\{\phi(k)\}$ definida na equação 3.20 convergirá localmente a ϕ_{ss} [23] se:

$$\left|g'(\phi_{ss})\right| < 1,\tag{3.23}$$

sendo $g'(\phi_{ss})$ a primeira derivada de $g(\phi)$ avaliada em $\phi_{ss}.$

Sabendo que $h_{\psi}(\phi)$ é contínua e diferenciável no intervalo $(-\pi, \pi)$, pode-se garantir que $g(\phi_{ss})$ também é contínua e diferenciável no mesmo intervalo.

Agora, considerando as equações 3.17, 3.21 e 3.22, a saída do detector de fase no estado estacionário e_{ss} é dado por:

$$e_{ss} = f \left[\operatorname{Tan}^{-1} \left(\frac{\sin(\phi_{ss})}{\sin(\phi_{ss} + \psi)} \right) \right] = \frac{\Lambda_0}{K_1'}, \qquad (3.24)$$

como $|f[\cdot]| < \pi$, então:

$$\left|\frac{\Lambda_0}{K_1'}\right| < \pi. \tag{3.25}$$

Tomando a $tan(\cdot)$ em ambos lados da equação 3.24, temos:

$$\frac{\sin(\phi_{ss})}{\sin(\phi_{ss} + \psi)} = \tan\left(\frac{\Lambda_0}{K_1'}\right),\tag{3.26}$$

podendo-se obter:

$$\tan(\phi_{ss}) = \frac{\sin(\psi)\tan(\eta)}{1 - \cos(\psi)\tan(\eta)},\tag{3.27}$$

fazendo

$$\beta = \frac{\sin(\psi)\tan(\eta)}{1 - \cos(\psi)\tan(\eta)} = \frac{\sin(\psi)}{\cot(\eta) - \cos(\psi)}$$
(3.28)

е

$$\alpha = \tan^{-1}(\beta), \tag{3.29}$$

com tan⁻¹(·) contida no intervalo $\left(-\frac{\pi}{2}, \frac{\pi}{2}\right)$, tem-se que:

$$\phi_{ss} = \alpha + j\pi, \quad j \in \{-1, 0, 1\},\tag{3.30}$$

com $j\pi$ sendo o fator de correção devido à $tan(\cdot)$ tomada na equação 3.26.

Das equações 3.18, 3.21, e 3.23, obtém-se:

$$\left|1 - \frac{K_1' \sin(\psi)}{\sin^2(\phi_{ss}) + \sin^2(\phi_{ss} + \psi)}\right| < 1.$$
(3.31)

Substituindo 3.29 em 3.31, já que $\sin^2(A) = \sin^2(A \pm \pi)$, tem-se:

$$\left|1 - \frac{K_1' \sin(\psi)}{\sin^2(\alpha) + \sin^2(\alpha + \psi)}\right| < 1.$$
(3.32)

Das inequações 3.25 e 3.32 pode-se estabelecer a faixa de captura para o TDTL de primeira ordem, em termos de K_1 e W

$$2|1 - W| < K_1 < 2W \frac{\sin^2(\alpha) + \sin(\alpha + \psi_0/W)}{\sin(\psi_0/W)},$$
(3.33)



Figura 3.3: Faixas de Captura para o TDTL de 1^a ordem para diferentes valores de ψ₀. A região entre as curvas (a) e (d) corresponde a ψ₀ = π. A região entre as curvas (a), (b) e (c) corresponde a ψ₀ = π/2.

que pode ser resolvida numericamente para diferentes valores de ψ_0 .

Na figura 3.3 a curva (a)-(b) representa o lado esquerdo da inequação 3.33, as curvas $(c) \in (d)$ representam as soluções do lado direito da mesma inequação para $\psi_0 = \pi/2 \in \pi$ respectivamente. Pode-se ver que é possível obter uma maior faixa de captura escolhendo apropriadamente o valor de ψ_0 .

3.3.2 Erro de estado estacionário

O valor do erro de estado estacionário para o TDTL de 1^a ordem pode ser calculado a partir da equação 3.24, levando em conta o sinal do η (= Λ_0/K_1). Segundo Saleh [28] o erro pode ser expresso como:

$$\phi_{ss} = \begin{cases} \alpha & \beta \sin(\eta) \ge 0\\ f[\alpha + \pi] & \text{caso contrário} \end{cases}$$
(3.34)

3.3.3 Convergência rápida

Se a função definida na equação 3.20 representa um mapa contractivo $\phi \mapsto g(\phi)$, $\phi \in \mathbb{R}$, então, existe uma constante $L : 0 \leq L < 1$, tal que:

$$\|g(\phi) - g(\phi^*)\| \le L \|\phi - \phi^*\|, \tag{3.35}$$

sendo ϕ^* um ponto fixo [8].

Portanto, o erro em cada iteração é de primeira ordem, ou seja, depende linearmente do erro na interação anterior. No entanto, é possivel se obter uma convergência que dependa do quadrado do erro na interação anterior, mas para isso é preciso enunciar o seguinte teorema, cuja prova pode-se encontrar em [22],

Teorema. Seja $G : \mathbb{R}^n \to \mathbb{R}^n$ e suponha que:

- 1. G é contínua e diferenciável no conjunto convexo $D \subset \mathbb{R}^n$.
- 2.

$$\|G'(u) - G'(v)\| < \gamma \|u - v\| \quad \forall u, v \in D.$$
(3.36)

Então, para todo $x, y \in D$,

$$\|G(y) - G(x) - G'(x)(y - x)\| < \frac{1}{2}\gamma \|x - y\|^2.$$
(3.37)

Suponha que $\lim_{m\to\infty} G(x_m) = x^* \in G'(x^*) = 0$, então temos:

$$\|G(x_m) - G(x^*)\| < \frac{1}{2}\gamma \|x_m - x^*\|^2.$$
(3.38)

Ou, pelo método das iterações sucessivas,

$$||x_{m+1} - x^*|| < \frac{1}{2}\gamma ||x_m - x^*||^2.$$
(3.39)

Sendo γ escolhido de forma que satisfaça a equação 3.36. \blacksquare

Logo, conclui-se que a taxa de convergência diminui segundo o quadrado do erro no passo anterior.

Assim, para a equação 3.20 define-se o critério de ganho para convergência rápida (CGCR), como sendo aquele que estima o valor de K'_1 tal que:

$$g'(\phi_{ss}) = 0, (3.40)$$

ou seja:

$$1 - \frac{K'_1 \sin(\psi)}{\sin^2(\alpha) + \sin^2(\alpha + \psi)} = 0, \qquad (3.41)$$

е

$$K_{1}' = \frac{\sin^{2}(\alpha) + \sin^{2}(\alpha + \psi)}{\sin(\psi)},$$
(3.42)

$$K_{1} = \frac{W[\sin^{2}(\alpha) + \sin^{2}(\alpha + \psi)]}{\sin(\psi)}.$$
(3.43)

A condição 3.43 garante convergência rápida ao ponto fixo.



Figura 3.4: Faixa de captura e curvas de convergência rápida para o TDTL de primeira ordem. As curvas contínuas representam as faixas de captura e as linhas pontilhadas às curvas de convergência rápida.

Faixas de captura e curvas de convergência rápida para o TDTL de 1^a ordem são mostradas na figura 3.4. Pode-se observar que, para alguns valores de frequência normalizada W existem dois possível valores de ganho K_1 que satisfazem o CGCR.

Exemplo 1

O TDTL de 1^a ordem com $\psi_0 = \pi/2$ é submetido a duas entradas tipo degrau em frequência para W > 1 e W < 1 respectivamente. Mostra-se a validade do *critério de*

ou

ganho para convergência rápida.

Na figura 3.5 pode-se ver a resposta de um TDTL de 1^a ordem para entrada tipo degrau em frequência com W = 1.5. Diferentes ganhos K_1 dentro da faixa de captura, foram aplicados. Os erros em regime estacionário, calculados em cada caso segundo a equação 3.24, são diferentes. Pode-se ver na tebela 3.1 que os tempos de acomodação t_s também mudam com o ganho, com o menor tempo obtido quando o ganho escolhido satisfaz o CGCR. Na figura 3.6, mostra-se a resposta do TDTL de 1^a ordem para W =



Figura 3.5: Resposta do TDTL de 1^a ordem com $\psi_0 = \pi/2$, para W = 1.5.

0.75, com diferentes valores de K_1 . Na tabela 3.2, pode-se ver os valores do erro em regime estacionário e o tempo de acomodação em cada caso. Como esperado, o melhor tempo de aquisição é obtido para o ganho calculado segundo o CGCR.

Tabela 3.1: Valores do erro em regime estacionário e tempo de acomodação para o TDTL de
 1^{a} ordem com W = 1.5.

K_1	ϕ_{ss}	$t_s (5\%)$	fig. 3.5
1,1	-2,843	$35,\!34$	(a)
1,72	-1,824	27,74	(b)
2,1	-1,460	38,10	(c)



Figura 3.6: Resposta do TDTL de 1^a ordem com $\psi_0 = \pi/2$, para W = 0.75.

Exemplo 2

Considere um sinal de entrada não modulado $y(t) = A \sin(\omega t + \theta_0)$, de tal forma que θ_0 é constante e ω seja igual a ω_0 . Sob tais condições, escolhendo ψ_0 igual a $\pi/2$, e K_1 igual a 1.5, o sistema atinge o estado síncrono ($\phi_{ss} = 0$) nos primeiros instantes da simulação, tal como se pode ver na figura 3.7.

K_1	ϕ_{ss}	t_s (2%)	fig. 3.6
$0,\!51$	3,083	32,16	(a)
$0,\!8798$	1,788	$21,\!36$	(b)
$1,\!05$	1,496	$35,\!28$	(c)

Tabela 3.2: Valores do erro em regime estacionário e tempo de acomodação para o TDTL de $1^{\underline{a}}$ ordem com W = 0.75.

Uma vez que o sistema tenha atingido o estado estacionário, fazemos com que a frequência do sinal de entrada seja menor que a frequência central de livre curso do DCO, tal que $W = \frac{\omega_0}{\omega}$ seja 1.1. Sob tais condições pode ser observada a resposta transitória em termos da saída do detector de fase na figura 3.7 e do diagrama de fase mostrado na figura 3.8.

O erro de fase no estado estacionário calculado segundo a equação 3.29 é $\phi_{ss} = -0.3929$, que corresponde ao valor final obtido na simulação.



Figura 3.7: Resposta do TDTL de 1ª ordem para uma entrada degrau em frequência, com $\psi_0 = \pi/2, K_1 = 1.5$ e W = 1.1.

É possível ajustar o ganho $K_1 = \omega_0 G_1$ do filtro digital para obter uma resposta rápida, segundo a equação 3.40. Nos resultados obtidos, mostrados na figura 3.9, pode ser vista uma melhora no tempo de acomodação, em relação ao resultado obtido na figura 3.7. O erro de fase calculado nesse caso é $\phi_{ss} = -0.5916$, que coincide com o valor obtido a partir da simulação. Na figura 3.10 mostra-se o sinal do relógio em processo de



Figura 3.8: Diagrama de fase do TDTL de 1^ª ordem para uma entrada degrau em frequência, com $\psi_0 = \pi/2$, $K_1 = 1.5$ e W = 1.1.



Figura 3.9: Resposta do TDTL de 1^a ordem para uma entrada degrau em frequência, com $\psi_0 = \pi/2, W = 1.1 \text{ e } K_1 = 0.975$. Os valores de W e K_1 escolhidos satisfazem a condição 3.40, obtendo convergência rápida com relação ao tempo de acomodação.

captura.

Exemplo 3

Seja um sinal de entrada tipo FSK com duas frequências, tais que, $W_1 = 0.9$ e $W_2 = 1.1$. Ajusta-se o valor de K_1 em 1 e ψ_0 em $\pi/2$ e, em tais condições, testa-se a capacidade do TDTL para acompanhar as mudanças entre as duas frequências, levando



Figura 3.10: Sinal x(t) e sinal de relógio no processo de captura do TDTL de 1ª ordem, para uma entrada degrau em frequência, com $\psi_0 = \pi/2$, W = 1.1 e $K_1 = 0.975$.

em conta que o erro no estado estacionário causado por uma das frequências é a condição inicial para a outra. A fase obtida no resultado da simulação é mostrada na figura 3.11.



Figura 3.11: Resposta do TDTL de 1ª ordem com $K_1 = 1$ e $\psi_0 = \pi/2$, para uma entrada tipo FSK com $W_1 = 0.9, W_2 = 1.1$.

3.4 O TDTL de $2^{\underline{a}}$ ordem

O TDTL de 2^a ordem usa um filtro digital do tipo PI (proporcional e integral discreto) com uma função de transferência D(z), dada por:

$$D(z) = G_1 + \frac{G_2}{1 - z^{-1}},$$
(3.44)

sendo G_1 e G_2 constantes reais positivas. Também tem-se que c(z) = D(z)e(z), o que implica que $c(k) = Z^{-1}{D(z)} * e(k)$; então, levando em conta a equação 3.15, a equação do sistema para o TDTL de 2^a ordem é:

$$\phi(k+2) = 2\phi(k+1) - \phi(k) - rK_1'e(k+1) + K_1'e(k), \qquad (3.45)$$

sendo $r = 1 + \frac{G_2}{G_1} \in K'_1 = G_1 \omega.$

3.4.1 Faixa de captura

Na equação 3.45, tem-se que, no estado estacionário, $\phi(k+2) = \phi(k+1) = \phi(k)$ e e(k+1) = e(k), o que implica que a saída do detector de fase no estado estacionário e_{ss} é zero. A partir da equação 3.17, pode ser observado que a condição $e_{ss} = 0$ é satisfeita se ϕ_{ss} é $2m\pi$, com $m \in \mathbb{Z}$, já que por definição $f[\phi_{ss}] \neq \pm \pi$.

Sabe-se que o sistema descrito pela equação 3.45 terá ponto de equilíbrio assintoticamente estável, se todos os autovalores da primeira derivada da equação, avaliados nesse ponto, tiverem modulo menor que a unidade [30]. Para calcular os ditos autovalores $(\rho[G'(\phi_{ss})])$, definem-se as variáveis de estado $x_k = \phi(k)$ e $y_k = \phi(k+1)$, e o vetor de estado $\mathbf{x} = [x_k \ y_k]^T$; de modo que, a partir das equações 3.17 e 3.45, tem-se:

$$G(\mathbf{x}) \stackrel{\triangle}{=} \begin{bmatrix} y_k \\ 2y_k - x_k - rK_1' \operatorname{Tan}^{-1}\left(\frac{\sin(y_k)}{\sin(y_k+\psi)}\right) + K_1' \operatorname{Tan}^{-1}\left(\frac{\sin(x_k)}{\sin(x_k+\psi)}\right) \end{bmatrix}.$$
 (3.46)

Calculando o Jacobiano de $G(\mathbf{x})$ no ponto fixo $\mathbf{x}^* = [x_k^* \ y_k^*]^T = [2m\pi \ 2m\pi]^T$, obténse:

$$G'(\mathbf{x}^*) = \begin{bmatrix} 0 & 1\\ -1 + K'_1 \csc(\psi) & 2 - rK'_1 \csc(\psi) \end{bmatrix}.$$
 (3.47)

Assumindo ψ dentro do intervalo $(0, \pi)$, pode-se calcular os autovalores de $G'(\mathbf{x}^*)$ fazendo $\det[G'(\mathbf{x}^*) - \lambda I] = 0$:

$$\det \begin{bmatrix} -\lambda & 1\\ -1 + K'_1 \csc(\psi) & 2 - rK'_1 \csc(\psi) - \lambda \end{bmatrix} = 0, \qquad (3.48)$$

sendo

$$\lambda^{2} - \lambda(2 - rK_{1}'\csc(\psi)) - (K_{1}'\csc(\psi) - 1) = 0$$
(3.49)

o polinômio característico de G', cujas raízes são:

$$\lambda_{1,2} = \frac{1}{2} (2 - rK_1' \csc(\psi)) \pm \frac{1}{2} \sqrt{(2 - rK_1' \csc(\psi))^2 + 4(K_1' \csc(\psi) - 1)}.$$
 (3.50)

Para que a dinâmica de estados relativa à equação 3.45 convirga para o ponto fixo, deve-se ter que $|\lambda_1| < 1 \in |\lambda_2| < 1$, segundo o teorema de Ostrowski⁴ $\rho[G'(\phi_{ss})] < 1$ [23] [22]

Aplicando a desigualdade triangular $|u + v| \leq |u| + |v|$, e sabendo que $|\lambda_1| < 1$ e $|\lambda_2| < 1$, tem-se:

$$\begin{aligned} |\lambda_1 + \lambda_2| \leqslant |\lambda_1| + |\lambda_2| < 2, \\ |\lambda_1 + \lambda_2| < 2. \end{aligned}$$
(3.51)

Somando as duas raízes definidas em 3.50:

$$|2 - rK_1' \csc(\psi)| < 2,$$

ou

$$0 < rK_1' \csc(\psi) < 4, \tag{3.52}$$

 $\operatorname{com} r > 1$, por definição.

Por outro lado, multiplicando as duas raízes definidas na equação 3.50, $|\lambda_1 \lambda_2| = |\lambda_1||\lambda_2| < 1$, obtém-se:

$$|\lambda_1\lambda_2| < 1,$$

ou

com

$$\left| \left[\frac{1}{2} (2 - rK_1' \csc(\psi)) + \frac{1}{2} \sqrt{\beta} \right] \cdot \left[\frac{1}{2} (2 - rK_1' \csc(\psi)) - \frac{1}{2} \sqrt{\beta} \right] \right| < 1, \quad (3.53)$$

$$\beta = (2 - rK_1' \csc(\psi))^2 + 4(K_1' \csc(\psi) - 1).$$

Desenvolviendo a produto na equação 3.53,

$$\left|\frac{1}{4}[(2 - rK_1'\csc(\psi))^2 - \beta]\right| < 1,$$

⁴O teorema de Ostrowski é a forma geral do Critério de Estabilidade para Sistemas Discretos, o qual estabelece que todos os pólos em malha fechada devem estar dentro do círculo unitário, no plano z [20].

e substituindo β , obtém-se:

$$|1 - K_1' \csc(\psi)| < 1$$

ou

$$0 < K_1' \csc(\psi) < 2.$$
 (3.54)

Das desigualdades 3.52 e 3.54:

$$0 < K_1' \csc(\psi) < \frac{4}{r+1},\tag{3.55}$$

ou, também,

$$0 < K_1 < \frac{4}{r+1} W \sin(\psi_0/W), \qquad (3.56)$$

que representa a faixa de captura para o TDTL de 2^a ordem em termos do ganho K_1 e a frequência normalizada W, com r fixo e ψ_0 como parâmetro.

Conforme mostrado na figura 3.12, a faixa de captura para o TDTL de 2^a ordem pode ser maior que o TDTL de 1^a ordem para valores baixos de ψ_0 .



Figura 3.12: Faixa de captura para o TDTL de 2ª ordem, para r=1.1e diferentes valores de $\psi_0.$

3.4.2 Captura independente das condições iniciais

É importante determinar se o TDTL de 2^a ordem, representado pela equação 3.45, apresenta convergência para qualquer condição inicial $\phi(0) \in \phi(1)$.

A equação 3.45 representa um plano no espaço tridimensional $(\phi(k), \phi(k+1), \phi(k+2))$. Assim, para obter captura independente das condições iniciais, este plano deve estar dentro da região limitada pelos planos $\phi(k+2) = \pm \pi$, $\phi(k) = \pm \pi e \phi(k+1) = \mp \pi$. Também deve ser notado que o $\lim_{\phi \to \pi^-} e(k) = \pi e \lim_{\phi \to -\pi^+} e(k) = -\pi$, cuja demonstração pode ser encontrada em [28].

Então, é possível definir duas condições que garantem captura para qualquer condição inicial.

A primeira surge a partir da condição $|\phi(k+2)| < \pi$, quando $\phi(k) = \pm \pi e \phi(k+1) = \mp \pi$, de modo que, substituindo os valores de $\phi(k)$, $\phi(k+1)$, e(k) e e(k+1) na equação 3.45, obtém-se:

$$|K_1'(r+1) - 3| < 1,$$

lembrando que $K'_1 = K_1/W$:

$$\frac{2W}{r+1} < K_1 < \frac{4W}{r+1}.\tag{3.57}$$

A segunda é obtida a partir da condição $|\phi(k+2)| < \pi$ quando $\phi(k) = \pm \pi$ e $\phi(k+1) = \pm \pi$. Substituindo os respectivos valores na equação 3.45, obtém-se:

$$0 < K_1 < \frac{2W}{r-1}.\tag{3.58}$$

Note-se que a condição 3.57 é mais restritiva que a condição 3.58. Portanto, na figura 3.13, mostra-se apenas a primeira, junto com as faixas de captura para o TDTL de 2^{a} ordem, para r fixo.



Figura 3.13: A retas (a) e (b) representam os limites da equação 3.57, com r = 1.1, definindo os valores que podem tomar K_1 e W para obter captura sob qualquer condição inicial.

Capítulo 4

Os TDTLs adaptativos

Diferentes arquiteturas de TDTLs adaptativos têm sido apresentadas nos últimos anos a fim de melhorar o desempenho, em termos de captura e largura de banda, tanto para malhas de 1^a como de 2^a ordem. Em [5], [6] e [3] são apresentadas estratégias para se aproveitar melhor a largura de banda do TDTL, algumas consistem na modificação do ganho do filtro digital e na variação do atraso τ , dessa forma é possível se obter malhas mais robustas, capazes de sincronizar com entradas tipo degrau de amplitude maior e tolerar perturbações na frequência.

Os TDTLs adaptativos são classificados, segundo a estratégia de adaptação, em:

- TDTL com chaveamento de atraso de tempo.
- TDTL com ganho adaptativo (1^a ou 2^a ordem).
- TDTL com chaveamento de atraso de tempo e ganho adaptativo.
- TDTL adaptativos por detecção de amostra.
- TDTL adaptativos com detecção rápida de erro.

4.1 TDTL com chaveamento de atraso de tempo

Como discutido no capítulo 3, o valor do atraso de tempo tem grande influência sobre o desempenho da malha "Tanlock" . Hussain em [14] e Al-Moosa em [4] analisaram o TDTL com mais de um atraso de tempo para obter aquisição rápida e maior faixa de captura. A estrutura é mostrada na figura 4.1, com os atrasos de tempo controlados por



Figura 4.1: Diagrama em blocos do TDTL com chaveamento de atraso de tempo.

uma máquina de estados finitos (FSM). Assim, o chaveamento do atraso de tempo gera duas versões do sinal x(t),

$$x_1(t) = A\sin[\omega_o t + \theta(t) - \psi_1] \tag{4.1}$$

е

$$x_2(t) = A\sin[\omega_o t + \theta(t) - \psi_2]. \tag{4.2}$$

O sinal de controle d(k), que é a saída da máquina de estados finitos, decide qual dos dois sinais vai passar para o amostrador 1, a fim de gerar o sinal discretizado:

$$x(t) = A\sin[\omega_o t + \theta(t) - \psi_i], \qquad (4.3)$$

onde *i* indica o atraso de tempo. O sinal x(t) na equação 4.3 pode ser rescrito em termos do erro de fase como:

$$x(k) = A\sin[\phi(k)]. \tag{4.4}$$

Assim, o sinal de erro na saída do detector de fase é:

$$e(k) = f\left[\operatorname{Tan}^{-1}\left(\frac{\sin[\phi(k)]}{\sin[\phi(k) + \psi_i]}\right),\right]$$
(4.5)

sendo Tan^{-1} a função arctan nos quatro quadrantes definida na página 18. Se o TDTL com chaveamento de atraso de tempo é de 1^a ordem, então a equação do sistema é a

mesma dada em 3.20, e a faixa de captura por ser encontrada resolvendo a equação:

$$2|1 - W| < K_1 < 2W \frac{\sin^2(\alpha) + \sin(\alpha + \psi_{oi})}{\sin(\psi_{oi})},$$
(4.6)

sendo ϕ_{oi} a defasagem nominal correspondente a
oi-ésimo atraso de tempo τ .

A fim de se obter uma maior faixa de captura, os atrasos de tempo têm sido escolhidos tal que $\psi_{o1} = \pi/2$ e $\psi_{o2} = \pi/3$, tal como é mostrado na figura 4.2. O ganho $K_1 = 1.13$ é escolhido para garantir bom desempenho em toda a faixa de captura.



Figura 4.2: Faixas de captura para o TDTL de 1^a ordem com chaveamento de atraso de tempo para $\psi_{o1} = \pi/2$ (b) e $\psi_{o2} = \pi/3$ (a). A linha horizontal representa o ganho fixo do filtro digital, $K_1 = 1.13$.

Os estados da FSM são definidos pela saída do detector de fase e pelo sinal de controle d(k). Se a malha é submetida a um degrau em frequência, tal que o sinal de entrada tenha uma frequência maior que ω_o , ou seja W < 1 ($W = \omega_o/\omega$), e o erro de fase é maior que um limite definido $\epsilon_1 > 0$, o sinal de control d(k) permitirá ao sinal $x_2(t)$ passar para o amostrador 1. Se a malha é submetida a um degrau em frequência, tal que o sinal de entrada seja menor que ω_o , ou seja W > 1, a FSM acompanhará o erro de fase até ser menor que um outro limite $\epsilon_2 < 0$. Em seguida o sinal de controle d(k) deixará passar o sinal $x_1(t)$ para o amostrador 1.

Foi aplicado ao TDTL simples um sinal senoidal com frequência variante no tempo como mostrado na figura 4.3, para atrasos de tempo $\tau_1 = \pi/2$ e $\tau_2 = \pi/3$. A frequência normalizada W_1 foi ajustada em 0.51 e W_2 em 1.2.

O tempo normalizado utilizado nas provas é $\hat{t} = t/T_0$, que é uma medida do número



Figura 4.3: Frequências do sinal de prova.

de iterações da malha. Como se pode ver na figura 4.4, com um atraso de tempo $\tau = \pi/2$, o TDTL de 1^a ordem não consegue acompanhar a frequência W_1 , uma vez que está fora da faixa de captura, mas consegue atingir sincronia para a frequência W_2 . Na figura 4.5, observa-se que o sistema com atraso de tempo $\tau = \pi/3$ atinge sincronia para W_1 e W_2 , com tempo de acomodação para W_1 alto.



Figura 4.4: Resposta do TDTL de 1^a ordem com $\psi_0 = \pi/2$, para o sinal de entrada mostrado na figura 4.3.

O mesmo sinal de prova é aplicado ao TDTL com chaveamento de atraso de tempo, o qual aproveita as vantagens dos dois atrasos, como é mostrado na figura 4.6. Assim o sistema consegue sincronismo para ambas as frequências W_1 é W_2 , com melhores tempos de acomodação.



Figura 4.5: Resposta do TDTL de 1^a ordem com $\psi_0 = \pi/3$, para o sinal de prova.



Figura 4.6: Resposta do TDTL de 1^a ordem com chaveamento de atraso de tempo para o sinal de prova.

4.2 TDTL com ganho adaptativo

Se o TDTL convencional estudado no capitulo 3 sofre uma mudança súbita na frequência de entrada, tal que o ponto de operação fique fora da faixa de captura, não conseguirá sincronizar salvo que um sinal externo faça o DCO voltar para a faixa de captura. O dito sinal pode ser uma mudança no ganho do filtro digital, em resposta à mudança na frequência do sinal de entrada.

A estrutura mostrada na figura 4.7, aprensentada em [5], consegue mudar o ganho do filtro de modo que o ponto de operação fique dentro da faixa de captura, sempre que o sinal de entrada mude de frequência.



Figura 4.7: Diagrama em blocos do TDTL com ganho adaptativo.

O ganho variável do filtro digital é controlado pela FSM. Escolhe-se o atraso de fase nominal ψ_0 igual a $\pi/2$ para prover linearidade na saída do detector de fase. Assim o erro de fase pode ser usado como indicador do ponto de operação da malha.



Figura 4.8: Faixa de captura para o TDTL de 1ª ordem com ganho adaptativo, com $\psi_0 = \pi/2$.

Assumindo que o ganho do TDTL de 1^a ordem mostrado na figura 4.7 é inicializado em $K_1 = 0.5$, para garantir uma boa relação sinal-ruído [14], os limites da faixa de captura são os mostrados na figura 4.8, com A1 e A2 determinando a faixa de frequências que podem ser acompanhadas sem mudança no ganho. Se o sinal de entrada mudar de frequência fazendo o ponto de operação passar de A1 (ou A2) para D (ou B), o TDTL perde o sincronismo. A FSM detecta a mudança na saída do detector de fase e adapta o ganho do filtro, movendo o ponto de operação para E (ou C), retornando o ponto de operação para dentro da faixa de captura.

O sinal senoidal de prova com frequência variante no tempo, como mostrado na figura 4.9, com frequências normalizadas $W_1 = 0.6$ e $W_2 = 1.4$, foi aplicado ao TDTL

de 1^a ordem simples. Como as frequências estão fora da faixa de captura, a malha não atinge o sincronismo, como se pode ver na figura 4.10.



Figura 4.9: Frequência do sinal de prova.



Figura 4.10: Respota do TDTL de 1^ª ordem simples para o sinal de prova.

O mesmo sinal de prova foi aplicado ao TDTL de 1^a ordem com ganho adaptativo, mostrado na figura 4.7, com atraso de fase $\psi_0 = \pi/2$ e ganho inicial $G_1 = 0.5$. Quando a frequência de entrada muda para W_1 (ou W_2), a FSM detecta a variação do erro de fase na saída do detector e muda o ganho do filtro digital para $G_1 = 1$, conforme mostrado na figura 4.8. A resposta da malha com ganho adaptativo é mostrado na figura 4.11.



Figura 4.11: Resposta do TDTL 1ª ordem com ganho adaptativo para o sinal de prova.

4.3 TDTL com chaveamento de atraso de tempo e ganho adaptativo

As vantagens mostradas pelos TDTLs apresentados nas seções 4.1 e 4.2 como rápida captura e maior largura de banda, podem ser usadas juntas em um TDTL tal como fora apresentado em [2]. A estrutura mostrada na figura 4.12 combina as características de chaveamento de atraso e ganho adaptativo, controladas pela FSM, utilizando os sinais amostrados x(k) e y(y), o que permite um melhor desempenho, refletido em captura rápida e maior largura de banda.

Os atrasos a serem chaveados são $\psi_0 = \pi/2$ e $\psi_0 = \pi/3$, pois apresentam maior faixa de captura. O TDTL assim implementado apresenta melhor desempenho para variações grandes na frequência de entrada, dado que a malha tem dois graus de liberdade, o atraso de tempo ψ_0 e o ganho do filtro digital G_1 . O critério para a mudança do estado da FSM baseia-se no valor dos sinais $x(k) \in y(k)$, a partir dos quais se pode obter a informação da frequência do sinal de entrada.

Deve ser mencionado que o autor em [2] não considera a sensibilidade da malha de 1^{a} ordem às condições iniciais para valores de W < 1, tal como é explicado brevemente em [15], onde é mostrado que a convergencia da malha para os ditos valores de frequência não é garantida para qualquer uma condição inicial.



Figura 4.12: Diagrama em blocos do TDTL com chaveamento de atraso de tempo e ganho adaptativo.



Figura 4.13: Faixa de captura para o TDTL de 1^a ordem com chaveamento de atraso de tempo e ganho adaptativo, mostra-se também, o ganho escalonado gerado pela FSM.

4.4 TDTL adaptativo por detecção de amostra

Na seção 4.2 mostrou-se que, quando a malha da figura 3.1 é submetida a uma entrada degrau em frequência de grande amplitude, é possivel adaptar o ganho do filtro digital para manter o ponto de trabalho dentro da faixa de captura, obtendo-se assim robustez frente a perturbações na frequência. Em [3] foi apresentada uma versão de TDTL com ganho adaptativo, cuja detecção de erro é feita a partir do sinal x(k), como se mostra na figura 4.14, permitindo uma adaptação do ganho antes que o erro de fase circule na malha, diferentemente do TDTL adaptativo apresentado na seção 4.2, onde a detecção do erro é obtida após o detector de fase.



Figura 4.14: Diagrama em blocos do TDTL Adaptativo por detecção de amostra.

A operação deste TDTL é semelhante ao TDTL de ganho adaptativo, os limites da faixa de captura, para $K_1 = 0.5$, estão dados por A_1 e A_2 , mostrados na figura 4.15.

O mesmo sinal de prova que fora aplicado ao TDTL com ganho adaptativo foi aplicado ao TDTL de 1^a ordem com $\psi_0 = \pi/2$, mostrado na figura 4.14. A resposta, na figura 4.16, é muito semelhante à mostrada na figura 4.10.



Figura 4.15: Faixa de captura para o TDTL de 1^a ordem com ganho adaptativo por detecção de amostra, com $\psi_0 = \pi/2$.

4.5 TDTL adaptativo com detecção rápida de erro

O EES-ATDTL, como é chamado por sua sigla em inglês, foi apresentado pela primeira vez em [6], como um tipo de TDTL capaz de melhorar a resposta ao degrau



Figura 4.16: Resposta do TDTL de 1^ª ordem com ganho adaptativo por detecção de amostra.

em frequência, em termos da faixa de captura, adaptando o ganho proporcional do filtro digital por meio de uma estimativa da frequência de entrada obtida a partir do produto dos sinais $x(t) \in y(t)$, utilizando uma máquina de estados finitos para a escolha do ganho.



Figura 4.17: Diagrama em blocos do TDTL adaptativo com detecção rápida de erro.

Na figura 4.17 pode-se ver o diagrama de blocos do EES-ATDTL. Devido a detecção de frequência ser feita antes dos amostradores, o ganho do filtro digital pode ser adaptado antes que o valor do erro circule pela malha. Desse modo obtém-se uma adaptação rápida às mudanças da frequência na entrada.

O funcionamento do EES-ATDTL pode ser entendido do seguinte modo: Na figura 4.18 suponha que B é o ponto de operação inicial, com W = 1 e $K_1 = 0.5$, escolhe-se



Figura 4.18: Faixa de Captura para o EES-ATDTL de 1^a ordem para $\psi_0 = \pi/2$ com ganho adaptado para frequências fora da faixa de captura.

o dito valor de K_1 para se garantir uma boa relação sinal-ruído segundo [14]. Quando o sinal de entrada muda o ponto de operação para A (ou C), fora da faixa de captura, o TDTL não é capaz de seguir a frequência de entrada. Sob tais condições, a máquina de estados finitos muda o ponto de operação para D (ou E), de modo que com o novo ganho o TDTL possa atingir sincronismo. Pode-se ver na figura 4.18, que o ganho é adaptado apenas para se garantir captura.

O EES-ATDTL utiliza o fato de que a defasagem introduzida devido ao atraso de tempo τ é diretamente proporcional à frequência do sinal de entrada, já que $\psi = \omega \tau$. Para encontrar a dita defasagem, o detector usa um multiplicador, um filtro passa baixas e uma FSM. Sob condições livres de ruído, os sinais y(t) e x(t) são os mesmos definidos nas equações 3.3 e 3.5 e a saída do multiplicador é:

$$m(t) = x(y) \cdot y(t) = A^2 \sin[\omega_o t + \theta(t) - \psi] \cdot \sin[\omega_o t + \theta(t)]$$
$$= (A^2/2)[\cos(\psi) - \cos(2\omega_o t + 2\theta(t) - \psi)].$$
(4.7)

A equação 4.7 mostra que a saída do multiplicador tem duas partes: a primeira é função apenas da diferença de fase entre os sinais, que é a defasagem procurada; a segunda é proporcional ao dobro da frequência ω_o , mais a soma do dobro da fase. Pode-se escolher a frequência de corte do filtro passa-baixas para que filtre o sinal de ruído e o sinal de frequência dupla. Finalmente, a saída do filtro passa baixas será proporcional a $\cos(\psi)$. Pode-se, então estabelecer na FSM uma relação entre o $\cos(\psi)$ e o ganho do filtro digital para manter o ponto de operação dentro da faixa de captura. Uma parte importante do projeto do EES-ATDTL é a escolha do filtro passa-baixas, já que é este que determina a resposta adaptativa do ganho da malha "Tanlock". Tem-se escolhido um filtro FIR Gaussiano, pois apresenta uma resposta sem *overshoot* para uma entrada degrau. A função de transferência geralizada é $H(u) = e^{\frac{1}{2}u^2/u_c^2}$, com equação de diferenças:

$$y(n) = b_0 x(n) + b_1 x(n-1) + \dots + b_m x(n-M),$$
(4.8)

ou

$$y(n) = \sum_{i=0}^{M} b_i x(n-i),$$
(4.9)

sendo $\{x(n)\}$ a sequência de entrada e $\{y(n)\}$ a sequência de saída, b_i é o *i*-ésimo coeficiente e M é a ordem do filtro. A implementação do filtro usada foi a forma direta mostrada na figura 4.19 [27],



Figura 4.19: Implementação do fitro FIR em forma direta.

Na figura 4.20 mostram-se as frequências do sinal de prova aplicada ao EES-ATDTL, com $W_1 = 0.7$ e $W_2 = 1.4$. Na figura 4.21 pode-se ver que a saída do filtro gaussiano é plana para todos os degraus aplicados na entrada.

Já que o EES-ATDTL usa um bloco de ganho variável que é controlado pela máquina de estados finitos, o modelo matemático para um sistema de $1^{\underline{a}}$ ordem é:

$$\phi(k+1) = \phi(k) + K'_i h[\phi(k)] + \Lambda_0, \qquad (4.10)$$

sendo $K'_i = \omega G_i$ e G_i o ganho correspondente à *i*-ésima frequência de entrada.



Figura 4.20: Frequência do sinal de prova para o TDTL adaptativo com detecção rápida de erro.



Figura 4.21: Resposta do filtro Gaussiano para o sinal de prova.

As repostas do EES-ATDTL e do TDTL simples, ambos de 1^a ordem com $\psi_0 = \pi/2$, para a entrada mostrada na figura 4.20, são mostradas nas figuras 4.22 e 4.23.

Observa-se que o TDTL simples não consegue acompanhar qualquer das frequências $W_1 \in W_2$. No entanto, o EES-ATDTL atinge o sincronismo para as ambas.

O EES-ATDTL apresenta um melhor desempenho comparado ao TDTL, já que aproveita melhor a faixa de captura e tem maior robustez sob perturbações na frequência do sinal de entrada.



Figura 4.22: Resposta do TDTL de 1ª ordem simples com $\psi_0 = \pi/2$ para o sinal de prova.



Figura 4.23: Resposta do EES-ATDTL de 1^a ordem simples com $\psi_0 = \pi/2$ para o sinal de prova.
Capítulo 5

O FS-ATDTL

Neste capítulo é apresentada uma versão melhorada da malha digital "Tanlock", chamada de TDTL adaptativo com detecção de frequência e convergência rápida (FS-ATDTL), capaz de melhorar a resposta transitória e a largura de banda da malha digital "Tanlock" para entradas tipo degrau em frequência. São apresentados exemplos para o FS-ATDTL de 1^a ordem, junto com simulações para avaliar os resultados teóricos.

A melhoria proposta é obtida a partir de duas características desenvolvidas no presente trabalho: uma é a estimativa da frequência de entrada obtida pelo produto dos sinais x(t) e y(t), utilizada na seção 4.5; e a outra é o *critério de ganho para convergência rápida* ou CGCR, desenvolvido na seção 3.3, a partir do qual pode-se obter a convergência mais rápida possível ao ponto fixo.

O FS-ATDTL é uma malha digital "Tanlock" capaz de obter uma estimativa da frequência de entrada e adaptar o ganho do filtro digital, de modo que a captura seja a mais rápida possível.

Na figura 5.1 apresenta-se o diagrama em blocos do FS-ATDTL, onde se observa que a estimativa de frequência e a adaptação do ganho são feitas antes que o erro apareça na saída do detector de fase, o que permite rapidez em resposta às mudanças na frequência de entrada.

O produto m(t) dos sinais $x(t) \in y(t)$, obtido na equação (4.7), é filtrado utilizandose um filtro FIR passa-baixas, cuja frequência de corte é escolhida para eliminar o termo de frequência dupla gerado pelo produto. O bloco estimador de frequência mapeia f(t)



Figura 5.1: Diagrama em blocos da Malha Digital Tanlock com Estimação de Frequência e Ganho Adaptativo para Convergência Rápida.

na saída do filtro passa-baixas para obter a estimativa $\overline{\omega}$ da frequência ω na entrada. A partir dessa frequência estimada, o bloco CGCR muda o ganho proporcional do filtro digital a fim de se obter convergência rápida.

O resultado é que a malha consegue acompanhar as mudanças na frequência de entrada com suficiente rapidez, de modo que o tempo de aquisição seja o menor possível, além de permitir à malha tolerar degraus em frequência de maior amplitude.

É importante notar que a frequência de corte do filtro passa-baixas pode ser escolhida de modo que se possa filtrar além do termo de frequência dupla o ruído de entrada presente no sistema.

O modelo matemático do FS-ATDTL de 1^ª ordem é similar ao desenvolvido para o EES-ATDTL na seção 4.5,

$$\phi(k+1) = \phi(k) + K'_i h[\phi(k)] + \Lambda_0, \qquad (5.1)$$

sendo $K'_i = \omega G_i$ e G_i o ganho correspondente à *i*-ésima frequência de entrada.

Na figura 5.2 pode-se ver a faixa de captura para o FS-ATDTL, escolhendo-se $\psi_0 = \pi/2$ para obter uma melhor aproximação linear na saída do detector de fase.



Figura 5.2: Faixa de captura e curvas de convergência rápida para o FS-ATDTL de 1^a ordem, com ψ₀ = π/2. A região sob a curva (a) representa a faixa de captura e as linhas (b) e (c) os ganhos para convergência rápida.

5.1 O estimador de frequência

Para se obter uma estimativa da frequência do sinal de entrada, tem-se tomado como referência o trabalho de Al-araji em [6] e [28], baseado no produto m(t) dos sinais y(t) e x(t), na equação (4.7).

É possível filtrar o termo de frequência dupla presente em m(t), a fim de se obter uma estimativa da frequência de entrada ω , a partir da obtenção de $\cos(\psi)$, já que $\psi = \omega \tau$.

Escolhe-se um filtro FIR passa-baixas que elimine o termo de frequência dupla e a sua saída f(t) seja proporcional apenas a $\cos(\psi)$:

$$f(t) = (A^2/2)\cos(\psi).$$
 (5.2)

Como ψ pode ser expresso em termos do atraso de fase nominal ψ_0 e da frequência normalizada W, e como para o TDTL de 1^a ordem as frequências W dentro da faixa de captura são maiores que 0.5 (ver Fig. 5.2), então pode-se fixar os limites de ψ_0 :

$$0 < \psi_0 \le \pi/2,\tag{5.3}$$

de modo que

$$0 < \psi_0/W < \pi, \tag{5.4}$$

lembrando que a função $\cos(\psi_0/W)$ é invertível no intervalo $(0, \pi)$.

É assim que a partir da equação 5.2 e com as restrições fixadas para ψ_0 pode-se calcular a frequência $\overline{\omega}$, como a estimativa da frequência de entrada ω :

$$\overline{\omega} = \frac{1}{\tau} \cos^{-1} \left[\frac{2f(t)}{A^2} \right].$$
(5.5)

É claro que a dita estimativa $\overline{\omega}$ está sujeita ao tipo de resposta ao degrau do filtro passa-baixas, o qual pode ser escolhido para satisfazer os requisitos de sobresinal e tempo de acomodação desejados. Nota-se a dependência de \overline{w} com o quadrado da amplitude A do sinal de entrada. Neste caso, considera-se A unitária, o que pode ser garantido usando um bloco de ajuste automático de ganho na entrada do TDTL.



Figura 5.3: Frequência de entrada ao TDTL e frequências estimadas por meio dos filtros passabaixas Butterworth de 2^{a} ordem e do filtro Gaussiano.

Na figura 5.3, pode-se ver a saída do estimador de frequência ($\overline{\omega}$) baseado em um filtro Butterworth de 2^a ordem e em um filtro Gaussiano, projetados ambos utilizando Matlab, cujas funções de transferência generalizadas são:

$$H(u) = \frac{1}{1 + (u^2 + u_c^2)^n},$$
(5.6)

para o filtro Butterworth e

$$H(u) = e^{\frac{1}{2}u^2/u_c^2},\tag{5.7}$$

para o fitlro Gaussiano.

Uma vez obtida a estimativa da frequência de entrada $\overline{\omega}$, deve-se definir um critério para adaptar o ganho do filtro digital a fim de se obter um melhor desempenho. Na seção seguinte propõe-se o CGCR para tal adaptação.

5.2 Critério de ganho para convergência rápida - CGCR

Como se observou na seção anterior, é possível obter uma estimativa $\overline{\omega}$ da frequência de entrada para valores de $\psi_0 < \pi/2$, e na seção 3.3 se estabeleceu o CGCR para se obter convergência rápida.

A estimativa de ganho proposta é, portanto, um mapa $\overline{\omega} \to G_1$, que associa a cada frequência estimada $\overline{\omega}$ um ganho G_1 , tal que a convergência ao ponto fixo seja proporcional ao quadrado do erro na interação anterior. A dita convergência é a mais rápida com relação ao tempo de aquisição, segundo desenvolvido na seção 3.3.3.



Figura 5.4: Diagrama em blocos da estimativa de ganho.

Na figura 5.4 é apresentado o diagrama em blocos da estimativa de ganho proposta. O estimador de frequência é um mapa $f(t) \rightarrow \overline{\omega}$ definido segundo a equação 5.5 e o ganho é calculado segundo a condição 3.40, sendo G_1 o ganho do filtro digital.

Para testar o desempenho do FS-ATDTL, usa-se um sinal FSK (Frequency-shift keying) tal que as frequências normalizadas de entrada sejam $W = \{0.74, 1, 1.23, 1.52\}$, com frequência central de livre curso do DCO ω_0 igual a 1 (rad/seg) e o atraso de tempo τ igual a $\pi/2$. O filtro passa-baixas usado é do tipo Gaussiano.



Figura 5.5: Faixa de Captura y curva de convergência rápida para o TDTL com $\psi_0 = \pi/2$.

Na figura 5.5 observa-se que, para $K_1 = 0.5$, o ponto *b* está dentro da faixa de captura do TDTL, enquanto os pontos *a* e *c* estão nos extremos e o ponto *d* está fora da faixa. Os pontos *a*1, *b*1, *c*1, *d*1 correspondem ao CGCR para as ditas frequências¹.

Sob tais condições, obtém-se a resposta de um TDTL de 1^a ordem com ganho K_1 fixo e igual a 0.5. O ganho é escolhido para se obter uma boa relação sinal-ruído [14]. Obtémse, também, a resposta do FS-ATDTL de 1^a ordem. Os resultados obtidos, representados na figura 5.6, mostram que, em todos os casos, o FS-ATDTL apresenta uma resposta mais rápida com relação ao TDTL convencional.



Figura 5.6: Resposta a entrada degrau em frequência para um TDTL de 1^ª ordem simples e do FS-ATDTL de 1^ª ordem proposto.

Para poder apreciar melhor a respostas comparadas, aplicou-se um sinal senoidal de entrada com variação tipo degrau em frequência, tal que W = 1.2 para o TDTL simples e ao FS-ATDTL ambos de 1^a ordem. A respostas das fases são mostradas nas figuras 5.7 e 5.8. Pode-se ver claramente que o FS-ATDTL atinge sincronia num menor tempo que o TDTL simples. Na figura 5.9 aprecia-se o processo de captura para o FS-ATDTL, o relógio digital atinge o seu valor final em apenas um ciclo do sinal de entrada.

¹É importante notar que para valores de W entre 0.5 e 0.7, existem dois valores de ganho possíveis que o satisfazem o CGCR.



Figura 5.7: Resposta a entrada degrau em frequência para um TDTL de 1ª ordem simples com W = 1.2 e $\psi_0 = \pi/2$.



Figura 5.8: Resposta a entrada degrau em frequência para um FS-ATDTL de 1ª ordem com W=1.2 e $\psi_0=\pi/2$.



Figura 5.9: Processo de Captura para o FS-ATDTL de 1ª ordem. Sinal senoidal de entrada e sinal do DCO.

Capítulo 6

Resultados experimentais

Para testar o desempenho do FS-ATDTL, se fez a implementação da malha usando a placa de aquisição de dados PCI NI-6115 e o *software* LabView v.8.6, ambos da National Instruments_®, como se pode ver, esquematicamente, na figura 6.1.

O objetivo da implementação foi verificar a validade do CGCR e as capacidades comparativas das malhas "Tanlock" FS-ATDTL e TDTL simples, para acompanhar as variações tipo degrau em frequência do sinal de entrada.



Figura 6.1: Diagrama esquemático da implementação das malhas "Tanlock".

A frequência de amostragem usada foi $f_s = 500$ Hz e a frequência central de livre curso do DCO foi $f_0 = 1$ Hz. As frequências escolhidas permitem a execução do VI¹ em tempo real.

 $^{^1 \}mathit{Virtual Instrument}$ é o nome genérico que recibem as implementações feitas em LabView.

Exemplo 1

Aplicou-se um sinal de entrada senoidal de frequência f = 0.9091 Hz, equivalente a W = 1.1, ao TDTL de 1^a ordem mostrado na figura 3.1, com $\psi_0 = \pi/2$. Os testes foram realizados para três diferentes ganhos.

As respostas transitórias obtidas para a fase $\phi(k)$ são resumidas na tabela 6.1

Tabela 6.1: Valores de ganho e do tempo de acomodação de 2% para o TDTL de 1ª ordem com W = 1.1.

K_1	t_s (2%)	fig. 6.2
0,5	9,72	(a)
0,9571 (Ganho CGCR)	2,24	(b)
1,25	10,28	(c)

O tempo de acomodação foi medido experimentalmente a partir do erro no regime estacionário. Pode-se ver na figura 6.2 que o menor tempo de aquisição é obtido para o ganho calculado segundo o CGCR.

Na figura 6.3 (a) e (b) pode-se ver o processo de captura para o TDTL de 1^a ordem com dois ganhos diferentes, $K_1 = 0.5$ e $K_1 = 0.9571$ calculado segundo o CGCR, apreciase na figura (b) que o tempo de aquisição toma apenas um ciclo do sinal de entrada.



(a) $K_1 = 0.5$







Figura 6.2: Resposta em fase $\phi(k)$ do TDTL de 1ª ordem com $\psi_0 = \pi/2$ para W = 1.1.



(b) $K_1 = 0.9571$ (ganho CGCR)

Figura 6.3: Processo de captura para o TDTL de 1^a ordem com $\psi_0 = \pi/2$ para W = 1.1.

Exemplo 2

Um sinal senoidal de frequência f = 1.11 Hz, equivalente a W = 0.9, foi aplicado ao mesmo TDTL simples, com $\psi_0 = \pi/2$. Três diferentes ganhos foram testados. Um deles calculado usando o CGCR. Os resultados obtidos são apresentados resumidos na tabela 6.2. Na figura 6.4 pode-se ver a resposta transitória em termos da fase $\phi(k)$.

Na figura 6.5 (a) e (b) pode-se ver o processo de captura para o TDTL de 1^a ordem com $K_1 = 1.7375$ (ganho CGCR) e $K_1 = 1.25$, na figura (a) se tem que o tempo de aquisição é pouco mais de um ciclo do sinal de entrada.



(a) $K_1 = 0.5$



(b) $K_1 = 0.7375$ Ganho CGCR.



Figura 6.4: Resposta em fase $\phi(k)$ do TDTL de 1ª ordem com $\psi_0 = \pi/2$ para W = 0.9.

Tabela 6.2: Valores de ganho e do tempo de estabelecimento de 2% para o TDTL de 1ª ordem com W = 0.9.







(b) $K_1 = 1.25$

Figura 6.5: Processo de captura para o TDTL de 1^a ordem com $\psi_0 = \pi/2$ para W = 0.9.

Exemplo 3

A fim de testar o desempenho comparativo do FS-ATDTL e do TDTL simples, utilizou-se um sinal senoidal modulado em frequência tipo FSK, tal que $f_1 = 1.25$ Hz e

 $f_2 = 0.6667$ Hz, o que equivale a $W_1 = 0.8$ e $W_2 = 1.5$. Para o TDTL os parâmetros foram: frequência central de livre curso do DCO $f_0 = 1$ Hz e $\psi_0 = \pi/2$ e diferentes ganhos foram testados.

Na figura 6.7 pode-se ver a resposta do TDTL simples para $K_1 = 1.1$ e $K_1 = 0.5$, na figura 6.7-(a) observa-se que o TDTL com ganho $K_1 = 1.1$ tem uma boa resposta para a frequência f_2 , no entanto a resposta para f_1 é consideravelmente lenta, na figura 6.7-(b), com ganho $K_1 = 0.5$, a resposta é boa para f_1 mas f_2 fica fora da faixa de captura.

O FS-ATDTL pode adaptar o ganho do seu filtro proporcional segundo o CGCR, de modo de obter o menor tempo de aquisição. Na figura 6.8 pode-se ver as respostas do FS-ATDTL em duas versões, Gaussiano 6.8-(a) e Butterworth 6.8-(b).

As versões referem-se ao tipo de filtro usado para eliminar o termo de frequência dupra do producto m(t). Foram usados um filtro Gaussiano e um filtro Butterwoth de 2^{a} ordem. Na figura 6.6 pode-se ver que a resposta do filtro Butterworth é mais rápida.



Figura 6.6: Resposta dos filtros Butterworth (a) e Gaussiano (b) para entrada FSK.

Na figura 6.8 aprecia-se que a rapidez do filtro Butterworth faz que a resposta adaptativa da malha seja melhor, quando comparada com a resposta da malha Gaussiana. Em geral o FS-ATDTL, implementado com filtro Butterworth de 2^a ordem, apresenta melhor performance, o que pode ser verificado nas figuras 6.9-(a) e (b), onde são apresentados os processos de captura para ambos tipos de FS-ATDTL. Como se pode ver, o FS-ATDTL Butterworth consegue a captura em apenas um ciclo do sinal de entrada.



(b) TDTL $K_1 = 0.5$

Figura 6.7: Resposta do TDTL para sinal de entrada FSK.





(b) FS-ATDTL Butterworth

Figura 6.8: Resposta do FS-ATDTL em duas versões, Gaussiano (a) e Butterworth (b), para sinal de entrada FSK.





(b) FS-ATDTL Butterworth

Figura 6.9: Processo de captura para o FS-ATDTL Gaussiano (a) e Butterwoth (b).

Capítulo 7

Conclusão

Como resultado deste trabalho, destacam-se as seguintes contribuições:

- É possível se obter uma convergência rápida em termos de tempo de aquisição para TDTLs de 1^a ordem, por meio de uma estimativa da frequência baseada no produto dos sinais $x(t) \in y(t)$, e a adaptação do ganho proporcional fazendo uso do CGCR.
- A nova estrutura proposta permite uma resposta adaptativa rápida, um melhor aproveitamento da faixa de captura, e maior robustez da malha para tolerar entradas tipo degrau em frequência, de grande amplitude.
- Como demonstrado na seção anterior, é possível obter tempos de aquisição da ordem de um ciclo do sinal de entrada, o que representa, de fato, o menor tempo de aquisição possível, segundo o critério do teorema de convergência rápida.

No entanto, tomando-se como base a estrutura proposta para o FS-ATDTL, ainda podem-se aproveitar algumas características mencionadas no presente trabalho, como a adaptação por chaveamento de atraso, visto na seção 4.1, que permite obter maior largura de banda, chaveando valores de $\psi_0 = \pi/2$ e $\psi_0 = \pi/3$, por exemplo junto com a adaptação do ganho, obtendo-se assim um TDTL robusto e com largura de banda estendida.

Também pode-se usar essa estrutura para implementar uma malha FS-ATDTL de 2^{a} ordem, como analisado na seção 3.4, obtendo-se assim erro no regime estacionário igual a zero, o que é característico dos DPLLs com filtro digital tipo P+I. A função do bloco CGCR nesse caso, seria mudar o ganho proporcional do filtro para garantir o desempenho

desejado.

Finalmente, a arquitetura proposta na presente dissertação permite o controle adaptativo de dois graus de libertade do TDTL original, ou seja, o ganho do filtro digital e o atraso, além de estimar a frequência do sinal de entrada, provendo assim, flexibilidade e controle totais das características da malha.

Referências Bibliográficas

1 J.M. Akre and, J. Juillard, D. Galayko, and E. Colinet. Synchronized state in networks of digital phase-locked loops. In *NEWCAS Conference (NEWCAS), 2010 8th IEEE International*, pages 89–92, 2010.

2 S. Al-Araji, M. Al-Qutayri, and N. Al-Moosa. Digital tanlock loop with extended locking range using variable time delay. In *Circuits and Systems, 2004. MWSCAS '04. The 2004 47th Midwest Symposium on*, volume 2, pages II–161 – II–164 vol.2, 2004.

3 S. Al-Araji, M. Al-Qutayri, and A. Al-Zaabi. Adaptive tdtl with enhanced performance using sample sensing technique. In *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, page 4 pp., 0-0 2006.

4 N. Al-Moosa, S. Al-Araji, and M. Al-Qutayri. Fast acquisition digital tanlock loop with adaptive time delay. In *TENCON 2004. 2004 IEEE Region 10 Conference*, volume A, pages 629–632 Vol. 1, 2004.

5 M.A. Al-Qutayri, S.R. Al-Araji, and N.I. Al-Moosa. Improved first-order time-delay tanlock loop architectures. *Circuits and Systems I: Regular Papers, IEEE Transactions* on, 53(9):1896–1908, sep. 2006.

A. Al-Zaabi, M. Al-Qutayri, and S. Al-Araji. Nonuniform sampling digital pll with fast error correction technique. In *Electronics, Circuits and Systems, 2005. ICECS 2005.*12th IEEE International Conference on, pages 1 –4, 2005.

7 Ronald E. Best. Phase-Locked Loops, Design, Simulations, and Applications.McGraw-Hill Book Company, 2003.

8 Edward K. Blum. Numerical Analysis and Computation Theory and Practice. Reading, Mass., Addison-Wesley Pub. Co., 1972. 9 Àtila Madureira Bueno. *Estudo de jitter de fase em redes de distribução de sinais de tempo*. Universidade de São Paulo, Escola Politécnica. Tese de Doctorado, 2009.

10 R. Carareto, F.M. Orsatti, and J.R.C. Piqueira. Optimized network structure for full-synchronization. *Communications in Nonlinear Science and Numerical Simulation*, 14(6):2536 – 2541, 2009.

11 Rodrigo Carareto, Fernando Moya Orsatti, and Jose R.C. Piqueira. Reachability of the synchronous state in a mutually connected pll network. *AEU* - *International Journal* of Electronics and Communications, 63(11):986 – 991, 2009.

12 Floyd M. Gardner. Phaselock Techniques. John Wiley & Sons, 2005.

J. Holmes. Performance of a first-order transition sampling digital phase-locked loop using random-walk models. *Communications, IEEE Transactions on*, 20(2):119 – 131, April 1972.

14 Z.M. Hussain and B. Boashash. Statistical analysis of the time-delay digital tanlock loop in the presence of gaussian noise. In *Circuits and Systems, 2001. ISCAS 2001. The* 2001 IEEE International Symposium on, volume 4, pages 21–24 vol. 4, May 2001.

15 Z.M. Hussain, B. Boashash, M. Hassan-Ali, and S.R. Al-Araji. A time-delay digital tanlock loop. *Signal Processing, IEEE Transactions on*, 49(8):1808–1815, aug 2001.

16 Jae Lee and Chong Un. Performance analysis of digital tanlock loop. *Communications, IEEE Transactions on*, 30(10):2398–2411, oct 1982.

17 W.C. Lindsey and Chak Ming Chie. A survey of digital phase-locked loops. Proceedings of the IEEE, 69(4):410–431, april 1981.

18 L. Monteiro, V. Dos Santos, and J. Piqueira. Estimating the critical number of slave nodes in a single-chain pll network. *Communications Letters, IEEE*, 7(9):449 – 450, sep. 2003.

19 L. Monteiro, P. Garcia, and J. Piqueira. Sincronismo em redes mestre-escravo com atraso. Sba: Controle & Automação - Sociedade Brasileira de Automatica, 14:121 – 126, 06 2003. 20 Katsuhiko Ogata. Discrete-Time Control Systems. Editora Pretince-Hall do Brasil,Ltda., Rio de Janeiro, 2nd edition, 1994.

21 F.M. Orsatti, R. Carareto, and J.R.C. Piqueira. Mutually connected phase-locked loop networks: dynamical models and design parameters. *IET Circuits, Devices & Systems*, 2(6):495–508, 2008.

22 James M. Ortega. *Numerical Analysis: A Second Course*. Philadelphia : Society for Industrial and Applied Mathematics., 1990.

23 H. Osborne. Stability analysis of an nth power digital phase-locked loop-part i: First-order dpll. *Communications, IEEE Transactions on*, 28(8):1343–1354, aug 1980.

24 H. Osborne. Stability analysis of an nth power digital phase-locked looppart ii: Second- and third-order dpll's. *Communications, IEEE Transactions on*, 28(8):1355–1364, aug 1980.

25 Jose Roberto Castilho Piqueira. *Uma Contribução ao estudo das redes com malhas de sincronismo de fase*. Universidade de São Paulo, Escola Politécnica. Tese Livre-Docência., 1997.

26 L. Popken, W. Kriedte, O. Bender, and M. Luise. Synchronization failure rates in master-slave synchronized phase-locked loops. *Aerospace and Electronic Systems, IEEE Transactions on*, 29(2):328–335, April 1993.

27 Lawrence R. Rabiner. *Theory and application of digital signal processing*. Englewood Cliffs, N.J. : Prentice-Hall, 1975.

28 Zahir M. Hussain Saleh R. Al-Araji and Mahmoud A. Al-Qutayri. *Digital phase lock loops : architectures and applications*. Springer, Dordrecht, 2006.

29 Socrates D. Vamvakos, Robert Bogdan Staszewski, Mahbuba Sheba, and Khurram Waheed. Noise analysis of time-to-digital converter in all-digital plls. In *Design*, *Applications, Integration and Software, 2006 IEEE Dallas/CAS Workshop on*, pages 87–90, 2006.

30 Stephen Wiggins. Introduction to Applied Nonlinear Dynamical Systems and Chaos. Springer-Verlag, 1990.