UNIVERSIDADE DE SÃO PAULO
ESCOLA DE ENGENHARIA DE SÃO CARLOS

LILIAN SOARES CARDOSO

Aplicação de transistores orgânicos na fabricação de inversores lógicos digitais

São Carlos
2016

LILIAN SOARES CARDOSO

Aplicação de transistores orgânicos na fabricação de inversores lógicos digitais

Versão Corrigida

Tese apresentada ao programa de Pós-Graduação em Ciência e Engenharia de Materiais da Universidade de São Paulo, para obtenção do título de Doutora em Ciências.

Área de concentração: Desenvolvimento, Caracterização e Aplicação de Materiais.

Orientador: Prof. Dr. Roberto Mendonça Faria

**São Carlos
2016**

AUTORIZO A REPRODUÇÃO E DIVULGAÇÃO TOTAL OU PARCIAL DESTE TRABALHO, POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Cardoso, Lilian Soares.

C268a Aplicação de transistores orgânicos na fabricação de inversores lógicos digitais/ Lilian Soares Cardoso; orientador Roberto Mendonça Faria. São Carlos, 2016.

Tese (Doutorado) - Programa de Pós-Graduação em Ciência e Engenharia de Materiais e Área de Concentração em Desenvolvimento, Caracterização e Aplicação de Materiais-- Escola de Engenharia de São Carlos da Universidade de São Paulo, 2016.

1. OFETs. 2. Inversores lógicos digitais orgânicos. 3. P3HT. 4. P(NDI2OD-T2). 5. PTAA: diF TES ADT. 6. P(VDF-TrFE-CFE). 7. Blade-coating. 8. Spray-coating. I. Título.

FOLHA DE JULGAMENTO

Candidata: Licenciada **LILÍAN SOARES CARDOSO**.

Título da tese: "Aplicação de transistores orgânicos na fabricação de inversores lógicos digitais".

Data da defesa: 09.12.2016.

Comissão Julgadora:

Resultado:

Prof. Titular **Roberto Mendonça Faria**
(Presidente)
(Instituto de Física de São Carlos/IFSC)

APROVADA

Prof. Dr. **José Alberto Giacometti**
(Universidade Estadual Paulista "Júlio de Mesquita Filho"/UNESP - Araraquara)

APROVADA

Prof. Associado **Antonio José Felix de Carvalho**
(Escola de Engenharia de São Carlos/EESC)

Aprovada

Prof. Dr. **Antonio Riul Júnior**
(Universidade Estadual de Campinas/UNICAMP)

APROVADA

Profa. Dra. **Ana Flávia Nogueira**
(Universidade Estadual de Campinas/UNICAMP)

Aprovada

Coordenador do Programa de Pós-Graduação em Ciências e Engenharia de Materiais:

Prof. Titular **Antonio José Felix de Carvalho**

Presidente da Comissão de Pós-Graduação:
Prof. Associado **Luis Fernando Costa Alberto**

DEDICATÓRIA

*Ao meu querido pai
Dionisio Soares Cardoso.*

AGRADECIMENTOS

Aos meus pais, Dionisio Soares Cardoso e Esmailde Aparecida Correia Cardoso, por todo amor, carinho e companheirismo dedicados ao longo de todos os anos da minha vida. Muito obrigada por todos os conselhos, ensinamentos e por sempre me incentivarem a superar meus próprios limites.

Ao meu querido irmão e cunhada, Caio Soares Cardoso de Lima e Lidiane Criado de Lima, pelo apoio na etapa final deste trabalho. Obrigada pelo carinho, amizade e por me ajudarem a manter meu foco e equilíbrio e continuar seguindo em frente.

Ao meu lindo e apaixonante sobrinho, Davi Criado Cardoso, por me propiciar momentos maravilhosos e tão felizes.

Ao meu namorado, Mário Pinto Carneiro Júnior, pelo apoio incondicional, companheirismo, paciência e pelos momentos descontraídos e agradáveis.

Ao professor Dr. Roberto Mendonça Faria, agradeço a oportunidade concedida para trabalhar em seu grupo de pesquisa e a confiança em mim depositada. Obrigada pela orientação durante o desenvolvimento deste trabalho.

A todos os funcionários do Grupo de Polímeros *Prof. Bernhard Gross*, mas em especial as secretárias Simone Reis e Rosângela Marcondes e aos técnicos Felipe Pavinatto, Marcos Sampaio, Débora Balogh, Nibio Mangerona, José Bertho, Ademir Soares e Marcelo de Assumpção Pereira da Silva pela contribuição direta no desenvolvimento deste trabalho.

À minha amiga e companheira de trabalho, Josiani Cristina Stefanelo por seu apoio e amizade.

A todos os alunos do Grupo de Polímeros *Prof. Bernhard Gross*.

Aos funcionários da pós-graduação em Ciência e Engenharia de Materiais, em especial ao Victor Barioto pelo excelente trabalho e pela disposição em ajudar a solucionar todas as dúvidas e problemas.

À professora Dr. Ana Claudia Arias pela oportunidade de realizar o meu doutorado sanduíche em seu laboratório de pesquisa e pela confiança em mim depositada. Obrigada pelas discussões e amizade.

A todos os alunos do laboratório de pesquisa “*Flexible electronic devices and systems*” da Universidade da Califórnia em Berkeley: Alla Zamarayeva, Igal Deckman, Adrien Pierre, Mahsa. Aminy Ostfeld, Claire Lochner, Margaret Payne, Jonathan Ting, Yasser Khan, Joseph Corea, Balthazar Lechêne, Donggeon Han e Natasha Yamamoto.

À Shizue Endo por todo seu carinho e amor dedicado desde que nos conhecemos nos EUA.

Muito obrigada pela carinhosa recepção em sua casa e por todos os momentos divertidos.

Ao Matthew Dolan pela amistosa convivência e pelos ensinamentos sobre a cultura americana.

Às agências de fomento, CNPq e Fapesp, mas em especial à CAPES pela bolsa de estudo concedida no país e no exterior (nº de processo 99999.000850/2015-02).

*“Try not to become a man of success,
but rather try to become a man of value.”*

Albert Einstein

RESUMO

CARDOSO, L. S. **Aplicação de transistores orgânicos na fabricação de inversores lógicos digitais**. 135p. Tese (Doutorado) –Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2016.

Esta tese tem por objetivo o desenvolvimento de metodologias eficientes e de baixo custo para ajustar as propriedades elétricas de OFETs de canal p e de canal n, a fim de possibilitar a fabricação do circuito complementar orgânico, semelhante a uma estrutura CMOS. O desempenho do circuito complementar fabricado foi otimizado, e também foi confeccionado por impressão um OFETs de canal operando em baixas tensões. Para a fabricação do CMOS orgânico foi proposto um método baseado na seleção adequada do solvente da camada dielétrica para ajustar o desempenho elétrico dos OFETs de canal p e de canal n. Os solventes, MEK, nBA e DMSO foram selecionados para a dissolução do PMMA por apresentarem diferenças nos valores de momento de dipolo, de ponto de ebulição e de graus de ortogonalidade em relação as camadas semicondutoras de P3HT e de P(NDI2OD-T2) dos OFETs. A análise dos resultados dos OFETs de canal p e de canal n demonstrou que a metodologia proposta é adequada tanto para o ajuste das propriedades elétricas destes dispositivos quanto para a otimização do desempenho dos mesmos. Os melhores desempenhos elétricos para os OFETs de canal p e de canal n foram obtidos quando utilizados o DMSO e o MEK como solventes do PMMA, respectivamente, devido à perfeita ortogonalidade destes solventes em relação às camadas semicondutoras. Os OFETs de canal p que utilizaram o DMSO e os OFETs de canal n que utilizaram o nBA foram os que apresentaram desempenhos elétricos semelhantes, sendo portanto aplicados na fabricação do CMOS. Valores de ganho entre 6,8 e 7,8 e de margem de ruído entre 28,3 V e 34,5 V foram obtidos para inversores complementares fabricados nesta etapa do trabalho. OFETs de canal p utilizando uma blenda de PTAA: diF TES ADT como camada semicondutora, o PEDOT:PSS como eletrodos dreno/fonte e o P(VDF-TrFE-CFE) como camada dielétrica também foram fabricados neste trabalho. A técnica de *blade-coating* foi utilizada para a deposição dos eletrodos dreno/fonte e da camada semicondutora, ao passo que a técnica de *spray-coating* foi utilizada para a deposição da camada dielétrica. Da análise dos resultados foi possível inferir que a utilização de um dielétrico com elevada constante dielétrica (K), como o P(VDF-TrFE-CFE), possibilita o funcionamento dos transistores a baixas tensões (≤ 8 V), porém com valores de mobilidade reduzidos devido à elevada desordem dipolar na interface provocada por este dielétrico. Para minimizar esses efeitos, uma fina camada de um polímero fluorado foi depositada entre a camada semicondutora e a dielétrica pela técnica de *blade-coating*, constituindo assim uma bicamada dielétrica nos OFETs. Dos resultados das medidas elétricas dos OFETs constituídos pela bicamada dielétrica foi observada permanência do funcionamento destes dispositivos a tensões inferiores a 8 V com desempenho elétricos superiores a resultados já publicados na literatura. Por fim, inversores lógicos unipolares com transistores de carga foram fabricados com os OFETs que utilizaram a bicamada dielétrica, sendo obtidos valores de ganho entre 1,2 e 1,6 e de margem de ruído entre 56% e 68,5% de $\frac{1}{2} V_{DD}$.

Palavras-chave: OFETs; Inversores lógicos digitais orgânicos; P3HT; P(NDI2OD-T2); PTAA: diF TES ADT; P(VDF-TrFE-CFE); *Blade-coating* e *Spray-coating*.

ABSTRACT

CARDOSO, L. S. **Organic transistors and their application in organic logic inverters.** 135p. Tese (Doutorado) –Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2016.

This thesis aimed to develop an efficient and low cost method to adjust the electrical properties of p- and n-channel OFETs to allow us to build an organic CMOS and the optimization of printed p-channel OFETs to work at low voltages. We proposed a method to fabricate the organic CMOS, based on the careful selection of dielectric solvent, which was adjusted to obtain the best performance of p- and n-channel OFETs. The dielectric solvents as MEK, nBA and DMSO were selected to dissolve the PMMA dielectric polymer due their different physical properties as dipole moment and boiling point and because they showed slightly different degrees of orthogonality to the P3HT and P(NDI2OD-T2) semiconductor layers of the OFETs. The results showed that the careful selection of the dielectric solvent not only allows to tune the electrical characteristics of the p- and n-channel OFETs, but also to improve the performance of these devices. The best performances were achieved when DMSO and MEK were used as dielectric solvents of the p and n-channel OFETs, respectively, as result of the perfectly orthogonality of these solvents to the semiconductor layers. P-channel OFETs using DMSO and n-channel OFETs using nBA showed similar electrical characteristics and thus, they were used to construct the organic CMOS. The organic complementary inverters showed high gain and noise margin values in the range of 6,8 to 7,8 and 28,3 V to 34,5 V, respectively. Printed p-channel OFETs were also fabricated, in which the blend PTAA:diF TES ADT was used as semiconductor channel, PEDOT:PSS as the drain/source electrodes and P(VDF-TrFE-CFE) as the dielectric layer. The blade-coating technique was used to deposit the source/drain electrodes and the semiconductor layer, while the spray-coating technique was used to deposit the dielectric layer. It was observed that using high-k dielectric as P(VDF-TrFE-CFE) enable to reduce the operating voltage of the OFETs (≤ 8 V), however, this high-k dielectric also reduced the field effect mobility due the dipolar disorder at the semiconductor/dielectric interface. To minimize the dipolar issue at the interface, we inserted a thin fluoropolymer dielectric layer by blade-coating between the semiconductor and the high-k dielectric layers, thus constituting a dielectric bilayer on the OFETs. From the electrical measurements of the OFETs with the dielectric bilayer, it was observed that the devices were still working at 8 V and they also showed better performance in comparison to results already published. Finally, organic unipolar inverters with load transistors were fabricated using the p-channel OFETs with the dielectric bilayer and they showed reasonable performance, with gain and noise margin in the range of 1,2 to 1,6 and 56% e 68,5% of $\frac{1}{2} V_{DD}$, respectively.

Keywords: OFETs; Organic inverters; P3HT; P(NDI2OD-T2); PTAA: diF TES ADT; P(VDF-TrFE-CFE); Blade-coating and Spray-coating.

LISTA DE FIGURAS

Figura 1.1 - Representação da previsão de (a) crescimento do mercado da Eletrônica Orgânica e (b) do mercado para cada segmento de aplicação.....	28
Figura 1.2 – Fotografias (a) de uma tela flexível que utiliza uma matriz de OFETs de pentaceno, (b) de um RFID fabricado em substrato flexível e (c) de um sensor tátil composto por uma matriz de OFETs.	29
Figura 1.3 – Fotografia de uma tela flexível fabricada pela Plastic Logic. A tela apresenta uma resolução de 1280 x 960 pixels e é composta por uma matriz ativa de OFETs..	31
Figura 2.1 - Representação da estrutura de um OFET com arquitetura <i>bottom-gate top-contacts</i> e com a representação das tensões aplicadas... ..	34
Figura 2.2 - Representação dos regimes de operação dos OFETs: (a) regime linear; (b) condição pinch-off e (c) regime de saturação.....	34
Figura 2.3 - Representação das curvas característica (a) de saída e (b) de transferência dos FETs.	37
Figura 2.4 - Representação da metodologia de extração dos parâmetros dos OFETs.....	38
Figura 2.5 - Representação das quatro arquiteturas possíveis de serem fabricadas em OFETs.	40
Figura 2.6 - Tipos de (a) inversores lógicos unipolares e (b) inversores lógicos complementares.	41
Figura 2.7 - Representação da curva característica de transferência de tensão (CTT) de um inversor lógico digital.....	42
Figura 2.8 - Metodologias para a determinação da margem de ruído de um inversor lógico digital: (a) critério do produto máximo (MPC) e (b) critério da inclinação negativa.	44
Figura 2.9 - Ilustração (a) da configuração básica de um inversor lógico unipolar com transistor carga no modo de acumulação, (b) da curva característica de transferência de tensão (CTT) para este tipo de inversor com a descrição das regiões de operação (c).	45
Figura 2.10: Ilustração da (a) configuração básica de um CMOS, (b) da curva característica de transferência de tensão (CTT) e (c) descrição das regiões de operação do CMOS.....	48
Figura 3.1 - Representação esquemática da arquitetura bottom-gate bottom-contacts.	51
Figura 3.2 - Representação da técnica de spin-coating	52

Figura 3.3 - Esquema representativo da técnica de inkjet.....	53
Figura 3.4 - Esquema representativo da técnica de spray-coating.....	54
Figura 3.5 - Esquema representativo da técnica de blade-coating.....	55
Figura 3.6 - Esquema representativo das etapas de processamento envolvidas na técnica de blade-coating combinada com substratos com energia de superfície padronizadas.	56
Figura 3.7 - Representação da fórmula estrutural química da molécula de FDTS.	57
Figura 3.8 - Fórmulas estruturais químicas do (a) rr-P3HT, (b) PTAA, (c) diF TES ADTe (d) P(NDI2OD-T2) (N2200).....	60
Figura 3.9 - Representação da fórmula estrutural química do PEDOT:PSS.	61
Figura 3.10 - Apresentação das fórmulas estruturais químicas e dos valores da constante dielétrica do (a) PMMA e do (b) P(VDF-TrFE).	62
Figura 4.1:Imagens de AFM (10 µm x 10 µm) do (a) P3HT “puro” (sem a deposição de qualquer solvente sobre a camada do P3HT), (b) DMSO sobre o P3HT, (c) nBA sobre o P3HT e (d) MEK sobre o P3HT.....	66
Figura 4.2:Imagens de AFM (10 µm x 10 µm) do (a) P(NDI2OD-T2) “puro” (sem a deposição de qualquer solvente sobre a camada do P(NDI2OD-T2)), (b) MEK sobre o P(NDI2OD-T2), (c) DMSO sobre o P(NDI2OD-T2) e (d) nBA sobre o P(NDI2OD-T2).	67
Figura 4.3 - Foto das câmaras anaeróbicas (gloveboxes) utilizadas para a fabricação dos OFETs. À esquerda Glovebox Inertec e à direita Glovebox mBraun.....	68
Figura 4.4 –Representação da arquitetura top-gate bottom-contacts, juntamente com as fórmulas estruturais químicas dos materiais utilizados na fabricação dos OFETs de canal p e de canal n.	69
Figura 4.5 - Ilustração da máscara de sombra dos contatos dreno e fonte (a) e foto da evaporação de ouro sobre o substrato de vidro (b).	71
Figura 4.6 - Foto da camada ativa do OFET de (a) canal p e (b) canal n.	72
Figura 4.7 - Ilustração (a) da máscara de sombra da porta dos OFETs e (b) do OFET de canal n já finalizado.....	74
Figura 4.8 - Curvas de saída (a) – (c) e de transferência (d) – (f) dos OFETs de canal p que apresentaram o melhor desempenho dentro de cada conjunto de dados, onde o solvente da camada de PMMA foi: Coluna esquerda: MEK. Coluna central: nBA e Coluna direita: DMSO.	76

Figura 4.9 - Apresentação dos parâmetros (a) μ , (b) V_T , (c) razão I_{on}/I_{off} e (d) S para cada OFET de canal p.....	77
Figura 4.10 - Curvas de saída (a) – (c) e de transferência (d) – (f) dos OFETs de canal n que apresentaram o melhor desempenho dentro de cada conjunto de dados, onde o solvente da camada de PMMA foi: Coluna esquerda: MEK. Coluna central: nBA e Coluna direita: DMSO.....	79
Figura 4.11 - Apresentação dos parâmetros (a) μ , (b) V_T , (c) razão I_{on}/I_{off} e (d) S para cada OFET de canal n.....	81
Figura 4.12 - Apresentação dos valores dos parâmetros μ e de V_T dos OFETs de canal p e de canal n.....	83
Figura 4.13 – Apresentação da configuração básica de um inversor complementar juntamente com a representação das tensões aplicadas.....	84
Figura 4.14 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 1.....	85
Figura 4.15 - Curvas características de saída (a)- (c) e de transferência (b)-(d) do OFETS 55 (canal p) e OFET 56 (canal n).	86
Figura 4.16 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 2.....	87
Figura 4.17 - Curvas características de saída (a)- (c) e de transferência (b)-(d) do OFETS 57 (canal p) e OFET 58 (canal n).	88
Figura 4.18 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 3.....	89
Figura 4.19 - Curva característica de saída (a) e de transferência (b) do OFET 59 (canal p). .	90
Figura 4.20 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 4.....	90
Figura 4.21 - Curva característica de saída (a) e de transferência (b) do OFET 59 (canal n). .	91
Figura 4.22 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 4.....	92
Figura 5.1 - Fórmula estrutural química do P(VDF-TrFE-CFE).....	96
Figura 5.2 - Imagem da máscara de sombra utilizada no processo de evaporação térmica de alumínio do eletrodo superior dos capacitores.	97

Figura 5.3 - Medidas de capacitância em função da tensão aplicada para as seis diferentes áreas da amostra de P(VDF-TrFE-CFE) (a) - (f) e média de todas as medidas de capacitância em função da tensão realizadas na amostra de P(VDF-TrFE-CFE) (g).....	98
Figura 5.4 – Valores da constante dielétrica em função da frequência para as seis diferentes áreas da amostra de P(VDF-TrFE-CFE) (a) - (f) e média dos valores da constante dielétrica obtidos em todas as áreas da amostra de P(VDF-TrFE-CFE) (g).....	99
Figura 5.5 - Representação da arquitetura top-gate bottom-contacts juntamente com as fórmulas estruturais químicas dos materiais utilizados na fabricação dos OFETs de canal p impressos.....	101
Figura 5.6 - Desenho da máscara de sombra da fonte e do dreno, com $W = 150\ \mu\text{m}$ e $L = 50\mu\text{m}$	102
Figura 5.7 - Imagem obtida com o microscópio óptico dos contatos dreno e fonte de PEDOT:PSS impressos utilizando a técnica de blade-coating.	103
Figura 5.8 - Imagem obtida com o microscópio óptico dos pads de prata depositados nas extremidades dos eletrodos dreno e fonte de PEDOT:PSS.....	103
Figura 5.9 - Desenho da máscara de sombra utilizada para a deposição da camada semicondutora.	104
Figura 5.10 - Imagem obtida com o microscópio óptico da camada semicondutora dos OFETs de canal p.	105
Figura 5.11 - (a) Desenho da máscara de sombra do eletrodo da porta e (b) imagem obtida com o microscópio óptico do dispositivo finalizado.	106
Figura 5.12 - Apresentação da (a) curva de saída e (b) da curva de transferência de um dos dispositivos fabricados com o P(VDF-TrFE-CFE) como camada dielétrica.....	107
Figura 5.13 - Distribuição estatística dos valores obtidos para (a) a mobilidade de efeito de campo (μ), (b) tensão de limiar (V_T), (c) $\log(I_{\text{on}}/I_{\text{off}})$ e (d) subthreshold swing (S) dos OFETS que utilizaram o P(VDF-TrFE-CFE) como camada dielétrica.	107
Figura 5.14 - Medidas de capacitância em função da tensão aplicada para as seis diferentes áreas da bicamada de P(VDF-TrFE-CFE) mais polímero fluorado (a) - (f) e média de todas as medidas de capacitância em função da tensão realizadas na bicamada de P(VDF-TrFE-CFE) mais polímero fluorado (g).	111
Figura 5.15 - Valores da constante dielétrica em função da frequência para as seis diferentes áreas da bicamada de P(VDF-TrFE-CFE) mais polímero fluorado (a) - (f) e média dos valores da constante dielétrica obtidos em todas as áreas da bicamada de P(VDF-TrFE-CFE) mais polímero fluorado (g).....	112

Figura 5.16 - Representação da estrutura do OFET constituído pela bicamada dielétrica de P(VDF-TrFE-CFE) mais o polímero fluorado.	114
Figura 5.17 - Apresentação da (a) curva de saída e (b) da curva de transferência de um dos dispositivos fabricados com a bicamada dielétrica (P(VDF-TrFE-CFE) mais polímero fluorado).	115
Figura 5.18 - Distribuição estatística dos valores obtidos para (a) a mobilidade de efeito de campo (μ), (b) tensão de limiar (V_T), (c) $\log(I_{on}/I_{off})$ e (d) subthreshold swing (S) dos OFETs que utilizaram a bicamada de P(VDF-TrFE-CFE) mais o polímero fluorado como camada dielétrica.	116
Figura 5.19 – Apresentação da configuração básica de um inversor lógico unipolar com transistor de carga e representação das tensões aplicadas.	117
Figura 5.20 – Curvas de transferência dos OFETs utilizados na fabricação do inversor unipolar 1.	118
Figura 5.21 – (a) Curva característica de transferência de tensão (CTT) e (b) ganho do inversor unipolar 1.	119
Figura 5.22 - Curvas de transferência dos OFETs utilizados na fabricação do inversor unipolar 2.	120
Figura 5.23 - (a) Curva característica de transferência de tensão (CTT) e (b) ganho do inversor unipolar 2.	121
Figura 5.24 - Curva de transferência do OFET utilizado na fabricação do inversor unipolar 3.	121
Figura 5.25 - Parâmetros dos OFETs empregados na fabricação do inversor unipolar 3.	122

LISTA DE TABELAS

Tabela 2.1 - Descrição dos parâmetros importantes presentes na curva CTT de qualquer inversor lógico digital.....	43
Tabela 4.1 - Propriedades físicas de interesse dos solventes utilizados neste estudo.	65
Tabela 4.2 - Apresentação das dimensões geométricas dos 9 transistores que constituem a máscara de sombra utilizada neste trabalho para a deposição dos contatos dreno e fonte.....	70
Tabela 4.3 - Dados dos polímeros utilizados como camada semicondutora nos OFETs e da deposição dos filmes.....	72
Tabela 4.4 - Parâmetros de deposição das soluções de PMMA.	73
Tabela 4.5 - Denominação dos OFETs de canal p em função do solvente utilizado para dissolver o PMMA.	75
Tabela 4.6 - Parâmetros dos OFETs de canal p que apresentaram o melhor desempenho dentro de cada conjunto de dados.	76
Tabela 4.7 - Valores dos coeficientes de variação para cada parâmetro dos OFETs de canal p.	78
Tabela 4.8 - Denominação dos OFETs de canal n em função do solvente utilizado para dissolver o PMMA.	79
Tabela 4.9 - Valores dos parâmetros dos OFETs de canal n que apresentaram melhor desempenho dentro de cada conjunto de dados.....	80
Tabela 4.10 - Valores dos coeficientes de variação para cada parâmetro dos OFETs de canal n.	81
Tabela 4.11 - Apresentação dos parâmetros de interesse dos transistores utilizados na fabricação do CMOS 1.	84
Tabela 4.12 - Valores dos parâmetros dos OFETs de canal p e de canal n que foram utilizados na fabricação do CMOS 2.	87
Tabela 4.13 - Valores dos parâmetros dos OFETs de canal p e de canal n que foram utilizados na fabricação do CMOS 3.	89
Tabela 4.14 - Valores dos parâmetros dos OFETs de canal p e de canal n que foram utilizados na fabricação do CMOS 4.	90

Tabela 4.15 - Valores dos parâmetros dos OFETs de canal p e de canal n que foram utilizados na fabricação do CMOS 5.....	91
Tabela 4.16 - Apresentação dos parâmetros de interesse (para $V_{DD}=80$ V) dos inversores lógicos complementares fabricados neste trabalho.....	92
Tabela 5.1 - Valores médios e do coeficiente de variação dos parâmetros de interesse dos OFETs fabricados com P(VDF-TrFE-CFE).	108
Tabela 5.2 - Valores médios e do coeficiente de variação dos parâmetros de interesse dos OFETs fabricados com a bicamada de P(VDF-TrFE-CFE) mais o polímero fluorado.....	116
Tabela 5.3 – Parâmetros dos OFETs empregados na fabricação do inversor unipolar 1.	118
Tabela 5.4 - Parâmetros dos OFETs empregados na fabricação do inversor unipolar 2.	120
Tabela 5.5 - Parâmetros dos OFETs empregados na fabricação do inversor unipolar 3.	122
Tabela 5.6 – Apresentação dos parâmetros de interesse dos OFETs empregados na fabricação dos inversores lógicos unipolares, assim como dos parâmetros dos inversores.	123

SUMÁRIO

1. Introdução.....	27
1.1.Eletrônica Orgânica	27
1.2.Eletrônica orgânica impressa	30
1.3.Objetivos e organização da tese	31
2.Fundamentação teórica – Transistores de efeito de campo orgânicos e inversores lógicos digitais	33
2.1. OFETs	33
2.1.1 Princípio de funcionamento dos OFETs	33
2.1.2 Extração dos parâmetros dos OFETs	37
2.1.3. Tipos de arquiteturas para os OFETs	39
2.2. Inversores lógicos digitais	40
2.2.1. Princípio de funcionamento dos inversores lógicos digitais	40
2.2.2. Inversor lógico unipolar com transistor de carga no modo de acumulação	44
2.2.3. Inversores lógicos complementares (CMOS)	47
3. Técnicas de deposição e materiais utilizados na fabricação dos OFETs e dos inversores lógicos digitais.....	51
3.1. Técnicas de fabricação	51
3.1.1. Spin-coating	52
3.1.2. <i>Inkjet</i> (jato de tinta).....	53
3.1.3. <i>Spray-coating</i>	54
3.1.4. <i>Blade-coating</i>	54
3.1.4.1. Técnica de <i>blade-coating</i> combinada com substratos com energia de superfície padronizada.....	55
3.1.4.1.1. Deposição das monocamadas auto organizadas de FDTS	57
3.1.4.1.2. Tratamento por plasma de oxigênio	57
3.1.4.1.3. As características da tinta	58
3.2. Materiais.....	58
3.2.1. Semicondutores orgânicos	58
3.2.2. Materiais condutores orgânicos	60
3.2.3. Dielétricos orgânicos	61

4. Fabricação e caracterização de inversores lógicos complementares	63
4.1. Descrição da metodologia adotada para fabricar transistores de canal p e n com desempenhos elétricos semelhantes	63
4.2. A seleção dos solventes da camada dielétrica dos OFETs	64
4.3. Metodologia adotada para a fabricação e caracterização dos OFETs	68
4.3.1. Descrição das etapas de fabricação dos OFETs	68
4.3.2. Descrição do procedimento de caracterização elétrica dos OFETs	74
4.3.3. Resultados da caracterização elétrica dos OFETs e discussão.....	74
4.3.3.1. OFETs de canal p.....	75
4.3.3.2. OFETs de canal n.....	79
4.3.3.3. Comparação do desempenho elétrico dos OFETs de canal p e de canal n...	81
4.4. Inversores lógicos complementares	83
4.4.1. Descrição da metodologia de fabricação e caracterização elétrica dos inversores lógicos complementares	83
4.4.2. Resultados da caracterização elétrica dos inversores lógicos complementares .	84
4.5. Conclusões deste capítulo.....	94
5. Fabricação OFETs de canal p impressos e de inversores lógicos unipolares de baixa tensão de operação	95
5.1. Objetivos.....	95
5.2. Determinação das propriedades dielétricas do P(VDF-TrFE-CFE)	96
5.2.1. Procedimento experimental para a fabricação dos capacitores de P(VDF-TrFE-CFE).....	96
5.2.2. Caracterização elétrica dos capacitores de P(VDF-TrFE-CFE).....	97
5.2.3. Resultados das medidas de capacitância no P(VDF-TrFE-CFE).....	97
5.3. Fabricação e Caracterização dos OFETs de canal p utilizando o P(VDF-TrFE-CFE) como camada dielétrica	100
5.3.1. Procedimento experimental.....	100
5.3.2. Caracterização elétrica dos OFETs de canal p com o P(VDF-TrFE-CFE) como camada dielétrica.....	106
5.3.3. Resultados e discussão da caracterização elétrica dos OFETs de canal p com a camada dielétrica de P(VDF-TrFE-CFE).....	106
5.4. Determinação das propriedades dielétricas da bicamada composta pelo P(VDF-TrFE-CFE) e o polímero fluorado	109
5.4.1. Procedimento experimental para a fabricação dos capacitores com a bicamada composta pelo P(VDF-TrFE-CFE) mais o polímero fluorado.....	109

5.4.2. Caracterização elétrica dos capacitores compostos pela bicamada de P(VDF-TrFE-CFE) e do polímero fluorado	110
5.4.3. Resultados das medidas de capacitância dos sistemas compostos pela bicamada de P(VDF-TrFE-CFE) mais polímero fluorado	110
5.5. Fabricação e Caracterização dos OFETs de canal p utilizando o P(VDF-TrFE-CFE) e o polímero fluorado como bicamada dielétrica	113
5.5.1. Procedimental experimental para a fabricação dos OFETs de canal p utilizando o P(VDF-TrFE-CFE) e o polímero fluorado como bicamada dielétrica	113
5.5.2. Caracterização elétrica dos OFETs de canal p com o P(VDF-TrFE-CFE) e polímero fluorado como bicamada dielétrica.....	114
5.5.3. Resultados e discussão da caracterização elétrica dos OFETs de canal p com a bicamada dielétrica de P(VDF-TrFE-CFE) e de polímero fluorado	114
5.6. Inversores lógicos unipolares com transistor de carga no modo de acumulação	117
5.6.1. Fabricação e caracterização elétrica dos inversores lógicos unipolares com transistor de carga no modo de acumulação	117
5.6.2. Resultados da caracterização elétrica dos inversores unipolares com transistor de carga no modo de acumulação	118
5.7. Conclusões deste capítulo	123
6. Conclusões e perspectivas	125
7. Referências	128

1. Introdução

1.1. Eletrônica Orgânica

A indústria eletrônica é o alicerce da economia moderna de muitos países, estando pautada em dispositivos semicondutores produzidos a partir de materiais inorgânicos como o silício. Entretanto, este quadro econômico vem mudando nas últimas décadas devido à descoberta de novas classes de materiais eletrônicos, sendo que entre eles destacam-se os denominados semicondutores orgânicos. Eles são constituídos por átomos de carbono que possuem ao longo de suas cadeias ligações duplas alternadas a ligações simples. Desta nova classe de materiais, originou-se uma nova forma de eletrônica: a eletrônica orgânica (EO).

A EO tem se destacado como uma das áreas acadêmicas e comerciais de maior interesse nas últimas décadas devido às vantagens apresentadas pelos materiais que a constituem tais como fácil processamento em solução, versatilidade das técnicas de deposição, além de apresentarem uma combinação única de boas propriedades elétricas e mecânicas. A força motriz determinante para o desenvolvimento desta área está relacionada com a possibilidade de aplicação dos materiais orgânicos na fabricação de dispositivos eletrônicos e optoeletrônicos como diodos emissores de luz orgânicos (OLEDs) ^[1], células fotovoltaicas orgânicas (OPVs) ^[2] e transistores de efeito de campo orgânicos (OFETs) ^[3].

Segundo uma pesquisa realizada pela *Allied Market Research* ^[4], o mercado da eletrônica orgânica terá uma taxa de crescimento anual de 29,5% nos anos de 2014 e 2020, impulsionando a indústria a um valor global de 79,5 bilhões dólares em 2020, como pode ser observado na Figura 1.1(a). Esta pesquisa ainda prevê que o mercado da eletrônica será impulsionado por três grandes setores (Figura 1.1(b)): o de displays orgânicos, células fotovoltaicas e pelos componentes de sistemas eletrônicos. Cabe salientar que este último grupo, designado como componentes de sistemas eletrônicos é composto por inversores lógicos digitais, que são por sua vez são fabricados utilizando associações em série de transistores de efeito de campo (OFETs).

A primeira aplicação de materiais semicondutores orgânicos na fabricação de transistores de efeito de campo foi reportada em 1986 por Tsumura et al. ^[5] e desde então tem sido um campo de intenso estudo na área de eletrônica orgânica devido aos benefícios de possibilidade de fabricação em substratos flexíveis e ao baixo custo de produção ^[6]. No entanto, apesar destas vantagens, o campo dos OFETs enfrenta alguns obstáculos que dificultam sua entrada no mercado tecnológico, tais como o baixo valor de mobilidade de efeito de campo (μ), as altas

tensões de operação destes dispositivos e a instabilidade elétrica quando operam em condições ambiente. Para suprir tais restrições, inúmeros esforços têm sido feitos no desenvolvimento de novos materiais orgânicos do tipo p e do tipo n nas últimas décadas, possibilitando um grande avanço nesta área com a obtenção de OFETs com mobilidades em torno de $5 \text{ cm}^2/\text{V.s}$ quando empregado o TIPs-pentaceno^[7] e uma blenda de PTAA: diF TES ADT (poli[bis(4-fenil)-(2,4,6-trimetilfenil)amina]: 2,8-difluoro-5,11-bis(trietilsililetil)antradiofeno)^[8] como camada semicondutora do tipo p e do poli{[N,N'-bis(2-octildodecil)-naftaleno-1,4,5,8-bis(dicarboximida)-2,6-diil]-alt-5,5'-(2,2'-bitiofeno)]} (P(NDI2OD-T2)) ($\mu = 0.85 \text{ cm}^2/\text{V.s}$)^[9] como camada semicondutora do tipo n nestes dispositivos. Outro avanço significativo nesta área envolve o processamento de novos materiais orgânicos isolantes com propriedades dielétricas desejáveis como elevada constante dielétrica. O emprego de materiais isolantes com elevada constante dielétrica, como por exemplo o PVDF (poli (fluoreto de vinilideno) e seus terpolímeros, tem se apresentado como uma alternativa promissora para a redução da tensão de operação dos OFETs^[10, 11, 12].

Figura 1.1 - Representação da previsão de (a) crescimento do mercado da Eletrônica Orgânica e (b) do mercado para cada segmento de aplicação^[4].

Obviamente, o progresso adquirido ao longo dos anos no campo dos OFETs refletiu diretamente no desenvolvimento dos inversores lógicos digitais orgânicos. Um dos primeiros tipos de inversores lógicos digitais orgânicos desenvolvidos foi o unipolar devido à simplicidade no processo de fabricação quando comparado com o complementar. Além disso, a popularidade deste circuito inversor unipolar se deveu, principalmente, à predominância de condução elétrica do tipo p nos materiais orgânicos e à consequente escassez de semicondutores orgânicos do “tipo n”. No entanto, os inversores lógicos complementares apresentam vantagens em relação aos unipolares como maior ganho e margem de ruído. Com considerável progresso na área de síntese de materiais semicondutores orgânicos do tipo n^[13,14], a fabricação de

inversores lógicos complementares se tornou uma realidade. Apesar desta grande ascensão, um dos grandes desafios no desenvolvimento da tecnologia CMOS envolve a obtenção de OFETs de canal p e de canal n que apresentem valores similares de mobilidade de efeito de campo (μ) e de tensão de limiar (V_T) [15,16,17]. Apesar das limitações e obstáculos envolvendo o processamento dos OFETs e dos inversores lógicos digitais, algumas aplicações já são possíveis como no controle de circuitos de cartões inteligentes (RFIDs) [18,19, 20], de pixels em matrizes ativas [21, 22] e em sensores [23, 24], como pode ser observado na Figura 1.2.

Figura 1.2 – Fotografias (a) de uma tela flexível que utiliza uma matriz de OFETs de pentaceno [22], (b) de um RFID fabricado em substrato flexível [20] e (c) de um sensor tátil composto por uma matriz de OFETs [24].

Adicionalmente, a utilização de técnicas de deposição que permitam o processamento rápido destes dispositivos tanto em grandes quanto pequenas áreas com o desperdício mínimo de material, e que ao mesmo tempo apresente reprodutibilidade é necessária para permitir a produção em massa destes dispositivos orgânicos e, assim, tornar esta nova tecnologia competitiva no mercado. As técnicas de impressão têm ganhado destaque na área de pesquisa de processamento de dispositivos eletrônicos orgânicos devido à sua potencialidade de deposição em grandes áreas e de miniaturização sobre superfícies flexíveis, de utilização de materiais processados em solução e ao menor desperdício de solução quando comparado com a técnica convencional de *spin-coating*. Eletrônica orgânica impressa é o nome atribuído a esta

nova tecnologia que associa técnicas de processamento por impressão e tintas à base de carbono para a produção de dispositivos eletrônicos.

1.2. Eletrônica orgânica impressa

De acordo com um estudo realizado pela empresa de pesquisa de tecnologias emergentes (*IDTechEX*), a área de eletrônica orgânica impressa está em constante expansão, tendo em vista um crescimento de 23.97 bilhões de dólares em 2014 para 70.39 bilhões em 2024 ^[25]. Embora as técnicas de impressão sejam bem conhecidas no campo das artes gráficas, elas têm emergido como ferramentas poderosas para a fabricação de dispositivos eletrônicos flexíveis por meio de processos contínuos do tipo *roll-to-roll* (R2R).

Dentre as técnicas de impressão mais utilizadas na fabricação de OFETs e de circuitos lógicos digitais têm se destacado a técnica de *inkjet*, rotogravura, flexografia e de serigrafia (*screen-printing*). A técnica de *inkjet* têm se mostrado atraente devido a sua simplicidade de adaptação em ambientes de laboratório ^[26], ao passo que as demais técnicas citadas anteriormente apresentam a característica atraente de adequação a métodos de produção em massa ^[27]. As principais diferenças entre estas técnicas estão relacionadas com as viscosidades das tintas utilizadas, a resolução do padrão impresso obtido e com a velocidade de processamento ^[28]. As técnicas de rotogravura e de flexografia são caracterizadas por apresentar uma elevada velocidade de processamento com resolução média entre 10 e 50 μm e pela utilização de diversas tintas com uma faixa abrangente de valores de viscosidade (10 – 500 cP). Já a técnica de *inkjet* apresenta características vantajosas para deposições em regiões pequenas e específicas devido à sua alta resolução de impressão e também à baixa velocidade de deposição e às limitações referentes as viscosidades (1 – 40 cP) das tintas a serem depositadas. Apesar da técnica de serigrafia ser considerada uma técnica de alta velocidade de deposição, seus valores reduzidos de resolução e elevados para as viscosidades das tintas a tornam limitada para determinadas aplicações.

A incorporação dessas técnicas de impressão se deu de maneira progressiva no processamento dos OFETs, desde a utilização apenas para a deposição de uma das camadas dos OFETs ^[29], seguida da utilização para a deposição de mais de uma camada ^[30] até sua completa incorporação em todas as etapas de fabricação destes dispositivos ^[31]. Ademais, a utilização de múltiplas técnicas de impressão tem se mostrado uma metodologia conveniente para o processamento dos OFETs e dos inversores lógicos digitais com elevado desempenho ^[32, 33]. Outras técnicas como *spray-coating* e *blade-coating* também têm ganhado

destaque recentemente na fabricação de OFETs e de inversores lógicos digitais devido à possibilidade de deposição de padrões definidos quando utilizadas máscaras de sombra e quando realizados tratamentos adicionais na superfície onde o material será depositado [34, 35].

Embora a área de eletrônica orgânica impressa tenha apresentado avanços significativos com a implantação de empresas, como a *Plastic Logic* (Figura 1.3), incorporando transistores orgânicos na fabricação de telas flexíveis, um dos grandes desafios remanescente consiste na fabricação camada sobre camada que compõem os OFETs com materiais orgânicos.

Figura 1.3 – Fotografia de uma tela flexível fabricada pela *Plastic Logic*. A tela apresenta uma resolução de 1280 x 960 pixels e é composta por uma matriz ativa de OFETs [36].

1.3. Objetivos e organização da tese

O desenvolvimento da área de eletrônica orgânica no Brasil é muito recente e tem tido avanços significativos após a implementação do Instituto Nacional de Eletrônica Orgânica (INEO) em 2008. O Grupo de Polímeros *Prof. Bernhard Gross* é um dos principais grupos de pesquisa do Brasil que não tem poupado esforços para a fabricação de dispositivos eletrônicos orgânicos com elevado desempenho e utilizando diferentes técnicas de deposição, incluindo algumas técnicas de impressão [37, 38]. O grupo ainda apresenta uma linha intensa de pesquisa na área de fabricação e caracterização elétrica de OFETs, com a conclusão de duas teses de doutoramento, cujos focos principais consistiram apenas na fabricação de OFETs de canal p por *spin-coating* [39] e de OFETs de canal p e de canal n utilizando a técnica de *inkjet* para a deposição da camada semicondutora com a conseguinte demonstração da aplicação destes dispositivos na construção de inversores lógicos unipolares com resistores de carga [37].

Com base na importância da fabricação de OFETs e de inversores lógicos digitais com elevado desempenho, bem como da aplicação de diferentes técnicas de processamento, esta tese

tem como objetivos: *i)* o desenvolvimento de uma metodologia para o ajuste das propriedades elétricas dos OFETs de canal p e de canal n a fim de possibilitar a fabricação do CMOS e *ii)* a utilização de novos materiais dielétricos e técnicas de deposição, incluindo técnicas de impressão, para otimização do funcionamento de OFETs de canal p a baixas tensões.

A apresentação deste trabalho está dividida em seis capítulos, considerando este primeiro capítulo de caráter introdutório. No capítulo subsequente é apresentada a fundamentação teórica referente ao funcionamento dos OFETs e dos inversores lógicos digitais, assim como das metodologias de análise dos resultados. No Capítulo 3 é feita uma revisão a respeito das técnicas de deposição utilizadas para a fabricação dos OFETs e dos inversores lógicos digitais deste trabalho, além de um breve resumo das propriedades dos materiais utilizados na fabricação destes dispositivos. No Capítulo 4 é apresentada em detalhes a metodologia desenvolvida para a fabricação do CMOS orgânico. Além disso, neste capítulo também são apresentados os resultados da caracterização elétrica dos OFETs de canal p e de canal n e dos inversores lógicos complementares. No Capítulo 5 é descrita a metodologia adotada para a fabricação de OFETs de canal p impressos e dos inversores lógicos unipolares e também os resultados da caracterização elétrica destes dispositivos. Por fim, no Capítulo 6 são apresentadas as conclusões advindas do desenvolvimento deste trabalho e as perspectivas para trabalhos futuros.

2. Fundamentação teórica – Transistores de efeito de campo orgânicos e inversores lógicos digitais

Neste capítulo é realizada uma breve revisão a respeito dos princípios básicos de funcionamento dos OFETs e dos inversores lógicos digitais, das formas de caracterização destes dispositivos, bem como da forma de extração dos parâmetros de interesse. Além disso, também são apresentados os tipos de arquiteturas possíveis de serem fabricadas em OFETs e dos tipos de inversores lógicos digitais.

2.1. OFETs

2.1.1. Princípio de funcionamento dos OFETs

Os transistores de efeito de campo (FETs) são caracterizados por apresentar três contatos metálicos (denominados de fonte, dreno e porta), uma camada semicondutora e uma camada isolante (ou dielétrica). Um transistor de efeito de campo orgânico (OFET) é obtido quando pelo menos a camada semicondutora deste dispositivo é feita de material orgânico. O princípio básico de funcionamento dos transistores de efeito de campo (FETs) consiste na modulação da intensidade de corrente elétrica que flui entre os terminais dreno e fonte por meio de um campo elétrico gerado a partir da aplicação de uma tensão no seu terceiro terminal (conhecido como porta).

Na Figura 2.1 está ilustrado um OFET com os contatos dreno e fonte de largura W e separados por uma distância L . Os contatos dreno e fonte estão em contato com a camada semicondutora e são os responsáveis por injetar cargas nesta camada do dispositivo. O contato da porta é separado da camada semicondutora por meio de um material isolante e é o responsável por modular a densidade de portadores de carga na interface semicondutor/isolante.

Os OFETs podem potencialmente operar no modo de acumulação de buracos e elétrons (conhecido como regime ambipolar), dependendo da polaridade da tensão aplicada no eletrodo da porta. No entanto, devido às elevadas barreiras de energia nos contatos metálicos, frequentemente os OFETs operam apenas no regime unipolar. O termo modo de acumulação refere-se ao fato de que quando uma tensão é aplicada no eletrodo da porta, portadores de carga são acumulados na interface semicondutor/isolante formando um canal de condução entre os eletrodos dreno e fonte. Quando uma tensão positiva é aplicada na porta, elétrons são acumulados na interface semicondutor/isolante, enquanto que quando a tensão aplicada é negativa, buracos são acumulados nesta interface.

Figura 2.1 - Representação da estrutura de um OFET com arquitetura *bottom-gate top-contacts* e com a representação das tensões aplicadas (Fonte: autor).

Nas Figuras 2.2(a) - 2.2(c) estão ilustrados os regimes de operação de OFETs de canal p, juntamente com as curvas características da corrente entre dreno-fonte (I_D) em função da tensão no dreno (V_d) em cada regime. Por definição, o contato da fonte é geralmente aterrado ($V_s = 0$ V) e são aplicadas tensões na porta (V_g) e no dreno (V_d). A corrente elétrica medida entre os terminais dreno e fonte é designada como I_D .

Figura 2.2 - Representação dos regimes de operação dos OFETs: (a) regime linear; (b) condição *pinch-off* e (c) regime de saturação (Fonte: autor).

Considerando, inicialmente, que apenas uma tensão negativa é aplicada na porta, ocorre o acúmulo de buracos na interface semicondutor/isolante, como mostrado na Figura 2.2(a). A quantidade de cargas acumuladas na interface semicondutor/isolante é proporcional a V_g e à capacitância da camada isolante, denominada como C_i . No entanto, devido à presença de

armadilhas na interface, nem todos os portadores de cargas acumulados na interface são móveis e, conseqüentemente, não contribuem para a corrente elétrica nos OFETs. Isto significa que uma tensão mínima, denominada de V_T (*threshold voltage* ou tensão de limiar), deve ser aplicada na porta para que haja o acúmulo de cargas móveis na interface, formando o canal do transistor. Desta forma, a quantidade de cargas móveis induzidas na interface é dada por:

$$Q_{\text{móveis}} = C_i(V_g - V_T). \quad (2.1)$$

A densidade de cargas no canal do transistor é uniforme quando nenhuma tensão é aplicada no dreno ($V_d=0$). Entretanto, há o aparecimento de um gradiente de tensão quando uma pequena tensão é aplicada no dreno ($V_d \ll V_g$). Ou seja, para cada ponto ao longo do canal do transistor existe uma tensão $V(x)$, que por sua vez, induz uma densidade de carga local $\rho(x)$. Considerando a condição em que $V_g > V_T$, a densidade de carga acumulada na interface $\rho(x)$ é

$$\rho(x) = C_i[V_g - V_T - V(x)], \quad (2.2)$$

sendo que a tensão $V(x)$ ao longo do canal aumenta linearmente do eletrodo da fonte ($x = 0, V(x) = 0$) para o eletrodo do dreno ($x = L, V(x) = V_d$).

Assumindo que transistor apresenta dimensões de W e L , como indicado na Figura 2.1, a corrente elétrica I_d pode ser escrita como:

$$I_d = \frac{Q_{\text{móveis}}}{t} = \frac{\rho WL}{t}. \quad (2.3)$$

Onde t corresponde ao tempo que o portador de carga leva para se mover entre os eletrodos dreno e fonte, sendo definido como:

$$t = \frac{L}{v} = \frac{L}{\mu E(x)}, \quad (2.4)$$

em que μ é mobilidade do portador de carga e v a sua velocidade e $E(x)$ é o campo elétrico no ponto x ao longo do canal do transistor. Substituindo as equações (2.2) e (2.4) em (2.3), temos que

$$I_d = C_i[V_g - V_T - V(x)]W\mu E(x). \quad (2.5)$$

Sendo $E(x) = dV/dx$, então

$$I_d dx = W\mu C_i[V_g - V_T - V(x)]dV. \quad (2.6)$$

Integrando a equação (6), assumindo que em $x = 0, V(0) = 0$; $x = L, V(L) = V_d$ e assumindo que a mobilidade independe da densidade de portadores e da tensão na porta, obtemos a expressão para a corrente elétrica entre os contatos dreno e fonte de acordo com o modelo de aproximação do canal gradual

$$I_d = \frac{W}{L}\mu C_i \left[(V_g - V_T)V_d - \frac{V_d^2}{2} \right]. \quad (2.7)$$

A partir da equação (2.7), podemos analisar o comportamento da corrente I_d em função de diferentes tensões aplicadas no dreno V_d . Considerando a condição em que baixas tensões são aplicadas no dreno ($V_d \ll V_g - V_T$), a equação (2.7) se reduz a:

$$I_d = \frac{W}{L} \mu C_i [(V_g - V_T) V_d]. \quad (2.8)$$

Este corresponde ao regime linear, que é caracterizado por apresentar uma dependência linear entre a corrente I_d e a tensão no dreno (V_d), como ilustrado na Figura 2.2(a).

Quando a tensão no dreno é aumentada até atingir o ponto em que $V_d = V_g - V_T$, a densidade de carga $\rho(x)$ próxima ao eletrodo do dreno cai a zero, dando origem a formação de uma região de depleção, como ilustrado na Figura 2.2(b). Esta condição é denominada *pinch-off* (construção). Um subsequente aumento da tensão no dreno promove um aumento desta região de depleção e, conseqüentemente, uma redução no tamanho do canal do transistor. Uma vez que a diferença de potencial entre os eletrodos dreno e fonte a partir da condição *pinch-off* permanece praticamente constante, há a saturação da corrente I_d , como ilustrado na Figura 2.2(c).

Desprezando efeitos de redução no tamanho do canal do transistor e analisando a condição em que $V_d \geq V_g - V_T$, para a qual $V_d = V_g - V_T$, a corrente de saturação pode ser escrita a partir da equação (2.7) como:

$$I_{d(sat)} = \frac{W}{2L} \mu C_i (V_g - V_T)^2. \quad (2.9)$$

Este regime de operação do transistor é conhecido como regime de saturação.

Na Figura 2.3(a) está ilustrado o comportamento típico da corrente I_d em função da tensão V_d para diferentes valores de V_g . Este tipo curva (I_d vs. V_d) é denominada curva de saída e, nela é possível observar os regimes de operação linear e de saturação do transistor. Outra forma de caracterização dos OFETs é obtendo sua curva de transferência (I_d vs. V_g para diferentes valores de V_d), que tem um comportamento típico como ilustrado na Figura 2.3(b).

Figura 2.3 - Representação das curvas característica (a) de saída e (b) de transferência dos FETs.

2.1.2. Extração dos parâmetros dos OFETs

Para que seja possível comparar o desempenho de diferentes materiais semicondutores/isolantes aplicados nos OFETs se faz necessária a quantificação de alguns parâmetros. A extração dos parâmetros é feita com base no modelo de aproximação do canal gradual a partir da curva de transferência dos OFETs. Os parâmetros importantes na análise destes dispositivos são: mobilidade de efeito de campo (μ), tensão de limiar (V_T), razão I_{on}/I_{off} e *subthreshold swing* (S). A seguir é discutido em mais detalhes o significado e o procedimento de extração de cada parâmetro.

Mobilidade de efeito de campo(μ)

A mobilidade de efeito de campo é um parâmetro que quantifica o grau de facilidade que os portadores de carga apresentam para se movimentar no dispositivo. O procedimento mais popular para a extração deste parâmetro é feito no regime de saturação do transistor e assumindo que μ é independente da tensão aplicada na porta (V_g). Reescrevendo a equação (2.9) na forma:

$$\sqrt{I_{d(sat)}} = \sqrt{\frac{W}{2L}} \mu C_i (V_g - V_T). \quad (2.10)$$

Sendo que μ é obtida a partir do coeficiente angular do gráfico de $\sqrt{I_{d(sat)}}$ vs. V_g , como representado na Figura 2.4. Quanto mais alto for o valor de μ , maior será a corrente I_d no estado ligado do transistor.

Figura 2.4 - Representação da metodologia de extração dos parâmetros dos OFETs (Fonte: autor).

Tensão de limiar (V_T)

O valor de V_T também pode ser calculado a partir do gráfico de $\sqrt{I_{d(sat)}}$ vs. V_g (equação 2.10), fazendo a extrapolação da reta para $I_d = 0$, como ilustrado na Figura 2.4. A tensão de limiar (V_T) consiste na tensão mínima necessária que deve ser aplicada na porta para que haja a formação do canal do transistor, isto é, para que haja o acúmulo de cargas móveis na interface semicondutor/isolante. Desta forma, o valor de V_T depende fortemente dos materiais semicondutor e isolante utilizados na preparação do dispositivo. A presença de impurezas, estados interfaciais e armadilhas na interface afetam o valor de V_T [40]. Os melhores desempenhos para os OFETs são obtidos quando os valores de V_T estão próximos de zero.

Razão I_{on}/I_{off}

Outro parâmetro importante que pode ser obtido diretamente da curva de transferência do transistor é a razão I_{on}/I_{off} . Este parâmetro é obtido a partir da razão entre a corrente no dreno quando o transistor está no estado ligado (I_{on}), para um determinado valor de V_g , e a corrente no dreno quando o transistor está no estado desligado (I_{off}). A corrente no estado ligado do transistor depende somente da mobilidade do material semicondutor e da capacitância do isolante, quando se consideram desprezíveis os efeitos da resistência de contato dos eletrodos dreno e fonte. Já a corrente no estado desligado do transistor é determinada pela corrente de fuga na porta. Quanto mais alto for o valor da razão I_{on}/I_{off} , melhor é o poder de modulação do OFET.

Subthreshold swing (S)

A partir da curva de transferência no regime de saturação do transistor é possível obter o valor de S . Este parâmetro representa quantos volts são necessários para que a corrente I_d aumente em uma década tendo, portanto, unidades em volts/década. O valor de S é obtido a partir do inverso da inclinação da curva de I_d vs. V_g em escala semi-logarítmica, isto é, $S = dV_g/d(\text{Log } I_d)$ como representado na Figura 2.4. Quanto menor o valor de S , melhor é o desempenho do OFET.

2.1.3. Tipos de arquiteturas para os OFETs

É possível obter OFETs com quatro arquiteturas diferentes, dependendo das características físicas do material semicondutor e do isolante empregados. Estas arquiteturas são classificadas de acordo com a posição dos contatos dreno e fonte em relação à camada semicondutora (*bottom-contacts* ou *top-contacts*) e com relação à posição do contato da porta em função da deposição da camada dielétrica (*bottom-gate*, *top-gate*). Estas arquiteturas estão representadas na Figura 2.5.

Diferentes comportamentos elétricos são observados em transistores produzidos com os mesmos materiais, porém em arquiteturas diferentes. Estas diferenças surgem, principalmente, devido às diferenças na posição dos contatos dreno e fonte em relação à interface semicondutor/isolante. No caso das arquiteturas *bottom-contacts bottom-gate* e *top-contacts top-gate* as cargas são injetadas diretamente no canal do transistor (interface semicondutor/isolante), enquanto que nas outras duas arquiteturas o canal do transistor é separado dos contatos dreno e fonte por uma camada de material semicondutor. Isto significa que para as arquiteturas *bottom-contacts top-gate* e *top-contacts bottom-gate*, as cargas devem atravessar alguns nanômetros do filme semicondutor até atingir o canal do transistor, dando origem a chamada resistência de acesso^[41]. No entanto, o efeito da resistência de acesso pode ser minimizado nestas arquiteturas por meio da diminuição da espessura da camada semicondutora nestes dispositivos.

Figura 2.5 - Representação das quatro arquiteturas possíveis de serem fabricadas em OFETs (Fonte: autor).

Dentre estas arquiteturas, a *bottom-contacts top-gate* tem se destacado devido algumas vantagens como: melhor estabilidade em atmosfera ambiente em virtude do efeito de encapsulamento da camada semicondutora pela camada isolante e pelo contato da porta, possibilidade de utilização de técnicas por impressão e fotolitografia sem que as camadas semicondutora e isolante sejam danificadas e devido à baixa resistência de contato ^[41].

2.2. Inversores lógicos digitais

2.2.1. Princípio de funcionamento dos inversores lógicos digitais

O elemento principal que compõe qualquer tecnologia baseada na eletrônica digital é o inversor lógico digital. A função básica do inversor lógico digital, como o próprio nome sugere, é inverter o sinal de entrada, ou seja, se o sinal de entrada for 0 ele produz uma saída 1 e, vice-versa. O inversor lógico digital é composto pela associação em série de um dispositivo de carga (*pull up*), com a função de levantar a tensão de saída para o valor lógico “1”, e por um transistor (de canal p ou n) *pull-down*, cuja função é fornecer o caminho para a descarga de corrente

elétrica de forma que a tensão de saída gerada pelo circuito atinja o valor lógico “0”. Na Figura 2.6 estão representados os diferentes tipos de inversores lógicos digitais.

Figura 2.6 - Tipos de (a) inversores lógicos unipolares e (b) inversores lógicos complementares (Fonte: autor).

Como possibilidades de aplicação como dispositivos de carga nestes sistemas podem ser utilizados: *i*) um resistor de carga; *ii*) um transistor de carga no modo de depleção; *iii*) um

transistor de carga no modo de acumulação e iv) transistor de canal p (para o caso em que é utilizado um transistor de canal n como *pull-down* ou vice-versa). Os inversores lógicos compostos pela associação do transistor *pull-down* com qualquer um dos três primeiros dispositivos de carga citados acima constituem os denominados inversores lógicos unipolares, enquanto que a associação com o quarto dispositivo de carga citado acima produz os denominados inversores lógicos complementares (CMOS). Cabe ressaltar que o CMOS, além de ser constituído pela associação de transistores de canal p e de canal n como explicitado anteriormente, também pode ser construído a partir da utilização de apenas um transistor ambipolar (que apresenta a condução de portadores de carga positivos e negativos dependendo da polaridade da tensão aplicada).

As tensões envolvidas no processo de caracterização elétrica dos inversores lógicos unipolares e complementares são: a tensão de entrada (V_{in}), a tensão de saída (V_{out}) e a tensão V_{DD} , que é a responsável por delimitar a faixa de funcionamento destes dispositivos. A resposta elétrica dos inversores é medida por meio da denominada curva característica de transferência de tensão (CTT), dada pela tensão de saída medida versus a tensão de entrada aplicada (V_{out} vs. V_{in}). Um esboço da CTT típica dos inversores está representado na Figura 2.7.

Figura 2.7 - Representação da curva característica de transferência de tensão (CTT) de um inversor lógico digital (Fonte: autor).

A função básica do inversor lógico digital pode ser observada claramente em termos dos níveis de tensão na CTT esboçada na Figura 2.7: quando a tensão de entrada (V_{in}) é baixa (aproximadamente 0 V), a tensão de saída (V_{out}) é alta (valores próximos a V_{DD}). Além disso, é observado na CTT que a tensão do nível alto de saída, denominada de V_{OH} , não depende de

um valor específico de V_{in} , desde que V_{in} não ultrapasse o valor de V_{IL} . Quando $V_{in} > V_{IL}$, a tensão de saída decai e o inversor começa a operar na denominada região de transição. Analogamente, é notado que o nível baixo de tensão, denominado de V_{OL} , não depende do valor exato de V_{in} , contanto que V_{in} não atinja valores menores que V_{IH} . Assim, é nítida a importância destes pontos na curva característica de tensão de qualquer inversor, de tal forma que seus significados estão sumarizados na Tabela 2.1.

Tabela 2.1 - Descrição dos parâmetros importantes presentes na curva CTT de qualquer inversor lógico digital (Fonte: autor).

Ponto característico da CTT	Significado
V_{OH}	Tensão de saída correspondente ao nível lógico alto
V_{OL}	Tensão de saída correspondente ao nível lógico baixo
V_{IL}	Tensão de entrada correspondente ao nível lógico alto
V_{IH}	Tensão de entrada correspondente ao nível lógico baixo.

Dois parâmetros principais são determinados para verificar se o inversor lógico está funcionando adequadamente. O primeiro consiste no ganho (g_{inv}) do inversor, o qual é obtido a partir do valor absoluto da derivada dV_{out}/dV_{in} . Este parâmetro deve apresentar valores maiores que 1, sendo que para que o inversor possa ser aplicado em circuitos mais complexos o valor do ganho deve ser mais elevado quanto for possível. Alguns autores apontam que a faixa mínima de valores aceitável para o ganho de um inversor está entre 4 e 10 ^[42].

O segundo parâmetro importante a ser determinado é a margem de ruído do inversor. Este parâmetro consiste no nível de ruído máximo que pode ser sobreposto a um sinal digital, sem causar qualquer malefício ao funcionamento do circuito. Existem várias formas distintas para se determinar a margem de ruído de um inversor ^[43], sendo que as duas mais utilizadas são denominadas de o critério do produto máximo (MPC) e o critério da inclinação negativa (NSC). No caso do MPC, a margem de ruído é definida pelo lado do maior retângulo que pode ser inscrito dentro da região delimitada pela curva CTT e a sua inversa, como ilustrado na Figura 2.8(a). Já para o NSC, a margem de ruído é determinada por pontos específicos, onde $dV_{out}/dV_{in} = -1$, como ilustrado na Figura 2.8(b).

Figura 2.8 - Metodologias para a determinação da margem de ruído de um inversor lógico digital: (a) critério do produto máximo (MPC) e (b) critério da inclinação negativa (NSC) (Fonte: autor).

A margem de ruído para o nível alto (MR_H) e a margem de ruído para o nível baixo (MR_L) são definidas pelas equações (2.11) e (2.12):

$$MR_H = V_{OH} - V_{IH} \quad (2.11)$$

$$MR_L = V_{IL} - V_{OL} \quad (2.12)$$

Onde, V_{OH} representa o nível alto da tensão de saída, V_{OL} o nível baixo da tensão de saída, V_{IH} o valor mínimo da entrada e o V_{IL} o valor máximo da entrada. É importante salientar que o valor mínimo aceitável para a margem de ruído é cerca de $10\% \frac{1}{2} V_{DD}$ [43].

Como neste trabalho foram produzidos inversores lógicos unipolares com transistor de carga no modo de acumulação e inversores lógicos complementares, na seção seguinte será explicitado em maiores detalhes o funcionamento destes dois tipos de inversores.

2.2.2. Inversor lógico unipolar com transistor de carga no modo de acumulação

Como já explicitado na seção anterior, um inversor lógico unipolar é composto pela associação em série de dois transistores de efeito de campo de mesmo tipo (canal p ou canal n). Este tipo de inversor foi muito empregado durante anos na criação de circuitos integrados em grande escala.

No inversor lógico unipolar com transistor de carga no modo de acumulação, os contatos do dreno dos dois transistores empregados são compartilhados entre si, a tensão V_{DD} é aplicada

no terminal da fonte do transistor $T2$ e a tensão de entrada é aplicada no eletrodo da porta do transistor $T1$, como ilustrado na Figura 2.9(a).

Figura 2.9 - Ilustração (a) da configuração básica de um inversor lógico unipolar com transistor carga no modo de acumulação, (b) da curva caraterística de transferência de tensão (CTT) para este tipo de inversor com a descrição das regiões de operação (c) (Fonte: autor).

Nesta configuração, o transistor $T1$ (denominada de *driver*) tem a função de abaixar a tensão de saída para valores próximos a zero, ao passo que o transistor $T2$ (transistor de carga - *load*) tem a função de levantar a tensão de saída para valores próximos a V_{DD} . Para compreender melhor o papel de cada um destes transistores no funcionamento do inversor, vamos considerar que estes transistores apresentam uma condução predominante de elétrons (canal n) e que o transistor $T1$ (*driver*) possui uma tensão de limiar V_{TD} e que o transistor $T2$ (carga) apresenta uma tensão de limiar V_{TL} , como indicado na Figura 2.9(a). Uma tensão de entrada (V_{in}) que varia entre 0 V e V_{DD} é aplicada no eletrodo da porta do transistor $T2$.

Quando a tensão de entrada é zero, o transistor $T1$ está no estado desligado e o transistor $T2$ opera no regime de saturação. Esta condição é mantida para os casos em que $V_{in} < V_{TD}$ e nestes casos as correntes I_{DL} e I_{DD} são ambas nulas. Assim, a corrente elétrica que percorre os terminais dreno e fonte do transistor $T2$, que está operando no regime de saturação, pode ser escrita como:

$$I_{dL} = K_L(V_{gL} - V_{TL})^2 = 0, \quad (2.13)$$

sendo $K_L = \frac{W_L}{2L_L} \mu_L C_L$ e V_{gL} a tensão no eletrodo da porta do transistor T2.

Dado que a tensão no eletrodo da porta do transistor T2 é dada pela diferença entre a tensão V_{DD} e a tensão de saída, então a equação (2.13) pode ser reescrita como

$$K_L(V_{DD} - V_{out} - V_{TL})^2 = 0. \quad (2.14)$$

A tensão de saída é dada por

$$V_{out} = V_{DD} - V_{TL}, \quad (2.15)$$

o que significa que a tensão de saída máxima atingida pelo inversor unipolar com transistor no modo de acumulação, a qual representa o nível lógico “1”, não atinge o valor exato de V_{DD} . Para este caso, o inversor unipolar opera na *região A* indicada na CTT esboçada na Figura 2.9(b), com uma tensão de saída correspondente ao valor lógico alto $V_{OH} = V_{DD} - V_{TL}$. O inversor permanece operando nesta *região A* até a condição em que a tensão de entrada se iguale a tensão de limiar do transistor T1, isto é, $V_{in} = V_{TD}$. A partir deste ponto, o transistor T2 está no estado ligado e opera no regime de saturação. Dado que:

$$I_{DD} = I_{DL}, \quad (2.16)$$

$$K_D(V_{gD} - V_{TD})^2 = K_L(V_{gL} - V_{TL})^2, \quad (2.17)$$

onde $K_D = \frac{W_D}{2L_D} \mu_D C_D$ e, W_D é o comprimento do canal e L_D é a largura do canal, μ_D é a mobilidade e C_D é a capacitância do transistor T1.

Sendo $V_{gD} = V_{in}$ e $V_{gL} = V_{DD} - V_{out}$, então a equação (2.17) pode ser reescrita como:

$$K_D(V_{in} - V_{TD})^2 = K_L(V_{DD} - V_{out} - V_{TL})^2. \quad (2.18)$$

Rearranjando a equação (2.18), a tensão de saída pode ser determinada como

$$V_{out} = V_{DD} - V_{TL} - \sqrt{K_D/K_L} (V_{in} - V_{TD}). \quad (2.19)$$

A equação (2.19) indica que na condição em que $V_{in} > V_{TD}$, a tensão de saída (V_{out}) do inversor diminui linearmente em função da tensão de entrada (V_{in}). Nesta condição o inversor opera na *região B* da curva CTT, como representado na Figura 2.9(b). Esta condição de funcionamento do inversor permanece até o ponto em que a tensão de entrada atinge a tensão V_{IL} , como indicado no esboço da CTT da Figura 2.9(b). A partir deste ponto, o transistor T1 passa a operar no regime linear, de forma que

$$I_{DD} = I_{DL} \Rightarrow$$

$$K_D[2(V_{in} - V_{TD})V_{out} - V_{out}^2] = K_L(V_{DD} - V_{out} - V_{TL})^2. \quad (2.20)$$

Como pode ser observado a partir da análise da equação (2.20), não há uma dependência linear entre V_{in} e V_{out} . Nesta condição, em que $V_{in} > V_{IL}$, o inversor unipolar com transistor de carga modo de acumulação opera na *região C* representada na Figura 2.9(b).

O ganho do inversor unipolar pode ser determinado a partir da dV_{out}/dV_{in} da equação (2.19), quando os dois transistores operam no regime de saturação. Assim,

$$dV_{out}/dV_{in} = -\sqrt{K_D/K_L} = -\sqrt{\frac{W_D\mu_D C_D L_L}{L_D W_L \mu_L C_L}}, \quad (2.21)$$

e, por se tratar de um inversor unipolar, constituído pela associação de dois transistores de efeito de campo iguais (com mesmas etapas de processamento e materiais), pode-se considerar que $\mu_D = \mu_L$ e $C_D = C_L$, de modo que a expressão do ganho do unipolar será reduzida a

$$dV_{out}/dV_{in} = -\sqrt{\frac{W_D L_L}{L_D W_L}}. \quad (2.22)$$

Isto significa que o parâmetro do ganho de um inversor unipolar com transistor de carga no modo de acumulação depende fortemente da razão entre as dimensões dos canais dos transistores empregados na sua fabricação.

2.2.3. Inversores lógicos complementares (CMOS)

O CMOS corresponde ao tipo de inversor mais empregado em circuitos integrados (CIs). Estima-se que 95% dos CIs utilizam esta tecnologia devido às suas vantagens de baixa dissipação de energia e elevada robustez ^[44]. Os inversores lógicos complementares são constituídos por associações em série de FETs de canal p e de canal n, os quais são controlados de forma complementar pela mesma tensão de entrada. Na Figura 2.10(a) está apresentada uma ilustração da configuração básica de um CMOS. Neste sistema, os contatos elétricos do dreno e da porta são compartilhados (os mesmos) entre FETs de canal p e de canal n. Uma tensão de entrada (V_{in}) é aplicada no eletrodo da porta dos FETs, enquanto que a tensão de saída (V_{out}) é medida no eletrodo do dreno dos transistores. Uma tensão V_{DD} é aplicada no terminal da fonte do transistor de canal p, ao passo que, por definição, o terminal da fonte do transistor de canal n é aterrado. A tensão medida em cada terminal da porta dos transistores (V_G) é dada pela diferença entre a tensão de entrada aplicada (V_{in}) e a tensão no terminal da fonte (V_F), isto é, $V_G = V_{in} - V_F$.

Figura 2.10: Ilustração da (a) configuração básica de um CMOS, (b) da curva característica de transferência de tensão (CTT) e (c) descrição das regiões de operação do CMOS (Fonte: autor).

Analisaremos a forma de operação do CMOS, considerando que a tensão de entrada (V_{in}) aplicada varia entre 0 e V_{DD} . Quando $V_{in} = 0$ V, a tensão no eletrodo da porta do transistor de canal n (V_{Gn}) será 0 V, enquanto a tensão no eletrodo da porta do transistor de canal p (V_{Gp}) será igual a $-V_{DD}$. Portanto, o transistor de canal de n está no estado desligado e o transistor de canal p está operando no regime linear, com uma corrente elétrica passando entre os terminais do dreno e da fonte dada por

$$I_{Dp} = K_p [2(-V_{DD} - V_{Tp})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2], \quad (2.23)$$

onde $K_p = \frac{W_p}{2L_p} \mu_p C_p$.

Nesta condição, o inversor opera na *região A* da curva CTT apresentada na Figura 2.10(a), que é caracterizada por apresentar uma tensão de saída (V_{out}) praticamente igual à V_{DD} . Esta condição de operação permanece até o ponto em que a tensão de entrada se iguale a tensão de limiar do transistor de canal n, isto é, $V_{in} = V_{Tn}$. A partir deste ponto o CMOS começa a operar na *região B* da curva CTT (Figura 2.10(b)), com o transistor de canal n operando no regime de saturação e o transistor de canal p no regime linear. À medida que a tensão entrada é aumentada, o transistor de canal p passa a funcionar no regime de saturação e o circuito passa operar na *região C* da Figura 2.10(b). Nesta condição, ambos os transistores operam no regime de saturação, de forma que o inversor apresenta um ganho grande entre entrada/saída. O

inversor permanece operando nesta região até que a tensão entrada atinja o ponto denominado de tensão de inversão (V_{inv}), definido como:

$$V_{inv} = \frac{\sqrt{K_n/K_p} V_{Tn} + (V_{DD} - V_{Tp})}{1 + \sqrt{K_n/K_p}}, \quad (2.24)$$

$K_n = \frac{W_n}{2L_n} \mu_n C_n$ e V_{Tn} é a tensão de limiar do FET de canal n.

Continuando a análise dos regimes de operação do CMOS, à medida que há um pequeno aumento da tensão de entrada a partir do ponto de inversão, o transistor de canal n passa a operar no regime linear e o circuito começa a funcionar na *região D* da Figura 2.10(b). Finalmente, quando a tensão de entrada for maior que $V_{DD} + V_{Tp}$, o transistor de canal p é cortado, enquanto o transistor de canal n permanece operando no regime linear. Nesta condição, o circuito opera na *região E* da curva CTT e apresenta um sinal de saída praticamente nulo.

Modificações na forma da curva CTT, apresentada na Figura 2.10(b), podem ser observadas quando são utilizados FETs de canal p e de canal n com desempenhos diferentes. Segundo um estudo realizado por *Risteska et. al.*^[17], diferenças nos valores de mobilidade dos transistores promovem mudanças nos valores da tensão de transição para valores maiores ou menores de tensão de entrada (V_{in}) em relação à $V_{DD}/2$. Considerando um caso em que a mobilidade do FET de canal n (μ_n) é maior que a mobilidade do FET de canal p (μ_p), a tensão de transição ocorre para valores de tensão de entrada menores do que $V_{DD}/2$, enquanto que o efeito inverso é observado nos casos em que $\mu_p > \mu_n$ ^[17]. Para os casos em que V_{inv} é deslocado do valor ideal ($V_{DD}/2$) devido às diferenças entre os valores de μ dos FETs de canal p e de canal n é conveniente o ajuste do fator K apresentado na equação (2.24), principalmente por meio de modificações nos valores de W e de L dos transistores, a fim de se obter dispositivos de canal p e de canal n com valores equivalentes de corrente do dreno no regime de saturação.

Por outro lado, diferenças nos valores de tensão de limiar dos OFETs promovem mudanças na forma da CTT^[17]. A região A da curva CTT se estende para maiores valores de V_{in} quanto mais elevado for o valor da tensão de limiar do transistor de canal n (V_{Tn}), enquanto que a região E se estende para menores valores de V_{in} quanto mais elevado for o valor da tensão de limiar do transistor de canal p (V_{Tp}). Portanto, inversores lógicos complementares com baixa dissipação de energia, elevada robustez e velocidade de comutação podem ser obtidos quando são utilizados transistores de canal p e de canal n que apresentam valores similares de mobilidade de efeito de campo e de tensão de limiar^[28].

3. Técnicas de deposição e materiais utilizados na fabricação dos OFETs e dos inversores lógicos digitais

3.1. Técnicas de fabricação

Como já explicitado no capítulo 2, os transistores de efeito de campo são compostos por três terminais metálicos, os contatos do dreno/fonte e porta, por uma camada semicondutora e por uma camada isolante (dielétrica), como demonstrado na Figura 3.1. Um dos grandes desafios da eletrônica orgânica envolve a fabricação de todas as camadas destes dispositivos com a utilização de materiais orgânicos e por técnicas de processamento rápidas e que ao mesmo tempo possibilitem a fabricação de FETs com bom desempenho elétrico.

Figura 3.1 - Representação esquemática da arquitetura *bottom-gate bottom-contacts* (Fonte: Autor).

O processo de fabricação dos OFETs exige alguns requisitos essenciais tais como deposição dos contatos fonte/dreno e porta com padrões bem definidos e seguindo o *layout* desejado e a ortogonalidade dos solventes. A deposição dos contatos dreno e fonte dos OFETs com um padrão bem definido tem um papel essencial no desempenho destes dispositivos uma vez que define os parâmetros de comprimento e a largura do canal dos transistores. Ademais, a deposição perfeita do contato da porta sobre a largura do canal do transistor se faz necessária a fim de minimizar efeitos de corrente de fuga. Por se tratar de um sistema de múltiplas camadas, a escolha de solventes perfeitamente ortogonais é muito importante para evitar a dissolução da camada inferior e, conseqüentemente, evitar a degradação do desempenho dos OFETs. O termo ortogonalidade de solventes se refere aos solventes que dissolvem a camada superior do transistor (no caso da arquitetura *bottom-gate*, o semicondutor), mas que não dissolvem a camada inferior (para o caso citado, a camada dielétrica).

Muitas técnicas de deposição têm sido desenvolvidas e adaptadas para a fabricação dos OFETs. No entanto, neste capítulo serão abordadas em mais detalhes apenas as técnicas de deposição utilizadas para a fabricação dos transistores e inversores lógicos obtidos neste trabalho.

3.1.1. Spin-coating

A técnica de *spin-coating* (Figura 3.2) é uma das mais utilizadas na área de eletrônica orgânica para a deposição de filmes finos de uma variedade de dispositivos eletrônicos, inclusive na deposição da camada semicondutora e dielétrica de OFETs. Esta técnica permite a obtenção de filmes uniformes com espessura da ordem de nanômetros a micrômetros de forma rápida e fácil. Nesta técnica, o substrato é fixado ao *spinner* por meio de sucção a vácuo e a solução a ser depositada é espalhada sobre toda a superfície com o auxílio de uma pipeta. Em seguida, uma rotação é aplicada durante um tempo pré-determinado pelo operador, sendo que durante este processo uma quantidade de solução é eliminada do substrato devido à ação da força centrífuga e o solvente é evaporado. Ao término deste processo, uma camada é formada, constituindo assim o filme ^[45]. A espessura final do filme obtido por *spin-coating* depende da concentração da solução, da taxa de evaporação do solvente (a qual por sua vez depende da viscosidade do solvente e pressão de vapor) e da velocidade de rotação do *spinner*.

Apesar da técnica de *spin-coating* ser muito vantajosa para estudos que envolvem a área acadêmica, sua utilização em escala industrial é limitada devido ao baixo volume de produção quando comparado a processos contínuos do tipo *roll-to-roll*. Adicionalmente, esta técnica apresenta outras desvantagens tais como o grande desperdício de solução jogada fora do substrato durante o processo de deposição, além das limitações referentes ao tamanho do substrato ^[46].

Figura 3.2 - Representação da técnica de *spin-coating* ^[47].

3.1.2. *Inkjet* (jato de tinta)

Inkjet é uma técnica de impressão utilizada para a deposição de soluções de materiais orgânicos com grande precisão de posicionamento. É considerada uma técnica de baixo custo, pois elimina a necessidade de utilização de máscaras, além de minimizar possíveis contaminações das soluções por ser uma técnica de não-contato. A deposição da solução pode ser feita no modo contínuo ou gota-a-gota (DOD – *Drop on demand*), dependendo da resolução necessária na impressão e das características da tinta. No caso da fabricação de circuitos eletrônicos impressos o modo DOD é o mais indicado devido a maior precisão. Neste modo, a gota é formada a partir da ação de um pulso acústico e é ejetada por um orifício (*nozzle* - bico de impressão) como ilustrado na Figura 3.3.

Figura 3.3 - Esquema representativo da técnica de *inkjet* ^[27].

A formação da gota pode ocorrer por meio de um processo de compressão mecânica (piezelétrico) ou por meio do aquecimento da tinta, sendo posteriormente carregada eletricamente e então acelerada por meio da ação de um campo elétrico até o substrato. O método DOD piezelétrico é o mais utilizado devido à maior possibilidade de utilização de tintas com variados solventes, ao passo que no caso do método DOD térmico o solvente mais comum empregado na preparação das tintas é a água. A espessura final do filme depositado por *inkjet* depende do número de gotas depositadas por área, do volume individual de cada gota e da concentração da tinta utilizada.

Apesar de apresentar limitações em relação à velocidade de deposição e à viscosidade da solução, a técnica de *inkjet* tem se mostrado extremamente útil para deposições que exigem padrões mais complexos.

3.1.3. *Spray-coating*

A técnica de *spray-coating* já é uma técnica muito bem estabelecida no ramo das artes gráficas, de revestimento industrial e de pintura. Esta técnica, além de permitir a cobertura de grandes áreas, possibilita a deposição de uma ampla variedade de materiais (com uma grande faixa de viscosidades) em superfícies com diferentes propriedades morfológicas. Nesta técnica a tinta é forçada a passar através de um bico, no qual um fino aerossol é formando, como ilustrado na Figura 3.4. Devido à complexidade no processo de formação do aerossol e de evaporação do solvente utilizado, o controle da rugosidade e da espessura do filme depositado se torna difícil. Esta técnica apresenta com principais vantagens a possibilidade de utilização de uma grande variedade de materiais com propriedades distintas, de deposição de filmes com padrões definidos desde que sejam utilizadas máscaras de sombra com o *layout* desejado, além de ser considerada uma técnica de baixo custo instrumental.

Figura 3.4 - Esquema representativo da técnica de *spray-coating* ^[27].

3.1.4. *Blade-coating*

A técnica de *blade-coating* é utilizada para a obtenção de filmes sobre grandes áreas de substratos rígidos ou flexíveis. Esta técnica também é conhecida como *knife coating* ou *doctor blading* e é caracterizada por possibilitar a obtenção de filmes com uma espessura bem definida, que pode ser controlada pela distância entre a lâmina e o substrato ^[27]. Nesta técnica, a tinta é fornecida em frente de uma lâmina, que se encontra próxima ao substrato (ver Figura 3.5). À medida que o substrato e a lâmina se movem um em relação ao outro, a tinta é depositada e sua passagem é somente permitida na região abaixo da lâmina. Teoricamente, a espessura final do filme é definida apenas como metade da distância entre a lâmina e o substrato, porém, variações podem ser observadas devido à energia de superfície do substrato, tensão superficial e viscosidade da solução utilizada.

Figura 3.5 - Esquema representativo da técnica de *blade-coating* ^[27].

Uma das principais vantagens desta técnica em relação à técnica de *spin-coating* consiste no fato de que há um menor desperdício de solução quando já são conhecidas as condições ideais de deposição, de tal forma que um filme pode ser formado com a utilização de pouca quantidade de material. Além disso, a técnica de *blade-coating* apresenta a vantagem de poder ser transferida para condições de processamento contínuos do tipo *roll-to-roll*, no qual é conhecida como *knife-over-edge coating* ^[46]. No entanto, apesar da técnica de *spin-coating* e de *blade-coating* serem semelhantes em termos da complexidade operacional e do custo instrumental, a técnica de *spin-coating* tem ganhado preferência, muitas vezes, devido ao tempo de secagem mais rápida dos filmes, o que conseqüentemente evita a formação de agregados de alguns materiais.

3.1.4.1. Técnica de *blade-coating* combinada com substratos com energia de superfície padronizada

Como já abordado anteriormente, o processamento de OFETs com elevado desempenho apresenta como requisito principal a deposição de camadas com padrões bem definidos e com o *layout* desejado. Com exceção da camada dielétrica, as demais camadas nos OFETs devem apresentar um padrão de deposição definido. Para atender a estes requisitos, muitos trabalhos na literatura têm utilizado técnicas de evaporação térmica de metais, fotolitografia e *inkjet* ^[48, 49, 50]. No entanto, uma alternativa simples e de baixo custo para este tipo de deposição que requer padrões bem definidos consiste na utilização da técnica de *blade-coating* combinada com substratos com energia de superfície padronizada (SEP) ^[35].

Os substratos com energia de superfície padronizada (SEP) são caracterizados por apresentar áreas com diferenças nos valores das tensões superficiais, de forma que apresentem

regiões com características específicas e controláveis de molhabilidade para permitir a deposição controlada de determinados materiais seguindo o *layout* desejado. Basicamente, o processo de obtenção dos substratos com energia de superfície padronizada é realizado seguindo duas etapas: primeiramente; deve ser realizada a deposição da monocamada de FDTS (Perfluorodeciltriclorosilano) com o objetivo de reduzir a energia de superfície do substrato e, em seguida, apenas algumas regiões do substrato (as quais apresentam o *layout* desejável para a impressão) devem ser tratadas com plasma de oxigênio a fim de aumentar a molhabilidade das mesmas. Esta última etapa requer a utilização de máscaras de sombra que apresentem o *layout* desejado para a impressão. Após este tratamento, o material pode ser depositado utilizando a técnica de *blade-coating*, de forma que a tinta ficará restrita apenas nas regiões do substrato com característica hidrofílica, formando assim o padrão de impressão desejável. Um esquema ilustrativo das etapas envolvidas no processamento da técnica de *blade-coating* combinada com os substratos com energia padronizada está apresentado na Figura 3.6.

Figura 3.6 - Esquema representativo das etapas de processamento envolvidas na técnica de *blade-coating* combinada com substratos com energia de superfície padronizadas (Fonte: autor).

Nas subseções seguintes são apresentadas de forma sucinta as características dos processos de tratamento por plasma de oxigênio, de deposição das monocamadas de auto organizadas de FDTS e das características das tintas para a deposição utilizando o método do *blade-coating* combinado com os substratos com energia de superfície padronizadas.

3.1.4.1.1. Deposição das monocamadas auto organizadas de FDTS

Um dos tratamentos mais utilizados para reduzir a energia de superfície é baseado no processo de deposição de monocamadas auto organizadas de moléculas de Perfluorodeciltriclorosilano (FDTS). As monocamadas de FDTS são depositadas a partir de uma fase de vapor à temperatura ambiente e em vácuo. Durante este processo, as moléculas de FDTS formam ligações químicas covalentes com os grupos hidroxilas (-OH) presentes na superfície tratada. A redução da energia de superfície do substrato é atribuída à presença do terminal fortemente fluorado na molécula de FDTS, como pode ser observado a partir da fórmula estrutural química apresentada na Figura 3.7.

Figura 3.7 - Representação da fórmula estrutural química da molécula de FDTS (Fonte: autor).

3.1.4.1.2. Tratamento por plasma de oxigênio

Um dos métodos mais utilizados para aumentar a molhabilidade de superfícies poliméricas consiste no tratamento por plasma de oxigênio. Neste tratamento, a superfície do material é submetida a um bombardeamento por um feixe iônico criado por um campo elétrico de alta tensão e em atmosfera de baixa pressão. Com o choque entre as espécies reativas do gás e a superfície tratada há a quebra de ligações químicas na superfície do material que, conseqüentemente, permitirão a formação de grupos funcionais polares nesta superfície, aumentando a molhabilidade ^[51, 52].

A ação do plasma sobre a superfície de um dado material depende dos parâmetros de potência e tempo de ação do plasma, bem como do tipo de gás e do tipo de superfície tratada ^[53].

A grande vantagem desta técnica consiste no fato de que as propriedades do volume do material tratado não são modificadas, uma vez que os efeitos do tratamento por plasma se estendem apenas a poucos nanômetros abaixo da superfície do material ^[54], sendo um dos tipos de tratamento de superfície mais indicado e eficaz para o tratamento de substratos plásticos como polietileno tereftalato (PET) e polietileno naftalato (PEN) ^[55].

3.1.4.1.3. As características da tinta

Para que sejam produzidos bons padrões de impressão utilizando a técnica de *blade-coating* combinada com os substratos com energia de superfície padronizada, faz-se necessário que solução a ser depositada apresente um número de capilaridade baixo ^[35]. Esta grandeza é uma medida relativa entre as forças viscosas e a tensão superficial, como expresso na equação (3.1):

$$Ca = \frac{\eta v}{\gamma}, \quad (3.1)$$

sendo η a viscosidade, γ a tensão superficial e v a velocidade.

Da análise da equação (3.1) é possível inferir que um número de capilaridade baixo garante que as forças viscosas não sejam dominantes em relação as forças da tensão superficial, critério este essencial para permitir a deposição da tinta em determinadas regiões, constituindo o padrão de impressão almejado. Adicionalmente, deposições realizadas a baixas velocidades (v) são importantes para possibilitar a formação de um bom padrão de impressão ^[35].

3.2. Materiais

3.2.1. Semicondutores orgânicos

Os materiais poliméricos têm se apresentado como uma classe de materiais promissora para ser utilizada em dispositivos eletrônicos, especialmente como camada semicondutora. O politiofeno foi o primeiro material orgânico a ser usado como camada ativa em transistores de efeito de campo em 1987 ^[56] e, desde então, tem havido um grande progresso nesta área de pesquisa em relação ao processamento destes materiais semicondutores.

Como ocorre nos semicondutores inorgânicos, os materiais orgânicos também são classificados como semicondutores do “tipo p” e do “tipo n”. Esta classificação está relacionada com o tipo de portador majoritário presente no material, sendo que no caso do semicondutor do “tipo p” os buracos são os portadores majoritários, enquanto que no “tipo n” são os elétrons. Os

materiais orgânicos do “tipo p” são mais extensivamente estudados em relação aos do “tipo n” devido a maior facilidade na escolha de metais que sejam bons injetores de buracos [57].

Dentre os semicondutores orgânicos do “tipo p” mais utilizados em eletrônica orgânica está o poli(3-hexiltiofeno) (P3HT), cuja fórmula estrutural está representada na Figura 3.8(a). O grupo substituinte (3-alquil) neste polímero pode ser incorporado na cadeia principal por meio de dois arranjos: cabeça-cabeça e cabeça-cauda. Quando existe uma mistura destes dois arranjos o P3HT é dito *régio-aleatório*, enquanto que quando existe apenas o arranjo cabeça-cauda o P3HT é dito *régio-regular* (rr-P3HT). O grau de regioregularidade do P3HT pode variar de 70 a 98% dependendo do método e das condições de síntese e, é um parâmetro de extrema importância, uma vez que a mesma afeta diretamente a mobilidade [41].

Filmes de rr-P3HT têm sido amplamente utilizados como camada ativa em OFETs devido ao seu elevado valor de mobilidade, facilidade de processamento e a sua disponibilidade comercial [58, 59]. No entanto, uma das limitações destes dispositivos a base de P3HT consiste na degradação do seu desempenho quando operam em condições ambiente [60, 61]. Esta baixa estabilidade em atmosfera ambiente está relacionada com a rápida interação das moléculas de oxigênio com o polímero em um processo denominado de foto-oxidação. Entretanto, recentemente, alguns trabalhos demonstraram que o processo de foto-oxidação neste polímero é totalmente reversível e, que o desempenho e as propriedades destes dispositivos podem ser recuperadas e até melhoradas por meio da utilização de solventes de baixa volatilidade para o P3HT e por meio do tratamento térmico em vácuo [62, 63].

Outro tipo de material promissor para a aplicação em camada semicondutora de OFETs são blendas constituídas pela mistura de um material polimérico amorfo com uma molécula semicondutora pequena. Estas blendas têm despertado o interesse de pesquisadores da área da eletrônica impressa devido à boa formação dos filmes utilizando técnicas de impressão, às boas propriedades semicondutoras (que advém das propriedades semicondutoras das pequenas moléculas) e mecânicas (flexibilidade) [64, 65]. Uma blenda constituída pela mistura de uma molécula pequena de alto desempenho, denominada de 2,8-difluoro-5,11-bis(trietilsililetinil)antradiotiofeno (diF TES ADT), com o polímero amorfo poli[bis(4-fenil)-(2,4,6-trimetilfenil)amina] (PTAA) tem sido utilizado recentemente como camada semicondutora do tipo p em OFETs [8, 35, 64, 66,]. Esta blenda, especialmente, tem apresentado bons resultados quando utilizada em transistores, como elevados valores de razão I_{on}/I_{off} e mobilidade de efeito de campo, bem como baixos valores de tensão de limiar (V_T). As fórmulas estruturais do PTAA e do diF TES ADT estão apresentadas nas Figuras 3.8(b) e 3.8(c), respectivamente.

Figura 3.8 - Fórmulas estruturais químicas do (a) rr-P3HT, (b) PTAA, (c) diF TES ADTe (d) P(NDI2OD-T2) (N2200) (Fonte: autor).

Embora o desenvolvimento na área de semicondutores orgânicos do “tipo n” seja mais lento em relação aos do “tipo p”, grande ênfase tem sido dada a esta área visto que esta categoria de semicondutor é essencial para a construção de circuitos lógicos complementares. Um dos semicondutores orgânicos do “tipo n” mais investigados atualmente é o poli{[N,N’-bis(2-octildodecil)-naftaleno-1,4,5,8-bis(dicarboximida)-2,6-diil]-alt-5,5’-(2,2’-bitiofeno)]} (P(NDI2OD-T2)), cujo nome comercial é *N2200* (Figura 3.8(d)). Este material tem atraído muita atenção devido ao elevado valor de mobilidade (cerca de $0,85 \text{ cm}^2/\text{V.s}$) obtido em OFETs ^[67], à sua estabilidade em atmosfera ambiente e à possibilidade de utilização de diversas técnicas de deposição, como gravura, flexografia, *spin-coating* e *inkjet* ^[9].

3.2.2. Materiais condutores orgânicos

A deposição dos contatos elétricos da porta e dreno/fonte dos OFETs requer a utilização de materiais que apresentem como característica principal elevados valores de condutividade elétrica. Os materiais metálicos como o ouro, a prata e o alumínio são os mais utilizados para a fabricação dos contatos elétricos dos OFETs, sendo depositados por meio das técnicas de evaporação térmica, fotolitografia e de *inkjet* ^[48, 49, 50]. Entretanto, o emprego destes metais deve

ser substituído por materiais com custo reduzido e que possam ser processados em solução a fim de tornar o processo de deposição dos contatos elétricos dos OFETs mais barato, simples e compatível com processos do tipo *roll-to-roll*. Um dos materiais que satisfaz estas condições e que tem ganhado especial destaque na literatura para a formação dos contatos dreno/fonte e porta de OFETs é a blenda de poli(3,4-etilendioxitiofeno)-poli(estireno sulfonato) (PEDOT:PSS) [35, 68, 69].

Figura 3.9 - Representação da fórmula estrutural química do PEDOT:PSS (Fonte: autor).

Este material tem atraído um considerável interesse devido às suas propriedades de elevada condutividade (acima de 1000 S/cm) e estabilidade em atmosfera ambiente [70, 71]. As fórmulas estruturais químicas do PEDOT:PSS estão representadas na Figura 3.9.

3.2.3. Dielétricos orgânicos

Como já discutido anteriormente, o fenômeno de acumulação de cargas e o mecanismo de transporte de cargas nos OFETs ocorrem na interface semicondutor/ dielétrico. Isto significa que o bom desempenho destes dispositivos está diretamente relacionado com a qualidade desta interface. As características da interface semicondutor/ dielétrico são determinadas não apenas pelas propriedades da camada semicondutora, mas também pelas propriedades da camada dielétrica.

Os requisitos necessários para a camada dielétrica nestes dispositivos envolvem propriedades como alta tensão de ruptura, elevada constante dielétrica (ϵ), mínima concentração de impurezas, boa estabilidade em atmosfera ambiente e fácil processamento. Entretanto, a camada dielétrica nos OFETs é caracterizada principalmente por sua constante dielétrica ϵ , uma vez que esta propriedade está relacionada com a capacitância e, conseqüentemente, com a quantidade de cargas induzidas na interface semicondutor/ dielétrico para uma determinada tensão aplicada na porta (V_g). Estas grandezas estão relacionadas também com a espessura (d) e com a área (A) da camada dielétrica na forma

$$Q_{m\acute{o}veis} = C_i(V_g - V_T) = \epsilon\epsilon_0 \frac{A}{d}(V_g - V_T) \quad (3.2)$$

onde ϵ_0 é a constante de permissividade do vácuo ($8,85 \times 10^{-12} \text{ F/m}$).

Desta forma, analisando a equação (3.2) é possível inferir que as tensões de operação dos transistores podem ser reduzidas por meio da utilização de camadas isolantes mais finas ou por meio da escolha de um material isolante com elevada constante dielétrica. No entanto, a redução da espessura da camada isolante nos OFETs não é recomendada devido à maior probabilidade de aparecimento de defeitos na interface e devido à redução na tensão de ruptura destes filmes ^[41].

Dentre os materiais poliméricos isolantes, o polimetilmetacrilato (PMMA) tem sido um dos mais empregados como camada dielétrica em OFETs com a arquitetura *top-gate bottom-contacts* ^[72] devido ao elevado caráter hidrofóbico deste material, que pode culminar em resultados mais reprodutíveis e em dispositivos com funcionamentos mais estáveis em condições ambiente.

Figura 3.10 - Apresentação das fórmulas estruturais químicas e dos valores da constante dielétrica do (a) PMMA e do (b) P(VDF-TrFE) (Fonte: autor).

No entanto, para que os OFETs apresentem um bom funcionamento a baixas tensões se faz necessária a utilização de dielétricos com elevada constante dielétrica. Dentre os dielétricos de elevada constante dielétrica, tem-se destacado a utilização do poli (fluoreto de vinilideno-trifluoretileno) (P(VDF-TrFE)) ^[10, 73]. Na Figura 3.10, estão apresentadas as fórmulas estruturais do PMMA e do P(VDF-TrFE), bem como os seus respectivos valores de constante dielétrica.

4. Fabricação e caracterização de inversores lógicos complementares

4.1. Descrição da metodologia adotada para fabricar transistores de canal p e n com desempenhos elétricos semelhantes

Neste capítulo é apresentado um método eficiente e de baixo custo para ajustar as propriedades elétricas de OFETs de canal p e de canal n a fim de possibilitar a fabricação de circuitos lógicos complementares orgânicos (CMOS). Como já discutido anteriormente (capítulo 2), o grande desafio na fabricação de circuitos lógicos a base da tecnologia CMOS envolve a combinação de transistores de canal p e de canal n que apresentem desempenhos semelhantes, isto é, estes dispositivos devem apresentar valores de mobilidade de efeito de campo e de tensão de limiar parecidos [15, 16, 17].

Sabe-se que o desempenho elétrico dos transistores é determinado não apenas pelas propriedades da camada semicondutora, mas também pelas propriedades da camada dielétrica (isolante) [74, 75]. Particularmente, tem sido discutido na literatura que a mobilidade de efeito de campo nestes dispositivos pode ser modificada pelas propriedades físico-químicas e elétricas da camada dielétrica [76, 77]. Além disso, no caso dos OFETs com arquitetura *top-gate bottom-contacts* é naturalmente esperado que o desempenho destes dispositivos dependa também do solvente e das etapas de processamento do material dielétrico [78, 79]. Isto se deve ao fato de que podem ocorrer mudanças na superfície da camada semicondutora por meio do seu contato com o solvente utilizado para produzir a camada isolante, caso este solvente não seja perfeitamente ortogonal ao material semicondutor.

Adicionalmente, alguns estudos recentes na literatura têm apontado que as propriedades do solvente utilizado para a dissolução do polímero dielétrico apresentam efeitos diretos nas propriedades elétricas destes filmes, bem como no desempenho elétrico dos OFETs. Tippo et al [80] mostraram em seus estudos que filmes de PMMA depositados via *spin-coating* exibem maiores valores de constante dielétrica e de tensão de ruptura, bem como menores valores de rugosidade de superfície e de corrente de fuga quando são utilizados solventes de alto ponto de ebulição na dissolução deste polímero. De acordo com estes autores, a baixa pressão de vapor destes solventes permite a obtenção de filmes com elevada uniformidade e, conseqüentemente melhores propriedades físicas e elétricas. A influência do ponto de ebulição e também do momento de dipolo dos solventes na conformação das cadeias de PMMA foram investigados por Tung et al por meio da técnica de simulação de Dinâmica Molecular [81]. Os resultados das simulações computacionais neste estudo apontaram que a conformação das cadeias de PMMA em solução permanece no estado mais estendido com o aumento do momento de dipolo e do

ponto de ebulição do solvente utilizado devido ao aumento das forças de interação entre o solvente e o polímero. Como resultado, há um aumento no grau de orientação dos grupos funcionais do PMMA durante os processos de deposição e de tratamento térmico. Complementarmente, segundo um estudo realizado por Ukah et al ^[82], a mobilidade de efeito de campo de OFETs pode ser aumentada em até três ordens de grandeza quando são utilizados solventes para a camada dielétrica com elevado momento de dipolo.

Levando em consideração os trabalhos descritos acima e objetivando a construção de inversores lógicos complementares, nós propomos um método baseado na seleção do solvente da camada dielétrica para ajustar o desempenho elétrico dos OFETs de canal p e de canal n. A arquitetura escolhida para a fabricação dos OFETs foi a *top-gate bottom-contacts*. Como material semiconductor orgânico do “tipo p” foi utilizado o régio-regular poli(3-hexiltiofeno) (rr-P3HT), enquanto que o poli{[N,N’-bis(2-octildodecil)-naftaleno-1,4,5,8-bis(dicarboximida)-2,6-diil]-alt-5,5’-(2,2’-bitiofeno)]} (P(NDI2OD-T2)) foi utilizado como semiconductor orgânico do “tipo n”. O polimetilmetacrilato (PMMA) foi utilizado como camada dielétrica devido a sua característica hidrofóbica que poderia culminar em dispositivos com propriedades elétricas mais estáveis em atmosfera ambiente. Os solventes para a camada dielétrica foram selecionados em relação às suas diferenças nas propriedades de ponto de ebulição e de momento de dipolo, que poderiam conferir diferentes características aos filmes de PMMA e, conseqüentemente, promover mudanças nas propriedades elétricas dos OFETs. Cabe destacar que a maioria dos resultados apresentados neste capítulo foram publicados recentemente na revista *Synthetic Metals* ^[83].

4.2. A seleção dos solventes da camada dielétrica dos OFETs

Tendo como referência os resultados dos trabalhos descritos na seção 4.1, nós buscamos identificar bons solventes para o PMMA (camada dielétrica dos OFETs) que apresentassem diferenças nas propriedades de ponto de ebulição e de momento de dipolo. Os solventes selecionados seguindo estes critérios foram o metil-etil-cetona (MEK), acetato de n-butila (nBA) e dimetilsulfóxido (DMSO), cujas propriedades físicas de interesse estão apresentadas na Tabela 4.1.

Tabela 4.1 - Propriedades físicas de interesse dos solventes utilizados neste estudo ^[84].

Solventes para o PMMA	Ponto de ebulição (° C)	Momento de dipolo
MEK	80	2,78
nBA	126	1,9
DMSO	189	3,96

Ademais, outra característica importante que deve ser levada em consideração no caso da arquitetura *top-gate bottom-contacts* é a ortogonalidade destes solventes em relação ao polímero utilizado para produzir a camada semicondutora dos transistores. O transporte eletrônico ao longo do canal dos OFETs é diretamente influenciado pela morfologia da camada semicondutora, de forma que é muito importante que o solvente selecionado para a deposição da camada dielétrica não dissolva ou afete a superfície da camada semicondutora destes dispositivos. Para avaliar os efeitos destes solventes na superfície da camada semicondutora dos OFETs, foram produzidos filmes de P3HT e de P(NDI2OD-T2) sobre substratos de vidro e, em seguida, foram depositados apenas os solventes da camada dielétrica (MEK, nBA e DMSO) via *spin-coating*. As condições de deposição e de tratamento térmico destes filmes foram iguais às utilizadas na fabricação dos OFETs, cujos detalhes serão apresentados na seção subsequente. As superfícies destes filmes foram analisadas por microscopia de força atômica (AFM) no Laboratório de Microscopia Eletrônica do IFSC/USP, com o suporte técnico do Dr. Marcelo de Assumpção Pereira da Silva. As imagens de AFM dos filmes de P3HT e de P(NDI2OD-T2) estão apresentados nas Figuras 4.1 e 4.2, respectivamente. Os valores da rugosidade quadrática média (RMS) foram obtidos a partir de uma média de valores de RMS encontrados para duas amostras idênticas.

A partir da análise das imagens apresentadas nas Figuras 4.1 e 4.2 é possível inferir que os filmes de P3HT e de P(NDI2OD-T2) apresentaram uma superfície uniforme e homogênea. As variações nos valores de RMS observadas nas Figuras 4.1 e 4.2 indicam que os filmes semicondutores sofreram leves ataques (dissolução) pela ação dos solventes da camada dielétrica. Estes resultados são uma evidência de que os solventes selecionados neste estudo apresentam diferentes graus de ortogonalidade com os polímeros semicondutores utilizados para a fabricação da camada ativa dos OFETs.

Figura 4.1:Imagens de AFM (10 μm x 10 μm) do (a) P3HT "puro" (sem a deposição de qualquer solvente sobre a camada do P3HT), (b) DMSO sobre o P3HT, (c) nBA sobre o P3HT e (d) MEK sobre o P3HT.

Os filmes de P3HT "puros" exibiram uma rugosidade quadrática média igual a $(1,1 \pm 0,1) nm$. Exclusivamente para os filmes de P3HT com a deposição do solvente DMSO, as medidas de RMS permaneceram inalteradas ($RMS = 1,09 \pm 0,09 nm$). Isto significa que a camada de P3HT não é dissolvida (ou não sofre nenhum dano) quando está em contato com este solvente, de forma que o DMSO pode ser classificado como um solvente perfeitamente ortogonal ao P3HT. Por outro lado, variações consideráveis nos valores da rugosidade dos filmes de P3HT foram observadas após a deposição do nBA ($RMS = 1,8 \pm 0,3 nm$) e do MEK ($RMS = 2,4 \pm 0,2 nm$), de modo que estes solventes podem ser classificados como solventes de pobre ortogonalidade em relação ao P3HT.

Figura 4.2: Imagens de AFM ($10\ \mu\text{m} \times 10\ \mu\text{m}$) do (a) P(NDI2OD-T2) “puro” (sem a deposição de qualquer solvente sobre a camada do P(NDI2OD-T2)), (b) MEK sobre o P(NDI2OD-T2), (c) DMSO sobre o P(NDI2OD-T2) e (d) nBA sobre o P(NDI2OD-T2).

Os filmes de P(NDI2OD-T2) “puros” apresentaram valores levemente menores de rugosidade, $RMS = (0,92 \pm 0,09)\ \text{nm}$, em relação aos filmes de P3HT. A deposição do solvente nBA promoveu um aumento no valor da rugosidade dos filmes de P(NDI2OD-T2) ($RMS = 2,27 \pm 0,07\ \text{nm}$), enquanto que a deposição dos solventes DMSO ($0,78\ \text{nm}$) e MEK ($0,9\ \text{nm}$) não promoveu alterações significativas na textura dos filmes. Assim, de maneira análoga à análise anterior, os solventes MEK e DMSO podem ser classificados como solventes perfeitamente ortogonais ao P(NDI2OD-T2), ao passo que o nBA é classificado como um solvente de pobre ortogonalidade.

A utilização de solventes para a camada dielétrica com diferentes graus de ortogonalidade em relação ao polímero semiconductor é um parâmetro interessante a ser analisado, pois essas diferenças nos graus de ortogonalidade podem acarretar em mudanças significativas do comportamento elétrico de OFETs com a arquitetura *top-gate bottom-*

contacts. Após a análise dos efeitos destes solventes sobre a camada semicondutora dos transistores, nós iniciamos o processo de fabricação e de caracterização dos OFETs de canal p e de canal n. A descrição detalhada do processo de fabricação e de caracterização destes dispositivos será exposta na seção seguinte.

4.3. – Metodologia adotada para a fabricação e caraterização dos OFETs

4.3.1. Descrição das etapas de fabricação dos OFETs

Os procedimentos de fabricação dos dispositivos foram realizados em atmosfera inerte de nitrogênio por meio da utilização de duas câmaras anaeróbicas (*glovebox*) pertencentes ao Laboratório de Eletrônica Orgânica (LEO) do Grupo de Polímeros *Bernhard Gross* do IFSC/USP. A utilização das câmaras é feita com o objetivo de evitar efeitos de degradação por oxidação e de deposição de água nos filmes poliméricos. Na primeira delas (*Glovebox Inertec*) são dispostos dois agitadores magnéticos, um deles equipado com uma placa aquecedora (*hot-plate*), uma balança de precisão, uma câmara de tratamento térmico e um *spin-coater* multi-estágio com controle de aceleração e de velocidade de rotação que permite a deposição dos filmes poliméricos. Nesta primeira *glovebox* são realizados os procedimentos de preparação das soluções, deposição dos filmes poliméricos e de tratamento térmico dos mesmos quando necessário. A segunda *glovebox* (*mBraun*) é equipada com uma evaporadora de metais *Edwards* que permite o controle da taxa de evaporação e da espessura, na qual são realizados os procedimentos de deposição dos contatos dreno/fonte e porta dos OFETs.

Figura 4.3 - Foto das câmaras anaeróbicas (*gloveboxes*) utilizadas para a fabricação dos OFETs. À esquerda *Glovebox Inertec* e à direita *Glovebox mBraun*.

Para efetuar o transporte de amostras entre as *gloveboxes* foi utilizada uma câmara auxiliar de aço inox com uma tampa para fechamento hermético, que mantém a atmosfera de nitrogênio durante o transporte. Na Figura 4.3 está apresentada uma foto das câmaras anaeróbicas utilizadas para a fabricação dos OFETs.

Os procedimentos para a construção dos OFETs de canal p e de canal n com a arquitetura *top-gate bottom-contacts* são descritos mais detalhadamente nas subseções seguintes. Na Figura 4.4 está representada a estrutura da arquitetura *top-gate bottom-contacts*, juntamente com a representação das fórmulas estruturais químicas dos materiais utilizados na fabricação destes dispositivos.

Figura 4.4 –Representação da arquitetura *top-gate bottom-contacts*, juntamente com as fórmulas estruturais químicas dos materiais utilizados na fabricação dos OFETs de canal p e de canal n (Fonte: autor).

a. Etapa 1: Padronização do tamanho e limpeza dos substratos de vidro

Os substratos de vidro foram padronizados para o tamanho de $25 \times 25 \text{ mm}$ a partir do corte de lâminas de vidro de microscópio (tamanho $25 \times 75 \text{ mm}$). A etapa de limpeza destes substratos é feita momentos antes deles serem levados à evaporadora, sendo caracterizada por seis passos: *i*) Inicialmente os substratos foram colocados em um béquer que continha uma solução de potassa alcoólica (concentração de 2% de KOH) e levados ao ultrassom por 10

minutos; *ii*) em seguida, os substratos foram lavados em água deionizada corrente por várias vezes para a retirada da solução de potassa alcoólica; *iii*) *depois*, para ajudar na remoção total da solução de potassa alcoólica, os substratos foram colocados em um béquer com água deionizada, e levados, novamente ao ultrassom por cerca de 10 minutos; *iv*) após isso, os substratos foram colocados em um béquer com acetona e colocados para aquecer. O béquer só foi retirado do aquecimento quando a acetona começou a ferver; *v*) logo em seguida, os substratos foram imersos em isopropanol e colocados para ferver; *vi*) e finalmente, todos os substratos foram secos com o auxílio de um jato de nitrogênio.

b. Etapa 2: Evaporação dos contatos dreno e fonte de ouro dos OFETs

A deposição dos contatos dreno e fonte dos OFETs de canal p e de canal n foi feita via evaporação térmica de ouro com a utilização de uma máscara de sombra (Figura 4.5(a)). Esta máscara é caracterizada por apresentar nove transistores e um capacitor (área = 0,01 cm²), sendo que a razão W/L é igual a 20. As dimensões geométricas (W e L) de cada transistor da máscara estão apresentadas na Tabela 4.2. Com o objetivo de reduzir efeitos de corrente de fuga nesta máscara cada transistor possui seu par de contatos dreno e fonte que são independentes dos demais transistores. Os procedimentos de evaporação térmica foram feitos sob pressão de aproximadamente 2×10^{-6} mbar e à taxa relativamente lenta (1 Å/s). A espessura obtida para os contatos dreno e fonte foi igual a 50 nm. Na Figura 4.5(b) estão representados os contatos dreno e fonte de ouro depositados sobre um substrato de vidro. Ao final desta etapa, os substratos com a evaporação dos contatos foram colocados na *glovebox Inertec*, onde foram realizadas as etapas de deposição dos filmes da camada ativa e do dielétrico.

Tabela 4.2 - Apresentação das dimensões geométricas dos 9 transistores que constituem a máscara de sombra utilizada neste trabalho para a deposição dos contatos dreno e fonte (Fonte: autor).

	T1	T2	T3	T4	T5	T6	T7	T8	T9
W (μm)	1000	1000	1000	2000	2000	3000	3000	4000	4000
L (μm)	50	50	50	100	100	150	150	200	200

Figura 4.5 - Ilustração da máscara de sombra dos contatos dreno e fonte (a) e foto da evaporação de ouro sobre o substrato de vidro (b).

c. *Etapa 3: Deposição via spin-coating da camada ativa dos OFETs*

Todas as etapas que envolvem a preparação da camada ativa nos OFETs foram realizadas sob atmosfera controlada de nitrogênio. Estas etapas incluem desde os procedimentos de abertura dos frascos dos polímeros utilizados, a pesagem dos pós, a adição do solvente, até a deposição do filme via *spin-coating* e o tratamento térmico. Para a fabricação dos transistores de canal p foi utilizado o polímero semicondutor poli (3-hexiltiofeno) régio-regular (rr-P3HT) como camada ativa, enquanto que para os transistores decanal n foi utilizado o polímero semicondutor poli {[N,N'-bis(2-octildodecil)-naftaleno-1,4,5,8-bis(dicarboximida)-2,6-diil]-alt-,5'-(2,2'-bitiofeno)]} (P(NDI2OD-T2)), com nome comercial *N2200*. As soluções dos polímeros em o-diclorobenzeno (o-DCB) foram sempre preparadas um dia antes de sua utilização para a obtenção dos filmes, permanecendo sob agitação à temperatura de 70°C. Este cuidado foi tomado com o objetivo de se obter uma solução mais homogênea e sem precipitados. As informações a respeito das características dos polímeros semicondutores empregados, das soluções preparadas e dos parâmetros de deposição e de tratamento térmico estão apresentadas na Tabela 4.3.

Tabela 4.3 - Dados dos polímeros utilizados como camada semicondutora nos OFETs e da deposição dos filmes (Fonte: autor).

Polímero	Empresa	Massa molar (KDa)	Concentração da solução em o-DCB (mg/mL)	Parâmetros de deposição	Tratamento térmico
P3HT	<i>Sigma Aldrich</i>	87	20	500 rpm por 1 minuto + 300 rpm por 1 min	160° C por 15 min
P(NDI2OD-T2)	<i>Polyera Corporation</i>	250	20	2000 rpm por 1 min	120 ° C por 1 hora

Os tratamentos térmicos dos filmes da camada ativa dos OFETs foram realizados em vácuo. Transcorrido o tempo de tratamento térmico, os filmes permaneceram dentro da câmara e em vácuo até atingir a temperatura ambiente para que, posteriormente, fosse realizado o procedimento de deposição da camada dielétrica. Na Figura 4.6(a) e 4.6(b) estão representados os filmes da camada ativa do transistor de canal p e de canal n, respectivamente.

(a)

(b)

Figura 4.6 - Foto da camada ativa do OFET de (a) canal p e (b) canal n.

d. Etapa 4: Deposição via spin-coating do dielétrico dos OFETs

A camada dielétrica dos OFETs foi produzida utilizando o polímero PMMA (massa molar de 120 KDa, *Aldrich*) e alguns solventes, tais como, metil – etil – cetona (MEK), acetato de n-butila (nBA) e dimetilsulfóxido (DMSO). Todas as soluções de PMMA foram

preparadas com concentração de 70 mg/mL, sendo que os procedimentos de pesagem do pó e de adição dos solventes foram feitos em atmosfera ambiente, uma vez que o PMMA não sofre degradação por oxidação. As soluções de PMMA em nBA e DMSO foram deixadas agitando à temperatura de 60 °C durante uma noite, enquanto a solução em MEK ficou agitando à temperatura ambiente. Após isso, as soluções foram retiradas do aquecimento e deixadas atingir a temperatura ambiente para que fossem filtradas em um filtro com diâmetro de 0,45 µm e em seguida levadas para o interior da *glovebox Inertec*. Por fim, as soluções foram depositadas sobre a camada semicondutora dos OFETs via *spin-coating*.

Os parâmetros de deposição (apresentados na Tabela 4.4) para cada solução foram selecionados com o objetivo de obter filmes de PMMA com espessura de cerca de 800 nanômetros. Aproximadamente 12 horas após a deposição, os filmes foram transportados à segunda *glovebox (mBraun)* para a deposição do contato da porta dos OFETs.

Tabela 4.4 - Parâmetros de deposição das soluções de PMMA.

Solução	Parâmetros de deposição
PMMA em MEK	1000 rpm por 30 s
PMMA em nBA	500 rpm por 30 s
PMMA em DMSO	500 rpm por 30 s

Etapa 5: Deposição do contato da porta dos OFETs

O contato da porta para ambos os OFETs (canal p e canal n), foi depositado via evaporação térmica de prata sobre o dielétrico com a utilização de uma máscara de sombra (mostrada na Figura 4.7(a)). As condições, nas quais os procedimentos de evaporação térmica do contato da porta foram feitos são iguais às utilizadas na deposição contatos dreno e fonte, estando descritos na etapa 2 desta seção. A espessura do contato da porta foi de 70 nm. Na Figura 4.7(b) está mostrada uma foto do dispositivo finalizado.

Figura 4.7 - Ilustração (a) da máscara de sombra da porta dos OFETs e (b) do OFET de canal n já finalizado.

4.3.2. Descrição do procedimento de caracterização elétrica dos OFETs

Os OFETs foram caracterizados por meio das curvas de saída (I_d vs. V_d) e de transferência (I_d vs. V_g) utilizando um eletrômetro da *Keithley 4200*. Todas as medidas elétricas foram realizadas em atmosfera de nitrogênio por meio da utilização de uma *probe station* localizada no interior de uma *glovebox*. No caso dos OFETs de canal p, as curvas de saída foram realizadas para tensões aplicadas na porta de 0 V, - 10 V, - 20 V, -30 V e - 40 V, no intervalo de V_d entre 10 V e - 80 V, com o passo de - 2 V. Ao passo que as curvas de transferência foram realizadas para valores de V_d iguais a 0 V, - 40 V e - 80 V, no intervalo de V_g entre 20 V e -80 V (ida), com passo de - 1 V. No caso dos OFETs de canal n, as medidas elétricas foram realizadas nas mesmas condições descritas para os OFETs de canal p, apenas invertendo a polaridade das tensões aplicadas na porta e no dreno.

4.3.3. Resultados da caracterização elétrica dos OFETs e discussão

Nesta seção são apresentados os resultados obtidos para OFETs de canal p e de canal n fabricados com diferentes solventes utilizados na deposição da camada dielétrica. Antes de apresentar os resultados se faz necessário explicitar como estes resultados foram analisados. Como já discutido anteriormente, cada amostra (substrato) fabricada possui nove transistores e um capacitor. Durante a execução deste trabalho foi observada uma grande variação na quantidade de transistores que funcionavam por amostra e também uma dispersão nos valores dos parâmetros de interesse dos dispositivos pertencentes à mesma amostra. As causas destes

dois problemas podem ser atribuídas a não uniformidade dos filmes dielétricos, bem como a possíveis danos causados nos contatos elétricos dos OFETs.

Para minimizar efeitos dessa dispersão, a metodologia de estudo adotada neste trabalho consistiu na análise de cada transistor de uma mesma amostra separadamente, sendo selecionados sempre três dispositivos de cada amostra que apresentavam os melhores parâmetros de interesse. Com o objetivo de verificar a reprodutibilidade nos resultados obtidos, foram analisadas três amostras diferentes para cada solvente sendo, portanto, apresentados os resultados de nove transistores para cada conjunto de dados (para cada solvente).

Os parâmetros de interesse analisados neste trabalho são mobilidade de efeito de campo (μ), tensão de limiar (V_T), razão I_{on}/I_{off} e *subthreshold swing* (S). Estes parâmetros foram obtidos a partir da curva de transferência dos OFETs para $|V_D| = 80V$ utilizando o modelo de aproximação do canal gradual. O significado de cada parâmetro, bem como a metodologia de extração dos mesmos está explicado no capítulo 2 deste trabalho.

4.3.3.1. OFETs de canal p

Os nove dispositivos selecionados para representar o conjunto de dados referente a cada solvente utilizado para o PMMA foram nomeados neste trabalho por números sequenciais, como mostrado na Tabela 4.5.

Tabela 4.5 - Denominação dos OFETs de canal p em função do solvente utilizado para dissolver o PMMA.

Denominação dos OFETs	Solvente utilizado para dissolver o PMMA
OFETs 1 a 9	MEK
OFETs 10 a 18	nBA
OFETs 19 a 27	DMSO

As curvas de saída e de transferência dos OFETs que apresentam os melhores valores dos parâmetros de interesse em relação a cada solvente utilizado estão apresentadas na Figura 4.8. Além disso, os valores de cada parâmetro dos OFETs estão apresentados na Tabela 4. 6.

Figura 4.8 - Curvas de saída (a) – (c) e de transferência (d) – (f) dos OFETs de canal p que apresentaram o melhor desempenho dentro de cada conjunto de dados, onde o solvente da camada de PMMA foi: Coluna esquerda: MEK. Coluna central: nBA e Coluna direita: DMSO.

A partir da análise das curvas de saída e de transferência dos OFETs apresentadas na Figura 4.8 é possível inferir que o desempenho destes dispositivos é fortemente influenciado pelo solvente utilizado na deposição da camada dielétrica. Este fato é evidenciado ao se observar na curva de saída os valores da corrente do dreno (I_d) atingidos para $V_g = -40$ V no regime de saturação. O maior valor de I_d , que chega da ordem de $1\mu\text{A}$, foi obtido para o OFET 26 (PMMA/DMSO), enquanto que o menor valor, da ordem de $0,6\mu\text{A}$ foi encontrado para o OFET 05 (PMMA/MEK). Estes valores de I_d estão diretamente relacionados com os valores da mobilidade de efeito de campo dos OFETs, como pode ser observado na Tabela 4.6, na qual o maior valor de mobilidade foi obtido para OFET 26.

Tabela 4.6 - Parâmetros dos OFETs de canal p que apresentaram o melhor desempenho dentro de cada conjunto de dados.

Denominação dos OFETs	μ ($\text{cm}^2/\text{V.s}$)	V_T (V)	Razão I_{on}/I_{off}	S (V/dec)
OFET 05	$(5,5 \pm 0,1) \times 10^{-3}$	$-4,8 \pm 0,6$	132	$25,7 \pm 0,2$
OFET 11	$(8,7 \pm 0,1) \times 10^{-3}$	$-4,2 \pm 0,6$	1194	$9,8 \pm 0,4$
OFET 26	$(1,46 \pm 0,02) \times 10^{-2}$	$-4,8 \pm 0,5$	$1,84 \times 10^4$	$2,1 \pm 0,2$

Além disso, outra evidência do comportamento divergente apresentado por estes transistores pode ser observada a partir da análise da curva de transferência dos mesmos, de onde pode ser extraído diretamente o valor da razão I_{on}/I_{off} destes dispositivos. O maior valor de razão I_{on}/I_{off} , de aproximadamente $1,8 \times 10^4$, foi obtido também para o OFET 26, enquanto que este valor se reduz em uma ordem de grandeza ($\sim 10^3$) para o OFET 11 e chega a atingir até duas ordens de grandezas a menos ($\sim 10^2$) no caso do OFET 05. Outros parâmetros importantes a serem analisados são o S e o V_T , cujos valores também são calculados a partir da curva de transferência no regime de saturação. De acordo com a análise da Tabela 4.6, observa-se também uma grande variação nos valores de S , sendo que o menor valor também foi obtido para o OFET 26. No entanto, o valor de V_T para os três dispositivos se manteve semelhante, sendo o valor mais baixo obtido para o OFET 11.

Com base nesta análise preliminar é possível concluir que o OFET 26, no qual o DMSO foi o solvente utilizado na camada dielétrica, apresentou o melhor desempenho, uma vez que os maiores valores de μ e razão I_{on}/I_{off} e o menor valor de S foram obtidos para o mesmo. Entretanto, outro fator importante a ser analisado é a reprodutibilidade do conjunto de dados dos OFETs com os diferentes solventes. Para isso, todos os parâmetros de interesse dos nove transistores selecionados de cada conjunto de dados estão apresentados na Figura 4.9.

Figura 4.9 - Apresentação dos parâmetros (a) μ , (b) V_T , (c) razão I_{on}/I_{off} e (d) S para cada OFET de canal p.

Cada ponto apresentado nestes gráficos representa o valor obtido de cada parâmetro (identificado no eixo das abcissas) para cada transistor (identificado no eixo das ordenadas de acordo com a denominação apresentada na Tabela 4.5). É interessante destacar que os parâmetros dos OFETs apresentados na Tabela 4.6 também estão representados nos gráficos da Figura 4.9.

Para poder avaliar qual dos conjuntos de dados dos OFETs apresenta uma menor variabilidade dos parâmetros de interesse e, conseqüentemente, maior reprodutibilidade, foram calculados os respectivos valores dos coeficientes de variação para cada parâmetro dos OFETs e para cada conjunto de dados representados na Figura 4.9. Estes valores dos coeficientes de variação estão apresentados na Tabela 4.7.

Tabela 4.7 - Valores dos coeficientes de variação para cada parâmetro dos OFETs de canal p.

Denominação dos OFETs	μ	V_T	Razão I_{on}/I_{off}	S
OFETs 01 a 09	0,239	-0,252	0,576	0,194
OFET 10 a 18	0,813	-0,515	0,951	0,674
OFET 19 a 27	0,235	-0,205	0,668	0,566

Com base na análise dos valores dos coeficientes de variação apresentados na Tabela 4.7, é possível inferir que os OFETs de canal p que utilizaram o DMSO como solvente da camada dielétrica apresentaram menor dispersão de valores para os parâmetros de mobilidade de efeito de campo (μ) e da tensão de limiar (V_T), além de apresentar os melhores valores para estes parâmetros. E ainda que a menor dispersão dos valores dos parâmetros S e razão I_{on}/I_{off} tenha sido obtida para o conjunto de OFETs que utilizaram o MEK como solvente da camada dielétrica, estes dispositivos apresentaram um baixo desempenho quando comparado aos demais OFETs analisados. Por fim, é possível concluir a partir da análise destes resultados que os OFETs de canal p fabricados com o DMSO como solvente da camada dielétrica apresentaram o melhor desempenho e uma maior reprodutibilidade, ao passo que os OFETs fabricados com o nBA como solvente da camada dielétrica apresentaram uma grande dispersão dos resultados e, conseqüentemente, uma baixa reprodutibilidade. É importante ressaltar que os valores dos parâmetros (μ , razão I_{on}/I_{off} e V_T) dos OFETs com o DMSO como solvente do PMMA estão de acordo com os valores dos parâmetros já apresentados na literatura ^[85].

4.3.3.2. OFETs de canal n

De maneira análoga à realizada para os OFETs de canal p, foram selecionados nove dispositivos de canal n para cada solvente utilizado na deposição da camada dielétrica. Estes transistores também foram nomeados com números sequenciais, como demonstrado na Tabela 4.8.

Tabela 4.8 - Denominação dos OFETs de canal n em função do solvente utilizado para dissolver o PMMA.

Denominação dos OFETs	Solvente utilizado para dissolver o PMMA
OFETs 28 a 36	MEK
OFETs 37 a 45	nBA
OFETs 46 a 54	DMSO

Seguindo a metodologia de análise adotada na seção anterior, primeiramente são apresentadas as curvas de saída e de transferência (Figura 4.10) dos OFETs que apresentaram o melhor desempenho referente a cada solvente utilizado. Os parâmetros dos OFETs apresentados na Figura 4.10 estão apresentados na Tabela 4.9.

Figura 4.10 - Curvas de saída (a) – (c) e de transferência (d) – (f) dos OFETs de canal n que apresentaram o melhor desempenho dentro de cada conjunto de dados, onde o solvente da camada de PMMA foi: Coluna esquerda: MEK. Coluna central: nBA e Coluna direita: DMSO.

Tabela 4.9 - Valores dos parâmetros dos OFETs de canal n que apresentaram melhor desempenho dentro de cada conjunto de dados.

Denominação dos OFETs	μ (cm ² / V.s)	V_T (V)	Razão I_{on}/I_{off}	S (V/dec)
OFET 29	$(2,907 \pm 0,007) \times 10^{-2}$	$0,63 \pm 0,08$	4122	$4,6 \pm 0,2$
OFET 40	$(1,766 \pm 0,002) \times 10^{-2}$	$-3,71 \pm 0,05$	721	$5,4 \pm 0,2$
OFET 54	$(4,88 \pm 0,03) \times 10^{-2}$	$-11,9 \pm 0,2$	49	$17,7 \pm 0,3$

A partir de um exame minucioso das curvas de saída e de transferência demonstradas na Figura 4.10 é possível notar divergências no comportamento elétrico de cada OFET. Nas curvas de saída são nitidamente observáveis as diferenças nos valores da corrente do dreno (I_d) para os diferentes valores de tensões aplicadas na porta (V_g), além também de serem evidentes as diferenças nos valores de I_d quando os transistores estão no estado desligado (curvas de transferência). Estas diferenças de corrente afetam diretamente os valores da mobilidade de efeito de campo e de razão I_{on}/I_{off} destes dispositivos. De acordo com os valores dos parâmetros dos OFETs apresentados na Tabela 4.9, podemos concluir que o OFET 29 (PMMA/MEK) apresentou o melhor desempenho, visto que exibiu os menores valores para os parâmetros V_T e S e o maior valor da razão I_{on}/I_{off} . Ainda que o OFET 54 (PMMA/DMSO) tenha apresentado o maior valor de μ , podemos concluir que o mesmo apresentou o pior desempenho devido aos elevados valores de V_T e S e ao baixo valor da razão I_{on}/I_{off} .

Agora, vamos avaliar outro parâmetro de interesse, a reprodutibilidade de cada conjunto de OFETs. Para atender este objetivo, todos os parâmetros dos nove OFETs de cada conjunto de dados são ilustrados nos gráficos da Figura 4.11, incluindo os já apresentados na Tabela 4.9. Além disso, também foram calculados os valores dos coeficientes de variação para cada parâmetro (Tabela 4.10).

Baseado nos valores dos coeficientes de variação, podemos deduzir que o conjunto de OFETs de canal n fabricado utilizando o MEK como solvente da camada dielétrica apresentou uma menor dispersão dos dados em relação aos parâmetros de razão I_{on}/I_{off} e S. No entanto, este mesmo conjunto de OFETs apresentou a maior dispersão dos resultados em relação aos parâmetros μ e V_T . Já no caso dos OFETs fabricados utilizando o nBA como solvente do PMMA foi observada a menor dispersão dos dados para o parâmetro V_T e a maior dispersão para a razão I_{on}/I_{off} em relação aos demais conjuntos de dados analisados. Os OFETs fabricados utilizando o DMSO como solvente da camada dielétrica apresentaram a menor dispersão dos resultados em relação à mobilidade de efeito de campo, porém apresentaram a maior dispersão em relação ao S.

Figura 4.11 - Apresentação dos parâmetros (a) μ , (b) V_T , (c) razão I_{on}/I_{off} e (d) S para cada OFET de canal n.

Tabela 4.10 - Valores dos coeficientes de variação para cada parâmetro dos OFETs de canal n.

Denominação dos OFETs	μ	V_T	Razão I_{on}/I_{off}	S
OFET 28 a 36	0,277	0,381	0,168	0,09
OFET 37 a 45	0,240	-0,08	0,238	0,147
OFET 46 a 54	0,114	-0,122	0,221	0,306

4.3.3.3. Comparação do desempenho elétrico dos OFETs de canal p e de canal n

A análise dos resultados apresentados nas seções 4.3.3.1 e 4.3.3.2 mostraram que as características elétricas dos OFETs de canal p e de canal n apresentam ambos uma forte dependência com o grau de ortogonalidade do solvente da camada dielétrica. Foi observado que os melhores desempenhos foram atingidos quando foram utilizados solventes perfeitamente ortogonais, como no caso do DMSO para os OFETs de canal p e no caso do MEK para os OFETs de canal n. Desempenhos elétricos inferiores foram observados para os dispositivos que utilizaram solventes de pobre ortogonalidade, como resultado do aumento no valor de

rugosidade dos filmes semicondutores devido ao efeito destes solventes (imagens de AFM apresentadas na seção 4.2). Esta dependência do comportamento elétrico dos OFETs com o solvente da camada dielétrica já era esperada, uma vez que o transporte dos portadores de carga nestes dispositivos ocorre na interface semicondutor/isolante. Desta forma, a escolha do solvente da camada dielétrica na arquitetura *top-gate* é muito importante, de forma que solventes perfeitamente ortogonais à camada semicondutora devem ser selecionados a fim de se obter dispositivos com elevado desempenho. É interessante notar que maiores valores de mobilidade de efeito de campo foram obtidos para os OFETs de canal p e de canal n que utilizaram o DMSO como solvente da camada dielétrica. Os fatores responsáveis por esta característica são tanto a perfeita ortogonalidade deste solvente com os polímeros semicondutores (comprovadas pelas imagens de AFM apresentadas na seção 4.2) quanto o elevado valor do momento de dipolo deste solvente. Este último fator está relacionado com a conformação mais estendida da cadeia de PMMA em solução, a qual favorece o aumento do grau de orientação dos grupos funcionais durante a deposição e o tratamento térmico ^[81]. Apesar do elevado valor de mobilidade de efeito de campo exibido pelos OFETs de canal de n que utilizaram o DMSO como solvente do PMMA, estes dispositivos apresentaram um desempenho elétrico muito aquém do esperado. As causas deste baixo desempenho estão relacionadas ao elevado valor de corrente no estado desligado (Figura 4.10) e também a possíveis injeções de portadores de cargas positivos na camada ativa destes transistores devido à característica de transporte ambipolar dos filmes de P(NDI2OD-T2) ^[86].

No entanto, além da otimização dos OFETs, a metodologia adotada neste capítulo visa, principalmente, a obtenção de transistores de canal p e de canal n com desempenhos semelhantes para que seja possível a fabricação de circuitos lógicos complementares (CMOS). Como abordado anteriormente, os inversores lógicos complementares são construídos a partir de associações em série de FETs de canal p e de canal n. Para se obter inversores lógicos complementares com baixa dissipação de energia, elevada robustez e velocidade de comutação devem ser utilizados transistores de canal p e de canal n que apresentem valores similares de mobilidade de efeito de campo (μ) e de tensão de limiar (V_T) ^[28]. Para analisar quais OFETs de canal p e de canal n apresentam desempenhos semelhantes, todos os parâmetros de μ e de V_T de todos os transistores apresentados neste trabalho estão exibidos na Figura 4.12, sendo que os pontos em vermelho identificam os parâmetros dos OFETs de canal p, enquanto que os pontos em azul identificam os parâmetros dos OFETs de canal n.

Figura 4.12 - Apresentação dos valores dos parâmetros μ e de V_T dos OFETs de canal p e de canal n.

A partir da análise da Figura 4.12 é possível concluir que os OFETs de canal p que utilizaram o DMSO e os OFETs de canal n que utilizaram o nBA apresentaram valores de μ e de V_T semelhantes, de tal forma que são potenciais candidatos para a construção de inversores lógicos complementares.

4.4. Inversores lógicos complementares

4.4.1. Descrição da metodologia de fabricação e caracterização elétrica dos inversores lógicos complementares

Os inversores lógicos complementares foram fabricados utilizando os OFETs de canal p e de canal n em substratos separados, de tal forma que as conexões comuns entre os OFETs (contatos do dreno e da porta) foram feitas por meio do uso de conectores externos. A representação da configuração básica de um inversor complementar está apresentada na Figura 4.13. A caracterização elétrica de todos os inversores foi feita sob atmosfera inerte de nitrogênio mediante a utilização de uma *probe station* localizada no interior de uma *glovebox*. Os inversores foram caracterizados pela curva característica de transferência de tensão (CTT), da qual a tensão de entrada (V_{in}) variou de 0 a 80 V e a tensão V_{DD} foi aplicada de 30 a 80 V, com o passo de 10 V. Os parâmetros de ganho e de margem de ruído dos inversores foram determinados a partir do valor absoluto da derivada dV_{out}/dV_{in} e por meio do critério do produto máximo (MPC), respectivamente.

Figura 4.13 – Apresentação da configuração básica de um inversor complementar juntamente com a representação das tensões aplicadas (Fonte: autor).

4.4.2. Resultados da caracterização elétrica dos inversores lógicos complementares

Nesta seção serão apresentados os resultados de 5 inversores lógicos complementares que exibiram o melhor desempenho dentro do conjunto de dados obtidos durante a execução deste trabalho. A fabricação do primeiro inversor envolveu a utilização de um dos OFETs de canal p e de canal n já apresentados na seção 4.3.3, enquanto que para a fabricação dos demais inversores foram produzidos novos lotes de transistores. Estes inversores foram denominados por números sequenciais, de 1 a 5, e estes resultados, juntamente com as curvas características dos OFETs pertencentes ao novo lote estão apresentados a seguir.

O primeiro inversor, denominado de *CMOS 1*, foi fabricado utilizando o OFET 26 (canal p) e o OFET 40 (canal n). As curvas características destes transistores, bem como seus parâmetros de interesse estão apresentados nas seções 4.3.3.1 e 4.3.3.2 deste capítulo. No entanto, para facilitar a visualização dos efeitos destes parâmetros na CTT do CMOS 1, os parâmetros de interesse dos OFETs 26 e 40 estão sumarizados na Tabela 4.11.

Tabela 4.11 - Apresentação dos parâmetros de interesse dos transistores utilizados na fabricação do CMOS 1.

	μ (cm ² /V.s)	V_T (V)	Razão I_{on}/I_{off}	S (V/dec)
OFET 26	$(1,46 \pm 0,02) \times 10^{-2}$	$-4,8 \pm 0,5$	$1,84 \times 10^4$	$2,1 \pm 0,2$
OFET 40	$(1,766 \pm 0,002) \times 10^{-2}$	$-3,71 \pm 0,05$	721	$5,4 \pm 0,2$

Os principais parâmetros de interesse nos dois OFETs são a μ e o V_T , pois estes influenciam diretamente a curva CTT de um inversor. Apesar do valor de μ de ambos os transistores apresentarem a mesma ordem de grandeza, a mobilidade do OFET de canal n é aproximadamente 1.2 vezes maior que a mobilidade do OFET de canal p, ou seja, $\mu_N > \mu_P$. Esta discrepância afeta a forma da curva CTT do CMOS 1, deslocando a tensão de transição do inversor (V_{inv}) para menores valores de V_{in} em relação à $V_{DD}/2$, como pode ser observado na Figura 4.14(a), onde $V_{inv} \sim 30$ V para $V_{DD} = 80$ V. Este comportamento está de acordo com o previsto na literatura [17].

Outros pontos interessantes devem ser destacados na curva CTT do CMOS 1 apresentada na Figura 4.14(a): a presença de histerese na curva e o fato de que o nível alto e baixo da tensão de saída não atingem os valores de V_{DD} e de 0 V, respectivamente. A histerese na CTT é um indicativo da existência de uma densidade de armadilhas na interface do semiconductor/isolante de ambos os transistores, o que é considerado um fator negativo para aplicações deste dispositivo em circuitos mais complexos. O fato do CMOS 1 não atingir 0 V quando $V_{in} = V_{DD}$ está relacionado com a presença de uma pequena corrente entre os terminais de alimentação do inversor, a qual está associada com a existência de uma corrente (I_D) no estado desligado do transistor de canal p ($\sim 0,4$ nA), como pode ser observado na Figura 4.14(b). Já a presença de uma corrente (I_D) no estado desligado do transistor de canal n é considerada como o fator responsável pela queda da tensão no nível alto de saída ($V_{out} < V_{DD}$ para $V_{in} = 0$ V).

Figura 4.14 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 1.

Para poder comparar o desempenho dos inversores fabricados neste trabalho foram calculados os parâmetros do ganho e da margem de ruído, os quais estão apresentados na Figura 4.14(b) e 4.14(c), respectivamente. Os valores do ganho de todos os inversores apresentados

neste trabalho foram calculados a partir do valor absoluto da derivada dV_{out}/dV_{in} , enquanto que para a determinação do nível de ruído dos inversores foi utilizado o critério do produto máximo (MPC). Para o CMOS 1, considerando $V_{DD} = 80\text{ V}$, o valor do ganho obtido foi de 7,8 e dos níveis de ruído alto e baixo de 34,5 V e 36 V, respectivamente. É importante destacar que os valores do nível de ruído obtidos para o CMOS 1 estão acima do valor mínimo teórico aceitável ($10\% \frac{1}{2} V_{DD}$) e que a pequena variação observada entre os valores do nível de ruído alto e baixo é atribuída a diferença entre os valores de V_T dos transistores de canal p e de canal n ^[17].

Para a fabricação do segundo inversor, denominado de *CMOS 2*, foi utilizada uma nova combinação de transistores de canal p (OFET 55) e de canal n (OFET 56) produzida a partir de um novo lote de dispositivos. As curvas de saída e de transferência destes dois OFETs estão apresentadas na Figura 4.15 e os seus parâmetros de interesse na Tabela 4.12.

Figura 4.15 - Curvas características de saída (a)- (c) e de transferência (b)-(d) do OFETS 55 (canal p) e OFET 56 (canal n).

Tabela 4.12 - Valores dos parâmetros dos OFETs de canal p e de canal n que foram utilizados na fabricação do CMOS 2.

Denominação dos OFETs	μ (cm ² / V.s)	V_T (V)	Razão I_{on}/I_{off}	S (V/dec)
OFET 55	$(1,44 \pm 0,2) \times 10^{-2}$	$-9,3 \pm 0,6$	5737	$4,9 \pm 0,4$
OFET 56	$(3,04 \pm 0,01) \times 10^{-2}$	$1,7 \pm 0,1$	593	$8,5 \pm 0,3$

A partir da análise da Tabela 4.12, podemos dizer que os parâmetros de mobilidade de efeito de campo, *subthreshold swing* e razão I_{on}/I_{off} de ambos os OFETs estão em concordância com os valores obtidos para estes mesmos parâmetros nas seções anteriores. Este é um fator que indica uma consistência na metodologia adotada para a fabricação dos dispositivos. No entanto, uma diferença considerável foi observada, não para o valor obtido para V_T do OFET de canal n, mas sim no seu sinal. Como já discutido anteriormente, a tensão de limiar representa a tensão mínima necessária que deve ser aplicada na porta do transistor para que haja o acúmulo de cargas móveis na interface semiconductor/isolante. Isto significa que este parâmetro é fortemente influenciado pela presença de estados e armadilhas na interface e, basicamente o seu sinal é determinado pelo tipo de portador armadilhado. No caso de um OFET de canal n, valores de V_T positivos são obtidos quando elétrons são armadilhados na interface, enquanto que valores negativos são obtidos quando buracos são armadilhados. Este parâmetro é influenciado pelo tipo do material semiconductor e isolante utilizado no transistor, assim como pelas condições de processamento do dispositivo [41].

A curva CTT do CMOS 2, o ganho e a margem de ruído estão apresentados na Figura 4.16.

Figura 4.16 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 2.

Ao analisar a Figura 4.16 podemos dizer que os mesmos pontos interessantes destacados no comportamento da curva CTT do CMOS 1 podem ser destacados no caso da curva CTT do

CMOS 2, tais como presença de histerese e o fato do nível alto e baixo de V_{out} não apresentarem os valores de V_{DD} e 0 V. As justificativas para os fatores citados acima já foram apresentadas para o caso do CMOS 1 e podem ser consideradas também válidas para o caso do CMOS 2.

O valor do ganho, do nível de ruído alto e baixo obtidos para o CMOS 2 para $V_{DD} = 80$ V são 6,9; 28,3 V e 34 V, respectivamente. O desempenho inferior apresentado pelo CMOS 2 em relação ao CMOS 1 é atribuído a maior diferença entre os valores de mobilidade e de tensão de limiar entre os OFETs de canal p e de canal n utilizados na fabricação deste inversor. Além disso, o CMOS 2 apresentou uma maior queda da tensão no nível alto de saída ($V_{out} < V_{DD}$ para $V_{in} = 0$ V) quando comparado ao CMOS 1 devido ao valor mais elevado da corrente no estado desligado (0,9 nA) do transistor de canal p - OFET 55.

O terceiro inversor (CMOS 3) foi construído a partir do novo lote de transistores, utilizando os OFETs 57 (canal p) e 58 (canal n). As curvas características destes dois transistores, bem como seus parâmetros de interesse estão apresentados na Figura 4.17 e na Tabela 4.13, respectivamente.

Figura 4.17 - Curvas características de saída (a)- (c) e de transferência (b)-(d) do OFETS 57 (canal p) e OFET 58 (canal n).

Tabela 4.13 - Valores dos parâmetros dos OFETs de canal p e de canal n que foram utilizados na fabricação do CMOS 3.

Denominação dos OFETs	μ (cm ² /V.s)	V_T (V)	Razão I_{on}/I_{off}	S (V/dec)
OFET 57	$(2,15 \pm 0,05) \times 10^{-2}$	$-8,9 \pm 0,6$	2×10^4	$2,5 \pm 0,3$
OFET 58	$(4,34 \pm 0,02) \times 10^{-2}$	$2,9 \pm 0,1$	857	$7,1 \pm 0,2$

A curva CTT, o ganho e a margem de ruído do CMOS 3 estão apresentados na Figura 4.18. Os valores de V_{inv} , ganho, MR_H e MR_L do CMOS 3 são 30V; 7,0; 37 V e de 34,5 V, respectivamente para o caso em que $V_{DD} = 80$ V. A partir da análise da CTT e dos valores do ganho e de V_{inv} fica evidente a semelhança do desempenho apresentado pelo CMOS 3 e CMOS 2. Este fato deve ser atribuído, principalmente, ao valor similar encontrado para a razão entre as mobilidades de cada par de transistores de canal p e n ($\mu_n/\mu_p \cong 2,0$) utilizados na fabricação destes inversores. No entanto, os valores de MR_H e de MR_L dos CMOS 3 apresentaram valores mais próximos um do outro, como pode ser observado na Figura 4.18(c), devido à menor diferença entre os valores de V_T do par de transistores utilizados na fabricação deste inversor.

Figura 4.18 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 3.

O quarto inversor (CMOS 4) foi fabricado a partir da combinação do OFET 56 (canal n), já utilizado na fabricação do CMOS 1, com o OFET 59 (pertencente ao novo lote de OFETs de canal p). As curvas características e os parâmetros de interesse do OFET 59 estão apresentados na Figura 4.19 e na Tabela 4.14, respectivamente. Para facilitar a análise, na Tabela 4.14, também estão reapresentados os parâmetros de interesse do OFET 56, no entanto, suas curvas características devem ser consultadas na Figura 4.15 deste capítulo.

Figura 4.19 - Curva característica de saída (a) e de transferência (b) do OFET 59 (canal p).

Tabela 4.14 - Valores dos parâmetros dos OFETs de canal p e de canal n que foram utilizados na fabricação do CMOS 4.

Denominação dos OFETs	μ (cm ² /V.s)	V_T (V)	Razão I_{on}/I_{off}	S (V/dec)
OFET 59	$(1,40 \pm 0,2) \times 10^{-2}$	$-8,7 \pm 0,6$	4046	$5,4 \pm 0,4$
OFET 56	$(3,04 \pm 0,01) \times 10^{-2}$	$1,7 \pm 0,1$	593	$8,5 \pm 0,3$

Os valores dos parâmetros de μ e de V_T do OFET 59 são similares aos apresentados pelo OFET de canal p (OFET 55) utilizado na fabricação do CMOS 2. Como consequência, o desempenho apresentado pelo CMOS 4 é semelhante ao apresentado pelo CMOS 2, com valores para V_{inv} , ganho, MR_H e MR_L de 30V; 6,8; 29 V e de 33 V, nesta ordem, para $V_{DD} = 80$ V. A curva CTT e os gráficos do ganho e do nível de ruído do CMOS 4 estão apresentados na Figura 4.20.

Figura 4.20 - Apresentação (a) da curva característica de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 4.

Por fim, o último inversor complementar apresentado neste capítulo, denominado de CMOS 5, foi fabricado utilizando a combinação do OFET 57 (canal p) e do OFET 60 (canal n).

O OFET 57 já foi utilizado na fabricação do CMOS 3, de forma que suas curvas características e seus parâmetros de interesse estão apresentados na Figura 4.17 e na Tabela 4.13 deste capítulo, enquanto que as curvas e os parâmetros do OFET 60 estão apresentados na Figura 4.21 e Tabela 4.15. De maneira análoga a realizada para o CMOS 4, para facilitar a análise, os parâmetros de interesse do OFET 57 foram reapresentadas na Tabela 4.15, juntamente com os parâmetros de interesse do OFET 60.

Figura 4.21 - Curva característica de saída (a) e de transferência (b) do OFET 59 (canal n).

Tabela 4.15 - Valores dos parâmetros dos OFETs de canal p e de canal n que foram utilizados na fabricação do CMOS 5.

Denominação dos OFETs	μ ($\text{cm}^2/\text{V.s}$)	V_T (V)	Razão I_{on}/I_{off}	S (V/dec)
OFET 57	$(2,15 \pm 0,05) \times 10^{-2}$	$-8,9 \pm 0,6$	2×10^4	$2,5 \pm 0,3$
OFET 60	$(3,48 \pm 0,01) \times 10^{-2}$	$1,8 \pm 0,1$	657	$8,4 \pm 0,2$

Apesar das diferenças entre os valores de μ dos OFETs utilizados na fabricação do CMOS 3 e do CMOS 5 não serem muito significantes, há uma menor variação de V_T entre os OFETs utilizados no CMOS 3. A curva CTT e os gráficos do ganho e do nível de ruído do CMOS 5 estão apresentados na Figura 4.22. Os parâmetros (para $V_{DD} = 80$ V) V_{inv} , ganho, MR_H e MR_L para o CMOS 5 são 30 V; 7,2; 30 V e 33,7 V, nessa ordem.

Para facilitar a comparação do desempenho dos inversores obtidos neste trabalho, na Tabela 4.16 estão sumarizados todos os parâmetros de interesse dos cinco inversores apresentados neste capítulo.

Figura 4.22 - Apresentação (a) da curva caraterística de transferência de tensão (CTT), (b) do ganho e (c) da margem de ruído do CMOS 4.

Tabela 4.16 - Apresentação dos parâmetros de interesse (para $V_{DD}=80$ V) dos inversores lógicos complementares fabricados neste trabalho.

	OFETs	μ_n/μ_p	V_{Tp}/V_{Tn}	V_{inv} (V)	ganho	MR_H (V)	MR_L (V)
CMOS 1	26 E 40	1,2	1,3	30,0	7,8	34,5	36,0
CMOS 2	55 e 56	2,1	5,5	30,0	6,9	28,3	34,0
CMOS 3	57 e 58	2,0	3,0	30,0	7,0	37,0	34,5
CMOS 4	56 e 59	2,1	5,1	30,0	6,8	29,0	33,0
CMOS 5	57 e 60	1,6	4,9	30,0	7,2	30,0	33,7

Como pode ser observado na Tabela 4.16, o desempenho dos inversores apresentados neste trabalho é bem semelhante. Isto se deve ao fato de que não houve diferenças significativas entre os parâmetros de μ e de V_T de cada par de OFETs utilizados para a fabricação dos inversores.

A diferença entre os valores da mobilidade dos OFETs de canal n em relação aos OFETs de canal p para praticamente quase todos os pares de transistores utilizados na fabricação dos inversores é de cerca de duas vezes maior, isto é, $\mu_n \cong 2 \times \mu_p$. Este comportamento refletiu diretamente nos valores obtidos para a tensão de inversão (V_{inv}) de cada CMOS, deslocando-as para menores valores de V_{in} em relação à $V_{DD}/2$, como pode ser observado na Tabela 4.16. Uma maior discrepância foi observada entre os valores de V_T dos transistores de canal p e de canal n em todos os pares utilizados na fabricação dos inversores. Todos os OFETs de canal p apresentaram maiores valores de V_T em relação aos transistores de canal n, chegando a atingir valores cinco vezes maiores que a tensão de limiar dos OFETs de canal n. O efeito dos diferentes valores de V_T pode ser observado na forma da curva CTT pela diferença na extensão

dos patamares do nível alto de tensão de saída e do nível baixo de tensão de saída do inversor. Consequentemente, esta divergência dos valores de V_T dos transistores afetou diretamente as diferenças nos valores obtidos para a margem de ruído alta e a margem de ruído baixa destes inversores.

Como pode ser observado na Tabela 4.16, os valores do MR_H são menores do que os valores do MR_L , de tal forma que o valor do MR_H deve ser considerado como o nível de ruído máximo aceitável para que não haja danos aos circuitos eletrônicos que utilizem estes inversores. Uma única exceção foi observada para o CMOS 2, no qual o valor do MR_H é maior que o valor do MR_L .

Podemos observar que o CMOS 1 apresentou o melhor desempenho dentro do conjunto de dados obtidos neste trabalho, com maior valor de ganho (7,8) e de nível de ruído ($\sim 84\%$ de $V_{DD}/2$). As menores diferenças entre os valores de mobilidade e de tensão de limiar apresentadas pelo par de transistores que compuseram este inversor podem ser consideradas como os fatores decisivos para o melhor desempenho apresentado por este dispositivo.

Uma faixa abrangente de valores para o ganho e para a margem de ruído de inversores lógicos complementares pode ser encontrada na literatura. Especialmente para o caso de inversores lógicos complementares que utilizam o N2200 e o P3HT são relatados valores para o ganho que variam entre 10 até 60 e para a margem de ruído entre 60% e 75% do valor máximo teórico permitido ($V_{DD}/2$) [9, 16, 86]. Os maiores valores de ganho são encontrados para dispositivos que foram fabricados utilizando técnicas de impressão como *inkjet* e rotogravura, enquanto que estes valores são significativamente reduzidos quando os dispositivos são fabricados por meio da técnica de *spin-coating*. Em um estudo realizado por Yan *et. al.* [9] foram fabricados inversores lógicos complementares tanto por técnicas de impressão quanto por *spin-coating* e foi observado que os dispositivos fabricados utilizando a técnica de rotogravura apresentam um alto desempenho, com um ganho de 60 para $V_{DD} = 40\text{ V}$, à medida que este valor chega a ser reduzido em quase 1/3 (ganho de 25) para a mesma V_{DD} quando o dispositivo foi fabricado por *spin-coating*.

Embora os desempenhos elétricos dos inversores lógicos complementares construídos neste trabalho não tenham sido superiores aos já apresentados na literatura, estes resultados superaram os requisitos mínimos exigidos para os valores de ganho (> 4) e de margem de ruído ($> 10\%$ $V_{DD}/2$), de forma que estes inversores poderiam ser empregados na fabricação de circuitos lógicos mais complexos.

4.5. Conclusões deste capítulo

Neste capítulo foi apresentado um método eficiente e de baixo custo para obtenção de transistores orgânicos de canal p e de canal n com desempenhos semelhantes a fim de permitir a fabricação de circuitos lógicos complementares (CMOS). Este método foi baseado na seleção do solvente da camada dielétrica dos OFETs, tendo como requisitos principais para a seleção destes solventes as diferenças nos valores de momento de dipolo, de ponto de ebulição e nos graus de ortogonalidade em relação ao polímero semiconductor utilizado na camada ativa destes dispositivos.

A análise dos resultados demonstrou que o desempenho tanto dos OFETs de canal p quanto dos OFETs de canal n depende fortemente do tipo de solvente utilizado na deposição da camada dielétrica. Os melhores desempenhos foram obtidos para os dispositivos que utilizaram solventes perfeitamente ortogonais na dissolução do PMMA, como resultado da natureza mais uniforme e menos rugosa da interface semiconductor/isolante nestes dispositivos. Por outro lado, desempenhos elétricos inferiores foram observados quando foram utilizados solventes de pobre ortogonalidade na dissolução do PMMA, como consequência do aumento no valor de rugosidade dos filmes semicondutores devido a ação destes solventes. Além disso, foi observado que o valor de mobilidade de efeito de campo foi triplicado no caso dos OFETs de canal n e aumentado em até uma ordem de grandeza para o caso dos OFETs de canal p quando foi utilizado o DMSO como solvente da camada dielétrica. A razão para este comportamento está relacionada com a natureza menos rugosa da interface semiconductor/isolante (devido a perfeita ortogonalidade do DMSO em relação aos polímeros semicondutores), bem como com ao elevado momento de dipolo apresentado por este solvente.

É importante destacar que a metodologia proposta neste capítulo permitiu, a partir da seleção adequada do solvente, não apenas o ajuste das propriedades elétricas dos OFETs de canal p e de canal n, mas também a otimização do desempenho elétrico destes dispositivos. A obtenção de OFETs de canal p e de canal n com características elétricas semelhantes viabilizou a construção de inversores lógicos complementares, os quais exibiram um bom desempenho, com valores de ganho e de margem de ruído próximos a alguns resultados já publicados na literatura ^[86].

5. Fabricação OFETs de canal p impressos e de inversores lógicos unipolares de baixa tensão de operação

5.1. Objetivos

Neste capítulo serão apresentados os resultados obtidos durante a realização do estágio de doutoramento sanduíche no laboratório de pesquisa “*Flexible electronic devices and systems*” na Universidade da Califórnia (UC) em Berkeley (EUA) sob a co-orientação da professora Dr. Ana Claudia Arias. O foco deste trabalho de doutorado sanduíche foi otimizar os OFETs de canal p já fabricados por este grupo de pesquisa, tendo como objetivo primordial a redução da tensão de operação destes dispositivos.

Umas das formas de atingir este objetivo consiste na aplicação de materiais dielétricos com elevada constante dielétrica (ϵ) como camada isolante nos FETs. Os materiais dielétricos orgânicos com elevada constante dielétrica mais empregados na área de eletrônica orgânica são o PVA (Álcool polivinílico) [87, 88], o PVP (polivinilpirrolidona) [89, 90] e uma blenda ferroelétrica de P(VDF-TrFE) (poli (fluoreto de vinilideno-trifluoretileno) [91, 92]. Recentemente, um novo terpolímero com elevada ϵ , denominado de poli (fluoreto de vinilideno-trifluoretileno-clorofluoroetileno) (P(VDF-TrFE-CFE)), foi desenvolvido por meio da inserção de defeitos nas cadeias poliméricas da blenda ferroelétrica de P(VDF-TrFE) [93, 94]. A adição adequada dos defeitos de clorofluoroetileno (CFE) nos monômeros da cadeia do P(VDF-TrFE) faz com que o polímero ferroelétrico apresente um comportamento relaxor. Além disso, o P(VDF-TrFE-CFE) apresenta propriedades dielétricas únicas tais como, elevada constante dielétrica ($\epsilon \sim 50$) e elevada tensão de ruptura ($> 400 \text{ MV/m}$) [95]. Tais propriedades dielétricas fazem com que este polímero seja um material promissor para aplicações em eletrônica orgânica. Com base nisso e objetivando reduzir a tensão de operação dos transistores, optou-se por empregar este material ferroelétrico relaxor (P(VDF-TrFE-CFE)) como camada dielétrica nos OFETs de canal p deste trabalho. A fórmula estrutural química do P(VDF-TrFE-CFE) está apresentada na Figura 5.1.

Antes de aplicar o terpolímero P(VDF-TrFE-CFE) como camada dielétrica nos OFETs de canal p produzidos neste trabalho, as propriedades dielétricas básicas de interesse deste material, tais como ϵ e capacitância por unidade de área, foram determinadas por meio da fabricação de capacitores. Os detalhes do procedimento experimental adotado e os resultados das medidas elétricas dos capacitores são apresentados na próxima seção.

Figura 5.1 - Fórmula estrutural química do P(VDF-TrFE-CFE)
(Fonte:autor).

5.2. Determinação das propriedades dielétricas do P(VDF-TrFE-CFE)

5.2.1. Procedimento experimental para a fabricação dos capacitores de P(VDF-TrFE-CFE)

O polímero ferroelétrico relaxor (P(VDF-TrFE-CFE)) foi comprado da empresa *Piezotech*, com concentração molar de 63.2%, 29.7% e 7.1% do monômero de (VDF), TrFE e CFE, respectivamente. O (P(VDF-TrFE-CFE)) foi dissolvido em MEK para a produção de solução com concentração de 60 mg/mL. Para a fabricação dos capacitores, a solução de (P(VDF-TrFE-CFE)) em MEK foi depositada via *spin-coating* a 4000 rpm por 1 minuto sobre um substrato pré-limpo de vidro com uma película fina de ITO (Óxido de índio e estanho). Após a deposição do filme, o mesmo foi submetido ao tratamento térmico a 120 °C por 15 minutos. A estrutura do capacitor é complementada por meio da evaporação térmica de alumínio, com a utilização de uma máscara de sombra. A espessura dos eletrodos de alumínio foi de 70 nm, sendo as dimensões de cada eletrodo iguais a 0.0804 cm × 0.0504 cm, como indicado na Figura 5.2. Cabe ressaltar que os procedimentos de deposição, de tratamento térmico e de evaporação do contato elétrico superior de alumínio foram realizados no interior de uma *glovebox*.

Figura 5.2 - Imagem da máscara de sombra utilizada no processo de evaporação térmica de alumínio do eletrodo superior dos capacitores.

5.2.2. Caracterização elétrica dos capacitores de P(VDF-TrFE-CFE)

As medidas de capacitância por tensão e de capacitância por frequência foram realizadas em condições ambiente com a utilização de uma *probe-station* e de um analisador de dispositivos semicondutores *Agilent B1500A*. A capacitância por tensão foi medida no intervalo de 0 a 25 V e a capacitância em função da frequência foi medida no intervalo de 10^3 a 10^6 Hz. As medidas de capacitância foram realizadas em seis diferentes áreas da amostra, sendo que em cada área as medidas foram repetidas cinco vezes.

5.2.3. Resultados das medidas de capacitância no P(VDF-TrFE-CFE)

Na Figura 5.3 estão apresentados os resultados das medidas de capacitância em função da tensão ($C \times V$) para a amostra de P(VDF-TrFE-CFE). Cada área diferente da amostra é identificada e designada como um eletrodo, de forma que as medidas de capacitância em cada uma dessas seis áreas estão apresentadas nas Figuras 5.3(a) a 5.3(f). Nos gráficos, as linhas contínuas representam cada medida realizada em cada eletrodo (área), sendo que as linhas azuis correspondem as medidas para a frequência de 1 kHz, as linhas rosas a frequência de 10 MHz e as linhas verdes a frequência de 1 MHz. Os pontos circulares com preenchimento branco representam nos gráficos a média de todas as medidas realizadas em cada eletrodo para a frequência de 1 kHz (ciano), 10 MHz (laranja) e 1 MHz (ciano-escuro).

Figura 5.3 - Medidas de capacitância em função da tensão aplicada para as seis diferentes áreas da amostra de P(VDF-TrFE-CFE) (a) - (f) e média de todas as medidas de capacitância em função da tensão realizadas na amostra de P(VDF-TrFE-CFE) (g).

Embora tenham sido realizadas cinco medidas em cada eletrodo, muitas dessas medidas de capacitância não são evidentes nos gráficos apresentados nas Figuras 5.3(a) a 5.3(f) devido à coincidência dos valores obtidos. Isto significa que não houve uma dispersão considerável entre as repetições das medidas de capacitância para cada eletrodo e que, portanto, o material apresenta um comportamento dielétrico estável. Esta característica estável é muito importante, pois indica que o material dielétrico pode ser utilizado em aplicações mais complexas sem que haja preocupações com efeitos de degradação devido à aplicação de tensões elétricas. A média das medidas de capacitância de todos os eletrodos está apresentada na Figura 5.3(g), de maneira

que é possível inferir que a capacitância é igual a aproximadamente 40, 26 e 13 nF/cm² para as frequências de 1 kHz, 10 MHz e 1 MHz, nessa ordem.

Figura 5.4 – Valores da constante dielétrica em função da frequência para as seis diferentes áreas da amostra de P(VDF-TrFE-CFE) (a) - (f) e média dos valores da constante dielétrica obtidos em todas as áreas da amostra de P(VDF-TrFE-CFE) (g).

Na Figura 5.4 estão apresentados os dados da constante dielétrica determinados para os seis eletrodos (áreas) da amostra de P(VDF-TrFE-CFE). De maneira análoga à realizada na apresentação dos dados das medidas de $C \times V$, as linhas nos gráficos das Figuras 5.4(a) a 5.4(f) representam as medidas realizadas em cada eletrodo, enquanto que os pontos com preenchimento em branco representam a média dessas medidas. A constante dielétrica foi determinada a partir das medidas da capacitância em função da frequência, considerando no cálculo os valores da espessura do filme e da área do capacitor. A média do valor da constante

dielétrica para todos os eletrodos está apresentada na Figura 5.4 (g), cujo valor é igual a 34 para a frequência de 1 kHz.

Os resultados das medidas de capacitância demonstraram que o terpolímero P(VDF-TrFE-CFE) apresenta uma elevada constante dielétrica ($\epsilon \cong 34$) e capacitância por área ($C \cong 40 \text{ nF/cm}^2$). Tais características elétricas fazem com que a aplicação deste material como camada dielétrica em OFETs seja promissora. Assim, na próxima seção serão descritas as etapas de fabricação dos OFETs de canal p impressos produzidos neste trabalho e que utilizaram o P(VDF-TrFE-CFE) como camada dielétrica.

5.3. Fabricação e Caracterização dos OFETs de canal p utilizando o P(VDF-TrFE-CFE) como camada dielétrica

5.3.1. Procedimento experimental

Como já explicitado no início deste capítulo, o foco principal desta etapa do trabalho consistiu na redução da tensão de operação dos transistores de canal p fabricados pelos integrantes do laboratório de pesquisa “*Flexible electronic devices and systems*” da UC – Berkeley. Desta forma, a metodologia adotada para a fabricação destes dispositivos foi basicamente igual a desenvolvida por Pierre et al. [35], com exceção dos procedimentos e técnicas adotados para a deposição da camada dielétrica. A arquitetura dos transistores impressos produzidos neste trabalho foi a *top-gate bottom-contacts* e as técnicas de impressão utilizadas para a deposição das camadas dos OFETs foram a técnica *blade-coating*, *inkjet* e *spray-coating*. Além disso, também foram utilizados substratos com energia de superfície padronizados combinados a técnica de *blade-coating* a fim de se obter padrões de impressão definidos e com o *layout* desejado. A seguir são descritas as etapas de processamento dos OFETs de canal p. Na Figura 5.5 está apresentado um desenho representativo da arquitetura *top-gate bottom-contacts* com os materiais utilizados na fabricação dos OFETs de canal p.

Figura 5.5 - Representação da arquitetura *top-gate bottom-contacts* juntamente com as fórmulas estruturais químicas dos materiais utilizados na fabricação dos OFETs de canal p impressos (Fonte: autor).

a. Etapa 1: Padronização do tamanho e limpeza dos substratos

Substratos de polietileno naftalato (PEN - DuPont PQA1) foram padronizados no tamanho de 90 x 105 mm por meio da utilização de uma máquina de corte a laser (*laser cutting*). Após o corte, os substratos foram limpos com isopropanol e em seguida foram secos com o auxílio de um jato de nitrogênio. A etapa final de limpeza consistiu no tratamento por plasma dos substratos por 10 segundos.

b. Etapa 2: Padronização da energia de superfície dos substratos

Como já abordado no capítulo 3, o processo de padronização da energia de superfície dos substratos é realizado em duas etapas. A primeira etapa é caracterizada pela deposição da monocamada de FDTS com o objetivo de reduzir a energia de superfície do substrato (caráter hidrofóbico). Assim, nesta primeira etapa, os substratos foram expostos a 40 μL de FDTS em vácuo por 20 minutos. A segunda etapa deste processo é caracterizada pelo tratamento com plasma de oxigênio a fim de aumentar a molhabilidade em determinadas regiões do substrato. Para isto, uma máscara de sombra com o *layout* dos eletrodos dreno/fonte (Figura 5.6) é fixada

contra a superfície do substrato e, em seguida são tratados com plasma de oxigênio durante 54 segundos a potência de 20% e pressão de 0.2 mbar.

Figura 5.6 - Desenho da máscara de sombra da fonte e do dreno, com $W = 150 \mu\text{m}$ e $L = 50 \mu\text{m}$.

c. Etapa 3: Deposição dos contatos dreno e fonte de PEDOT:PSS

A blenda de poli(3,4-etilendioxitiofeno)-poli(estireno sulfonato) (PEDOT:PSS) foi utilizada para produzir os contatos elétricos do dreno e fonte dos transistores e foi adquirida comercialmente da empresa *Sigma-Aldrich*. A preparação desta solução envolveu o processo de filtragem com um filtro de diâmetro igual a $0,45 \mu\text{m}$, seguida pela dissolução na proporção 1:1 em água Milli-Q. A caracterização das propriedades básicas desta solução, tais como tensão de superfície e viscosidade, já foram realizadas e publicadas por Pierre et al. [35], bem como a otimização do processo de deposição via *blade-coating* dos contatos dreno e fonte. Os parâmetros do *blade-coater* para a deposição destes contatos foram: altura de $100 \mu\text{m}$ em relação ao substrato e velocidade de 1.6 cm/s , sendo depositados $35 \mu\text{L}$ de solução de PEDOT:PSS. Logo após a deposição, os eletrodos de PEDOT:PSS foram tratados termicamente à temperatura de 120°C por 10 minutos. Os processos de deposição e de tratamento térmico dos contatos do dreno e fonte dos OFETs foram realizados no interior de uma capela de exaustão. Na Figura 5.7 está apresentada uma imagem dos contatos dreno e fonte de PEDOT:PSS depositados sob o substrato flexível (PEN). É importante destacar que o *layout* da máscara de sombra dos contatos dreno e fonte foi elaborado com o objetivo de produzir 1152 dispositivos em um mesmo substrato (por lote). Entretanto, devido a alguns problemas como o excesso de tinta no início da deposição que acarreta no curto circuito dos primeiros dispositivos, a quantidade de OFETs produzidos é inferior a este valor para cada lote.

Figura 5.7 - Imagem obtida com o microscópio óptico dos contatos dreno e fonte de PEDOT:PSS impressos utilizando a técnica de *blade-coating*.

d. Etapa 4: Deposição dos pads de prata

Nanopartículas de prata foram depositados sobre as extremidades dos eletrodos dreno e fonte de PEDOT:PSS com o objetivo de facilitar o contato elétrico destes eletrodos durante o processo de caracterização elétrica dos transistores. A deposição foi realizada utilizando a técnica *inkjet* (jato de tinta) com uma impressora da marca Dimatix DMP-2831. A tinta de prata, própria pra impressão *inkjet*, foi adquirida comercialmente da empresa *Sunchemical* e foi filtrada com filtro 0.45 μm antes de ser colocada no cartucho para impressão. Na Figura 5.8 está mostrada uma imagem dos *pads* de prata depositados na extremidade dos eletrodos dreno e fonte de PEDOT:PSS.

Figura 5.8 - Imagem obtida com o microscópio óptico dos pads de prata depositads nas extremidades dos eletrodos dreno e fonte de PEDOT:PSS.

e. Etapa 5: Padronização da energia de superfície dos substratos para a deposição da camada semicondutora

A fim de possibilitar a impressão local da camada semicondutora na região do canal do transistor, o processo de padronização da energia de superfície do substrato é repetido pela segunda vez. Assim, como realizado na etapa 2, os substratos com a impressão dos contatos dreno e fonte foram expostos a 40 μL de solução de FDTS em vácuo por 20 minutos. Posteriormente, uma máscara de sombra (Figura 5.9) é alinhada aos contatos dreno e fonte do substrato. A máscara é fixada ao substrato e ambos são tratados por plasma de oxigênio durante 30 segundos a potência de 20% e pressão de 0.2 mbar.

Figura 5.9 - Desenho da máscara de sombra utilizada para a deposição da camada semicondutora.

f. Etapa 6: Deposição da camada semicondutora de PTAA: diF TES ADT

Uma blenda constituída pela mistura de uma molécula pequena de alto desempenho, denominada de 2,8-difluoro-5,11-bis(trietilsililetinil)antraditiofeno (diF TES ADT), com o polímero amorfo poli[bis(4-fenil)-(2,4,6-trimetilfenil)amina] (PTAA) na proporção 1:1 foi utilizada como camada semicondutora dos OFETs de canal p produzidos nesta etapa do trabalho. Soluções de PTAA e diF TES ADT com concentração de 30 mg/mL foram preparadas separadamente em mesitileno:tetralina (2:1) e deixadas sob agitação e à temperatura de 55 °C por cerca de 12 horas. Após isso, as soluções de PTAA e diF TES ADT foram filtradas com filtros de diâmetro de 0.45 μm e 0.1 μm , respectivamente. Por fim, as soluções foram diluídas para a concentração de 10 mg/mL e, então misturadas formando assim a blenda.

A solução de PTAA: diF TES ADT foi depositada pela técnica de *blade-coating*, sendo as condições de deposição: altura do *blade-coater* de 150 μm a velocidade de 1 cm/s, sendo utilizado 13 μL de solução de PTAA: diF TES ADT. Após a deposição, a camada semicondutora

foi tratada termicamente por 20 minutos à temperatura de 30 °C, seguida por mais de 10 minutos à temperatura de 120 °C. As condições de deposição e de preparação da solução de PTAA: diF TES ADT foram escolhidas de acordo com o trabalho já desenvolvido por Pierre et al.^[35]. A imagem da camada semicondutora depositada sobre os contatos dreno e fonte está apresentada na Figura 5.10.

Figura 5.10 - Imagem obtida com o microscópio óptico da camada semicondutora dos OFETs de canal p.

Etapa 7: Deposição da camada dielétrica de P(VDF-TrFE-CFE)

A solução de P(VDF-TrFE-CFE) com concentração de 20 mg/mL em MEK foi depositada via *spray-coating*, utilizado um aerógrafo modelo 150 da marca *Badger*. Cerca de 4 mL de solução foram depositados à pressão de ar de 70 PSI em todo o substrato. A espessura final da camada dielétrica de P(VDF-TrFE-CFE) depositada foi de 400 nm. A deposição foi realizada no interior de uma capela de exaustão e durante todo o processo o substrato foi aquecido à temperatura de 120 °C com o auxílio de uma placa aquecedora.

Etapa 8: Deposição do contato elétrico da porta

O contato elétrico da porta dos OFETs foi depositado via evaporação térmica de alumínio à pressão de cerca de 2×10^{-5} mbar e a taxa relativamente baixa (1 Å/s). A espessura final do contato da porta de alumínio foi de 75 nm. Na Figura 5.11(a) e 5.11(b) estão exibidas as imagens da máscara de sombra utilizada no processo de evaporação do contato da porta e do OFET já finalizado.

Figura 5.11 - (a) Desenho da máscara de sombra do eletrodo da porta e (b) imagem obtida com o microscópio óptico do dispositivo finalizado.

5.3.2. Caracterização elétrica dos OFETs de canal p com o P(VDF-TrFE-CFE) como camada dielétrica

Os transistores foram caracterizados por meio de curvas de saída (I_d vs. V_d) e de transferência (I_d vs. V_g) com a utilização de um analisador de dispositivos semicondutores *Agilent B1500A*. Todas as medidas foram realizadas em atmosfera ambiente em uma *probe-station*. As curvas de saída foram realizadas para tensões aplicadas na porta de 0 V, - 2 V, - 4 V, - 6 V e - 8 V, no intervalo de V_d entre 0 V e - 8 V, com o passo de - 0.1 V. Já as curvas de transferência foram realizadas para valores de V_d iguais - 2 V, - 4 V, - 6 V e - 8 V, no intervalo de V_g entre 8 V e - 8 V, com passo de - 0.1 V.

5.3.3. Resultados e discussão da caracterização elétrica dos OFETs de canal p com a camada dielétrica de P(VDF-TrFE-CFE)

Nesta etapa deste trabalho foram analisados no total 25 OFETs, originários de dois diferentes lotes de fabricação. Dentro deste conjunto de dados analisados apenas um transistor não funcionou, de forma que serão apresentados os resultados de 24 transistores. Os parâmetros de interesse, tais como mobilidade, tensão de limiar, razão I_{on}/I_{off} e S , foram obtidos no regime de saturação dos transistores ($V_d = - 8 V$), utilizando o modelo de aproximação do canal gradual. Na Figura 5.12 estão apresentadas as curvas características de um dos OFETs de canal p fabricados neste trabalho. Para tornar a análise dos resultados dos 24 dispositivos efetiva e mais resumida são apresentados na Figura 5.13 apenas os gráficos da distribuição estatística dos valores dos parâmetros de interesse obtidos para estes dispositivos.

Figura 5.12 - Apresentação da (a) curva de saída e (b) da curva de transferência de um dos dispositivos fabricados com o *P(VDF-TrFE-CFE)* como camada dielétrica.

Figura 5.13 - Distribuição estatística dos valores obtidos para (a) a mobilidade de efeito de campo (μ), (b) tensão de limiar (V_T), (c) $\log(I_{on}/I_{off})$ e (d) *subthreshold swing* (S) dos OFETs que utilizaram o *P(VDF-TrFE-CFE)* como camada dielétrica.

Como pode ser observado a partir da análise das curvas características apresentadas na Figura 5.12, os OFETs fabricados utilizando o *P(VDF-TrFE-CFE)* como camada dielétrica

apresentaram um bom desempenho à tensão de operação de -8 V . Apesar do bom funcionamento destes dispositivos a baixas tensões de operação, é observada uma considerável dispersão nos valores dos parâmetros de interesse calculados para este conjunto de dados. Foram obtidos valores de tensão de limiar (V_T) entre $-0,1$ a $-2,3\text{ V}$, como demonstrado na Figura 5.13(b), sendo que 58,3% dos dispositivos analisados apresentaram $V_T \leq -0,6\text{ V}$. Para o caso de S foi observado que cerca de 75% dos dispositivos analisados apresentaram valores de $S \leq 0,7\text{ V/dec}$ (Figura 5.13(d)). A dispersão dos dados ficou mais evidente no caso da mobilidade de efeito (μ), a qual chegou a variar cerca de duas ordens de grandezas para o conjunto de dados analisados, como pode ser observado na Figura 5.13(a). Por outro lado, uma menor dispersão de valores foi observada no caso do $\text{Log}(I_{on}/I_{off})$, para o qual foram obtidos valores entre 3,0 e 5,1. A dispersão dos valores dos parâmetros de interesse dos OFETs é comprovada pelos valores do coeficiente de variação apresentados na Tabela 5.1. Além dos valores dos coeficientes de variação, também são apresentados na Tabela 5.1 os valores médios de cada parâmetro de interesse dos OFETs.

Tabela 5.1 - Valores médios e do coeficiente de variação dos parâmetros de interesse dos OFETs fabricados com P(VDF-TrFE-CFE).

	μ	V_T	$\text{Log } I_{on}/I_{off}$	S
Valor médio	$0,03\text{ cm}^2/\text{V s}$	$-0,79\text{ V}$	3,9	$0,55\text{ V/dec}$
Coeficiente de variação	0,91	-0,67	0,21	0,49

OFETs fabricados seguindo a metodologia adotada neste trabalho para a deposição dos eletrodos dreno e fonte e da camada semicondutora e empregando um polímero fluorado como camada dielétrica já foram publicados na literatura por Pierre et al. ^[35], como explicitado no início deste capítulo. Os transistores fabricados por estes autores ^[35] apresentaram valores médios de μ , V_T , $\text{Log } I_{on}/I_{off}$ e S para $V_d = -20\text{ V}$ iguais a $0,68\text{ cm}^2/\text{V s}$; $-2,2\text{ V}$; 5,49 e $1,17\text{ V/dec}$, respectivamente. Ao se comparar os resultados obtidos para os OFETs de canal p fabricados com o P(VDF-TrFE-CFE) com os resultados publicados por Pierre et al. ^[35] é possível inferir que os transistores fabricados neste trabalho apresentam tensões de operação mais baixas devido a utilização do material dielétrico com elevada constante dielétrica, além de valores de V_T e de S menores. Porém, valores de μ e de $\text{Log } I_{on}/I_{off}$ com aproximadamente uma ordem de grandeza maior foram obtidos por Pierre et al. ^[35]. A redução do valor de mobilidade de efeito de campo obtida para os transistores fabricados neste trabalho, em relação aos resultados já publicados na literatura, é atribuída aos efeitos de alta desordem dipolar na

interface semiconductor/isolante acarretados pela utilização do material dielétrico com elevada constante dielétrica ^[96]. Uma alternativa para amenizar estes efeitos da desordem dipolar na interface consiste na introdução de uma camada fina de um polímero isolante de baixa constante dielétrica entre a camada semicondutora e a camada de P(VDF-TrFE-CFE) dos FETs, constituindo assim uma bicamada dielétrica nestes dispositivos ^[96, 97].

Com base nisso e objetivando a otimização a mobilidade de efeito de campo dos transistores de canal p produzidos neste trabalho, uma camada fina de um polímero fluorado foi inserida entre a camada semicondutora de PTTA: diF TES ADT e a camada dielétrica de P(VDF-TrFE-CFE). Desta forma, dois novos lotes de OFETs foram produzidos utilizando uma bicamada, composta por uma fina camada de polímero fluorado e uma camada mais espessa de P(VDF-TrFE-CFE), como camada dielétrica dos transistores. No entanto, antes de apresentar as etapas de processamento e os resultados da caracterização elétrica dos OFETs, se faz necessária uma breve discussão a respeito das propriedades dielétricas desta bicamada que compõe a camada dielétrica destes dispositivos.

5.4. Determinação das propriedades dielétricas da bicamada composta pelo P(VDF-TrFE-CFE) e o polímero fluorado

5.4.1. Procedimento experimental para a fabricação dos capacitores com a bicamada composta pelo P(VDF-TrFE-CFE) mais o polímero fluorado

O polímero fluorado amorfo Teflon™ AF foi escolhido para compor a bicamada dielétrica dos OFETs neste trabalho devido a sua baixa constante dielétrica ($\epsilon = 1,93$). Este polímero foi adquirido comercialmente da DuPont e diluído em FC770 até atingir a proporção de 10% em volume. Para estudar as propriedades dielétricas da bicamada composta pelo P(VDF-TrFE-CFE) e pelo polímero fluorado, foram fabricados sistemas capacitores de forma semelhante à descrita na seção 5.2.1. A solução do polímero fluorado (10% em volume) foi depositada via *spin-coating* sobre os substratos pré-limpos de vidro com uma fina camada de ITO. Os parâmetros de deposição do polímero fluorado foram selecionados com o objetivo de obter filmes com a espessura de cerca de 120 nm, sendo eles 4000 rpm por 1 minuto. Após a deposição, os filmes foram submetidos a tratamento térmico a 120 °C por 10 minutos e deixados resfriar para em seguida serem submetidos ao tratamento por *plasma etching* por 30 segundos. O tratamento com o plasma foi realizado com o objetivo de aumentar a molhabilidade da superfície dos filmes do polímero fluorado, uma vez que este polímero é caracterizado por apresentar uma superfície altamente hidrofóbica. O caráter hidrofóbico do polímero fluorado

foi comprovado com a medida de ângulo de contato, para a qual foi obtido um valor de 113° . Posteriormente ao tratamento com o plasma, a camada de P(VDF-TrFE-CFE) foi depositada sobre a camada do polímero fluorado seguindo as mesmas condições de preparação da solução, deposição e tratamento térmico descritas na seção 5.2.1. A estrutura dos capacitores foi finalizada com a evaporação térmica de alumínio, utilizando a máscara de sombra representada na Figura 5.2.

5.4.2. Caracterização elétrica dos capacitores compostos pela bicamada de P(VDF-TrFE-CFE) e do polímero fluorado

Os procedimentos de caracterização elétrica adotados para os capacitores compostos pela bicamada foram os mesmos dos seguidos na caracterização elétrica dos capacitores compostos apenas pela camada de P(VDF-TrFE-CFE). Sendo assim, tais procedimentos podem ser revisados na seção 5.2.2 deste capítulo.

5.4.3. Resultados das medidas de capacitância dos sistemas compostos pela bicamada de P(VDF-TrFE-CFE) mais polímero fluorado

A metodologia de análise dos resultados foi a mesma da adotada na seção 5.2.3, de maneira que na Figura 5.14(a) a 5.14(f) estão apresentadas as medidas de capacitância em função da tensão para as seis diferentes áreas (eletrodos) da amostra de P(VDF-TrFE-CFE) mais o polímero fluorado. De forma análoga a apresentada anteriormente, as linhas nos gráficos representam as cinco medidas repetidas em cada área da amostra, das quais as linhas em azul representam as medidas elétricas a frequência de 1 kHz, as linhas em rosa as medidas à frequência de 10 MHz e as linhas em verde as medidas à 1 MHz. Os pontos circulares em ciano com preenchimento branco representam a média das cinco medidas realizadas à 1 kHz, os pontos circulares em laranja com preenchimento branco a média à 10 MHz e os pontos circulares em ciano-escuro a média das medidas à 1 MHz.

Embora tenham sido repetidas cinco vezes cada medida a uma determinada frequência, na maioria das vezes estas medidas não são visualizadas nos gráficos da Figura 5.14 (a) – 5.14(f) devido à coincidência das mesmas. Isto indica um comportamento elétrico estável da bicamada dielétrica. Na Figura 5.14(g) estão apresentadas as médias das medidas realizadas em todos os eletrodos, sendo que foi obtida uma capacitância média por área de 18, 14 e 8 nF/cm² para as frequências de 1 kHz, 10 MHz e 1 MHz, respectivamente.

Figura 5.14 - Medidas de capacitância em função da tensão aplicada para as seis diferentes áreas da bicamada de P(VDF-TrFE-CFE) mais polímero fluorado (a) - (f) e média de todas as medidas de capacitância em função da tensão realizadas na bicamada de P(VDF-TrFE-CFE) mais polímero fluorado (g).

Os valores da constante dielétrica da bicamada foram determinados a partir das medidas de capacitância em função da frequência, levando em consideração os parâmetros geométricos da amostra. Os valores da constante dielétrica em função da frequência estão apresentados na Figura 5.15, no qual as linhas nos gráficos representam as medidas repetidas em cada eletrodo e os pontos circulares em ciano com preenchimento branco representam a média dessas medidas. Na Figura 5.15 (g) está apresentada uma média da constante dielétrica de todas as medidas realizadas nos seis eletrodos, para a qual foi obtida o valor de 19 para a frequência de 1 kHz.

Figura 5.15 - Valores da constante dielétrica em função da frequência para as seis diferentes áreas da bicamada de P(VDF-TrFE-CFE) mais polímero fluorado (a) - (f) e média dos valores da constante dielétrica obtidos em todas as áreas da bicamada de P(VDF-TrFE-CFE) mais polímero fluorado (g).

Ao comparar os resultados das propriedades dielétricas dos filmes de P(VDF-TrFE-CFE) com os resultados da bicamada é possível concluir que houve uma redução de cerca de 50% dos valores de capacitância por área e de constante dielétrica. Este resultado está de acordo com resultados já apresentados na literatura, os quais relatam que a inserção de uma fina camada de um polímero de baixa constante dielétrica entre a camada semicondutora e dielétrica dos OFETs faz com que haja uma redução de cerca de 50% do valor efetivo de ϵ [97]. Entretanto, mesmo com a redução de 50% no valor efetivo de ϵ , a bicamada, composta pelo P(VDF-TrFE-CFE) e o polímero fluorado, continua apresentando um valor elevado de ϵ quando comparado

com os polímeros dielétricos mais utilizados na fabricação dos OFETs, tais como PMMA ($\varepsilon \cong 3,5$) e PVP ($\varepsilon \cong 6,4$). A próxima etapa deste trabalho envolveu a fabricação e a caracterização elétrica de OFETs fabricados com a bicamada composta pelo P(VDF-TrFE-CFE) e pelo polímero fluorado como camada isolante nestes dispositivos.

5.5. Fabricação e Caracterização dos OFETs de canal p utilizando o P(VDF-TrFE-CFE) e o polímero fluorado como bicamada dielétrica

5.5.1. Procedimental experimental para a fabricação dos OFETs de canal p utilizando o P(VDF-TrFE-CFE) e o polímero fluorado como bicamada dielétrica

As etapas de fabricação dos OFETs de canal p que empregaram a bicamada de P(VDF-TrFE-CFE) mais o polímero fluorado foram exatamente as mesmas das descritas na seção 5.3.1, com o acréscimo da etapa de deposição do polímero fluorado pela técnica de *blade-coating*, como representado na Figura 5.16. A etapa de deposição da camada do polímero fluorado foi realizada após a deposição da camada semicondutora (etapa 6 da seção 5.3.1), sendo caracterizada pela deposição de 90 μL de solução de polímero fluorado (10% em volume de FC770) com a altura do *blade* a 50 μm e velocidade de 2 cm/s. Os parâmetros de deposição foram escolhidos com o propósito de obter filmes com a espessura média de aproximadamente 120 nm. Após a deposição, os filmes foram deixados sobre uma placa a vácuo por cerca de 30 minutos antes de serem tratados termicamente a 120 °C por 10 minutos. Todo o procedimento de deposição do polímero fluorado foi realizado no interior de uma *glovebox*. Os procedimentos de fabricação posteriores e anteriores à deposição do polímero fluorado podem ser consultados na seção 5.3.1 deste capítulo.

Figura 5.16 - Representação da estrutura do OFET constituído pela bicamada dielétrica de P(VDF-TrFE-CFE) mais o polímero fluorado (Fonte: autor).

5.5.2. Caracterização elétrica dos OFETs de canal p com o P(VDF-TrFE-CFE) e polímero fluorado como bicamada dielétrica

Todos os dispositivos fabricados nesta etapa foram caracterizados eletricamente por meio de suas curvas características de saída (I_d vs. V_d) e de transferência (I_d vs. V_g). Os procedimentos das medidas elétricas foram exatamente os mesmos dos adotados para a caracterização elétrica dos OFETs com o P(VDF-TrFE-CFE) como camada dielétrica, de forma que os detalhes deste processo podem ser consultados na seção 5.3.2 deste capítulo.

5.5.3. Resultados e discussão da caracterização elétrica dos OFETs de canal p com a bicamada dielétrica de P(VDF-TrFE-CFE) e de polímero fluorado

Assim como realizado na etapa de análise dos resultados dos OFETs de canal p com o P(VDF-TrFE-CFE) como camada dielétrica, nesta etapa foram analisados no total 25 transistores, também originários de dois diferentes lotes de fabricação. Os parâmetros μ , V_T , I_{on}/I_{off} e S dos 25 dispositivos foram obtidos no regime de saturação para $V_d = -8 V$ e utilizando o modelo de aproximação do canal gradual. As curvas de saída e de transferência de um dos dispositivos obtidos nesta etapa estão apresentadas nas Figuras 5.17(a) e 5.17(b), respectivamente.

Figura 5.17 - Apresentação da (a) curva de saída e (b) da curva de transferência de um dos dispositivos fabricados com a bicamada dielétrica (P(VDF-TrFE-CFE) mais polímero fluorado).

Com base em uma breve análise da Figura 5.17 é possível perceber um aumento considerável, de cerca de aproximadamente uma ordem de grandeza, no valor da corrente no estado ligado (I_{on}) para as tensões de -8 V dos transistores fabricados com a bicamada dielétrica em relação aos que foram fabricados utilizando apenas o P(VDF-TrFE-CFE). Este aumento no valor da corrente no estado ligado dos transistores reflete principalmente nos valores de μ destes dispositivos, para os quais foram encontrados valores entre 1 e $1,9 \text{ cm}^2/\text{V.s}$, como pode ser observado no gráfico da Figura 5.18(a). Os gráficos com a distribuição estatística dos valores de V_T , $\text{Log}(I_{on}/I_{off})$ e de S também estão apresentados na Figura 5.18.

Como pode ser observado na Figura 5.18 (b), foram obtidos valores de V_T entre -1 e -1.8 V, sendo que 64% dos dispositivos analisados exibiram $V_T \leq -1,4$ V. Além disso, apesar de terem sido obtidos valores de $\text{Log}(I_{on}/I_{off})$ entre 3,7 e 4,2 (Figura 5.18(c)), a maioria dos dispositivos analisados apresentaram valores $3,7 \leq \text{Log}(I_{on}/I_{off}) \leq 3,9$. E, no caso do parâmetro S foi observado que cerca de 68% dos dispositivos exibiram valores de S menores que $0,7 \text{ V/dec}$.

Ademais, foi observada uma menor dispersão nos valores de todos os parâmetros de interesse analisados para o caso dos OFETs fabricados com a bicamada dielétrica em relação aos fabricados apenas com o P(VDF-TrFE-CFE), como pode ser comprovado pelos valores do coeficiente de variação apresentados na Tabela 5.2. Desta forma, devido a maior reprodutibilidade dos resultados e aos maiores valores de μ , é possível concluir que os OFETs fabricados com a bicamada dielétrica apresentaram um melhor desempenho quando comparados aos OFETs fabricados somente com o P(VDF-TrFE-CFE).

Figura 5.18 - Distribuição estatística dos valores obtidos para (a) a mobilidade de efeito de campo (μ), (b) tensão de limiar (V_T), (c) $\log(I_{on}/I_{off})$ e (d) subthreshold swing (S) dos OFETs que utilizaram a bicamada de P(VDF-TrFE-CFE) mais o polímero fluorado como camada dielétrica.

Tabela 5.2 - Valores médios e do coeficiente de variação dos parâmetros de interesse dos OFETs fabricados com a bicamada de P(VDF-TrFE-CFE) mais o polímero fluorado.

	μ	V_T	$\log I_{on}/I_{off}$	S
Valor médio	$1,3 \text{ cm}^2/\text{V s}$	-1,3 V	3,9	0,71 V/dec
Coeficiente de variação	0,22	-0,19	0,04	0,11

Ao se comparar os valores médios dos parâmetros de interesse (Tabela 5.2) obtidos para o OFETs fabricados com a bicamada dielétrica com os resultados publicados por Pierre et al. [35] é possível inferir que os OFETs fabricados com a bicamada dielétrica apresentaram um desempenho superior devido aos maiores valores de μ e menores valores de V_T e de S, além do funcionamento a tensões de operação bem inferiores.

5.6. Inversores lógicos unipolares com transistor de carga no modo de acumulação

A fim de comprovar a funcionalidade dos OFETs fabricados com a bicamada dielétrica a baixas tensões de operação, os mesmos foram empregados na fabricação de inversores lógicos unipolares.

5.6.1. Fabricação e caracterização elétrica dos inversores lógicos unipolares com transistor de carga no modo de acumulação

Os inversores lógicos unipolares foram fabricados utilizando associações em série dos OFETs de canal p que empregaram a bicamada de P(VDF-TrFE-CFE) e de polímero fluorado. Os transistores utilizados na fabricação dos inversores pertencem ao conjunto de dados analisados na seção 5.5. Para o processo de caracterização elétrica do inversor unipolar, os contatos do dreno dos dois OFETs empregados foram conectados entre si por meio de cabos externos, a tensão V_{DD} foi aplicada no terminal da fonte do transistor de carga (*load*) e a tensão de entrada (V_{in}) foi aplicada no contato da porta do OFET *driver* (ver Figura 5.19). A tensão V_{DD} aplicada variou entre - 4 V e - 8 V, com o passo de - 2 V. Os inversores foram caracterizados por meio da curva característica de transferência de tensão (CTT), sendo que os parâmetros de ganho e de margem de ruído dos inversores foram determinados a partir do valor absoluto da derivada dV_{out}/dV_{in} e por meio do critério do produto máximo (MPC), respectivamente.

Figura 5.19 – Apresentação da configuração básica de um inversor lógico unipolar com transistor de carga e representação das tensões aplicadas (Fonte:autor).

5.6.2. Resultados da caracterização elétrica dos inversores unipolares com transistor de carga no modo de acumulação

Além da apresentação dos resultados da caracterização elétrica dos inversores lógicos unipolares, também serão apresentadas as curvas de transferência, bem como os parâmetros de interesse dos OFETs que foram empregados na fabricação destes dispositivos. No total serão apresentados os resultados de 3 inversores lógicos unipolares, sendo eles nomeados por números sequenciais. Para facilitar, cada par de OFETs empregado na fabricação dos inversores também é nomeado pela letra T seguida do número sequencial correspondente ao inversor e, os transistores são diferenciados entre si pela função que exercem no sistema inversor, de maneira que o OFET que exerce a função do transistor de carga recebe o subscrito *L* (*load*) no nome, enquanto o outro transistor recebe o subscrito *D* (transistor driver).

As curvas de transferência e os parâmetros de interesse dos OFETs que foram utilizados para a fabricação do primeiro inversor, denominado de inversor unipolar 1, estão apresentados na Figura 5.20 e na Tabela 5.3.

Figura 5.20 – Curvas de transferência dos OFETs utilizados na fabricação do inversor unipolar 1.

Tabela 5.3 – Parâmetros dos OFETs empregados na fabricação do inversor unipolar 1.

	μ (cm ² / V s)	V_T (V)	Log I_{on}/I_{off}	S (V/dec)
T1_L	1,4	- 1,0	4,0	0,6
T1_D	1,4	- 1,2	4,2	0,6

O gráfico da CTT do inversor unipolar 1, assim como o ganho estão ilustrados na Figura 5.21.

Figura 5.21 – (a) Curva característica de transferência de tensão (CTT) e (b) ganho do inversor unipolar 1.

O comportamento da curva característica de um inversor unipolar depende fortemente dos parâmetros de μ e de V_T dos transistores empregados em sua fabricação. Como já discutido no capítulo 2, a tensão máxima de saída que representa o nível lógico “1” do inversor é influenciada pelo valor da tensão de limiar do transistor de carga (*load*), de maneira que

$$V_{out\ máx} = V_{DD} - V_{TL}. \quad (5.1)$$

Ao analisar o comportamento da CTT do inversor unipolar 1, exibida na Figura 5.21(a), é claramente observada a relação descrita na equação (5.1), para a qual a $V_{out\ máx} \cong -7\text{ V}$ para $V_{DD} = -8\text{ V}$. Esta tensão máxima de saída permanece constante até que o ponto em que a tensão de entrada (V_{in}) atinja o valor da tensão de limiar do transistor *driver*, isto é, $V_{in} = V_{TD} = -1,2\text{ V}$, como pode ser observada na Figura 5.21(a). Tais características da CTT do inversor unipolar 1 estão em pleno acordo com o comportamento previsto na literatura e indicam o funcionamento adequado deste inversor a baixas tensões de operação. Adicionalmente, o valor relativamente baixo apresentado pelo inversor unipolar 1 para o ganho (1,2) deve ser atribuído à semelhança dos parâmetros W e L do canal e do comportamento elétrico apresentado pelos OFETs utilizados na fabricação deste inversor. Como explicitado no capítulo 2 deste trabalho, o ganho de um inversor unipolar depende dos parâmetros geométricos do canal, da capacitância e dos valores de μ de ambos transistores, como especificado na equação (5.2)

$$|dV_{out}/dV_{in}| = \left| -\sqrt{\frac{W_D\mu_D C_D L_L}{L_D W_L \mu_L C_L}} \right| \quad (5.2)$$

Para que sejam obtidos inversores com valores elevados de ganho, devem ser empregados transistores com diferentes valores de W , L e μ . Como todos os transistores fabricados neste trabalho apresentam praticamente os mesmos parâmetros geométricos para o canal (W e L), valores levemente superiores de ganho devem ser obtidos para os casos em que há uma pequena diferença no valor de μ dos OFETs. Para comprovar isso, o inversor unipolar 2 foi fabricado utilizando OFETs que exibiram uma pequena diferença no valor de μ , como pode ser observado na Tabela 5.4. As curvas de transferência de ambos os transistores também estão apresentadas na Figura 5.22.

Figura 5.22 - Curvas de transferência dos OFETs utilizados na fabricação do inversor unipolar 2.

Tabela 5.4 - Parâmetros dos OFETs empregados na fabricação do inversor unipolar 2.

	μ (cm ² / V s)	V_T (V)	Log I_{on}/I_{off}	S (V/dec)
T2L	1,0	- 1,2	3,7	0,7
T2D	1,7	- 1,2	3,8	0,8

A curva característica CTT do inversor unipolar 2, mostrada na Figura 5.23(a), apresenta as mesmas características ressaltadas na CTT do inversor unipolar 1, tais como $V_{out\ máx}$ obedecendo a relação descrita na equação (5.1) e permanecendo constante até o ponto em que $V_{in} = V_{TD} = -1,2\text{ V}$.

Figura 5.23 - (a) Curva caraterística de transferência de tensão (CTT) e (b) ganho do inversor unipolar 2.

O valor do ganho do inversor unipolar 2 foi de 1,5 para $V_{DD} = -8\text{ V}$, como pode ser observado na Figura 5.23(b). O valor superior obtido para o ganho do inversor unipolar 2 deve ser atribuído a diferença entre as mobilidades de efeito de campo dos OFETs empregados e a possíveis variações nos valores de W e L dos mesmos.

Um valor de ganho um pouco superior ao obtido para o inversor unipolar 2 pode ser alcançado ao se trocar o OFET $T2_D$ por um outro OFET, aqui denominada de $T3_D$, com valor de μ superior ao $T2_D$. A curva de transferência e os parâmetros do transistor $T3_D$ estão apresentadas na Figura 5.24 e Tabela 5.5.

Figura 5.24 - Curva de transferência do OFET utilizado na fabricação do inversor unipolar 3.

Tabela 5.5 - Parâmetros dos OFETs empregados na fabricação do inversor unipolar 3.

	μ (cm ² / V s)	V_T (V)	Log I_{on}/I_{off}	S (V/dec)
T3_L = T2_L	1,0	- 1,2	3,7	0,7
T3_D	1,9	- 1,1	3,7	0,8

O gráfico da curva CTT e do ganho do inversor unipolar 3, composto pela associação em série dos transistores T3_D e T2_L estão apresentadas na Figura 5.25. Como pode ser observado, a utilização de um transistor com valor de μ um pouco mais elevado fez com que houvesse um leve aumento no valor do ganho do inversor (1,6).

Figura 5.25 - Parâmetros dos OFETs empregados na fabricação do inversor unipolar 3.

Os parâmetros de interesse dos OFETs utilizados na fabricação dos três inversores apresentados, assim como os parâmetros dos inversores estão sumarizados na Tabela 5.6.

Tabela 5.6 – Apresentação dos parâmetros de interesse dos OFETs empregados na fabricação dos inversores lógicos unipolares, assim como dos parâmetros dos inversores.

	μ_L ($\text{cm}^2/\text{V.s}$)	μ_D ($\text{cm}^2/\text{V.s}$)	V_{TL} (V)	V_{TD} (V)	$V_{out\text{ máx}}$ (V)	ganho	MR_L (V)	MR_H (V)
Inversor unipolar 1	1,4	1,4	-1,0	-1,2	- 7	1,2	2,24	2,94
Inversor unipolar 2	1,0	1,7	-1,2	-1,2	- 7,1	1,5	2,13	3,20
Inversor unipolar 3	1,0	1,9	-1,2	- 1,1	-6,8	1,6	2,74	3,5

Da análise da Tabela 5.6 é possível concluir que os inversores lógicos unipolares com transistor de carga fabricados neste trabalho apresentaram um desempenho semelhante, mesmo para os casos em que foram empregados OFETs com valores levemente diferentes de μ . Todos os inversores fabricados neste trabalho funcionaram a baixas tensões (-4 V, - 5 V, -6 V, -7 V e -8 V), com valores de ganho que variaram de 1,2 a 1,6 e de margem de ruído de 56%, 53,3% e 68,5% de $\frac{1}{2} V_{DD}$.

5.7. Conclusões deste capítulo

Neste capítulo foram fabricados OFETs utilizando uma blenda de PTTA: diF TES ADT como camada semicondutora e um material de elevada constante dielétrica (P(VDF-TrFE-CFE)) como camada dielétrica. A deposição dos contatos dreno e fonte e da camada semicondutora dos transistores fabricados nesta etapa do trabalho foi realizada por meio da técnica de *blade-coating* combinada com substratos com energia de superfície padronizada (SEP), ao passo que a camada dielétrica de P(VDF-TrFE-CFE) foi depositada por *spray-coating*. Os resultados da caracterização elétrica destes dispositivos mostraram que a utilização do material dielétrico de elevada constante dielétrica (P(VDF-TrFE-CFE)) possibilita o funcionamento dos OFETs a baixas tensões ($\leq 8\text{ V}$), porém com valores de mobilidade de efeito de campo reduzidos devido à alta desordem dipolar na interface semicondutor/isolante.

Para minimizar estes efeitos de desordem dipolar na interface, uma fina camada de polímero fluorado foi depositada por *blade-coating* entre a camada semicondutora e a camada de P(VDF-TrFE-CFE) nos OFETs, constituindo assim transistores com uma bicamada

dielétrica. A análise dos resultados dos transistores constituídos pela bicamada dielétrica (P(VDF-TrFE-CFE) mais o polímero fluorado) mostrou que além dos dispositivos permanecerem funcionando a baixas tensões, os mesmos apresentaram valores de μ (entre 1 e 1,9 cm²/ V.s) superiores aos resultados obtidos para os transistores que utilizaram apenas a camada de P(VDF-TrFE-CFE). Ademais, os OFETs fabricados com a bicamada dielétrica apresentaram um desempenho superior aos resultados já publicados na literatura ^[35], com valores mais elevados de μ e menores de V_T e de S , além do funcionamento a baixas tensões ($\leq 8 V$).

Por fim, a funcionalidade destes transistores a baixas tensões de operação foi comprovada com a aplicação dos mesmos na fabricação de inversores lógicos unipolares, para os quais foram obtidos valores de ganho entre 1,2 e 1,6 e de margem de ruído entre 56% e 68,5% de $\frac{1}{2} V_{DD}$.

6. Conclusões e perspectivas

Neste trabalho, transistores de efeito de campo orgânicos (OFETs) foram produzidos e aplicados na fabricação de inversores lógicos complementares (CMOS) e de inversores lógicos unipolares com transistor de carga. A fabricação e a caracterização elétrica dos inversores lógicos complementares, bem como dos OFETs utilizados na sua composição foram realizadas no Laboratório de Eletrônica Orgânica (LEO) do Grupo de Polímeros *Bernhard Gross* do IFSC/USP, ao passo que as etapas de fabricação e de caracterização dos inversores lógicos unipolares com transistor de carga, juntamente com os OFETs utilizados na sua formação foram realizadas no laboratório de pesquisa “*Flexible electronic devices and systems*” na Universidade da Califórnia em Berkeley (EUA) durante a realização do estágio de doutoramento sanduíche.

A primeira etapa deste trabalho foi caracterizada pela fabricação do CMOS, para o qual foi proposto um método fácil e de baixo custo, baseado na seleção do solvente da camada dielétrica para obtenção de OFETs de canal p e de canal n com desempenhos semelhantes. Foram fabricados transistores com arquitetura *top-gate bottom-contacts* utilizando o PMMA como camada dielétrica e, o rr-P3HT e o P(NDI2OD-T2 (N2200) como camada ativa do “tipo p” e do “tipo n”, respectivamente. Os solventes selecionados para a fabricação das soluções de PMMA foram o MEK, nBA e o DMSO por apresentarem diferentes valores de ponto de ebulição, momento de dipolo e diferentes graus de ortogonalidade, propriedades estas que poderiam conferir diferenças significativas no desempenho dos transistores.

No caso dos OFETs de canal p foram encontrados elevados valores para mobilidade de efeito de campo ($\mu \sim 10^{-2} \text{cm}^2/\text{V s}$) e para a razão $I_{\text{on}}/I_{\text{off}}$ ($\sim 10^4$) para os dispositivos com o DMSO como solvente da camada dielétrica. Uma redução de uma ordem de grandeza foi observada para os valores de μ ($\sim 4 \times 10^{-3} \text{cm}^2/\text{V s}$) e de até duas ordens para os valores de razão $I_{\text{on}}/I_{\text{off}}$ ($\sim 10^2$) no caso dos dispositivos fabricados com o MEK como solvente. Para os OFETs de canal n foram obtidos altos valores de mobilidade de efeito de campo ($\mu \sim 10^{-2} \text{cm}^2/\text{V s}$) para todos os dispositivos analisados, sendo que o melhor desempenho, com elevada razão $I_{\text{on}}/I_{\text{off}}$ ($\sim 10^3$) e menores valores de S e V_T foram atingidos para os OFETs que utilizaram o MEK como solvente da camada dielétrica. Estes resultados mostraram uma relação direta do desempenho elétrico apresentado pelos OFETs com o tipo de solvente utilizado na dissolução da camada dielétrica, considerando que os melhores desempenhos foram obtidos para os dispositivos que utilizaram solventes perfeitamente ortogonais na dissolução do PMMA. Também foi observado que tanto os OFETs de canal p quanto os OFETs de canal n que utilizaram o DMSO como solvente da camada dielétrica apresentaram os maiores valores

de mobilidade de efeito de campo devido ao maior momento de dipolo apresentado por este solvente em comparação com os demais solventes utilizados.

Os OFETs de canal p que utilizaram o DMSO e os OFETs de canal n que utilizaram o nBA apresentaram desempenhos elétricos semelhantes, de forma que foram aplicados na fabricação de inversores lógicos complementares. Valores de ganho entre 6,8 e 7,8 e de margem de ruído entre 28,3 V e 34,5 V foram obtidos para inversores complementares fabricados neste trabalho. Desta forma, podemos concluir que a análise dos resultados demonstrou a eficiência da metodologia proposta não apenas para ajustar as propriedades elétricas dos OFETs de canal p e de canal n, mas também para otimizar o desempenho destes dispositivos.

A segunda etapa deste trabalho consistiu na fabricação de OFETs de canal p utilizando técnicas de impressão, tais como *blade-coating*, *inkjet* e *spray-coating*. O principal objetivo desta etapa foi de reduzir a tensão de operação dos OFETs já fabricados pelo grupo de pesquisa da Universidade da Califórnia. Para atingir tal objetivo foi utilizado um material isolante com elevada constante dielétrica, denominado de P(VDF-TrFE-CFE), como camada dielétrica dos OFETs, enquanto que como material semicondutor foi utilizada uma blenda de PTAA: diF TES ADT. Os procedimentos experimentais foram os mesmos dos adotados por Pierre et al. ^[35] para a deposição de todas as camadas dos OFETs, com exceção da camada dielétrica que foi depositada pela técnica de *spray-coating*.

Da análise do comportamento elétrico apresentado por estes dispositivos foi possível inferir que a utilização do P(VDF-TrFE-CFE) como camada dielétrica permitiu o funcionamento dos transistores à baixas tensões (≤ 8 V). No entanto, foram obtidos valores de mobilidade de efeito de campo muitos aquém dos valores publicados por Pierre et al. ^[35] como consequência da elevada desordem dipolar na interface, ocasionada pelo emprego do material dielétrico com elevada constante dielétrica. Com o objetivo de minimizar estes efeitos de desordem dipolar na interface foram produzidos OFETs de canal p, seguindo a mesma metodologia, porém com o emprego de uma bicamada dielétrica constituída pelo P(VDF-TrFE-CFE) mais um polímero fluorado. Os resultados da caracterização elétrica dos OFETs compostos pela bicamada dielétrica demonstraram que além destes dispositivos apresentarem um bom funcionamento a baixas tensões, os mesmos apresentaram valores de μ (entre 1 e 1,9 $\text{cm}^2/\text{V.s}$) superiores aos obtidos para os OFETs fabricados apenas com P(VDF-TrFE-CFE) como camada dielétrica. Além disso, os OFETs de canal p fabricados com a bicamada dielétrica apresentaram um desempenho elétrico superior aos resultados já apresentados na literatura ^[35], com valores superiores de mobilidade de efeito de campo ($\mu \cong 1,3 \text{ cm}^2/\text{V.s}$) e menores valores de tensão de limiar ($V_T \cong -1,3$ V) e de *subthreshold swing* ($S \cong 0,71 \text{ V/dec}$), além do

funcionamento a baixas tensões ($\leq 8\text{ V}$). Por fim, inversores lógicos unipolares com transistores de carga foram construídos utilizando os OFETs de canal p fabricados com a bicamada dielétrica com o objetivo de demonstrar a funcionalidade destes transistores a baixas tensões de operação. Os inversores unipolares fabricados neste trabalho apresentaram valores de ganho entre 1,2 e 1,6 e de margem de ruído entre 56% e 68,5% de $\frac{1}{2} V_{DD}$.

Contribuições significativas à área de eletrônica orgânica e eletrônica orgânica impressa resultaram do desenvolvimento desta tese. A primeira delas consistiu no desenvolvimento de um método fácil para ajustar as propriedades elétricas de OFETs de canal p e de canal n a fim de possibilitar a fabricação de inversores lógicos complementares. O desenvolvimento de novas metodologias e técnicas para a fabricação do CMOS orgânico é primordial para possibilitar a implantação desta tecnologia no mercado. A outra contribuição deste trabalho de doutoramento envolveu a fabricação de OFETs de canal p impressos com funcionamento a baixas tensões. O bom desempenho destes dispositivos a baixas tensões de operação é uma característica essencial para a aplicação dos transistores em circuitos portáteis.

Adicionalmente, deve-se destacar a contribuição deste trabalho dentro do Grupo de Polímeros *Bernhard Gross* do IFSC/USP e em âmbito nacional com a fabricação do primeiro inversor lógico complementar e com a consolidação de uma metodologia para a fabricação de OFETs de canal p e de canal n com bons e equiparáveis desempenhos, além da boa reprodutibilidade. Apesar deste grande avanço, muito trabalho ainda precisa ser feito com o objetivo de otimizar estes inversores lógicos complementares (principalmente reduzindo a tensão de operação) e no desenvolvimento de novas técnicas que possibilitem a deposição dos OFETs de canal p e de canal n sobre o mesmo substrato para a construção destes dispositivos. Complementarmente, os conhecimentos e a experiência adquiridos na Universidade da Califórnia abriram a possibilidade de implementação da técnica de *blade-coating*, bem como da metodologia de fabricação de OFETs em substratos flexíveis dentro do Grupo de Polímeros *Bernhard Gross* para a realização de trabalhos futuros.

7. Referências

1. ZHONG, C. et al. Materials and Devices toward Fully Solution Processable Organic Light-Emitting Diodes. **Chemistry of Materials**, v.23, n. 3, p. 326–340, 2011.
2. KAUR, N.; et al. Organic materials for photovoltaic applications: Review and Mechanism. **Synthetic Metals**, v.190, p. 20-26, 2014.
3. SIRRINGHAUS, H. 25th Anniversary Article: Organic Field-Effect Transistors: The Path Beyond Amorphous Silicon. **Advanced Materials**, v. 26, p. 1319–1335, 2014.
4. ORGANIC ELECTRONICS MARKET BY APPLICATIONS (DISPLAY, ORFID, OLED LIGHTING, PHOTO VOLTAIC, SYSTEM COMPONENTS) - global opportunity analysis and industry forecast, 2013 – 2020. Disponível em: <<https://www.alliedmarketresearch.com/printed-organic-and-flexible-electronics-market>>. Acesso em: 8 Sept. 2016.
5. TSUMURA, A.; KOEZUKA, H.; ANDO, T. Macromolecular electronic device: field effect transistor with a polythiophene thin film. **Applied Physics Letters**, v.49, n.18, p.1210-1212, 1986.
6. KHERADMAND-BOROUJENI, B. et al. Analog characteristics of fully printed flexible organic transistors fabricated with low-cost mass-printing techniques. **IEEE Transactions on Electron Devices**, v.61, n.5, p.1423-1430, 2014.
7. GIRI, G. et al. Tuning charge transport in solution-sheared organic semiconductors using lattice strain. **Nature**, v.480, p.504-508, 2011.
8. SMITH, J. et al. Solution-processed small molecule-polymer blend organic thin-film transistors with hole mobility greater than 5 cm²/Vs. **Advanced Materials**, v.24, p.2441-2446, 2012.
9. YAN, H. et al. A High-mobility electron-transporting polymer for printed transistors. **Nature**, v.457, p.679-687, 2009.
10. LU, M.-S. et al. Low voltage operation of non-volatile flexible OFET memory devices using g high-k P(VDF-TrFE) gate dielectric and polyimide charge storage layer. **Reactive and Functional Polymers**, v.108, p.39-46, 2016.
11. LI, J.; YAN, F. Solution-processable low-voltage and flexible floating-gate memories based on an n-type polymer semiconductor and high-k polymer gate dielectrics. **ACS Applied Materials and Interfaces**, v.6, n.5, p.12815-12820, 2014.
12. SCHMIDT, G. C. et al. Fully printed flexible audio system on the basis of low-voltage polymeric organic field effect transistors with three layer dielectric. **Journal of Polymer Science, Part B: polymer physics**, v.53, p.1409-1415, 2015.
13. ZHAO, Y.; GUO, Y.; LIU, Y. 25th Anniversary article: recent advances in n-type and ambipolar organic field-effect transistors. **Advanced Materials**, v.25, p.5372-5391, 2013.

-
14. WEN, Y.; LIU, Y. Recent progress in n-channel organic thin-film transistors. *Advanced Materials*, v.22, n.12, p.1331-1345, 2010.
 15. GILI, E. et al. Organic integrated complementary inverters with ink-jet printed source/drain electrodes and sub-micron channels. *Applied Physics Letters*, v.100, p.123303-1-123303-4, 2012.
 16. BAEG, K.-J. et al. High speeds complementary integrated circuits fabricated with all-printed polymeric semiconductors. *Journal of Polymer Science, Part B: polymer physics*, v.49, p.62-67, 2011.
 17. RISTESKA, A. et al. Designing organic and inorganic ambipolar thin film transistors and inverters: theory and experiment. *Organic Electronics*, v.13, p.2816-2824, 2012.
 18. FA FADLALLAH, M. et al. DC/AC unified OTFT compact modeling and circuit design for RFID applications. *Solid-State Electronics*, v.51, p.1047-1051, 2007.
 19. BATTIATO, P. et al. An Integrated 13.56-MHz RFID tag in a printed organic complementary TFT technology on flexible substrate. *IEEE Transactions on Circuits and Systems*, v.62, n.6, p.1668-1677, 2015.
 20. PRINTED-ELECTRONICS RFID TAGS: FROM PROMISE TO REALITY. Disponível em: <<https://www.rfidjournal.com/purchaseaccess?type=Article&id=4248&r=%2Farticles%2Fview%3F4248>>. Acesso em: 10 Sept. 2016.
 21. CHU, C.W. et al. Integration of organic light-emitting diode and organic transistor. *Applied Physics Letters*, v.86, p.253503-1- 253503-3, 2005.
 22. YAGI, I. et al. A Flexible full-color AMOLED display driven by OTFTs. *Journal of the SID*, v.16, p.15-20, 2008.
 23. ANTHOPOULOS, T.D. et al. Light-sensing ambipolar organic transistors for optoelectronic applications. *Organic Optoelectronics and Photonics III*, v.6999, p.69990-X-1-69990-X-7, 2008.
 24. KALTENBRUNNER, M. et al. An Ultra-lightweight design for imperceptible plastic electronics. *Nature*, v.499, p.458-463, 2013.
 25. PRINTED, ORGANIC & FLEXIBLE ELECTRONICS: forecasts, players & opportunities 2014-2024. Disponível em: <<http://www.idtechex.com/research/reports/printed-organic-and-flexible-lectronics-forecasts-players-and-opportunities-2014-2024-000404.asp>>. Acesso em: 30 Aug. 2014.
 26. SINGH, M. et al. Inkjet printing - process and its applications. *Advanced Materials*, v.22, p.673-685, 2010.
 27. SØNDERGAARD, R.R.; HÖSEL, M.; KREBS, F.C. Roll-to-roll fabrication of large area functional organic materials. *Journal of Polymer Science B: polymer physics*, v.51, p.16-34, 2013.

-
28. BAEG, K.-J.; CAIRONI, M.; NOH, Y.-Y. Toward printed integrated circuits based on unipolar or ambipolar polymer semiconductors. **Advanced Materials**, v.25, p.4210-4244, 2013.
 29. GAMERITH, S. et al. Direct ink-jet printing of Ag–Cu nanoparticle and Ag-precursor based electrodes for OFET applications. **Advanced Functional Materials**, v.17, p.3111-3118, 2007.
 30. CHEN, W.N.; CHU, D.P.; LI, S.P. Air stable complementary polymer circuits fabricated in ambient condition by inkjet printing. **Organic Electronics**, v.13, p.98-103, 2012.
 31. GOMES, H.L. All-inkjet printed organic transistors: dielectric surface passivation techniques for improved operational stability and lifetime. **Microelectronics Reliability**, v.55, p.1192-1195, 2015.
 32. VILKMAN, M. et al. Fully roll-to-roll processed organic top gate transistors using a printable etchant for bottom electrode patterning. **Organic Electronics**, v.20, p.8-14, 2015.
 33. HIGGINS, S.G. et al. Complementary organic logic gates on plastic formed by self-aligned transistors with gravure and inkjet printed dielectric and semiconductors. **Advanced Electronic Materials**, v.2, p.1500272, 2016.
 34. CHOU, L.-H. et al. Controllable electrical performance of spray-coated semiconducting small molecule/insulating polymer blend thin film for organic field effect transistors application. **Reactive and Functional Polymers**, v.108, p.130-136, 2016.
 35. PIERRE, A. et al. All-printed flexible organic transistors enabled by surface tension-guided blade coating. **Advanced Materials**, v.26, p.5722-5727, 2014.
 36. PLASTIC LOGIC. Disponível em: <<http://www.plasticlogic.com/products/drivers-only-displays/>>. Acesso em: 10 Sept. 2016.
 37. STEFANELO, J.C. **Fabricação e caracterização de transistores orgânicos por impressão de jato de tinta**. 2014. 141p. Tese (Doutorado) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2014.
 38. CAGNANI, L.D. **Desenvolvimento e fabricação de protótipo de impressão roll-to-roll para estudos de produção em série de dispositivos orgânicos**. 2013. 123p. Dissertação (Mestrado) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2013.
 39. MACIEL, A.C. **Fabricação e estudo das propriedades de transporte de transistores de filmes finos orgânicos**. 2012. 163f. Tese (Doutorado) - Instituto de Física de São Carlos, Universidade de São Paulo, São Carlos, 2012.
 40. ZAUMSEIL, J.; SIRRINGHAUS, H. Electron and ambipolar transport in organic field-effect transistors. **Chemical Reviews**, v.38, n.29, p.1296-1323, 2007.
 41. BAO, Z.; LOCKLIN, J. **Organic field-effect transistors**. New York: Taylor & Francis, 2007.

-
42. SCHROM, G.; SELBERHERR, S. Ultra-low-power CMOS technologies. **IEE Explore**, v.1, p.237-246, 1996.
43. HAUSER, J.R. Noise margin criteria for digital logic circuits. **IEEE Transactions on Education**, v.36, n.4, p.363-368, 1993.
44. BAKER, R.J. **CMOS circuit design, layout, and simulation**. 2nded. Hoboken: John Wiley, 2008.
45. LEAL, S.H.B.S. **Preparação e caracterização de pós e filmes finos cerâmicos de titanato de chumbo e estrôncio obtido por método químico**. 2006. 176p. Tese (Doutorado) - Universidade Federal de São Carlos, São Carlos, 2006.
46. KREBS, F.C. Fabrication and processing of polymer solar cells: a review of printing and coating techniques. **Solar Energy Materials and Solar Cells**, v.93, n.4, p.394-412, 2009.
47. SPIN coat theory. Disponível em: <<https://research.utdallas.edu/cleanroom/manuals/spin-coat-theory>>. Acesso em: 24 Aug. 2016.
48. INGRAM, I.D.V. et al. A Simple method for controllable solution doping of complete polymer field-effect transistors. **Applied Physical Letters**, v.104, p.153304-1-153304-4, 2014.
49. REUVENY, A. et al. Ultra-flexible short-channel organic field-effect transistors. **Applied Physics Express**, v.8, n.9, p.091601-1-091601-4, 2015.
50. WANG, H. et al. Inkjet printing short-channel polymer transistors with high-performance and ultrahigh photoresponsivity. **Advanced Materials**, v.26, p.4683-4689, 2014.
51. VOHRER, U.; MULLER, M.; OEHR, C. Glow-discharge treatment for the modification of textiles. **Surface and Coatings Technology**, v.98, p.1128-1131, 1998.
52. SONG, J. et al. Flame treatment of low-density polyethylene: surface chemistry across the length scales. **Applied Surface Science**, v.253, n.24, p.9489-9499, 2007.
53. SELLI, E. et al. Characterization of poly(ethylene terephthalate) and cotton fibres after cold SF₆ plasma treatment. **Journal of Materials Chemistry**, v.11, n.8, p.1985-1991, 2001.
54. BARTON, D. et al. Investigating radio frequency plasmas used for the modification of polymer surfaces. **The Journal of Physical Chemistry B**, v.103, n.21, p.4423- 4558, 1999.
55. TAMAI, T.; WATANABE, M.; MITAMURA, K. Modification of PEN and PET film surfaces by plasma treatment and layer-by-layer assembly of polyelectrolyte multilayer thin films. **Colloid and Polymer Science**, v.293, n.5, p.1349-1356, 2015.
56. KOEZUKA, H. et al. Field-effect transistor with polythiophene thin film. **Synthetic Metals**, v.18, p.699-704, 1987.
57. NEWMAN, C.R. et al. Introduction to organic thin film transistors and design of N-channel organic semiconductors. **Chemistry of Materials**, v.16, n.23, p.4436-4451, 2004.

-
58. WANG, G. et al. Increased mobility from regioregularpoly(3-Hexylthiophene) field-effect transistors. **Journal of Applied Physics**, v.93, n.10, p.6137-6141, 2003.
59. BAO, Z.; LOVINGER, A.J. Soluble regioregularpolythiophenederivatives as semiconducting materials for field-effect transistors. **Chemistry of Materials**, v.15, p.2607-2612, 1999.
60. PRETL, S. et. al. (2010). Characterization Of The Organic Field-Effect Transistor Based On Solution Processed P3HT. **33rd Int. Spring Seminar on Electronics Technology**, p. 24-29.
61. CHABINYC, M.L. et al. Effects of molecular oxygen and ozone on polythiophene-based thin-film transistors. **Applied Physics Letters**, v.90, n.12, p.123508-1-123508-3, 2007.
62. HINTZ, H.; PEISERT, H. Reversible and irreversible light-induced P-doping of P3HT by oxygen studied by photoelectron spectroscopy (XPS/UPS). **The Journal of Physical Chemistry C**, v.115, p.13373-13376, 2011.
63. ONG, B. et al. Polythiophene-based field-effect transistors with enhanced air stability. **Synthetic Metals**, v.11, n.2, p.351-355, 2004.
64. LEE, W.H. et al. The Influence of the solvent evaporation rate on the phase separation and electrical performances of soluble acene-polymer blend semiconductors. **Advanced Functional Materials**, v.22, p.267-281, 2012.
65. SMITH, J. et al. Solution-processed small molecule-polymer blend organic thin-film transistors with hole mobility greater than 5 cm² /Vs. **Advanced Materials**, v.24, p.2441-2446, 2012.
66. BAE, I. et al. Wafer-scale arrays of nonvolatile polymer memories with microprinted semiconducting small molecule/polymer blends. **Applied Materials & Interfaces**, v.5, p.10696-10704, 2013.
67. LI, J. et al. The Influence of gate dielectrics on a high-mobility n-type conjugated polymer in organic thin-film transistors. **Applied Physics Letters**, v.100, n.3, p.033301, 2012.
68. SCHMIDT, G.C. et al. Naphtalenediimide-based donor–acceptor copolymer prepared by chain-growth catalyst-transfer polycondensation: evaluation of electron-transporting properties and application in printed polymer transistors. **Journal of Materials Chemistry C**, v.2, p.5149-5154, 2014.
69. ALBRECHT, G. et al. Strategy for preparation of transparent organic thin film transistors with PEDOT:PSS electrodes and a polymeric gate dielectric. **Materials Science in Semiconductor Processing**, v.40, p.772-776, 2015.
70. HOKAZONO, M.; ANNO, H.; TOSHIMA, N. Thermoelectric properties and thermal stability of PEDOT:PSS films on a polyimide substrate and application in flexible energy conversion devices. **Journal of Electronic Materials**, v.43, n.6, p.2196-2201, 2014.

-
71. TAIT, J.G. et al. spray coated high-conductivity PEDOT:PSS transparent electrodes for stretchable and mechanically-robust organic solar cells. **Solar Energy Materials and Solar Cells**, v.110, p.98-106, 2013.
72. KEHRER, L.A. et al. Temporal and thermal properties of optically induced instabilities in P3HT field-effect transistors. **Synthetic Metals**, v.161, p.2558-2561, 2012.
73. BAEG, K.-J. et al. Flexible complementary logic gates using inkjet-printed polymer field-effect transistors. **IEEE Electron Device Letters**, v.34, n.1, p.126-128, 2013.
74. BAEG, K.-J. et al. Effects of gate dielectrics and their solvents on characteristics of solution-processed N-channel polymer field effect transistors. **Journal of Materials Chemistry**, v.22, p.21138-21143, 2012.
75. VERES, J. et al. Gate insulators in organic field-effect transistors. **Chemistry of Materials**, v.16, p.4543-4555, 2004.
76. JUNG, Y. et al. The Effect of interfacial roughness on the thin film morphology and charge transport of high-performance polythiophenes. **Advanced Functional Materials**, v.18, p.742-750, 2008.
77. SUN, X. et al. Engineering of the dielectric–semiconductor interface in organic field-effect transistors. **Journal of Materials Chemistry**, v.20, p.2599-2611, 2010.
78. BAEG, K.J. et al. Effects of gate dielectrics and their solvents on characteristics of solution-processed N-channel polymer field effect transistors. **Journal of Materials Chemistry**, v.22, p.21138-21143, 2012.
79. BAEG, K.J. et al. Polymer dielectrics and orthogonal solvent effects for high-performance inkjet-printed top-gated P-channel polymer field-effect transistors. **ETRI Journal**, v.33, n.6, p.887-896, 2011.
80. TIPPO, T. et al. The Effects of solvents on the properties of ultra-thin poly (methyl methacrylate) films prepared by spin coating. **Thin Solid Films**, v.546, p.180-184, 2013.
81. TUNG, K.-L. et al. Molecular dynamics study of the effect of solvent types on the dynamic properties of polymer chains in solution. **Desalination**, v.192, p.380-390, 2006.
82. UKAH, N.B. et al. Enhanced mobility and environmental stability in all organic field-effect transistors: the role of high dipole moment solvent. **Journal of Polymer Science B: polymer physics**, v.5, p.1533-1542, 2013.
83. CARDOSO, L.S.; STEFANELO, J.C.; FARIA, R.M. Induced characteristics of n- and p-channel OFETs by the choice of solvent for the dielectric layer towards the fabrication of an organic complementary circuit. **Synthetic Metals**, v.220, p.286-291, 2016.
84. LIDE, D.R. **Handbook of chemistry and physics**. 84thed. New York: CRC, 2003-2004.
85. KEHRER, L.A. et al. Temporal and thermal properties of optically induced instabilities in P3HT field-effect transistors. **Synthetic Metals**, v.161, n.23, p.2558-2561, 2012.

-
86. HAN, H. et al. Effect of gate electrode conductivity on operation frequency of inkjet-printed complementary polymer ring oscillators. **Thin Solid Films**, v.546, p.141-146, 2013.
 87. TSAI, T.-D. et al. Manipulating the hysteresis in poly (vinyl alcohol)-dielectric organic field-effect transistors toward memory elements. **Advanced Functional Materials**, v.23, p.4206-4214, 2013.
 88. SHE, X.-J. et al. Operational stability enhancement of low-voltage organic field-effect transistors based on bilayer polymer dielectrics. **Applied Physics Letters**, v.103, p.133303-1-133303-5, 2013.
 89. CHUNG, S. et al. All-inkjet-printed organic thin-film transistor inverter on flexible plastic substrate. **Electron Device Letters**, v.32, p.1134-1136, 2011.
 90. YI, M. et al. High-mobility flexible pentacene-based organic field-effect transistors with PMMA/PVP double gate insulator layers and the investigation on their mechanical flexibility and thermal stability. **RSC Advances**, v.5, p.95273-95279, 2015.
 91. KHIM, D. et al. Large enhancement of carrier transport in solution-processed field-effect transistors by fluorinated dielectric engineering. **Advanced Materials**, v.28, p.518-526, 2016.
 92. BAEG, K.-J. et al. Remarkable enhancement of hole transport in top-gated N-type polymer field-effect transistors by a high-k dielectric for ambipolar electronic circuits. **Advanced Materials**, v.24, p.5433-5439, 2012.
 93. CHU, B. et al. A Dielectric polymer with high electric energy density and fast discharge speed. **Science**, v.313, n.5785, p.334-336, 2006.
 94. WU, S. et al. A High-k ferroelectric relaxor terpolymer as a gate dielectric for organic thin film transistors. **Applied Physics Letters**, v.102, p.013301-1-013301-4, 2013.
 95. BAUER, F.; FOUSSON, E.; ZHANG, Q.M. Recent advances in highly electrostrictive P(VDF-TrFE-CFE) terpolymers. **IEEE Transactions on Dielectrics and Electrical Insulation**, v.13, n.5, p.1149-1154, 2006.
 96. NG, T.N. et al. Comparison of conductor and dielectric inks in printed organic complementary transistors. **SPIE Proceedings**, v.9185, p.91850X-1-91850X-6, 2014.
 97. NABER, R.C.G. et al. High charge density and mobility in poly(3-Hexylthiophene) using a polarizable gate dielectric. **Organic Electronics**, v.7, p.132-136, 2006.