MARIELA MAYUMI FRANCHINI SASAKI SASSI

Projeto de fontes de tensão de referência através de metaheurísticas

Dissertação apresentada à Escola de Engenharia de São Carlos da Universidade de São Paulo como parte dos requisitos para obtenção do título de Mestre em Ciências, Programa de Engenharia Elétrica.

Área de concentração: Telecomunicações

Orientador: Prof. Dr. João Navarro Soares
Júnior

São Carlos

2013

Trata-se da versão corrigida da dissertação. A versão original se encontra disponível na EESC/USP que aloja o Programa de Pós-Graduação de Engenharia Elétrica.

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO,
POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS
DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

S252p Sassi, Mariela Mayumi Franchini Sasaki
 Projeto de fontes de tensão de referência através
de metaheurísticas / Mariela Mayumi Franchini Sasaki
Sassi; orientador João Navarro Soares Júnior. São
Carlos, 2013.

Dissertação (Mestrado) - Programa de Pós-Graduação
em Engenharia Elétrica e Área de Concentração em
Telecomunicações -- Escola de Engenharia de São Carlos
da Universidade de São Paulo, 2013.

1. CMOS. 2. circuitos analógicos. 3. fontes de
referência. 4. metaheurísticas. I. Título.

FOLHA DE JULGAMENTO

Candidata: Engenheira **MARIELA MAYUMI FRANCHINI SASAKI SASSI**.

Título da dissertação: "Projeto de fontes de tensão de referência através de metaheurísticas".

Data da defesa: 20/06/2013

Comissão Julgadora:

Resultado:

Prof. Dr. **João Navarro Soares Júnior (Orientador)**
(Escola de Engenharia de São Carlos/EESC)

APROVADO

Prof. Dr. **José Roberto Boffino de Almeida Monteiro**
(Escola de Engenharia de São Carlos/EESC)

APROVADO

Dr. **Marcelo Arturo Jara Perez**
(Centro de Pesquisa e Desenvolvimento em Telecomunicações/CPqD)

APROVADO

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica e Presidente da
Comissão de Pós-Graduação:
Prof. Titular **Denis Vinicius Coury**

Ao meu esposo

Agradecimentos

Agradeço a Deus, pela oportunidade da vida e do aprendizado. A minha família e amigos, que sempre me trouxeram alegrias, aos professores, em especial, ao meu orientador, por compartilharem seus conhecimentos ao longo dos últimos anos e ao Centro de Pesquisa e Desenvolvimento em Telecomunicações pelo incentivo à pesquisa proporcionado.

Resumo

SASSI, M. M. F. S. **Projeto de fontes de tensão de referência através de metaheurísticas**. 2013. 122 p. Dissertação (Mestrado em Engenharia Elétrica) – Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2013.

Geradores de referência, ou fontes de tensão de referência, são largamente empregados na composição de diversos circuitos eletrônicos, pois são responsáveis por gerar e manter uma tensão constante para o restante do circuito. Como se trata de um circuito analógico e que possui diversas condições a serem atendidas (baixo coeficiente de temperatura, baixa tensão de alimentação, baixa regulação de linha, dentre outras), sua complexidade é alta e isso se reflete no tempo/dificuldade de um projeto. Com a finalidade de aumentar a qualidade do circuito e diminuir o tempo de projeto, foi estudado o projeto de fontes de tensão de referência através da aplicação de metaheurísticas, que são métodos de otimização utilizados em problemas que não possuem solução analítica. As metaheurísticas aplicadas foram: algoritmos genéticos, *simulated annealing* e *pattern search*, todos disponíveis em uma *toolbox* de otimização do Matlab. A fonte projetada, utilizando uma topologia proposta neste trabalho, fornece uma tensão de referência de 0,302 V em 300 K a uma tensão mínima de operação de 1,01 V. O coeficiente de temperatura, no intervalo de -10 °C a 90 °C, é de 19 ppm/°C a 1,01 V e a regulação de linha, com tensão de alimentação no intervalo de 1,01 V a 2,5 V, é de 81 ppm/V a 300 K. O consumo de potência é de 4,2 μ W, também em 300 K e a 1,01 V e a área é de 0,061 mm². Como resultado, mostrou-se a eficiência da utilização destes métodos no dimensionamento de elementos do circuito escolhido e foi obtida uma fonte de tensão de referência que atende aos critérios estabelecidos e é superior quanto ao critério de regulação de linha, quando comparada a outras fontes da literatura. Neste trabalho, foi utilizada a tecnologia CMOS de 0,35 μ m da Austria Micro Systems (AMS).

Palavras-chave: CMOS, circuitos analógicos, fontes de referência, metaheurísticas.

Abstract

SASSI, M. M. F. S. **Voltage references design applying metaheuristics**. 2013. 122 p.
Master's thesis (Electrical Engineering) – Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2013.

Voltage references are widely employed to compose electronic circuits, since they are responsible for generating and maintaining a constant voltage to the rest of the circuit. As it is an analog circuit and it has several conditions to fulfill (low temperature coefficient, low supply voltage, low line regulation, among others), its complexity is high, which reflects at the time/difficulties of a design. In order to increase the quality of the circuit and to minimize the design time, it was studied voltage references design using metaheuristics, which are optimization methods used in problems with no analytical solution. The applied metaheuristics were: genetic algorithms, simulated annealing and pattern search, they are all available in an optimization toolbox at Matlab. The designed voltage reference, applying a topology proposed in this work, provides a reference voltage of 0.302 V at 300 K at a minimum supply voltage of 1.01 V. The temperature coefficient, from -10 °C to 90 °C, is 19 ppm/°C at 1.01 V and the line regulation, using a supply voltage from 1.01 V to 2.5 V, is 81 ppm/V at 300 K. The power consumption is 4.2 μ W also at 300 K and 1.01 V and the area is 0.061 mm². As a result, it was shown that those methods are efficient in sizing the devices of the chosen topology and it was obtained a voltage reference that fulfills all established criteria and that is superior at the line regulation criterion, when compared to other voltage reference of the literature. In this work, the 0.35- μ m CMOS technology provided by Austria Micro Systems (AMS) was used.

Keywords: CMOS, analog circuits, voltage references, metaheuristics.

Lista de Figuras

Figura 2.1 – Busca pela independência em relação à temperatura em fontes de referência <i>bandgap</i>	26
Figura 2.2 – Vista lateral de um transistor NMOS (RAZAVI, 2001).	27
Figura 2.3 – Símbolos de transistores PMOS e NMOS.	27
Figura 2.4 – Símbolos de transistores bipolares PNP e NPN com a indicação dos terminais emissor (E), base (B) e coletor (C).	31
Figura 2.5 – Comportamento não-linear de V_{BE} em função da temperatura.	33
Figura 2.6 – (a) Seção transversal de um transistor bipolar vertical. (b) <i>Layout</i> com indicação dos terminais emissor (E), base (B) e coletor (C) na tecnologia CMOS (AUSTRIAMICROSYSTEMS, 2003).	33
Figura 2.7 – (a) Seção transversal de um transistor bipolar lateral. (b) <i>Layout</i> com indicação dos terminais emissor (E), base (B), coletor (C) e <i>gate</i> (G) na tecnologia CMOS (AUSTRIAMICROSYSTEMS, 2003).	34
Figura 2.8 – Topologia básica utilizando um diodo.	35
Figura 2.9 – Topologia básica utilizando um transistor bipolar.	35
Figura 2.10 – Fonte de tensão de referência de Kujik (1973).	37
Figura 2.11 – Circuito proposto por Banba et al. (1999).	39
Figura 2.12 – Circuito proposto por Leung e Mok (2003).	42
Figura 2.13 – Topologia de fonte de tensão de referência proposta por Navarro e Ishibe (2011).	44
Figura 2.14 – Topologia proposta por Navarro e Ishibe (2011) modificada para melhor desempenho.	47
Figura 2.15 – Topologia somente com transistores MOS proposta por Ueno et al. (2009).	48
Figura 2.16 – Circuito proposto por Huang, Lin e Lin (2006).	51
Figura 2.17 - Diagrama do funcionamento das metaheurísticas GA, SA e PS.	55
Figura 2.18 – (a) Método da roleta padrão. (b) Amostragem universal estocástica (TALBI, 2009).	58
Figura 2.19 – Exemplo de aplicação dos operadores de <i>crossover</i> e mutação gerando um novo indivíduo.	59

Figura 3.1 - Topologia usada como base nas análises de RL e TC (MATEUS et al., 2008)...	64
Figura 3.2 - Primeira topologia dimensionada por metaheurísticas e estudada através de simulações.....	74
Figura 3.3 – Versão final do esquemático do circuito de fonte de tensão de referência.....	82
Figura 3.4 – Distribuição dos valores do coeficiente de temperatura (TC) para temperaturas no intervalo de -10 °C a 90 °C. Simulação de Monte Carlo com 10000 amostras, distribuídas em 100 classes, e tensão de alimentação de 1,1 V.....	84
Figura 3.5 – Distribuição dos valores da regulação de linha (RL) no intervalo de tensão de alimentação de 1,1 V a 2,5 V. Simulação de Monte Carlo com 10000 amostras, distribuídas em 100 classes, e temperatura de 300 K.	84
Figura 3.6 – Variação das correntes de dreno dos transistores M_{10} (I_{PTAT}) e M_{11} (I_{CTAT}) e a soma destas correntes em função da temperatura no intervalo de -10 °C a 90 °C com tensão de alimentação de 1,01 V.....	85
Figura 3.7 – Tensão de referência em função da temperatura. Simulação com valores nominais do modelo de Monte Carlo e tensão de alimentação de 1,01 V.....	86
Figura 3.8 – Tensão de referência em função da tensão de alimentação.	87
Figura 3.9 - <i>Layout</i> do circuito final com dimensões de 172 μm $\times$ 356 μm	88
Figura 3.10 - Circuito de (NAVARRO; ISHIBE, 2011) com transistores NMOS no espelho de corrente degenerado da fonte de corrente PTAT.	89
Figura 3.11 - Circuito completo de (UENO et al., 2009).....	93
Figura 3.12 - V_{REF} em função de V_{DD} em uma tecnologia de 0,18 μm	98

Lista de Tabelas

Tabela 2.1 – Critério para determinação dos limites das regiões de operação de um transistor MOS.	28
Tabela 3.1 – Parâmetros utilizados na otimização no algoritmo genético do Matlab.	70
Tabela 3.2 – Parâmetros utilizados na otimização no <i>simulated annealing</i> do Matlab.	71
Tabela 3.3 – Parâmetros utilizados na otimização no PS do Matlab.	71
Tabela 3.4 – Valores dos parâmetros utilizados pelas metaheurísticas.	76
Tabela 3.5 – Mapeamento das dimensões de transistores e resistores em variáveis das metaheurísticas.	77
Tabela 3.6 – Valores dos fatores de multiplicação do tamanho dos transistores da Figura 3.2.	78
Tabela 3.7 – Resultados das simulações de quatro variações da topologia base.	78
Tabela 3.8 – Simulações de duas variações da configuração com espelho de corrente degenerado NMOS.	79
Tabela 3.9 – Análise de Monte Carlo sobre os circuitos com melhores resultados.	80
Tabela 3.10 – Dimensões dos transistores do circuito final obtidas através de metaheurísticas.	82
Tabela 3.11 – Dimensões dos resistores do circuito final obtidas através de metaheurísticas.	83
Tabela 3.12 – Valores dos parâmetros utilizados pelas metaheurísticas.	90
Tabela 3.13 – Mapeamento das dimensões dos dispositivos do circuito em variáveis das metaheurísticas.	90
Tabela 3.14 – Valores dos fatores de multiplicação do tamanho dos transistores da Figura 3.10.	91
Tabela 3.15 - Dimensões dos transistores do circuito da Figura 3.10 obtidas através de metaheurísticas.	91
Tabela 3.16 – Dimensões dos resistores do circuito da Figura 3.10 obtidas através de metaheurísticas.	92
Tabela 3.17 – Valores dos parâmetros utilizados pelas metaheurísticas.	93
Tabela 3.18 – Mapeamento das dimensões dos dispositivos do circuito em variáveis das metaheurísticas.	94

Tabela 3.19 – Valores dos fatores de multiplicação do tamanho dos transistores da Figura 3.11.....	94
Tabela 3.20 - Dimensões dos transistores do circuito da Figura 3.11 obtidas através de metaheurísticas.....	95
Tabela 3.21 – Dimensões dos resistores do circuito da Figura 3.11 obtidas através de metaheurísticas.....	95
Tabela 3.22 - Resultados das metaheurísticas aplicadas a outras topologias de fontes de tensão de referência.....	96
Tabela 3.23 - V_{TH0n} e V_{TH0p} das tecnologias utilizadas em simulações.	97
Tabela 3.24 – Comparação entre fontes de tensão de referência.	99

Lista de Símbolos

I_S	Corrente de saturação do transistor
V_{BE}	Tensão entre os terminais base e emissor do transistor do tipo NPN
V_{EB}	Tensão entre os terminais emissor e base do transistor do tipo PNP
V_T	Tensão térmica
k	Constante de Boltzmann
T	Temperatura
q	Carga do elétron
T_r	Temperatura de referência
V_{GO}	Tensão de <i>bandgap</i> do silício
μ	Mobilidade dos portadores minoritários na base do transistor bipolar
D	Constante de difusão
V_{GS}	Tensão entre os terminais <i>gate</i> e <i>source</i> do transistor MOS
I_D	Corrente do terminal <i>drain</i> ao terminal <i>source</i> do transistor MOS
μ_n	Mobilidade dos portadores (elétrons) em transistores NMOS
C_{OX}	Capacitância por área do óxido do <i>gate</i> do transistor MOS
W	Largura do canal do transistor MOS
L	Comprimento do canal do transistor MOS
n	Fator de <i>slope</i>
μ_p	Mobilidade dos portadores (lacunas) em transistores PMOS
C_D	Capacitância da região de depleção
I_m	Constante da tecnologia com dimensão de corrente
V_{TH}	Tensão de <i>threshold</i>
V_{DS}	Tensão entre os terminais <i>drain</i> e <i>source</i> do transistor MOS
V_{DD}	Tensão de alimentação
V_{REF}	Tensão de referência
V_{PTAT}	Tensão com comportamento proporcional à temperatura
V_{MAX}	Maior tensão em um intervalo
V_{MIN}	Menor tensão em um intervalo
V_{AVG}	Tensão média em um intervalo

ΔT	Intervalo de temperatura
ΔV	Intervalo de tensão de alimentação
P	Probabilidade de aceitação de uma solução
ΔE	Degradação da função objetivo

Sumário

1	Introdução	21
1.1	Objetivo	22
1.2	Organização	23
2	Revisão teórica	25
2.1	Considerações iniciais.....	25
2.1.1	Transistor MOS	26
2.1.2	Transistor bipolar.....	31
2.2	Fontes de tensão de referência	34
2.2.1	Critérios de avaliação de fontes de referência	35
2.2.2	Fonte de referência de Kuijk	37
2.2.3	Fonte de referência Sub-1 V de Banba et al.	39
2.2.4	Fonte de referência Sub-1 V de Leung-Mok	42
2.2.5	Fonte de referência de Navarro e Ishibe	43
2.2.6	Fonte de referência de Ueno et al.	47
2.2.7	Fonte de referência de Huang, Lin e Lin	50
2.3	Metaheurísticas	53
2.3.1	Algoritmos genéticos	56
2.3.2	<i>Simulated annealing</i>	60
2.3.3	<i>Pattern search</i>	61
3	Fonte de tensão de referência projetada através de metaheurísticas	63
3.1	Projeto do circuito.....	63
3.1.1	Escolha da topologia.....	63
3.1.2	Análise da regulação de linha.....	65
3.1.3	Análise do coeficiente de temperatura	67
3.1.4	Metaheurísticas aplicadas ao problema de dimensionamento dos dispositivos ..	69
3.1.5	Otimizações e simulações.....	74
3.2	Experimentos complementares	89
3.2.1	Metaheurísticas aplicadas a outras topologias de fontes de tensão de referência	

3.2.2	Projeto utilizando tecnologia CMOS da TSMC de 0,18 μm	96
3.3	Quadro comparativo de resultados	98
4	Conclusões e recomendações para trabalhos futuros	101
	Referências.....	105
	APÊNDICE A – Arquivos Matlab para cálculo da função objetivo e geração do arquivo de simulação.....	109
	APÊNDICE B – Arquivo SPICE com a descrição e o dimensionamento do circuito final para simulação.....	113
	ANEXO A – Modelo de transistores	115

1 Introdução

Existe uma busca crescente por aparelhos eletrônicos portáteis, cujas características mais apreciadas são baixo consumo de potência e área reduzida. Estes aparelhos têm suas funções embarcadas em circuitos integrados (CIs), os quais são, em sua grande maioria, produzidos na tecnologia CMOS (do inglês, *Complementary Metal Oxide Silicon*) (MELLIAR-SMITH et al., 1998) (ITRS, 2005). Esta tecnologia é muito utilizada para sistemas digitais e tem como principais características: facilidade de desenvolvimento e de integração e baixo consumo de potência. Ela é também utilizada na produção de circuitos analógicos, de forma a facilitar sua integração com circuitos digitais.

Circuitos analógicos são importantes nos sistemas eletrônicos modernos, pois fazem a interface entre os sinais do mundo real e do mundo digital. Apesar de sua importância, a automatização de projeto de circuitos analógicos é mais difícil do que a de circuitos digitais devido a diversos fatores, tais como: maior grau de liberdade para as variáveis, por exemplo, o comprimento do canal de transistores em circuitos digitais se restringe, em geral, ao mínimo valor permitido pela tecnologia, e maior inter-relação entre os níveis de projeto, ou seja, considerações de mais baixo nível devem ser feitas mesmo em uma etapa de nível mais alto. Além disso, à medida que as tecnologias avançam, os projetos analógicos devem ser completamente refeitos, uma vez que valores de parâmetros das tecnologias são alterados, tais como a tensão de *threshold* dos transistores e dimensões mínimas, e não há formas automáticas de redimensionamento dos circuitos (WEBER; VAN NOIJE, 2012).

Normalmente, os projetistas de circuitos analógicos se utilizam de cálculos manuais e ferramentas de simulação para o dimensionamento de dispositivos em um processo iterativo em que ajustes mais finos são feitos de acordo com resultados de simulações prévias.

Fontes de tensão de referência são circuitos analógicos empregados em diversos sistemas, como conversores analógico/digital (A/D) e digital/analógico (D/A). Elas são responsáveis por produzir e manter uma tensão constante para o restante do sistema dos quais fazem parte. Um dos tipos mais comuns de fonte de tensão de referência é o *bandgap*. Ela recebe este nome por obter uma tensão fixa, a tensão de referência, baseada na tensão de *bandgap* do silício, 1,205 V a 0 K. Existem inúmeras possibilidades de topologias para este circuito. Os primeiros circuitos datam da década de 70 (WIDLAR, 1971), (KUIJK, 1973), (BROKAW, 1974) e, ainda hoje, persiste o interesse de pesquisa na área, pois novas

topologias são propostas, como em (BANBA et al., 1999), (UENO et al., 2009), (NAVARRO; ISHIBE, 2011), (GALEANO; OLMOS; BOAS, 2012).

No projeto de fontes de referência, é preciso considerar diversos critérios, como a dependência da tensão de saída em relação à temperatura e à tensão de alimentação, as tensões de saída e de alimentação, o consumo de potência, a área ocupada pelo circuito, dentre outros. Estes critérios podem ser usados como métricas para avaliar o desempenho do circuito. Muitas vezes, eles são interdependentes e é preciso fazer escolhas de implementação.

Essa interdependência não é trivial e, portanto, requer-se experiência do projetista para fazer escolhas acertadas. Tratando o dimensionamento dos elementos de um circuito analógico como um problema de otimização, mais precisamente, de minimização dos valores de seus critérios de avaliação, metaheurísticas podem ser aplicadas a fim de diminuir o tempo de projeto e aumentar sua qualidade. Metaheurísticas podem ser definidas como estratégias de alto nível para a definição de heurísticas que sejam capazes de resolver um dado problema de otimização. Heurísticas são formas não exatas de resolução de problemas. A popularidade de metaheurísticas é crescente nos últimos vinte anos e seu emprego em diversas áreas provam sua eficiência e eficácia na resolução de problemas complexos (TALBI, 2009). Metaheurísticas, tais como algoritmos genéticos (do inglês, *genetic algorithms* – GAs), arrefecimento simulado (do inglês, *simulated annealing* - SA) e *pattern search* (PS), vêm sendo empregadas em dimensionamento de circuitos analógicos, como pode ser visto em (GIELEN; WALSHARTS; SANSEN, 1990), (LIU et al., 2009) e (WEBER; VAN NOIJE, 2012).

1.1 Objetivo

O objetivo deste trabalho é o projeto de uma fonte de tensão de referência na tecnologia CMOS de 0,35 μm da Austria Micro Systems (AMS) (2013), que atenda a critérios de coeficiente de temperatura (do inglês, *temperature coefficient* – TC), de regulação de linha (RL), de adequação à tensão de referência requerida, de tensão de alimentação, de potência e de área. O dimensionamento dos elementos de uma topologia proposta é realizado por meio de metaheurísticas.

1.2 Organização

Este texto está organizado da seguinte forma:

- No Capítulo 2, é dada a base para a compreensão do trabalho, que inclui informações relevantes sobre transistores de junção bipolar e MOS, sobretudo algumas equações que são usadas ao longo de todo o texto, sobre fontes de referência e seus critérios de avaliação. Adicionalmente, são apresentadas algumas fontes relevantes da literatura e, por fim, as metaheurísticas utilizadas neste trabalho têm seus conceitos básicos e seu funcionamento explicados;
- no Capítulo 3, são feitas análises de RL e TC da topologia inicial, é proposta uma variação desta e é abordado como as metaheurísticas foram aplicadas ao problema. A fonte de tensão de referência projetada, bem como os resultados obtidos são apresentados e comparados com resultados da literatura. Adicionalmente, dois experimentos relevantes são mostrados e
- no Capítulo 4, são apresentadas algumas conclusões acerca do trabalho e são discutidos possíveis trabalhos futuros.

2 Revisão teórica

Neste capítulo, são abordados alguns fundamentos, mais precisamente, o funcionamento de transistores e de fontes de tensão de referência. Além disso, são mostrados alguns projetos de fontes que visam tanto à diminuição da variação da tensão de saída com variações de temperatura quanto à diminuição da tensão de alimentação. Por fim, as metaheurísticas utilizadas no desenvolvimento deste trabalho são descritas.

2.1 Considerações iniciais

Um dos tipos mais comuns de fonte de tensão de referência encontrado na literatura é a fonte *bandgap*. Ela possui como base a ideia de obter uma tensão fixa a partir da tensão base-emissor de um BJT (*Bipolar Junction Transistor*) (RINCÓN-MORA, 2001), que será referenciado simplesmente como transistor bipolar. A tensão base-emissor de um transistor bipolar, como será visto mais detalhadamente a seguir, possui a característica de ser decrescente em função da temperatura, isto é, trata-se de uma grandeza do tipo CTAT (*Complementary to Absolute Temperature*). No entanto, deseja-se que a tensão de saída de uma fonte de tensão seja independente da temperatura, por isso, é preciso buscar uma maneira de compensar essa característica CTAT. Uma forma de realizar essa compensação é através da soma da grandeza CTAT com uma que tenha comportamento oposto, isto é, que seja PTAT (*Proportional to Absolute Temperature*). Na Figura 2.1, é possível ver a tensão CTAT decrescendo com o aumento da temperatura e a tensão PTAT crescendo com a temperatura. A soma ponderada dessas tensões resulta em uma tensão V_{REF} cujo comportamento com a temperatura é, aproximadamente, constante.

Figura 2.1 – Busca pela independência em relação à temperatura em fontes de referência *bandgap*.

Algumas fontes utilizam a diferença entre as tensões base-emissor de dois transistores bipolares para a geração da grandeza PTAT da fonte de tensão de referência; outras utilizam a diferença de tensão *gate-source* de dois transistores MOS (*Metal-Oxide-Semiconductor*) trabalhando em fraca inversão. Algumas topologias que seguem esses princípios serão explicadas nas subseções seguintes.

2.1.1 Transistor MOS

O transistor MOS é um dispositivo eletrônico de quatro terminais: corpo (*bulk*), dreno (*drain*), porta (*gate*) e fonte (*source*). Ele é composto por duas regiões fortemente dopadas, o dreno e a fonte, em um substrato de material semiconductor dopado de forma oposta, o corpo. Entre o dreno e a fonte está o canal. Sobre o canal encontra-se uma fina camada de óxido de silício (ou outro isolante) coberta por uma camada de polissilício (ou outro condutor) compondo a porta. Quando dreno e fonte são dopados com impurezas doadoras, por exemplo, fósforo, o transistor é chamado NMOS; já quando a dopagem se dá com impurezas aceitadoras, por exemplo, boro, o transistor é chamado PMOS.

Figura 2.2 – Vista lateral de um transistor NMOS (RAZAVI, 2001).

A Figura 2.2 mostra a vista lateral de um transistor do tipo NMOS. Nela, é possível ver as indicações dos terminais deste dispositivo: G (*gate*), S (*source*) e D (*drain*) e seu substrato, neste caso, do tipo P, formando a região chamada de corpo.

Os símbolos dos transistores PMOS e NMOS podem ser visualizados na Figura 2.3. Neste trabalho, nas figuras de circuitos nas quais o terminal B for omitido, considera-se que ele está conectado à alimentação, no caso de um transistor PMOS e, ao terra, no caso de um transistor NMOS.

Figura 2.3 – Símbolos de transistores PMOS e NMOS.

Inicialmente, os transistores MOS apresentaram problemas de estado de superfície e de impurezas, sobretudo o sódio, que inviabilizavam seu uso em escala industrial. Daí uma predominância momentânea dos transistores bipolares no mercado, apesar de terem menor nível de integração dos equivalentes MOS.

Estes problemas foram sendo superados, inicialmente com a utilização de apenas transistores PMOS, uma vez que esta tecnologia é mais imune às impurezas, até que, a partir de 1971, também tecnologias NMOS foram desenvolvidas. Estas logo ganharam destaque por apresentarem maior velocidade de operação do que as tecnologias PMOS.

Começaram então a surgir problemas quanto ao consumo de potência de circuitos construídos com transistores NMOS, devido ao aumento da complexidade e da densidade dos sistemas. No fim da década de 70, as tecnologias CMOS, as quais possibilitam a utilização tanto de transistores PMOS quanto de transistores NMOS, ganharam espaço, principalmente para circuitos digitais, por apresentarem como características: facilidade de integração, facilidade de projeto, área reduzida e baixo consumo de potência. Na última década, mais de 75% dos circuitos eletrônicos empregam esta tecnologia (SEMICONDUCTOR INDUSTRY ASSOCIATION, 2006), (ITRS, 2005).

Transistores MOS possuem três regiões de operação de acordo com a densidade de portadores, elétrons ou lacunas, presentes no canal. São elas:

- Forte inversão: a tensão V_{GS} é suficiente para formar um canal com concentração de portadores igual ou superior à concentração de portadores intrínseca do substrato. É importante observar que o tipo de portador no canal é diferente do portador intrínseco do substrato.
- Fraca inversão: a tensão V_{GS} está próxima à tensão de *threshold* do transistor, formando um canal com concentração de portadores que é menor que a concentração intrínseca de portadores do substrato. Utilizada para circuitos de baixíssimo consumo de corrente.
- Inversão moderada: é uma região de transição, não muito bem definida, entre a região de forte inversão e a região de fraca inversão. Equações que descrevem o transistor nesta faixa não são muito precisas.

O controle da operação desses transistores é, portanto, feito através da tensão *gate-source* (V_{GS}).

Para determinar qual a região de operação de um transistor, pode-se considerar o critério da Tabela 2.1.

Tabela 2.1 – Critério para determinação dos limites das regiões de operação de um transistor MOS.

Critério	Região de operação
$LIM < 0,1$	Fraca inversão
$LIM > 10$	Forte inversão

Sendo que, para transistores NMOS:

$$LIM = \frac{I_D}{2\mu_n C_{OX} \left(\frac{W}{L}\right) (nV_T)^2}$$

Onde:

I_D é a corrente de dreno;

μ_n é a mobilidade do elétron;

C_{OX} é a capacitância por área do óxido do *gate*;

W é a largura do canal do transistor;

L é o comprimento do canal do transistor;

n é o fator de *slope* para fraca inversão;

V_T é a tensão térmica dada por kT/q ;

T é a temperatura absoluta;

k é a constante de Boltzmann e

q é a carga do elétron.

No caso de transistores PMOS, basta trocar a mobilidade de portadores μ_n pelo equivalente μ_p (mobilidade da lacuna).

O fator n é dado por:

$$n = 1 + \frac{C_D}{C_{OX}}$$

onde C_D é a capacitância de depleção por área na região de canal.

No caso de operação em fraca inversão, utilizada em alguns circuitos descritos nas subseções seguintes, a corrente que atravessa o dreno é escrita como:

$$I_D = \frac{W}{L} I_m \exp\left(\frac{V_{GS} - V_{TH}}{nV_T}\right) \left(1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right) \quad (1)$$

Onde:

I_D é a corrente *drain-source*;

V_{TH} é a tensão de *threshold*;

V_{GS} é a tensão do *gate-source*;

V_{DS} é a tensão do *drain-source* e

I_m é uma constante da tecnologia com dimensão de corrente.

A equação acima pode ser reescrita como (RAZAVI, 2001):

$$I_D = \frac{W}{L} I_0 \exp\left(\frac{V_{GS}}{nV_T}\right) \quad (2)$$

para $V_{DS} \gg V_T$ e onde

$$I_0 = I_m \exp\left(-\frac{V_{TH}}{nV_T}\right) \quad (3)$$

Escrevendo a relação de V_{GS} com V_{TH} na região de fraca inversão, tem-se (GIUSTOLISI et al., 2003):

$$V_{GS}(T) = V_{TH}(T) + V_{OFF} + \frac{n(T)}{n(T_r)} \frac{T}{T_r} (V_{GS}(T_r) - V_{TH}(T_r) - V_{OFF})$$

onde T_r é a temperatura de referência em Kelvin e V_{OFF} é uma constante apropriada obtida do modelo de simulação BSIM3v3.

Assumindo que o fator n varia pouco com a temperatura, $n(T) \approx n(T_0)$ e modelando $V_{TH}(T)$ como (TSIVIDIS, 1998):

$$V_{TH}(T) = V_{TH}(T_r) + K_T \left(\frac{T}{T_r} - 1\right) \quad (4)$$

onde K_T é uma constante negativa.

É possível reescrever $V_{GS}(T)$ como:

$$V_{GS}(T) \approx V_{GS}(T_r) + K_G \left(\frac{T}{T_r} - 1\right) \quad (5)$$

onde

$$K_G \cong K_T + V_{GS}(T_r) - V_{TH}(T_r) - V_{OFF} \quad (6)$$

Uma vez que K_T é negativo, e $V_{GS}(T_r)$ tem um valor próximo de $V_{TH}(T_r)$, quando o transistor opera em fraca inversão, K_G também será negativo, resultando em um $V_{GS}(T)$ com comportamento CTAT. Esse comportamento será utilizado na explicação do funcionamento de alguns circuitos onde a tensão CTAT é a tensão V_{GS} de um transistor MOS operando em fraca inversão.

No caso de operação em forte inversão na região de saturação, a equação que descreve I_D do transistor NMOS é a seguinte:

$$I_D = \mu_n \frac{W}{L} C_{OX} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

Nesta equação, λ modela o efeito de modulação de comprimento de canal, isto é, a dependência do comprimento efetivo do canal em relação à tensão V_{DS} no transistor nesta região.

2.1.2 Transistor bipolar

O transistor bipolar é um dispositivo eletrônico de três terminais, no qual cada terminal está conectado a uma camada de semicondutor dopado com impurezas tipo P ou tipo N. As camadas possuem dopagens alternadas formando junções NPN ou PNP. A demonstração do primeiro transistor bipolar ocorreu na *Bell Telephone*, por John Bardeen, Walter Houser Brattain e William Bradford Shockley em 1947. Transistores bipolares NPN e PNP são representados em circuitos pelos símbolos da Figura 2.4 (ROSS, 1998).

Figura 2.4 – Símbolos de transistores bipolares PNP e NPN com a indicação dos terminais emissor (E), base (B) e coletor (C).

Uma das relações mais importantes para o equacionamento de circuitos que utilizam transistores bipolares é a equação de corrente de coletor I_C . A Equação (7) se aplica a bipolares do tipo NPN e a Equação (8), a bipolares do tipo PNP.

$$I_{C_{NPN}} = I_S \exp\left(\frac{V_{BE}}{V_T}\right) \quad (7)$$

$$I_{C_{PNP}} = I_S \exp\left(\frac{V_{EB}}{V_T}\right) \quad (8)$$

onde I_C é a corrente entrando no coletor, no caso do transistor NPN, ou saindo do coletor, no caso do transistor PNP, I_S é a corrente de saturação do transistor, V_{BE} é a tensão entre os terminais base e emissor.

No caso de projetos de fontes de tensão de referência do tipo *bandgap*, é essencial conhecer a forma como a tensão entre base e emissor varia com a temperatura, a fim de minimizar sua influência. Um estudo bastante completo desta relação pode ser encontrado em (TSIVIDIS, 1980). A equação da tensão base-emissor de um transistor bipolar NPN em função da temperatura em Kelvin é dada pela Equação (9).

$$V_{BE}(T) = T \left[\frac{V_{BE}(T_r)}{T_r} - \frac{V_G(T_r)}{T_r} + \frac{V_G(T)}{T} \right] - \eta \frac{kT}{q} \ln \left(\frac{T}{T_r} \right) + \frac{kT}{q} \ln \left(\frac{I_C(T)}{I_C(T_r)} \right) \quad (9)$$

onde T_r a temperatura de referência em Kelvin, V_G é a tensão de bandgap do silício e $\eta = 4 - n$, onde n é uma constante de fabricação do transistor que está relacionada com a dependência da mobilidade com a temperatura, conforme indica a Equação (10).

$$\mu(T) = MT^{-n} \quad (10)$$

onde μ é a mobilidade dos portadores minoritários na base e M é uma constante apropriada.

Simplificando (9) para o caso de quando a corrente de coletor é proporcional a uma potência da temperatura:

$$I_C(T) = CT^\delta$$

Pode-se escrever:

$$V_{BE}(T) = V_G(T) + \frac{T}{T_r} (V_{BE}(T_r) - V_G(T_r)) - (\eta - \delta) \frac{kT}{q} \ln \left(\frac{T}{T_r} \right)$$

Aproximando V_G para que tenha um comportamento linear com a temperatura, é possível escrever:

$$V_G(T) = V_{GO} + \tau_r T \quad (11)$$

onde V_{GO} é a extrapolação de V_G em 0 K e τ_r é uma constante negativa.

Utilizando a relação dada em (11) e derivando (9) em função da temperatura, tem-se:

$$\frac{\partial V_{BE}(T)}{\partial T} = \tau_r + \frac{1}{T_r} (V_{BE}(T_r) - V_G(T_r)) - (\eta - \delta) \frac{k}{q} \left(\ln \left(\frac{T}{T_r} \right) + 1 \right)$$

Como τ_r é uma constante negativa, $V_{BE}(T_r) - V_G(T_r)$ vale, aproximadamente, -0,6 V, e a terceira parcela da equação tem um valor pequeno em relação às demais, pois k/q vale $8,617 \cdot 10^{-5} \text{ VK}^{-1}$ e $\ln \left(\frac{T}{T_r} \right)$ é próximo de 1, tem-se que V_{BE} diminui com o aumento da temperatura, comportamento CTAT como já dito, mas sua dependência não é perfeitamente linear. Essas duas características impactam nas decisões de projeto de fontes de tensão de referência e podem ser visualizadas em conjunto no gráfico da Figura 2.5, a seguir.

Figura 2.5 – Comportamento não-linear de V_{BE} em função da temperatura.

Em tecnologias CMOS com substrato tipo P (*p-substrate*) e poços tipo N (*n-well*), como na tecnologia CMOS 0,35 μm da AMS, transistores bipolares PNP podem ser obtidos de duas formas: verticais e laterais. Na Figura 2.6, tem-se um transistor bipolar vertical e na Figura 2.7, um transistor bipolar lateral.

Figura 2.6 – (a) Seção transversal de um transistor bipolar vertical. (b) *Layout* com indicação dos terminais emissor (E), base (B) e coletor (C) na tecnologia CMOS (AUSTRIAMICROSYSTEMS, 2003).

Figura 2.7 – (a) Seção transversal de um transistor bipolar lateral. (b) *Layout* com indicação dos terminais emissor (E), base (B), coletor (C) e *gate* (G) na tecnologia CMOS (AUSTRIAMICROSYSTEMS, 2003).

Em processos CMOS, as características elétricas de junções PN parasitas, usadas na implementação dos transistores bipolares, não são bem controladas, por isso, a construção de circuitos que contenham apenas transistores MOS é por vezes desejável (BAKER, 2004).

2.2 Fontes de tensão de referência

Fontes de tensão de referência são circuitos capazes de produzir e manter uma tensão constante para o restante do sistema, V_{REF} , que seja independente da temperatura, da tensão de alimentação e de variações do processo. A primeira fonte de tensão de referência comercial *bandgap* data de 1971 com o LM133 (WIDLAR, 1971). Ela foi popular por vários anos devido à sua capacidade de operação com tensões de alimentação inferiores àsquelas que se usavam na época.

Uma topologia básica de fonte de referência pode ser vista na Figura 2.8. Nela, é apresentada a possibilidade de obtenção de uma tensão fixa através da tensão de operação de um diodo, aproximadamente 0,6 V. Como diodos não são elementos facilmente encontrados nas tecnologias CMOS disponíveis, uma topologia similar pode ser implementada com um transistor bipolar PNP operando como diodo e provendo uma tensão fixa no nó N_1 , como mostrado na Figura 2.9. Apesar da simplicidade deste circuito, que é uma característica

desejável, a tensão de saída varia muito com a temperatura, característica inapropriada para este tipo de circuito.

Figura 2.8 – Topologia básica utilizando um diodo.

Figura 2.9 – Topologia básica utilizando um transistor bipolar.

2.2.1 Critérios de avaliação de fontes de referência

Fontes de referência podem ter topologias bastante variadas e utilizar elementos diversos, tais como diodos, transistores bipolares, transistores MOS, amplificadores operacionais, resistores, etc. Tais variações resultam em circuitos com características

diferentes, que atendem a propósitos distintos. Essas características são utilizadas como critérios de avaliação.

Dois critérios se destacam na literatura de fontes de referência: o TC e a RL.

O TC indica quão dependente é a tensão de referência quanto à temperatura. Este critério pode ser expresso como:

$$TC = \frac{V_{MAX} - V_{MIN}}{\Delta T} \frac{10^6}{V_{AVG}} \text{ ppm/}^\circ\text{C} \quad (12)$$

onde V_{MAX} e V_{MIN} são a maior tensão e a menor tensão de referência, respectivamente, geradas pelo circuito quando a temperatura de operação varia no intervalo ΔT , e V_{AVG} , a tensão de saída média neste intervalo.

A RL expressa a dependência da tensão de referência em relação à tensão de alimentação e pode ser escrita como:

$$RL = \frac{V_{MAX} - V_{MIN}}{\Delta V} \frac{10^6}{V_{MAX}} \text{ ppm/V} \quad (13)$$

onde V_{MAX} e V_{MIN} são a maior e a menor tensão de referência, respectivamente, geradas pelo circuito quando a tensão de alimentação varia no intervalo ΔV .

Naturalmente, tanto o TC quanto a RL devem ser minimizados para que se tenha uma boa fonte de referência. Além destes dois critérios, alguns outros se destacam, tais como: mínima tensão de operação, potência consumida e área.

Potência e área, assim como em praticamente todos os circuitos, devem ser também minimizadas o quanto for possível. Somado a isso, almeja-se, normalmente, que a fonte seja capaz de operar corretamente com uma baixa tensão de alimentação. Fontes de referência que operam com uma tensão de alimentação menor que 1,0 V recebem a denominação de fontes Sub-1 V.

Nas próximas subseções, os princípios de funcionamento de algumas fontes de referência da literatura são explicados. Em todas elas, a ideia da soma entre uma grandeza PTAT com uma grandeza CTAT é aplicada. Os resultados obtidos por estas fontes estão resumidos na Tabela 3.24.

2.2.2 Fonte de referência de Kuijk

Um exemplo de circuito de fonte *bandgap* foi apresentado por Kuijk (1973) (RAZAVI, 2001) e pode ser visto na Figura 2.10.

Figura 2.10 – Fonte de tensão de referência de Kujik (1973).

Considerando que I_1 é a corrente que passa por R_1 e Q_1 , I_2 é a corrente que passa por R_2 e Q_2 , M é o número de vezes que o resistor R_1 é maior que o resistor R_2 , I_{S1} é a corrente de saturação de Q_1 , I_{S2} é a corrente de saturação do Q_2 e N é o número de vezes que o transistor Q_1 é maior que o transistor Q_2 , podem-se escrever as Equações (14) e (15):

$$\frac{I_2}{I_1} = \frac{R_1}{R_2} = M \quad (14)$$

$$I_{S1} = NI_{S2} \quad (15)$$

A partir das Equações (8) e (15), é possível obter as tensões V_1 e V_2 em função da temperatura, como nas Equações (16) e (17).

$$V_1(T) = \frac{kT}{q} \ln \left(\frac{I_1(T)}{NI_{S2}(T)} \right) \quad (16)$$

$$V_2(T) = \frac{kT}{q} \ln \left(\frac{I_1(T)M}{I_{S2}(T)} \right) \quad (17)$$

A diferença entre essas duas tensões tem um comportamento PTAT, como visto em (18).

$$V_2(T) - V_1(T) = \frac{kT}{q} \ln(MN) \quad (18)$$

O resistor R_3 tem seus terminais conectados a nós com estas tensões, logo, a corrente I_1 que passa por ele pode ser escrita como em (19).

$$I_1 = \frac{V_2(T) - V_1(T)}{R_3} \quad (19)$$

Substituindo a diferença de tensões pelo dado em (18), obtém-se (20).

$$I_1 = \frac{kT}{qR_3} \ln(MN) \quad (20)$$

A tensão de referência V_{REF} resultante pode ser escrita como em (21).

$$V_{REF} = V_2 + I_2 R_2 \quad (21)$$

Considerando a primeira igualdade da Equação (14), que relaciona I_2 e R_2 com I_1 e R_1 , e a equação de I_1 dada (20), é possível reescrever a tensão de referência como em (22), sendo a primeira parcela do tipo CTAT, por se tratar do V_{EB} do transistor Q_2 , (9), e a segunda, PTAT. Portanto, através de ajustes nos valores dos parâmetros M e N , é possível minimizar a dependência da tensão de referência em relação à temperatura.

$$V_{REF} = V_2 + \frac{R_1}{R_3} \frac{kT}{q} \ln(MN) \quad (22)$$

Uma característica deste tipo de circuito é que ele gera uma tensão de saída fixa de 1,205 V, tensão de *bandgap* do silício, quando há a compensação ideal da temperatura, implicando na necessidade de uma tensão de alimentação maior do que este valor. As próximas subseções tratam de alternativas para o desenvolvimento de fontes Sub-1 V.

2.2.3 Fonte de referência Sub-1 V de Banba et al.

Em 1999, foi proposta uma forma alternativa de fonte de tensão de referência (BANBA et al., 1999), onde se substituiu a soma de tensões CTAT e PTAT pela soma de correntes proporcionais a essas tensões, o que viabilizou o desenvolvimento de um circuito que opera com tensão de alimentação menor que 1,205 V. O circuito proposto pode ser visto na Figura 2.11.

Figura 2.11 – Circuito proposto por Banba et al. (1999).

Considerando aqui M o número de vezes que o transistor M_2 é maior que M_1 , S o número de vezes que o transistor M_3 é maior que M_1 , I_{S1} a corrente de saturação de Q_1 , I_{S2} a corrente de saturação do Q_2 e N é o número de vezes que o transistor Q_1 é maior que o transistor Q_2 , podem-se escrever as Equações (23) e (24).

$$I_{S1} = NI_{S2} \quad (23)$$

$$I_2 = MI_1 \quad (24)$$

Analisando o circuito, vê-se que a corrente I_2 pode ser escrita como:

$$I_2 = I_7 + I_6 \quad (25)$$

e a corrente I_6 , por sua vez, pode ser escrita como:

$$I_6 = \frac{V_2(T)M}{R_4} \quad (26)$$

Substituindo I_6 de (25) pelo dado em (26):

$$I_2 = I_7 + \frac{V_2(T)M}{R_4} \quad (27)$$

De forma semelhante ao feito acima, tem-se que a corrente I_1 pode ser escrita como:

$$I_1 = I_5 + \frac{V_2(T)}{R_4}$$

Utilizando a Equação (24) e observando o circuito, obtém-se:

$$I_2 = M(I_4 + I_5) \quad (28)$$

Substituindo o lado esquerdo da Equação (28) por (27) e as correntes I_4 e I_5 do lado direito pelas expressões obtidas por observação do circuito, é possível obter a relação entre as correntes I_7 e I_5 .

$$I_7 + \frac{V_2(T)M}{R_4} = M \left(I_5 + \frac{V_2(T)}{R_4} \right)$$

$$I_7 = MI_5 \quad (29)$$

A partir das Equações (8), (15), (23) e (29), é possível obter as tensões V_1 e V_2 em função da temperatura, como nas Equações (30) e (31). A diferença entre essas duas tensões tem um comportamento PTAT, como visto em (32).

$$V_1(T) = V_{EB(Q1)} = \frac{kT}{q} \ln \left(\frac{I_5(T)}{NI_{S2}(T)} \right) \quad (30)$$

$$V_2(T) = V_{EB(Q2)} = \frac{kT}{q} \ln \left(\frac{MI_5(T)}{I_{S2}(T)} \right) \quad (31)$$

$$V_2(T) - V_1(T) = \frac{kT}{q} \ln(MN) \quad (32)$$

A corrente I_5 no resistor R_3 pode ser escrita como:

$$I_5 = \frac{V_2(T) - V_1(T)}{R_3} = \frac{kT}{qR_3} \ln(MN)$$

A corrente I_4 é uma corrente com comportamento CTAT e pode ser escrita como em (33), com V_2 definido como na Equação (9).

$$I_4 = \frac{V_2(T)}{R_4} \quad (33)$$

Tem-se, então, que a corrente I_1 é dada por (34).

$$I_1 = I_4 + I_5 = \frac{V_2(T)}{R_4} + \frac{kT}{qR_3} \ln(MN) \quad (34)$$

Sendo I_3 a corrente que atravessa o transistor M_3 , seu valor é:

$$I_3 = SI_1 \quad (35)$$

A tensão de referência é obtida por essa corrente passando através do resistor R_1 . Substituindo I_1 por (34), a tensão de referência fornecida por esta fonte é:

$$V_{REF} = S \frac{R_1}{R_4} \left(V_2(T) + \frac{R_4 kT}{R_3 q} \ln(MN) \right)$$

O formato da equação final da tensão de referência do circuito proposto por Banba et al. (1999) é similar ao formato mostrado na subseção anterior, proposto por Kuijk (1973). Nela, o termo entre parênteses é uma tensão próxima a 1,205 V quando há a compensação da temperatura. No entanto, é possível perceber que o valor de V_{REF} pode ser menor, a partir da escolha de valores dos resistores e do fator de tamanho S . Um valor menor de V_{REF} implica na possibilidade de se utilizar tensões de alimentação menores, alcançando, então, o objetivo da nova topologia.

Por fim, é interessante observar, neste circuito, que a relação (35) só é verdadeira no caso em que as tensões *drain-source* dos transistores M_1 e M_3 forem iguais. Não sendo este o caso, devido ao efeito de modulação de canal dos transistores PMOS, a corrente I_3 será um pouco diferente de SI_1 . Como os valores dessas tensões *drain-source* dependem da tensão de alimentação, teremos que I_3 e, conseqüentemente, V_{REF} dependem da alimentação.

2.2.4 Fonte de referência Sub-1 V de Leung-Mok

Uma evolução do circuito de Banba et al. (1999) foi a fonte de referência proposta por Leung e Mok (2003) que está apresentada na Figura 2.12. Os princípios de funcionamento e análise deste circuito muito se assemelham aos do circuito mostrado na subseção anterior.

Figura 2.12 – Circuito proposto por Leung e Mok (2003).

Neste circuito, os transistores PMOS possuem as mesmas dimensões e seus terminais *source*, *gate* e *bulk* são conectados de maneira igual, portanto a corrente que passa por eles, I_1 , é a mesma. Também, aqui, N é o número de vezes que o transistor Q_1 é maior que o transistor Q_2 .

Considerando $R_{2A1} = R_{2B1}$ e $R_{2A2} = R_{2B2}$ e que as tensões nos nós N_1 e N_2 são iguais, consequência da ação do amplificador operacional, tem-se que as tensões nos nós N_3 e N_4 também são iguais. A tensão V_2 é a tensão emissor-base do transistor Q_2 . O valor da corrente I_1 é:

$$I_1 = I_2 + I_3 \quad (36)$$

A parcela I_2 é dada por:

$$I_2 = \frac{V_2 - V_1}{R_1} = \frac{kT}{qR_1} \ln(N) \quad (37)$$

Chamando as somas $R_{2A1} + R_{2A2}$ e $R_{2B1} + R_{2B2}$ de R_2 , a parcela I_3 pode ser escrita como:

$$I_3 = \frac{V_2}{R_2} \quad (38)$$

Substituindo (37) e (38) em (36), tem-se:

$$I_1 = \frac{kT}{qR_1} \ln N + \frac{V_2}{R_2}$$

Essa corrente é então espelhada para a saída, onde o resistor R_3 é utilizado para converter corrente para tensão. A tensão de referência V_{REF} gerada por esse circuito é dada pela relação (39).

$$V_{REF} = I_1 R_3 = \frac{R_3}{R_2} \left(V_2 + \frac{kT R_2}{q R_1} \ln N \right) \quad (39)$$

A principal diferença entre este circuito e o proposto por Banba et al. encontra-se no fato de que as entradas do amplificador operacional estão conectadas aos nós N_1 e N_2 , em vez de N_3 e N_4 . Isto é, os resistores R_4 e R_4/M do circuito de Banba et al. foram substituídos por divisores resistivos, de forma que a tensão na entrada do amplificador operacional seja menor. Isso permite que a tensão de alimentação do circuito seja menor, pois o que impõe maior restrição à tensão de alimentação do circuito de Banba et al. é a tensão de alimentação do amplificador operacional.

2.2.5 Fonte de referência de Navarro e Ishibe

Um circuito de fonte de tensão de referência *bandgap* (NAVARRO; ISHIBE, 2011) que evita a utilização de amplificadores operacionais é apresentado na Figura 2.13.

Figura 2.13 – Topologia de fonte de tensão de referência proposta por Navarro e Ishibe (2011).

O circuito é formado por três blocos. O primeiro bloco, composto pelos transistores M_1 , M_2 , M_3 e M_4 e pelo resistor R_3 , é uma fonte de corrente PTAT. Neste bloco, os transistores M_3 e M_4 formam um espelho de corrente degenerado. O segundo bloco, composto pelos transistores M_5 e Q_1 , é responsável por gerar a tensão CTAT V_4 . Por fim, o último bloco, composto pelo transistor M_6 e pelos resistores R_1 e R_2 , é responsável pela soma da corrente PTAT I_4 com uma corrente derivada de V_4 para gerar a tensão de saída.

Considere que o transistor M_1 é M vezes maior que o transistor M_2 , o transistor M_4 é N vezes maior que o transistor M_3 , o transistor M_5 é P vezes maior que o transistor M_2 , o transistor M_6 é S vezes maior que o transistor M_2 e que os transistores M_3 e M_4 operam no modo de fraca inversão. Da Equação (1), obtém-se as correntes I_2 e I_1 , as quais atravessam os transistores M_3 e M_4 , nas Equações (40) e (41), respectivamente.

$$I_2 = MI_1 = \left(\frac{W}{L}\right)_{M_3} I_m \exp\left(\frac{V_{12}-V_{TH}}{nV_T}\right) \left(1 - \exp\left(\frac{-V_1}{V_T}\right)\right) \quad (40)$$

$$I_1 = \left(\frac{W}{L}\right)_{M_4} I_m \exp\left(\frac{V_{12}-V_{TH}}{nV_T}\right) \left(1 - \exp\left(\frac{-V_{32}}{V_T}\right)\right) \quad (41)$$

onde $V_{12} = V_1 - V_2$ e $V_{32} = V_3 - V_2$.

A corrente I_1 também atravessa o resistor R_3 e, por isso, pode ser descrita como:

$$I_1 = \frac{V_2}{R_3} \quad (42)$$

Considerando $V_1 \gg V_T$ e $V_{32} \gg V_T$, são feitas simplificações para os seguintes fatores das Equações (40) e (41):

$$\left(1 - \exp\left(\frac{-V_1}{V_T}\right)\right) = 1$$

$$\left(1 - \exp\left(\frac{-V_{32}}{V_T}\right)\right) = 1$$

Dividindo a Equação (40) pela Equação (41), tem-se:

$$M = \frac{1}{N} \exp\left(\frac{V_2}{nV_T}\right) \quad (43)$$

A Equação (43) também pode ser escrita como:

$$\ln(MN) = \frac{V_2}{nV_T}$$

Substituindo V_2 pela relação obtida da equação (42) e isolando a corrente I_1 , obtém-se a equação (44), que descreve um comportamento PTAT.

$$I_1(T) = \frac{kT}{qR_3} \ln(MN) \quad (44)$$

Seguindo com a análise do circuito, o transistor PMOS M_5 polariza o transistor bipolar Q_1 , cuja tensão V_{EB} possui comportamento CTAT, como visto na Equação (9).

Por fim, o resistor R_2 converte a tensão V_{EB} (CTAT) de Q_1 em corrente e o transistor M_6 espelha, de forma ponderada, a corrente I_1 (PTAT).

A tensão de referência gerada pelo circuito é então dada por:

$$V_{REF} = R_1(I_4 + I_5) \quad (45)$$

A corrente I_4 pode ser escrita como (46).

$$I_4 = SI_1 \quad (46)$$

Substituindo I_1 pela equação (44), tem-se:

$$I_4 = S \left(\frac{kT}{qR_3} \ln(MN) \right)$$

A corrente I_5 pode ser escrita como em (47).

$$I_5 = \frac{V_4 - V_{REF}}{R_2} \quad (47)$$

Substituindo I_4 e I_5 na equação dada em (45), obtém-se:

$$V_{REF} = \frac{R_1}{R_1 + R_2} \left(\frac{SR_2}{R_3} \frac{kT}{q} \ln(MN) + V_4 \right) \quad (48)$$

Ainda em (NAVARRO; ISHIBE, 2011), foram realizadas modificações no circuito mostrado na Figura 2.13, a fim de reduzir a dependência da tensão de saída à tensão de alimentação e a variações de parâmetros. O novo circuito completo pode ser visto na Figura 2.14.

Uma das mudanças realizadas foi a introdução de transistores *cascode* (M_{C1} , M_{C2} , M_{C3} e M_{C4}) aos espelhos de corrente, de forma a diminuir a influência da tensão de alimentação na corrente que passa pelo circuito. Com os transistores *cascode* surgiu a necessidade da introdução de circuitos de polarização (M_{pol1} , M_{pol2} , M_{pol3} , M_{pol4} e R_4), a fim de gerar tensões de *gate* dos transistores *cascode* que permitam a operação dos espelhos de corrente em baixas tensões.

Além disso, optou-se por implementar o circuito o espelho de corrente degenerado com transistores PMOS e o espelho de corrente simples com transistores NMOS, inversamente ao apresentado na Figura 2.13. Essa escolha baseou-se em resultados de simulação, que apontavam uma menor dependência quanto ao processo de fabricação para o circuito construído dessa forma, em comparação com um circuito com espelhos de corrente nos transistores PMOS e transistores NMOS operando em fraca inversão.

Como nos circuitos anteriores, temos aqui que a tensão V_{REF} varia com a tensão de alimentação devido ao efeito de modulação do comprimento de canal. É mostrado em (NAVARRO; ISHIBE, 2011) que

$$\frac{\Delta V_{REF}}{V_{REF}} \cong 0,6 \frac{\Delta I_1}{I_1}$$

onde ΔV_{REF} e ΔI_1 são a variação da tensão de saída e da corrente de dreno de M_2 com a tensão de alimentação.

Vê-se, pela relação acima, que, se I_1 sofrer grandes variações com a tensão de alimentação, o mesmo ocorrerá com V_{REF} .

Figura 2.14 – Topologia proposta por Navarro e Ishibe (2011) modificada para melhor desempenho.

2.2.6 Fonte de referência de Ueno et al.

Existem ainda outras topologias que priorizam a utilização de transistores MOS, em substituição aos transistores bipolares, para a geração de uma tensão de referência. Este é o caso do circuito proposto por Ueno et al. (2009). Nesta abordagem, também não são utilizados resistores, como é possível se ver na Figura 2.15.

Figura 2.15 – Topologia somente com transistores MOS proposta por Ueno et al. (2009).

O circuito é formado por dois blocos: uma fonte de corrente, composta pelas transistores M_1, M_2, M_8, M_9 e M_{R1} , que usa um transistor MOS em triodo operando como um resistor, e um subcircuito de tensão, composto pelos transistores M_3 a M_7 , que gera tanto a tensão CTAT como a tensão PTAT. Os transistores M_1 a M_7 devem operar em fraca inversão. Os transistores M_{10} a M_{12} , que são iguais a M_9 , servem apenas para espelhar as correntes geradas na fonte de corrente para serem utilizadas no subcircuito de tensão.

No subcircuito de tensão, as tensões *gate-source* dos transistores M_3 a M_7 formam a tensão de referência, dada por:

$$V_{REF} = V_{GS4} - V_{GS3} + V_{GS6} - V_{GS5} + V_{GS7}$$

$$V_{REF} = V_{GS4} + nV_T \left[\ln \left(\frac{I_{D6}}{\left(\frac{W}{L}\right)_6 I_0} \right) - \ln \left(\frac{I_{D3}}{\left(\frac{W}{L}\right)_3 I_0} \right) + \ln \left(\frac{I_{D7}}{\left(\frac{W}{L}\right)_7 I_0} \right) - \ln \left(\frac{I_{D5}}{\left(\frac{W}{L}\right)_5 I_0} \right) \right]$$

Sabendo que as correntes que atravessam M_3 , M_5 , M_6 e M_7 são, respectivamente, I_1 , I_1 , $2I_1$ e I_1 , obtém-se:

$$V_{REF} = V_{GS4} + nV_T \ln \left(\frac{2 \left(\frac{W}{L}\right)_3 \left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_6 \left(\frac{W}{L}\right)_7} \right)$$

Substituindo V_{GS4} como dado em (2), V_{REF} é reescrita como a seguir:

$$V_{REF} = nV_T \ln \left(\frac{3I_1}{\left(\frac{W}{L}\right)_4 I_0} \right) + nV_T \ln \left(\frac{2 \left(\frac{W}{L}\right)_3 \left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_6 \left(\frac{W}{L}\right)_7} \right) \quad (49)$$

Substituindo (3) em (49), V_{REF} pode ser escrita como:

$$V_{REF} = nV_T \ln \left(\frac{3I_1}{\left(\frac{W}{L}\right)_4 I_m \exp \left(-\frac{V_{TH}}{nV_T} \right)} \right) + nV_T \ln \left(\frac{2 \left(\frac{W}{L}\right)_3 \left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_6 \left(\frac{W}{L}\right)_7} \right)$$

Simplificando:

$$V_{REF} = V_{TH} + nV_T \ln \left(\frac{6 \left(\frac{W}{L}\right)_3 \left(\frac{W}{L}\right)_5 I_1}{\left(\frac{W}{L}\right)_6 \left(\frac{W}{L}\right)_7 \left(\frac{W}{L}\right)_4 I_m} \right)$$

Expandindo V_{TH} como em (4) e escrevendo V_{REF} em termos da temperatura, tem-se:

$$V_{REF} = V_{TH}(T_r) + K_T \left(\frac{T}{T_r} - 1 \right) + nV_T \ln \left(\frac{6 \left(\frac{W}{L}\right)_3 \left(\frac{W}{L}\right)_5 I_1}{\left(\frac{W}{L}\right)_6 \left(\frac{W}{L}\right)_7 \left(\frac{W}{L}\right)_4 I_m} \right)$$

que pode ser reescrita como:

$$V_{REF}(T) = V_{TH}(T_r) - K_T + T \left(\frac{K_T}{T_r} + \frac{nk}{q} \ln \left(\frac{6 \left(\frac{W}{L}\right)_3 \left(\frac{W}{L}\right)_5 I_1}{\left(\frac{W}{L}\right)_6 \left(\frac{W}{L}\right)_7 \left(\frac{W}{L}\right)_4 I_m} \right) \right)$$

Para que o TC da fonte seja próximo de zero em torno da temperatura T_r , devemos ter $\left. \frac{\partial V_{REF}(T)}{\partial T} \right|_{T=T_r} = 0$. Com esta condição satisfeita, tem-se que a tensão de saída é:

$$V_{REF} = V_{TH}(T_r) - K_T$$

Os dois termos da direita da expressão anterior são constantes, portanto, a tensão de referência fornecida por esta fonte será também constante, mas não configurável, dependendo do $V_{TH}(T_r)$ do transistor na tecnologia em que a fonte for fabricada. Para algumas aplicações, o fato de não se poder alterar a tensão de referência pode ser uma restrição, além disso, para algumas tecnologias, V_{REF} teria um valor alto. Por outro lado, esta topologia apresenta os melhores valores de RL e potência consumida encontrados na literatura, como pode ser visto na Tabela 3.24. A influência de variações de I_1 , devido à modulação de canal, em V_{REF} é pequena, pois V_{REF} depende de $\ln(I_1)$, resultando na baixa RL observada.

2.2.7 Fonte de referência de Huang, Lin e Lin

Outra topologia que prioriza a utilização de transistor MOS em substituição do bipolar foi apresentada por Huang, Lin e Lin (2006) e pode ser vista na Figura 2.11. Essa topologia baseia-se no trabalho de Giustolisi et al. (2003), mas apresenta um circuito mais simples e de menor área que o daquele.

Figura 2.16 – Circuito proposto por Huang, Lin e Lin (2006).

Este circuito também pode ser visto como sendo formado por três blocos. O primeiro bloco, composto pelos transistores M_6 a M_9 e pelo resistor R_2 , é uma fonte de corrente PTAT. O segundo bloco, composto pelos transistores M_1 a M_5 e pelo resistor R_1 , é responsável por gerar a corrente CTAT proporcional a V_3 . Por fim, o último bloco, composto pelos transistores M_{10} e M_{11} e pelo resistor R_3 , é responsável pela soma das correntes PTAT e CTAT, gerando a tensão de saída.

Considere que N é o número de vezes que transistor M_9 é maior que o transistor M_8 , P , o número de vezes que M_{10} é maior que M_7 , Q , o número de vezes que M_2 é maior que M_{11} , S , o número de vezes que o transistor M_5 é maior que M_7 e que os transistores M_1 , M_6 e M_7 têm mesmo tamanho. A fonte de corrente que gera a corrente I_2 tem a mesma topologia da fonte de corrente apresentada em (NAVARRO; ISHIBE, 2011). Seguindo, portanto, o mesmo equacionamento, I_2 é dada por:

$$I_2 = n \frac{V_T}{R_2} \ln(N) \quad (50)$$

A corrente I_2 é espelhada em M_5 produzindo a corrente I_4 :

$$I_4 = SI_2$$

A corrente I_3 , por sua vez, vale:

$$I_3 = \frac{V_3}{R_1} - I_4 \quad (51)$$

De acordo com a Equação (5), a tensão V_3 , V_{GS} do transistor M_3 , possui comportamento CTAT. Assim a corrente I_3 , resultando da subtração de uma corrente PTAT, I_4 , de uma corrente CTAT, possui comportamento CTAT.

I_2 e I_3 são então espelhadas para M_{10} e M_{11} , respectivamente, e somadas no resistor R_3 .

$$V_{REF} = \left(PI_2 + \frac{1}{Q} I_3 \right) R_3$$

Reescrevendo I_2 com a equação (50) e I_3 com a equação (51), temos que a tensão de referência gerada pelo circuito é dada por:

$$V_{REF} = P \left(n \frac{V_T}{R_2} \ln(N) \right) + \frac{1}{Q} \left(\frac{V_3}{R_1} - S \left(n \frac{V_T}{R_2} \ln(N) \right) \right) \quad (52)$$

Isolando V_T e V_3 das constantes na equação (52), obtém-se:

$$V_{REF} = V_3 \left(\frac{R_3}{QR_1} \right) + V_T \left(\frac{R_3}{R_2} \right) n \ln(N) \left(P - \frac{S}{Q} \right)$$

Para facilitar a visualização das parcelas CTAT e PTAT, foram deixados apenas os termos que explicitam esses comportamentos:

$$V_{REF} = \alpha V_{GS3} + \beta V_T$$

onde $\alpha = \left(\frac{R_3}{QR_1} \right)$ e $\beta = \left(\frac{R_3}{R_2} \right) n \ln(N) \left(P - \frac{S}{Q} \right)$.

Outro estudo baseado nesta topologia foi desenvolvido por Mateus et al. (2008). Neste trabalho, os autores afirmam que o transistor M_5 é desnecessário. Uma análise mais detalhada sobre o emprego deste transistor é desenvolvida no Capítulo 3. Os resultados alcançados por pelos circuitos de (HUANG; LIN; LIN, 2006) e (MATEUS et al., 2008) podem ser vistos e comparados na Tabela 3.24.

2.3 Metaheurísticas

Métodos de otimização são métodos que buscam minimizar (ou maximizar) funções que podem modelar sistemas reais. Eles podem ser de dois tipos: exatos e aproximados. Métodos exatos encontram um ponto de mínimo (ou máximo), chamado solução ótima; já métodos aproximados nem sempre encontram soluções ótimas, no entanto, são capazes de encontrar soluções de qualidade em um tempo razoável (TALBI, 2009).

Algoritmos de métodos aproximados podem ainda ser subdivididos em duas categorias: algoritmos de aproximação e algoritmos heurísticos. Heurística pode ser definida como a arte de descobrir novas formas de se resolver problemas.

Neste contexto, metaheurísticas podem ser definidas como estratégias de alto nível para a definição de heurísticas que sejam capazes de resolver um dado problema de otimização. Seu uso é justificado quando métodos exatos de otimização não são capazes de resolver o problema dentro do tempo requerido e quando a complexidade do problema impacta no tempo e na qualidade do resultado encontrado.

A aplicação de metaheurísticas se dá em áreas bastante diversas, como (TALBI, 2009):

- Projetos de Engenharia que envolvem: dinâmica de fluidos, telecomunicações, robótica, etc.;
- Mineração de dados em Bioinformática e Economia e
- Modelagem de sistemas em Química, Física e Biologia.

O dimensionamento de dispositivos (transistores, resistores, etc.) em circuitos eletrônicos é um problema de alta complexidade, pois, durante o projeto de um circuito, existem diversos critérios a serem otimizados, tais como potência, área, além das características específicas do circuito. Para fontes de referência, é desejável que a tensão gerada tenha o valor requerido e que o TC, a RL e a potência sejam minimizados. Somado a isso, a tensão de alimentação na qual o circuito opera corretamente deve ser reduzida em muitas aplicações. Portanto, trata-se de uma área propícia à aplicação de metaheurísticas.

Um importante conceito da área de otimização é a de função objetivo. Ela mapeia o conjunto de soluções de um problema, chamado espaço de busca, em números reais que indicam a qualidade da solução. Uma definição precisa da função objetivo é essencial para o sucesso da otimização.

Uma solução é um conjunto de valores de parâmetros dentro do espaço de busca do problema. O espaço de busca é um espaço n -dimensional, onde n é o número de parâmetros que estão sendo otimizados, limitado pelas restrições do domínio do problema real. Os parâmetros são as variáveis do problema. As soluções podem ser avaliadas através do cálculo da função objetivo, o que permite compará-las entre si. Uma solução ótima é aquela que tem o melhor valor de função objetivo dentre todas de sua vizinhança. Quando este valor é o melhor dentre todas as soluções do espaço de busca, esta solução é chamada de ótimo global. Caso contrário, ela é chamada de ótimo local. O objetivo da otimização é encontrar valores dos parâmetros que correspondam à solução ótima global ou a uma solução aceitável.

Neste trabalho, foram utilizadas três metaheurísticas disponíveis na *Global Optimization Toolbox*, que é uma *toolbox* de otimização da ferramenta Matlab (MATHWORKS, 2013). São elas: algoritmos genéticos, *simulated annealing* e *pattern search*.

Uma breve apresentação de como metaheurísticas serão aplicadas no dimensionamento de dispositivos em circuitos é mostrada na Figura 2.17. Cada possível solução do problema de otimização gerada pelo Matlab é colocada em um arquivo de simulação que, quando executado, produz as medidas utilizadas no cálculo da função objetivo. O valor da função objetivo é utilizado para classificar as soluções e esta informação é usada na produção das soluções avaliadas na próxima iteração. Isto se repete até que alguma condição de parada seja alcançada.

Figura 2.17 - Diagrama do funcionamento das metaheurísticas GA, SA e PS.

2.3.1 Algoritmos genéticos

Algoritmos genéticos foram propostos pela primeira vez por Holland (1975). Trata-se de uma metaheurística evolucionária, pois se baseia na Teoria da Evolução de Darwin, na qual foi proposto o mecanismo de seleção natural com a finalidade de se explicar a evolução das espécies. Através desse mecanismo, indivíduos mais aptos teriam maior probabilidade de sobreviverem e se reproduzirem.

Na Computação, algoritmos genéticos, GAs, criam uma população inicial e aplicam, em indivíduos selecionados, os operadores de *crossover* e mutação para a criação de novos indivíduos, de forma que ela evolua “naturalmente”, realizando uma busca global no espaço de busca (TALBI, 2009).

Um indivíduo é uma solução para o problema. Cada um dos parâmetros de uma solução é chamado de gene. O conjunto de todos os genes de um indivíduo é chamado de cromossomo. A codificação dos cromossomos é, usualmente, binária ou em números reais. Alguns autores utilizam “indivíduo” e “cromossomo” indistintamente, uma vez que ambos podem ser usados para identificar uma solução do espaço de busca. Uma população, por sua vez, é formada por um conjunto de indivíduos.

O GA é um algoritmo iterativo, no qual cada iteração é chamada de geração. A cada geração, a população se renova.

A função objetivo, chamada de *fitness*, indica quão apto é cada indivíduo. Após a classificação dos indivíduos de acordo com essa função, o GA aplica um critério de seleção a fim de escolher quais indivíduos serão utilizados para reprodução, ou seja, para produzir a próxima geração daquela população. Dessa forma, pode-se afirmar que este é um método baseado em competição.

Assim como outros métodos evolucionários de otimização, GAs possuem os seguintes passos:

1. Geração da população inicial;
2. Avaliação dos indivíduos da população através do cálculo da função objetivo;
3. Seleção dos indivíduos que vão formar a nova geração;
4. Reprodução (*crossover* e mutação) e
5. Substituição de indivíduos da população.

O algoritmo repete os passos 2 a 5 até que algum critério de parada, tal como o número máximo de iterações ou o tempo máximo de execução, seja atingindo.

No passo 1, a geração da população inicial é, usualmente, aleatória dentro dos limites do espaço de busca. A principal consequência disto é que as soluções iniciais encontram-se espalhadas por todo o espaço, diminuindo a probabilidade do algoritmo restringir a busca em torno de um mínimo local logo no início.

O passo de seleção, passo 3, é um dos mais importantes dos algoritmos evolucionários. O princípio básico de métodos de seleção é que quanto melhor for um indivíduo, maior deve ser a probabilidade de ele se reproduzir. No entanto, indivíduos considerados piores não devem ser completamente descartados, em prol da diversificação do material genético. Os métodos de seleção também indicam quantos filhos um indivíduo deve gerar.

Como exemplos de métodos de seleção, podem ser citados:

- Método da roleta: trata-se da estratégia mais comum de seleção. Cada indivíduo recebe uma probabilidade de ser selecionado proporcional ao valor de sua função objetivo. As seleções dos indivíduos ocorrem de forma independente, ou seja, os resultados das seleções prévias não influenciam as demais seleções de uma iteração. Uma desvantagem deste método é que indivíduos que se destacam tendem a causar uma convergência prematura da busca. A Figura 2.18a ilustra como seria feita a seleção de um indivíduo por este método.
- Amostragem universal estocástica: a fim de mitigar a rápida convergência no início da busca que acontece no método da roleta, este método seleciona todos os indivíduos de uma só vez em uma iteração. A Figura 2.18b ilustra como seria feita a seleção de quatro indivíduos por este método.
- Seleção por torneio: aleatoriamente, são escolhidos indivíduos de uma população e, dentre eles, é selecionado o que possui melhor valor de *fitness*. O método deve ser repetido até que todos os indivíduos para reprodução tenham sido escolhidos.

Figura 2.18 – (a) Método da roleta padrão. (b) Amostragem universal estocástica (TALBI, 2009).

Quando uma população é composta por alguns indivíduos com valor de *fitness* muito melhor que o restante da população, os critérios de seleção baseados nos valores de *fitness* tendem a selecionar somente estes indivíduos, reduzindo, prematuramente, a variabilidade genética da população. Para solucionar este problema, a seleção também pode se basear em *ranking*, que é construído a partir dos valores de *fitness* dos indivíduos. A posição de um indivíduo no *ranking* é usada como sua probabilidade de ser selecionado.

Uma vez que os indivíduos estão selecionados, tem início a etapa de reprodução, com a aplicação dos operadores de *crossover* e de mutação. O *crossover* é responsável pela construção do material genéticos dos filhos a partir do material genético dos pais. Neste processo, são feitas cópias de porções dos cromossomos dos pais e estas são recombinadas, formando os cromossomos dos novos indivíduos que são soluções no espaço de busca. A mutação é um operador complementar, que insere pequenas alterações nos genes dos indivíduos, de forma a expandir a busca, através da produção de cromossomos com maior variabilidade genética. Um exemplo da aplicação destes operadores em indivíduos com cromossomos codificados em 10 *bits* (genes) pode ser visto na Figura 2.19.

Figura 2.19 – Exemplo de aplicação dos operadores de *crossover* e mutação gerando um novo indivíduo.

Quando se trabalha com mais de uma população é possível expandir as possibilidades de combinações genéticas através da migração, analogamente ao que ocorre na natureza. Neste caso, uma porcentagem de indivíduos, a cada período, migra de uma população para outra.

A substituição, passo 5, é o que origina uma nova população. Ela pode ser de toda a população, neste caso, o GA é chamado de simples, ou de apenas alguns indivíduos, no GA chamado *steady-state*.

No GA implementado no Matlab, os passos são essencialmente os mesmos. Uma particularidade nesta implementação é que alguns indivíduos que possuem os melhores valores de função objetivo são escolhidos como parte da chamada elite e ajudarão a compor a próxima geração (MATHWORKS, 2013).

Como parâmetros de entrada para o algoritmo genético, destacam-se:

- Número de populações;
- Número de indivíduos em cada população;
- Intervalo de valores válidos para cada um dos parâmetros, genes, que definem um indivíduo;
- Porcentagem de mutação a cada iteração (nova geração) e
- Período e porcentagem de migração dos indivíduos, no caso de haver mais de uma população.

O número de populações e o número de indivíduos por população são escolhidos de forma a atender a melhor relação custo-benefício entre a eficiência na busca por soluções e o tempo que a busca pode tomar, o que depende, essencialmente, das características do problema de otimização e dos recursos computacionais disponíveis. Em qualquer passo onde haja aleatoriedade, por exemplo, na aplicação do operador de mutação, é utilizada uma semente pseudoaleatória do Matlab.

As populações evoluem até que um critério de parada seja atingido. Os critérios de parada mais utilizados são:

- Número máximo de gerações;
- Tempo máximo de execução;
- Mínimo (máximo) valor atingindo pela função objetivo (em problema de minimização (maximização));
- Número máximo de gerações em que a variação na função objetivo é pequena e
- Intervalo máximo de tempo de execução do algoritmo sem que o valor da função objetivo mude mais que um certo valor.

2.3.2 *Simulated annealing*

Um método de otimização recorrente na literatura é o *simulated annealing*. Foi proposto por Kirkpatrick, Gelett e Vecchi (1983). Ele é baseado no processo de aquecimento e resfriamento de metais, no qual, através do resfriamento lento e controlado, as estruturas formadas por átomos de metais se estabilizam com poucas irregularidades, alcançando um estado de menor energia.

A temperatura, no caso de problemas de otimização, é uma variável de controle utilizada na geração de novas soluções e na função de aceitação de soluções. Quanto menor for a temperatura, menor é a chance de se aceitar soluções piores que a solução corrente e menor é a distância, no espaço de busca, entre a solução corrente e novas soluções geradas.

O algoritmo possui os seguintes passos (TALBI, 2009):

1. Uma solução é gerada ou fornecida e esta será a solução corrente;
2. Uma temperatura inicial é escolhida;
3. Uma nova solução é aleatoriamente gerada na vizinhança da solução corrente;

4. Os valores das funções objetivo da solução corrente e da nova solução são calculados e
5. Caso o valor da função objetivo da nova solução seja menor que o valor da função objetivo da solução corrente, aquela passa a ser a nova solução corrente; caso contrário, uma função de aceitação determina se há mudança da solução corrente, ou seja, se a nova solução é aceita.

A temperatura é abaixada utilizando-se uma função de atualização e os passos 3 a 5 são repetidos até que um critério de parada seja alcançado. Esse resfriamento pode ser feito de forma linear, geométrica, logarítmica ou não-monotônica (pode haver reaquecimento entre os resfriamentos, *reannealing*).

No passo 5, soluções com valor de função objetivo maior que da solução corrente são aceitas como forma de evitar que o algoritmo convirja para mínimos locais. A probabilidade de aceitação pode ter a seguinte distribuição:

$$P(\Delta E, T) = e^{\frac{-\Delta E}{T}}$$

onde T é a temperatura e ΔE é a degradação da função objetivo.

Os critérios de parada normalmente aplicados contemplam:

1. Temperatura muito baixa foi atingida, diminuindo consideravelmente a distância, em relação à solução corrente, das novas soluções geradas;
2. Número máximo de iterações sem que haja melhoria da função objetivo e
3. Tempo máximo de execução do algoritmo.

No Matlab, a distância entre uma nova solução e a solução corrente pode ser diretamente proporcional à temperatura ou proporcional à sua raiz quadrada. A direção da busca no espaço é uniformemente aleatória. Ainda, o resfriamento ocorre de forma não-monotônica para incentivar a diversificação no espaço de busca. Todas as funções utilizadas pelo Matlab (função de geração de novas soluções, função de aceitação, função de resfriamento, etc.) podem ser customizadas (MATHWORKS, 2013).

2.3.3 Pattern search

Proposto por Hooke and Jeeves (1961), trata-se de um método de busca que, a partir de uma solução, a solução corrente, procura por soluções melhores em sua vizinhança.

O algoritmo possui os seguintes passos:

1. Uma solução é gerada ou fornecida e esta será a solução corrente;
2. Novas soluções são simultaneamente geradas na vizinhança da solução corrente seguindo um dado padrão, daí o nome do método;
3. Os valores das funções objetivo das novas soluções são calculados e comparados ao valor da função objetivo da solução corrente;
4. Assim que um valor melhor de função objetivo é encontrado, sua respectiva solução passa a ser a solução corrente e, neste caso, é dito que a captação ocorreu com sucesso e
5. Quando a captação ocorre com sucesso, a distância entre as novas soluções e a solução corrente é aumentada; caso contrário, é diminuída.

O algoritmo repete os passos 2 a 5 até que algum critério de parada seja atingido. Os critérios de parada normalmente aplicados contemplam (MATHWORKS, 2013):

1. Área para geração de soluções vizinhas é menor que um valor pré-definido;
2. Número máximo de iterações sem que haja melhoria da função objetivo e
3. Tempo máximo de execução do algoritmo.

No Matlab, é possível especificar a função que vai gerar as próximas soluções, seu fator de expansão, no caso de haver captação, bem como seu fator de contração, no caso de não haver captação.

3 Fonte de tensão de referência projetada através de metaheurísticas

Neste capítulo, será mostrado o projeto de uma fonte de tensão de referência, desde a escolha da topologia, análise de suas características através de cálculos analíticos, dimensionamento dos elementos do circuito por meio da aplicação de GA, SA e PS, simulações, escolha do circuito final, análise de Monte Carlo, *layout* e resultado de simulações do *layout*. Adicionalmente, serão mostrados dois experimentos: o primeiro aplica metaheurísticas a outras topologias de fontes de tensão de referência; já o segundo mostra a aplicação de metaheurísticas no dimensionamento de um circuito de fonte de tensão de referência utilizando-se uma tecnologia CMOS 0,18 μm .

3.1 Projeto do circuito

3.1.1 Escolha da topologia

O primeiro passo no desenvolvimento de uma fonte de referência é a escolha da topologia. Diversos aspectos podem ser considerados neste passo. Neste trabalho, optou-se pelo projeto de uma topologia baseada na topologia apresentada por Huang, Lin e Lin (2006). Essa escolha se deu, principalmente, por ter sido observada a possibilidade de melhoria em diversos critérios através de algumas modificações, o que poderia resultar em um circuito que além de simples e compacto também é eficiente. Além disso, sua tensão de saída pode ser projetada, isto é, não é dependente exclusivamente de características da topologia ou da tecnologia, o que aumenta sua empregabilidade.

Dentre as modificações realizadas, destacam-se:

- Melhoria da fonte de corrente através da inserção de transistores *cascade* para melhora da RL;
- Inserção de transistores *cascodes*, isolando o nó de saída, também como forma de reduzir a RL;
- Experiência de inverter de NMOS para PMOS o espelho de corrente degenerado da fonte de corrente PTAT e

3.1.2 Análise da regulação de linha

A variação da tensão de referência em relação à tensão de alimentação pode ser escrita como em (53). Deseja-se que a influência da tensão da alimentação na saída seja mínima.

$$\frac{\partial V_{REF}}{\partial V_{DD}} = \left(\frac{\partial V_{REF}}{\partial I_2} \right) \left(\frac{\partial I_2}{\partial V_{DD}} \right) \quad (53)$$

A seguir, o primeiro fator deste produto é analisado.

Do equacionamento do circuito descrito por Huang, Lin e Lin (2006), tem-se:

$$V_{REF} = R_3(I_{PTAT} + I_{CTAT})$$

I_{PTAT} e I_{CTAT} são dadas por:

$$I_{PTAT} = PI_2$$

$$I_{CTAT} = \frac{I_3}{Q} \quad (54)$$

I_3 também pode ser escrita como:

$$I_3 = \frac{V_3}{R_2} = \frac{nV_T}{R_2} \ln \left(\frac{XI_2}{\left(\frac{W}{L}\right)_{M3} I_0} \right)$$

Daí, V_{REF} pode ser reescrita como em (55):

$$V_{REF} = R_3PI_2 + R_3 \left(\frac{nV_T}{QR_2} \ln \left(\frac{XI_2}{\left(\frac{W}{L}\right)_{M3} I_0} \right) \right) \quad (55)$$

Definem-se agora as seguintes constantes:

$$k_1 = R_3P \quad (56)$$

$$k_2 = \frac{R_3nV_T}{QR_2} \quad (57)$$

$$k_3 = \frac{X}{\left(\frac{W}{L}\right)_{M3} I_0}$$

E substituindo em (55), V_{REF} é dada por:

$$V_{REF} = k_1 I_2 + k_2 \ln(k_3 I_2) \quad (58)$$

Retomando o primeiro fator da Equação (53) e substituindo V_{REF} de (58):

$$\frac{\partial V_{REF}}{\partial I_2} = \frac{\partial(k_1 I_2 + k_2 \ln(k_3 I_2))}{\partial I_2} \quad (59)$$

$$\frac{\partial V_{REF}}{\partial I_2} = k_1 + \frac{k_2}{I_2} \quad (60)$$

De forma semelhante ao mostrado em (44):

$$I_2 = \frac{nV_T \ln(MN)}{R_1} \quad (61)$$

Reescrevendo (59) com o resultado de (61), obtém-se:

$$\frac{\partial V_{REF}}{\partial I_2} = \frac{R_3}{QR_2} + \frac{R_1}{\ln(MN)} + R_3$$

O primeiro fator de (53) é dado pela soma de parcelas necessariamente positivas (o produto dos fatores M e N é sempre maior que um). Como não é possível que essa soma seja igual a zero, almeja-se que o segundo fator seja o menor possível, isto é, que a corrente I_2 não sofra influência da tensão de alimentação. Uma forma de promover a diminuição dessa influência é pela introdução de transistores *cascade* na fonte de corrente, assim como feito em (NAVARRO; ISHIBE, 2011).

Um aspecto polêmico acerca desse circuito é a necessidade e o efeito do transistor M_5 , como na Figura 2.16. Em (HUANG; LIN; LIN, 2006), os autores afirmam que este transistor foi inserido a fim de minimizar a RL. Já em (MATEUS et al., 2008), os autores afirmam que este transistor pode ser desconsiderado e que sua retirada resulta em um circuito melhor. A análise da Equação (53) auxilia no entendimento da influência deste dispositivo no circuito.

Considerando-se o transistor M_5 , é possível reescrever (56) como:

$$k_1 = R_3 \left(P - \frac{S}{Q} \right)$$

onde S é o número de vezes que o transistor M_5 é maior que o transistor M_7 , uma vez que (54) seria reescrita como

$$I_{CTAT} = \frac{I_3 - SI_2}{Q}$$

A Equação (60) ainda é válida, portanto:

$$\frac{\partial V_{REF}}{\partial I_2} = \frac{R_3 R_1}{Q R_2 \ln(MN)} + R_3 \left(P - \frac{S}{Q} \right) \quad (62)$$

Devido à existência de um termo negativo na Equação (62), é possível encontrar uma solução em que a derivada seja nula, ou seja

$$\frac{\partial V_{REF}}{\partial I_2} = \frac{R_3 R_1}{Q R_2 \ln(MN)} + R_3 P - R_3 \frac{S}{Q} = 0$$

A condição abaixo, caso satisfeita, levará a uma RL igual a zero:

$$\frac{R_1}{Q R_2 \ln(MN)} + P = \frac{S}{Q}$$

Para casos nos quais a modulação de canal do transistor M_5 é desconsiderada, como na análise acima, o termo gerado por ele ajuda a minimizar a RL. No entanto, não é possível alcançar uma RL igual a zero quando os demais critérios são considerados (TC, área, potência, etc.).

3.1.3 Análise do coeficiente de temperatura

Partindo da Equação (55), utilizando as Equações (3) e (61), pode-se escrever:

$$V_{REF}(T) = \frac{P R_3 n V_T \ln(MN)}{R_1} + \frac{R_3 n V_T}{Q R_2} \ln \left(\frac{X n V_T \ln(MN)}{R_1 \left(\frac{W}{L} \right)_{M3} I_m \exp \left(-\frac{V_{TH}(T)}{n V_T} \right)} \right)$$

Substituindo:

$$k_4 = \frac{P R_3 \ln(MN)}{R_1}$$

$$k_5 = \frac{R_3}{Q R_2}$$

$$k_6 = \frac{X \ln(MN)}{R_1 \left(\frac{W}{L} \right)_{M3} I_m}$$

Tem-se:

$$V_{REF}(T) = k_4 n V_T + k_5 n V_T \ln \left(\frac{k_6 n V_T}{\exp \left(-\frac{V_{TH}(T)}{n V_T} \right)} \right)$$

Escrevendo $V_{TH}(T)$ como dado em (TSIVIDIS, 1998), obtém-se:

$$V_{REF}(T) = k_4 n V_T + k_5 n V_T \ln \left(\frac{k_6 n V_T}{\exp \left(-\frac{(V_{TH}(T_r) - \rho(T - T_r))}{n V_T} \right)} \right)$$

onde $-\rho$ é o coeficiente angular da reta que aproxima o comportamento de V_{TH} com a temperatura.

$$V_{REF}(T) = k_4 n V_T + k_5 n V_T \left(\ln(k_6 n V_T) - \left(-\frac{(V_{TH}(T_r) - \rho(T - T_r))}{n V_T} \right) \right)$$

Simplificando:

$$V_{REF}(T) = k_5 n V_T \ln(k_6 n V_T) - k_5 \rho T + k_5 \rho T_r + k_5 V_{TH}(T_r)$$

Fazendo substituições com novas constantes:

$$k_7 = \frac{k_5 n k}{q}$$

$$k_8 = \frac{k_6 n k}{q}$$

$$k_9 = k_5 \rho T_r + k_5 V_{TH}(T_r)$$

$$k_{10} = \frac{k_4 n k}{q} - k_5 \rho$$

tem-se que a tensão de referência em função da temperatura é dada por:

$$V_{REF}(T) = k_{10} T + k_7 T \ln(k_8 T) + k_9$$

Derivando a tensão de saída com a temperatura, obtém-se:

$$\frac{\partial V_{REF}(T)}{\partial T} = k_{10} + k_7 (1 + \ln(k_8)) + k_7 \ln(T)$$

Definindo uma nova constante:

$$k_{11} = k_{10} + k_7 (1 + \ln(k_8))$$

é possível escrever a derivada como em (63):

$$\frac{\partial V_{REF}(T)}{\partial T} = k_{11} + k_7 \ln(T) \quad (63)$$

Esta derivada não pode ser zerada para todas as temperaturas, no entanto, escolhida uma temperatura T_r onde se almeja o TC zerado, obtém-se uma relação que deve ser obedecida.

$$\exp\left(-\frac{k_{11}}{k_7}\right) = T_r$$

3.1.4 Metaheurísticas aplicadas ao problema de dimensionamento dos dispositivos

Dadas as análises apresentadas nas subseções 3.1.2 e 3.1.3, fica evidente a complexidade na tarefa do dimensionamento dos dispositivos que compõem uma fonte de tensão de referência de forma a minimizar os critérios TC, RL, consumo de potência e área. Além disso, durante o projeto, também é preciso considerar, por exemplo, qual a tensão de referência que se deseja. Por razão dessa complexidade, o dimensionamento dos dispositivos é um problema de otimização propício para ser solucionado através de metaheurísticas.

Neste trabalho, metaheurísticas foram aplicadas na determinação de dimensões de transistores e resistores em variações da topologia do circuito de fonte de tensão de referência mostrado na Figura 3.1. As três metaheurísticas utilizadas neste trabalho foram algoritmos genéticos, *simulated annealing* e *pattern search*, disponíveis na Global Optimization Toolbox do Matlab (MATHWORKS, 2013).

O algoritmo genético foi a metaheurística mais utilizada neste trabalho. Todos os dimensionamentos foram iniciados com GAs, que eram responsáveis por encontrar uma solução inicial para as outras metaheurísticas. Os parâmetros utilizados no Global Optimization Toolbox do Matlab, seus valores e seus significados podem ser vistos na Tabela 3.1, a seguir.

Tabela 3.1 – Parâmetros utilizados na otimização no algoritmo genético do Matlab.

Parâmetro	Valor	Explicação
Número de populações	4	Quantidade de populações entre as quais haverá migração.
Tamanho da população	50	Quantidade de indivíduos em cada população.
Função de seleção	Amostragem universal estocástica	Algoritmo para seleção dos indivíduos.
Indivíduos da elite	5	Quantidade dos melhores indivíduos da geração atual que sobreviverá para a geração seguinte.
Fração de <i>crossover</i>	0,8	Fração das populações da geração seguinte que será gerada por reprodução. O restante da nova geração é composto, necessariamente, por indivíduos da elite e indivíduos escolhidos aleatoriamente da geração anterior.
Função de <i>crossover</i>	<i>Scattered</i>	Algoritmo do operador de <i>crossover</i> . Esta função compõe o cromossomo do indivíduo filho a partir de genes escolhidos aleatoriamente de cada um dos pais.
Taxa de migração	0,1	Fração da população que passa para outra população durante uma migração.
Período de migração	5	Número de iterações entre uma migração e outra.
Critério de parada - Número máximo de iterações	100	Número máximo de iterações.
Critério de parada - Número máximo de iterações estagnadas	50	Número máximo de iterações sem que haja melhoria significativa do valor da função objetivo.

O SA pode realizar o refinamento da solução encontrada pelo GA. Os parâmetros utilizados no Matlab para a otimização por SA podem ser vistos na Tabela 3.2.

Tabela 3.2 – Parâmetros utilizados na otimização no *simulated annealing* do Matlab.

Parâmetro	Valor	Explicação
Função de <i>annealing</i>	<i>Fast annealing</i>	Algoritmo para geração de novas soluções a cada iteração. <i>Fast annealing</i> gera soluções equidistantes da solução atual em direções aleatórias uniformes. A distância é diretamente proporcional à temperatura.
Temperatura inicial	20	Valor inicial da temperatura.
Função de atualização da temperatura	Customizada: $T \leftarrow T_0 0,8^k$	Algoritmo para cálculo do valor da temperatura para a próxima iteração. T_0 é a temperatura inicial e k é o número de iterações desde o último <i>reannealing</i> .
Critério de parada: - Número máximo de iterações	70	Número máximo de iterações.

A principal vantagem na utilização desta metaheurística em detrimento do GA é seu menor tempo de execução, mesmo em experimentos em que a função de atualização da temperatura foi modificada para que a temperatura fosse atualizada de forma mais lenta.

O *pattern search* pode ser utilizado no refinamento das soluções encontradas pelo GA ou pelo SA. Os parâmetros do Matlab estão disponíveis para consulta na Tabela 3.3.

Tabela 3.3 – Parâmetros utilizados na otimização no PS do Matlab.

Parâmetro	Valor	Explicação
Método de busca	<i>Generalized Pattern Search</i> (GPS) com base positiva e $N+1$ pontos	Método para geração das soluções vizinhas. Este método gera $N+1$ soluções, onde N é o número de variáveis. As primeiras N soluções são um incremento no valor de cada uma das variáveis; a última solução é obtida com um decremento no valor de todas as variáveis simultaneamente.
Busca completa	Sim	Avalia todos os vizinhos de uma iteração, mesmo que seja encontrada uma solução melhor durante a busca.
Ordem da busca	Sucesso	Ordem de avaliação do valor da função objetivo das soluções vizinhas. Nesta opção, é avaliada, primeiramente, a solução na mesma direção do melhor ponto encontrado na última iteração. As demais soluções são avaliadas na ordem que foram geradas.

Parâmetro	Valor	Explicação
Fator de expansão	1,4	Fator para aumento da distância de geração de soluções vizinhas quando uma solução melhor é encontrada.
Fator de contração	0,9	Fator para redução da distância de geração de soluções vizinhas quando nenhuma solução melhor é encontrada em uma iteração.
Critério de parada: - Número máximo de iterações	50	Número máximo de iterações.

Como já foi afirmado, a determinação da função objetivo é essencial para o sucesso da aplicação de metaheurísticas. São realizadas simulações para determinar, para cada indivíduo, os valores dos critérios de TC, RL, V_{REF} , potência e, ainda, se certos transistores estão ou não operando na região de fraca inversão.

Após a determinação dos valores destes critérios, estes foram normalizados, uma vez que possuem valores absolutos com ordens de grandeza diferentes. Em seguida, foram determinados os pesos que cada critério receberia. A tensão de saída e o TC receberam peso 10 para que o algoritmo genético rapidamente convergisse para soluções com estes valores próximos do requerido. Os demais critérios, RL, potência e se certos transistores estão ou não operando em fraca inversão, receberam peso 1 e, portanto, sua otimização se dá após a otimização da tensão de saída e do TC.

A função objetivo, sc , utilizada foi a soma ponderada dos valores normalizados de TC (NTC), RL (NRL), potência (NP), diferença entre a tensão de saída do circuito e uma tensão alvo (NV_{REF}) e se certos transistores estão operando na região de fraca inversão (NWI). Esta soma é ainda elevada ao quadrado para que as parcelas que estão maiores pesem mais, como mostrado abaixo.

$$sc = (10NTC + 10NV_{REF} + NRL + NP + 10NWI)^2$$

onde os valores normalizados dos critérios são:

- NTC é a diferença normalizada entre o TC requerido, TC_{req} , e seu valor de simulação, TC , dada por:

$$NTC = \begin{cases} \frac{TC - TC_{req}}{TC_{req}} & \text{se } TC > TC_{req} \\ 0 & \text{c.c.} \end{cases} \quad (64)$$

- NRL é a diferença normalizada entre a RL requerida, RL_{req} , e seu valor de simulação, RL , dada por:

$$NRL = \begin{cases} \frac{RL - RL_{req}}{RL_{req}} & \text{se } RL > RL_{req} \\ 0 & \text{c.c.} \end{cases} \quad (65)$$

- NV_{REF} é a diferença normalizada entre a tensão de saída requerida, V_{REFreq} , e seu valor de simulação, V_{REF} , dada por:

$$NV_{REF} = \begin{cases} \frac{|V_{REF} - V_{REFreq}|}{V_{REF}} & \text{se } \frac{|V_{REF} - V_{REFreq}|}{V_{REF}} > 0,2 \\ 0 & \text{c.c.} \end{cases} \quad (66)$$

- NP é função do critério normalizado de consumo de potência, dada por:

$$NP = \frac{P}{P_{ref}} \quad (67)$$

onde P é o consumo de potência obtido das simulações do circuito e P_{ref} é um valor de referência de consumo de potência.

- NWI é o valor normalizado que indica se certos transistores estão operando em fraca inversão, dado por:

$$NWI = \sum_{i=0}^m \begin{cases} |WI_i| & \text{se } WI_i > 1.1 \\ 0 & \text{c.c.} \end{cases} \quad (68)$$

onde m é o número de transistores que devem operar em fraca inversão, $WI_i = \frac{g_{mi}}{I_{Di}} n \frac{kT}{q}$, e I_{Di} e g_{mi} são a corrente de dreno e a transcondutância do transistor M_i , obtidas das simulações do circuito.

Nas equações (64), (65) e (68), encontram-se os critérios que devem atingir um valor menor que um valor de referência. Na equação (66), encontra-se o critério que deve atingir

um valor próximo a um valor de referência. Na equação (67), encontra-se o critério que deve ser minimizado sempre, independentemente do valor alcançado.

O arquivo com a descrição da função objetivo, *fitness.m*, encontra-se no 0. Neste apêndice, também é possível encontrar o arquivo *LeMeas.m*, responsável por ler os valores extraídos da simulação, e o arquivo *param_mod.m*, responsável pela geração do arquivo de simulação que contém as descrições das análises e medidas que devem ser realizadas. Este arquivo gerado é incluído pelo arquivo com a descrição do circuito.

3.1.5 Otimizações e simulações

A primeira topologia estudada com o auxílio do *software* de simulação Eldo já contém os transistores *cascodes* e seus circuitos de polarização, sendo uma evolução da topologia de Huang, Lin e Lin (2006) e pode ser vista na Figura 3.2.

Figura 3.2 - Primeira topologia dimensionada por metaheurísticas e estudada através de simulações.

O circuito é composto pelas seguintes partes:

- Uma parte CTAT similar à parte correspondente no circuito de (HUANG; LIN; LIN, 2006), formada pelos transistores de M_1 a M_4 e pelo resistor R_2 . Como será visto a seguir, algumas variações estudadas desta parte do circuito contêm ou não o transistor M_5 e o transistor *cascode* M_{c5} ;
- Uma fonte de corrente PTAT igual à fonte de corrente apresentada em (NAVARRO; ISHIBE, 2011), formada pelos transistores M_6 a M_9 , pelos transistores *cascode* M_{c1} e M_{c2} , pelos transistores dos circuitos de polarização M_{pol1} a M_{pol4} e pelo resistor R_1 e
- Um circuito de saída similar ao circuito de saída de (HUANG; LIN; LIN, 2006), composto pelos transistores M_{10} e M_{11} , pelos *cascode*s M_{c3} e M_{c4} , também polarizados por M_{pol1} e M_{pol2} , e pelo resistor R_3 .

Neste circuito, foram feitas duas modificações adicionais:

- O circuito de polarização do *cascode* PMOS da fonte de corrente passou a ser composto pelos transistores M_{pol1} e M_{pol2} . O resistor foi retirado, pois, seu efeito benéfico era pequeno e sua área grande.
- Foram inseridos os transistores *cascode* M_{c3} , M_{c4} e M_{c5} promovendo o isolamento do nó de saída de influências da tensão de alimentação que ocorrem devido à modulação do canal.

Duas dúvidas sobre a topologia foram analisadas durante o processo de dimensionamento:

- Se um transistor *cascode* entre os transistores M_1 e M_3 , denominado M_{c5} , melhora ou não o desempenho do circuito e
- Se o transistor M_5 traria uma melhora na RL.

Desta forma, para a determinação da topologia final, quatro variações do circuito foram inicialmente avaliadas: são elas todas as combinações com e sem os transistores M_{c5} e M_5 .

Para cada variação do circuito, foram executadas quatro rodadas de dimensionamento, isto é, as metaheurísticas foram aplicadas quatro vezes para cada variação de topologia do circuito a soluções iniciais aleatoriamente geradas, resultando em dezesseis dimensionamentos completos (dezesseis soluções diferentes). Em cada rodada de dimensionamento, foram executados o GA, depois o SA com a solução inicial tomada a partir do GA e, por fim, o PS com a solução inicial tomada a partir do SA. Em todas elas, o dimensionamento dos transistores e resistores foi feito através das metaheurísticas com

valores idênticos para todos os parâmetros, conforme a Tabela 3.4. A semente para geração de números pseudoaleatórios do Matlab foi a única variável modificada de forma aleatória a cada nova rodada de dimensionamento.

Os modelos de transistores e resistores utilizados nestas simulações são os de análise de Monte Carlo fornecidos pela AMS (ANEXO A) e o TC foi calculado com temperaturas no intervalo de $-10\text{ }^{\circ}\text{C}$ e $90\text{ }^{\circ}\text{C}$. A RL foi calculada com tensões de alimentação no intervalo de 1,0 V e 2,5 V.

As dimensões dos dispositivos do circuito em variáveis das metaheurísticas, bem como seus limites, podem ser vistos na Tabela 3.5. Nesta tabela, também é possível encontrar os valores dos fatores de multiplicação dos tamanhos dos transistores indicados pela dimensão M . O número de variáveis que definem uma solução é inferior ao número de dimensões dos dispositivos, pois algumas dimensões são representadas pela mesma variável, por exemplo, os comprimentos dos canais dos transistores M_6 e M_7 são ambos descritos pela variável X_{10} , o que assegura o casamento entre estes transistores que formam o espelho de corrente. A diminuição do número de variáveis devido às associações feitas entre as dimensões dos dispositivos do circuito favorecem a convergência das metaheurísticas para soluções de qualidade. A realização destas associações, no entanto, depende do conhecimento e experiência do projetista com circuitos analógicos. Na Tabela 3.6, são dados os fatores de multiplicação que tiveram seus valores fixados.

Tabela 3.4 – Valores dos parâmetros utilizados pelas metaheurísticas.

Parâmetro	Valor	Peso
V_{REF} alvo (V)	$0,3 \pm 20\%$	10
TC alvo (ppm/ $^{\circ}\text{C}$)	20	10
RL alvo (ppm/V)	100	1
Potência utilizada como referência (μW)	5	1
Transistores operando em fraca inversão	M_3, M_{n1} e M_{n2} ou M_3, M_{p1} e M_{p2}	1 (por transistor)

Tabela 3.5 – Mapeamento das dimensões de transistores e resistores em variáveis das metaheurísticas.

Variável dos algoritmos	Dimensão	Transistor	Mínimo	Máximo
X_1	W	M_2, M_{11}, M_{c4}	20 μm	220 μm
X_2	W	M_3	20 μm	220 μm
X_3	L	M_3	1 μm	20 μm
X_4	W	M_4	20 μm	220 μm
X_5	L	M_4	1 μm	20 μm
X_6	M	M_2	1	4
X_7	R	R_1	100 k Ω	500 k Ω
X_8	R	R_3	100 k Ω	500 k Ω
X_9	W	$M_1, M_6, M_7, M_{c1}, M_{c5}, M_{10}, M_{c3}$	20 μm	220 μm
X_{10}	L	$M_1, M_2, M_5, M_6, M_7, M_{pol1}, M_{10}, M_{11}$	1 μm	20 μm
X_{11}	L	$M_{c1}, M_{c3}, M_{c4}, M_{c5}$	1 μm	20 μm
X_{12}	W	M_{pol1}	20 μm	220 μm
X_{13}	W	M_{pol3}	20 μm	220 μm
X_{14}	L	M_{pol3}	1 μm	20 μm
X_{15}	W	M_8, M_9, M_{c2}	20 μm	220 μm
X_{16}	L	M_8, M_9, M_{pol4}	1 μm	20 μm
X_{17}	L	M_{c2}	1 μm	20 μm
X_{18}	W	M_{pol4}	20 μm	220 μm
X_{19}	W	M_{pol2}	20 μm	220 μm
X_{20}	L	M_{pol2}	1 μm	20 μm
X_{21}	R	R_2	100 k Ω	500 k Ω
X_{22}	W	M_5	20 μm	220 μm

Tabela 3.6 – Valores dos fatores de multiplicação do tamanho dos transistores da Figura 3.2.

Fator de multiplicação	Transistor	Valor
X	M_1, M_{c5}	0,1
M	M_6	3
N	M_9	1
P	M_{10}, M_{c3}	3

Nesta etapa, foram obtidos os resultados apresentados na Tabela 3.7 para citadas variações da topologia da Figura 3.2.

Tabela 3.7 – Resultados das simulações de quatro variações da topologia base.

Topologia	Rodada de Simulação	TC (ppm/°C)	RL (ppm/V)	V_{REF} (V)	Potência ⁺ (μW)
Com M_{c5} e M_5	A*	16	94	0,279	4,5
	B*	13	97	0,281	4,7
	C*	20	77	0,306	5,9
	D*	17	87	0,280	5,3
Com M_{c5} e sem M_5	A	26	1057	0,285	10,6
	B	21	1063	0,289	10,0
	C	19	1438	0,273	4,8
	D	20	1155	0,278	6,1
Sem M_{c5} e com M_5	A*	25	418	0,327	8,6
	B*	40	478	0,288	4,7
	C*	13	315	0,318	5,4
	D*	6	302	0,307	5,4
Sem M_{c5} e M_5	A	18	1811	0,296	7,5
	B	21	1520	0,273	7,1
	C	18	2081	0,289	5,8

Topologia	Rodada de Simulação	TC (ppm/°C)	RL (ppm/V)	V_{REF} (V)	Potência ⁺ (μW)
	D	19	1517	0,280	6,0

* Melhores resultados

⁺ Valores obtidos com tensão de alimentação de 1,5 V.

Comparando as topologias com e sem o transistor M_5 , é possível inferir que este transistor influencia positivamente na redução da RL.

Buscando a melhoria da fonte de corrente PTAT, foi realizado, em seguida, o projeto de uma nova configuração para a topologia. Nesta configuração, houve a inversão na função dos transistores NMOS e PMOS, sendo o espelho de corrente degenerado agora formado por transistores NMOS. Para que isto ocorresse, o resistor R_1 foi colocado entre o *source* do transistor M_9 e o terra.

Para esta nova configuração, em vista dos resultados anteriores, apenas duas variações do circuito, com e sem o transistor M_{c5} e ambas com o transistor M_5 , foram dimensionadas. Novamente, foram efetuadas quatro rodadas de dimensionamento para cada topologia com sementes diferentes no Matlab utilizando os modelos de transistores e resistores de análise de Monte Carlo fornecidos pela AMS (ANEXO A). Os parâmetros de desempenho desejados e o mapeamento das variáveis nas dimensões dos dispositivos foram os mesmos e estão apresentados na Tabela 3.4 e na Tabela 3.5, respectivamente.

Os resultados dessa variação da topologia mostrada na Figura 3.2 podem ser visualizados na Tabela 3.8.

Tabela 3.8 – Simulações de duas variações da configuração com espelho de corrente degenerado NMOS.

Topologia	Rodada de simulação	TC (ppm/°C)	RL (ppm/V)	V_{REF} (V)	Potência ⁺ (μW)
Com M_{c5} e M_5	A	19	100	0.259	5.4
	B	19	73	0.276	5.4
	C	19	80	0.302	4.2
	D	17	98	0.273	4.2
Sem M_{c5} e com M_5	A	18	88	0.311	6.1
	B	15	200	0.305	5.9

Topologia	Rodada de simulação	TC (ppm/°C)	RL (ppm/V)	V_{REF} (V)	Potência ⁺ (μW)
	C	19	126	0.326	5.4
	D	14	95	0.283	5.7

⁺ Valores obtidos com tensão de alimentação de 1,5 V.

A fim de prever o comportamento do circuito em função de variações no processo de fabricação, foram realizadas análises de Monte Carlo com 100 amostras sobre todos os circuitos projetados e que utilizam o transistor M_5 , tanto aqueles com espelho de corrente degenerado PMOS, Tabela 3.7, como aqueles com espelho de corrente degenerado NMOS, Tabela 3.8. Os valores de média e desvio padrão para os critérios de TC e RL podem ser consultados na Tabela 3.9.

Tabela 3.9 – Análise de Monte Carlo sobre os circuitos com melhores resultados.

Topologia	Rodada de simulação	TC médio (ppm/°C)	Desvio padrão do TC	RL médio (ppm/V)	Desvio padrão do RL
Espelho degenerado PMOS, com M_{c5} e M_5	A	48	32	171	101
	B	58	41	166	90
	C	57	37	171	91
	D	100	107	216	122
Espelho degenerado PMOS, com M_{c5} e sem M_5	A	84	67	1088	742
	B	97	123	387	65
	C	80	57	717	516
	D	77	54	700	505
Espelho degenerado NMOS, com M_{c5} e M_5	A	52	41	176	80
	B	31	22	133	50
	C	33	20	123	45
	D	61	83	120	39
Espelho degenerado	A	94	138	121	53
	B	103	110	627	438

Topologia	Rodada de simulação	TC médio (ppm/°C)	Desvio padrão do TC	RL médio (ppm/V)	Desvio padrão do RL
NMOS, sem M_{c5} e com M_5	C	39	20	131	58
	D	76	99	123	62

Dentre todos os resultados, o que apresentou melhores valores entre as médias de TC e RL, considerando-se também os valores de desvio padrão, foi o circuito com transistores NMOS no espelho degenerado da fonte de corrente, com os transistores M_5 e M_{c5} , rodada de simulação C, em destaque na Tabela 3.9. As demais métricas, potência e tensão de saída, também foram analisadas, porém apenas no sentido de validar a escolha, não como parâmetro de classificação. Este circuito possui tensão de saída de 0,302 V, que atende à especificação, e potência de 4,2 μ W medida com tensão de alimentação de 1,5 V. Portanto, estes foram o dimensionamento e a topologia eleitos para compor o circuito final, cujo esquemático pode ser visto na Figura 3.3. Vale observar que esta topologia final não consta na literatura. No APÊNDICE B, encontra-se o arquivo com a descrição do circuito em SPICE e as medidas que foram feitas. Nele, o TC foi calculado como na Equação (12) e a RL foi calculada como apresentado na Equação (13).

Figura 3.3 – Versão final do esquemático do circuito de fonte de tensão de referência.

As dimensões dos transistores estão disponíveis na Tabela 3.10 e as dimensões dos resistores, na Tabela 3.11.

Tabela 3.10 – Dimensões dos transistores do circuito final obtidas através de metaheurísticas.

Transistor	Largura - W (μm)	Comprimento - L (μm)	Fator de multiplicação do W
M_1	105,55	3,60	$X = 0,1$
M_2	211,85	3,60	$Q = 2$
M_3	213,50	11,95	-
M_4	140,10	3,85	-
M_5	101,05	3,60	-

Transistor	Largura - W (μm)	Comprimento - L (μm)	Fator de multiplicação do W
M_6	105,55	3,60	$M = 3$
M_7	105,55	3,60	-
M_8	219,95	15,65	-
M_9	219,95	15,65	$N = 1$
M_{10}	105,55	3,60	$P = 3$
M_{11}	211,85	3,60	-
M_{c1}	105,55	3,30	$M = 3$
M_{c2}	219,95	2,20	-
M_{c3}	105,55	3,30	$P = 3$
M_{c4}	211,85	3,30	-
M_{c5}	105,55	3,30	$X = 0,1$
M_{pol1}	205,55	3,60	-
M_{pol2}	26,65	18,40	-
M_{pol3}	55,70	20,00	-
M_{pol4}	182,20	15,65	-

Tabela 3.11 – Dimensões dos resistores do circuito final obtidas através de metaheurísticas.

Resistor	Largura - W (μm)	Comprimento - L (μm)	Resistência ($\text{k}\Omega$)
R_1	4,0	677	203,3
R_2	4,0	1667	499,0
R_3	4,0	1513	453,7

Diversas simulações foram realizadas no circuito escolhido para verificar o seu correto funcionamento. Na Figura 3.5 e na Figura 3.4, são apresentados os histogramas de TC e RL, respectivamente, obtidos a partir de simulações de Monte Carlo com 10000 amostras.

Figura 3.4 – Distribuição dos valores do coeficiente de temperatura (TC) para temperaturas no intervalo de -10 °C a 90 °C. Simulação de Monte Carlo com 10000 amostras, distribuídas em 100 classes, e tensão de alimentação de 1,1 V.

Figura 3.5 – Distribuição dos valores da regulação de linha (RL) no intervalo de tensão de alimentação de 1,1 V a 2,5 V. Simulação de Monte Carlo com 10000 amostras, distribuídas em 100 classes, e temperatura de 300 K.

Na Figura 3.6, são mostradas as correntes de dreno dos transistores M_{10} e M_{11} *versus* a temperatura. Nela, é evidenciado o princípio de funcionamento de fontes de tensão de referência, isto é, a soma de uma grandeza PTAT (I_D do transistor M_{10}) com uma grandeza CTAT (I_D do transistor M_{11}) resultando em uma grandeza que varia pouco com a temperatura (corrente no resistor R_3). A variação da tensão de referência gerada pelo circuito final em relação à temperatura no intervalo de $-10\text{ }^{\circ}\text{C}$ a $90\text{ }^{\circ}\text{C}$ pode ser vista na Figura 3.7.

Figura 3.6 – Variação das correntes de dreno dos transistores M_{10} (I_{PTAT}) e M_{11} (I_{CTAT}) e a soma destas correntes em função da temperatura no intervalo de $-10\text{ }^{\circ}\text{C}$ a $90\text{ }^{\circ}\text{C}$ com tensão de alimentação de 1,01 V.

Figura 3.7 – Tensão de referência em função da temperatura. Simulação com valores nominais do modelo de Monte Carlo e tensão de alimentação de 1,01 V.

A variação da tensão de referência em relação à temperatura é menor que a variação da soma das correntes, pois ocorre uma compensação do comportamento da soma das correntes pelo efeito da temperatura sobre o resistor R_3 .

A variação da tensão de referência gerada pelo circuito em relação à tensão de alimentação no intervalo de 0 V a 3 V, simulado com os valores nominais do modelo de Monte Carlo da AMS (ANEXO A) pode ser vista na Figura 3.8. Nesta simulação, podemos observar que a fonte de tensão de referência começa a operar com tensão de alimentação mínima de, aproximadamente, 1,01 V. Nos piores casos da análise de Monte Carlo, o circuito passa a operar a partir de 1,1 V.

Figura 3.8 – Tensão de referência em função da tensão de alimentação.

Na Figura 3.9, encontra-se o *layout* do circuito final. O posicionamento dos elementos buscou a obtenção de um circuito compacto, cujo roteamento foi realizado com duas camadas de metal. A área total é de 0,061 mm².

Figura 3.9 - *Layout* do circuito final com dimensões de 172 μm $\times$ 356 μm .

3.2 Experimentos complementares

3.2.1 Metaheurísticas aplicadas a outras topologias de fontes de tensão de referência

Como forma de validação do emprego de metaheurísticas no dimensionamento dos dispositivos que compõem fontes de tensão de referência, elas também foram aplicadas às topologias apresentadas em (NAVARRO; ISHIBE, 2011) e (UENO et al., 2009).

A função objetivo utilizada foi a mostrada na subseção 3.1.4 para ambos os circuitos.

O circuito de (NAVARRO; ISHIBE, 2011) utilizado pode ser visto na Figura 3.10. Nele, o espelho de corrente degenerado da fonte de corrente PTAT é formado por transistores NMOS.

Figura 3.10 - Circuito de (NAVARRO; ISHIBE, 2011) com transistores NMOS no espelho de corrente degenerado da fonte de corrente PTAT.

Os valores dos parâmetros utilizados pelas metaheurísticas podem ser vistos na Tabela 3.12. O mapeamento das dimensões dos dispositivos do circuito em variáveis das metaheurísticas pode ser consultado na Tabela 3.13. Nesta tabela, também é possível encontrar os valores dos fatores de multiplicação dos tamanhos dos transistores indicados pela dimensão M . Os valores dos fatores de multiplicação que não foram determinados através de metaheurísticas, mas tiveram seus valores fixados, podem ser vistos na Tabela 3.14.

Tabela 3.12 – Valores dos parâmetros utilizados pelas metaheurísticas.

Parâmetro	Valor	Peso
V_{REF} alvo (V)	$0,5 \pm 20\%$	10
TC alvo (ppm/°C)	20	10
RL alvo (ppm/V)	100	1
Potência utilizada como referência (μW)	5	1
Transistores operando em fraca inversão	M_4	1

Tabela 3.13 – Mapeamento das dimensões dos dispositivos do circuito em variáveis das metaheurísticas.

Variável	Dimensão	Transistor	Mínimo	Máximo
X_1	L	$M_1, M_2, M_{pol3}, M_5, M_6$	1 μm	30 μm
X_2	L	M_{c1}, M_{c3}, M_{c4}	1 μm	30 μm
X_3	L	M_{pol1}	1 μm	30 μm
X_4	L	M_3, M_4, M_{pol2}	1 μm	30 μm
X_5	L	M_{c2}	1 μm	30 μm
X_6	L	M_{pol4}	1 μm	30 μm
X_7	W	$M_1, M_2, M_5, M_6, M_{c1}, M_{c3}, M_{c4}$	1 μm	200 μm
X_8	W	M_{pol3}	1 μm	200 μm

Variável	Dimensão	Transistor	Mínimo	Máximo
X_9	W	M_{pol1}	1 μm	200 μm
X_{10}	W	M_3, M_4, M_{c2}	1 μm	200 μm
X_{11}	W	M_{pol2}	1 μm	200 μm
X_{12}	W	M_{pol4}	1 μm	200 μm
X_{13}	R	R_1	100 k Ω	500 k Ω
X_{14}	R	R_2	100 k Ω	500 k Ω
X_{15}	R	R_3	100 k Ω	500 k Ω
X_{16}	M	M_5, M_{c3}	1	5
X_{17}	M	M_6, M_{c4}	1	5

Tabela 3.14 – Valores dos fatores de multiplicação do tamanho dos transistores da Figura 3.10.

Fator de multiplicação	Transistor	Valor
M	M_1, M_{c1}	3
N	M_4, M_{c2}	1

As dimensões dos transistores estão disponíveis na Tabela 3.15 e as dimensões dos resistores, na Tabela 3.16.

Tabela 3.15 - Dimensões dos transistores do circuito da Figura 3.10 obtidas através de metaheurísticas.

Transistor	Largura - W (μm)	Comprimento - L (μm)	Fator de multiplicação do W
M_1	86,55	5,65	$M = 3$
M_2	86,55	5,65	-
M_3	121,35	12,45	-
M_4	121,35	12,45	$N = 1$
M_5	86,55	5,65	$P = 2$
M_6	86,55	5,65	$S = 5$
M_{c1}	86,55	1,65	$M = 3$

Transistor	Largura - W (μm)	Comprimento - L (μm)	Fator de multiplicação do W
M_{c2}	121,35	3,85	$N = 1$
M_{c3}	86,55	1,65	$P = 2$
M_{c4}	86,55	1,65	$S = 5$
M_{pol1}	4,55	29,50	-
M_{pol2}	27,30	12,45	-
M_{pol3}	71,35	5,65	-
M_{pol4}	3,40	28,20	-

Tabela 3.16 – Dimensões dos resistores do circuito da Figura 3.10 obtidas através de metaheurísticas.

Resistor	Largura - W (μm)	Comprimento - L (μm)	Resistência ($\text{k}\Omega$)
R_1	4,0	1408	422,4
R_2	4,0	1585	475,5
R_3	4,0	454	136,2

O circuito completo de (UENO et al., 2009) utilizado pode ser visto na Figura 3.11.

Figura 3.11 - Circuito completo de (UENO et al., 2009).

Os valores dos parâmetros utilizados pelas metaheurísticas podem ser vistos na Tabela 3.17. O mapeamento das dimensões dos dispositivos deste circuito em variáveis das metaheurísticas pode ser consultado na Tabela 3.18. Na Tabela 3.19, são dados os valores dos fatores de multiplicação que não foram determinados através de metaheurísticas.

Tabela 3.17 – Valores dos parâmetros utilizados pelas metaheurísticas.

Parâmetro	Valor	Peso
V_{REF} alvo (V)	$0,7 \pm 20\%$	10
TC alvo (ppm/°C)	20	10
RL alvo (ppm/V)	100	1
Potência utilizada como referência (μW)	2	1
Transistores operando em fraca inversão	M_2	1

Tabela 3.18 – Mapeamento das dimensões dos dispositivos do circuito em variáveis das metaheurísticas.

Variável	Dimensão	Transistor	Mínimo	Máximo
X_1	L	$M_8, M_9, M_{10}, M_{11}, M_{12}$	1 μm	50 μm
X_2	W	$M_8, M_9, M_{10}, M_{11}, M_{12}$	1 μm	300 μm
X_3	L	M_{13}, M_{14}	1 μm	50 μm
X_4	W	M_{13}, M_{14}	1 μm	300 μm
X_5	L	M_1, M_2, M_{19}	1 μm	50 μm
X_6	W	$M_1, M_2, M_{17}, M_{18}, M_{19}$	1 μm	300 μm
X_7	L	M_3, M_4, M_5, M_6, M_7	1 μm	50 μm
X_8	W	M_3, M_5	1 μm	300 μm
X_9	W	M_4, M_6	1 μm	300 μm
X_{10}	W	M_7	1 μm	300 μm
X_{11}	L	M_{17}, M_{18}	1 μm	50 μm
X_{12}	L	M_{15}, M_{16}	1 μm	50 μm
X_{13}	W	M_{15}, M_{16}	1 μm	300 μm
X_{14}	L	M_{R1}	1 μm	50 μm
X_{15}	W	M_{R1}	1 μm	300 μm

Tabela 3.19 – Valores dos fatores de multiplicação do tamanho dos transistores da Figura 3.11.

Fator de multiplicação	Transistor	Valor
M	M_8	3
N	M_{10}, M_{11}, M_{12}	1
P	M_{19}	0,1

As dimensões dos transistores estão disponíveis na Tabela 3.20 e as dimensões dos resistores, na Tabela 3.21.

Tabela 3.20 - Dimensões dos transistores do circuito da Figura 3.11 obtidas através de metaheurísticas.

Transistor	Largura - W (μm)	Comprimento - L (μm)	Fator de multiplicação do W
M_1	28,20	17,55	-
M_2	28,20	17,55	-
M_3	300,00	3,85	-
M_4	20,00	3,85	-
M_5	300,00	3,85	-
M_6	20,00	3,85	-
M_7	1,95	3,85	-
M_8	58,75	6,50	$M = 3$
M_9	58,75	6,50	-
M_{10}	58,75	6,50	$N = 1$
M_{11}	58,75	6,50	$N = 1$
M_{12}	58,75	6,50	$N = 1$
M_{13}	11,95	7,85	-
M_{14}	11,95	7,85	-
M_{15}	88,55	18,00	-
M_{16}	88,55	18,00	-
M_{17}	28,20	4,60	-
M_{18}	28,20	4,60	-
M_{19}	28,20	17,55	$P = 0,1$
M_{R1}	2,55	49,45	-

Tabela 3.21 – Dimensões dos resistores do circuito da Figura 3.11 obtidas através de metaheurísticas.

Resistor	Largura - W (μm)	Comprimento - L (μm)	Resistência ($\text{k}\Omega$)
R_1	4,0	1408	422,4
R_2	4,0	1585	475,5

Resistor	Largura - W (μm)	Comprimento - L (μm)	Resistência ($\text{k}\Omega$)
R_3	4,0	454	136,2

Os resultados de TC, RL, potência e V_{REF} obtidos com o dimensionamento em uma rodada de dimensionamento para ambas as topologias podem ser vistos na Tabela 3.22.

Tabela 3.22 - Resultados das metaheurísticas aplicadas a outras topologias de fontes de tensão de referência.

Topologia	TC (ppm/ $^{\circ}\text{C}$)	RL (ppm/V)	V_{REF} (V)	Potência (μW)
Navarro e Ishibe (2011)	19	300	0,45	6,70
Ueno et al. (2009)	20	260	0,76	0,89

Estes resultados indicam que a aplicação de metaheurísticas produz soluções de qualidade com topologias diferentes de fontes de tensão de referência, com a vantagem de um tempo de projeto menor, uma vez que a função objetivo já havia sido definida para a topologia baseada no circuito de Huang, Lin e Lin (2006). Extrapolando a ideia, com funções objetivo formuladas para outros tipos de circuitos, seria possível a obtenção de circuitos com propósitos diversos de qualidade e em um tempo reduzido de projeto.

3.2.2 Projeto utilizando tecnologia CMOS da TSMC de 0,18 μm

A mínima tensão de operação do circuito projetado depende do valor do V_{TH} dos transistores, o qual é determinado pela tecnologia. Foi realizado um projeto com a tecnologia CMOS da TSMC de 0,18 μm (MOSIS, 2009), a fim de se determinar o impacto do V_{TH} dos transistores no resultado do circuito quanto à sua mínima tensão de operação. Tal projeto pode ser facilmente realizado com o emprego de metaheurísticas para o dimensionamento. A topologia utilizada neste projeto é a da Figura 3.3, sem o transistor M_{c5} . O mapeamento das dimensões dos dispositivos do circuito em variáveis das metaheurísticas é o mesmo apresentado na Tabela 3.5.

A Tabela 3.23 mostra os valores de V_{TH0s} (valor do V_{TH} para tensão *source-bulk* zero), modelo típico, das tecnologias AMS 0,35 μm e TSMC 0,18 μm .

Tabela 3.23 - V_{TH0n} e V_{TH0p} das tecnologias utilizadas em simulações.

Tecnologia	V_{TH0n} (V)	V_{TH0p} (V)
AMS 0,35 μm C35B4C3 (ANEXO A)	0,498	-0,692
TSMC 0,18 μm SCN018 (ANEXO A)	0,361	-0,414

Com uma rodada de dimensionamento através das metaheurísticas utilizando o modelo típico de transistores, obtiveram-se os seguintes resultados:

- RL de 543 ppm/V, medida com tensão de alimentação no intervalo de 0,7 V a 2,5 V, a 300 K;
- TC de 20 ppm/°C, medido com temperatura no intervalo de -10 °C a 90 °C, com tensão de alimentação de 0,7 V;
- V_{REF} de 0,266 V com tensão de alimentação de 0,7 V e
- Consumo de potência de 4,6 μW com tensão de alimentação de 0,7 V.

O gráfico mostrado na Figura 3.12 indica que o circuito reprojetoado para a tecnologia TSMC 0,18 μm opera adequadamente com uma tensão de, aproximadamente, 0,7 V. Isto é, o mínimo V_{DD} necessário teve uma diminuição de mais de 30%.

Figura 3.12 - V_{REF} em função de V_{DD} em uma tecnologia de 0,18 μm .

3.3 Quadro comparativo de resultados

Na Tabela 3.24, é possível visualizar e comparar os resultados de circuitos da literatura mostrados na subseção 2.2 e do circuito desenvolvido neste trabalho.

Tabela 3.24 – Comparação entre fontes de tensão de referência.

Trabalho	Tecnologia (μm)	TC (ppm/ $^{\circ}\text{C}$)	RL (ppm/V)	V_{REF} (V)	Mínimo V_{DD} (V)	Potência (μW)	Área (mm^2)
Banba et al. (1999)	0,4	59 $\Delta T = 98^{\circ}\text{C}$	2158	0,518	0,84	1,8 (em 0,84 V)	0,100
Leung e Mok (2003)	0,6	15 $\Delta T = 100^{\circ}\text{C}$	800	0,603	0,98	18,0 (em 1,5 V)	0,240
Huang, Lin e Lin (2006)	0,18	194 $\Delta T = 140^{\circ}\text{C}$	9050	0,221	0,85	3,3 (em 0,85 V)	0,024
Navarro e Ishibe (2011)	0,35	21 $\Delta T = 100^{\circ}\text{C}$	3300	0,51	1,0	4,9 (em 0,8 V)	0,042
Ueno et al. (2009)	0,35	15 $\Delta T = 100^{\circ}\text{C}$	20	0,745	1,4	0,3 (em 1,4 V)	0,055
Juan et al. (2008)	0,35	44 $\Delta T = 125^{\circ}\text{C}$	25284	0,176	0,95	8,9 (em 3,3 V)	0,022
Este Trabalho* (Figura 3.3)	0,35	19 $\Delta T = 100^{\circ}\text{C}$	81	0,302	1,01	4,2 (em 1,01 V)	0,061

* Resultados de simulação aplicando os valores nominais do modelo de Monte Carlo.

O critério de TC alcançou um valor similar aos melhores encontrados na literatura (LEUNG; MOK, 2003), (NAVARRO; ISHIBE, 2011) e (UENO et al., 2009).

A RL chega a ser até duas ordens de grandeza menor que os resultados de RL encontrados na literatura para topologias que fazem a soma de corrente. Este resultado foi possível devido à topologia escolhida contendo o transistor M_5 e transistores em configuração *cascode* na fonte corrente PTAT e no subcircuito de saída.

Uma característica positiva deste circuito quanto à tensão de referência gerada é a possibilidade de seu projeto, diferentemente do que ocorre com o circuito de (UENO et al., 2009), por exemplo, no qual a tensão de referência gerada depende da tecnologia e apresenta um valor fixo.

Não há padronização quanto ao critério de mínima tensão de alimentação. Os autores apresentam os valores dados nesta tabela como seus mínimos V_{DDs} , porém não há garantia de que os demais critérios mantêm-se com qualidade nestes valores de tensão. Neste trabalho, o mínimo V_{DD} de 1,01 V foi determinado a partir da análise dos valores de TC e RL em função da tensão de alimentação.

No caso da potência, o valor de $4,2 \mu\text{W}$ é semelhante aos valores encontrados na literatura. Com exceção do circuito de (UENO et al., 2009), os circuitos comparados apresentam consumo de potência entre $3,3 \mu\text{W}$ e $18,0 \mu\text{W}$.

Por fim, o valor alcançado pela área é pequeno, sobretudo quanto se considera a quantidade de dispositivos do circuito, isto é, quando se considera a adição dos transistores *cascade* e de seus respectivos circuitos de polarização.

A aplicação de metaheurísticas auxiliou na consideração de todos estes critérios simultaneamente durante a etapa de dimensionamento dos dispositivos que compõem o circuito.

4 Conclusões e recomendações para trabalhos futuros

Neste trabalho, foram estudadas topologias de fontes de tensão de referência que, por meios diversos, buscam a melhoria dos critérios de TC, RL, mínima tensão de operação, potência, etc. Todas as topologias estudadas têm como princípio de funcionamento a soma de uma grandeza PTAT com uma grandeza de comportamento oposto, CTAT. Algumas destas topologias utilizam a tensão emissor-base de um transistor bipolar PNP na geração da grandeza CTAT. Outras utilizam a tensão *gate-source* de um transistor MOS na geração desta grandeza.

Após a análise de várias topologias, optou-se pelo projeto de um circuito com topologia semelhante à apresentada em (HUANG; LIN; LIN, 2006), por ter sido observada a possibilidade de se propor melhorias e por ela permitir o ajuste da tensão de saída. A tecnologia utilizada no projeto é a tecnologia CMOS AMS 0,35 μm .

Metaheurísticas foram aplicadas ao dimensionamento dos transistores e resistores do circuito por se tratar de uma tarefa pouco trivial, onde se devem levar em consideração diversos critérios simultaneamente e se requer experiência do projetista. Três métodos de metaheurística foram estudados: GA, SA e PS. O GA é um método que evolui soluções (indivíduos de uma população) através da aplicação dos mecanismos de seleção natural. Ele foi responsável por fornecer uma solução inicial para os demais métodos. O SA é um método de otimização que se baseia no aquecimento e resfriamento controlado de metais para que atinjam estados com menos imperfeições. Ele busca soluções na vizinhança da solução corrente utilizando um parâmetro de temperatura para controle e aceita soluções piores na tentativa de escapar de mínimos locais. Já o PS é um método de otimização que busca soluções melhores na vizinhança da solução corrente e só muda de solução corrente quando uma melhor solução é encontrada. Tanto o SA como o PS buscam soluções melhores no espaço de busca a partir de uma dada solução, enquanto o GA utiliza múltiplas soluções simultaneamente para evoluir. Para a aplicação de metaheurísticas, foi preciso definir uma função objetivo que contemplasse todos os critérios que se desejava minimizar. Esta função é determinante para que sejam encontradas boas soluções.

Uma topologia inicial foi proposta (Figura 3.2) e diversas variações dela foram dimensionadas por metaheurísticas. Através de simulações e análises de Monte Carlo, estas variações foram comparadas com o objetivo de se determinar a melhor.

Inicialmente, utilizou-se a topologia da Figura 3.2 e consideraram-se as combinações de presença e ausência dos transistores M_5 , de redução da RL, e M_{c5} , *cascade*. Quatro rodadas de dimensionamento foram realizadas para cada uma das quatro variantes. A partir dos resultados obtidos, concluiu-se que a utilização do transistor M_5 traz vantagens indiscutíveis na operação do circuito.

Posteriormente, se alterou a topologia base, utilizando transistores NMOS para implementar o espelho de correntes degenerado da fonte de corrente PTAT. Em vista dos resultados anteriores, fez-se o dimensionamento apenas de variações que mantinham o transistor M_5 , variações que apresentavam ou não o transistor M_{c5} . Quatro rodadas de dimensionamento foram realizadas para cada um das duas variantes.

Por fim, todos os circuitos obtidos que utilizavam o transistor M_5 foram submetidos à análise de Monte Carlo.

Comparando-se os resultados de média e desvio padrão dos critérios de TC e RL obtidos, pode-se observar que o desempenho do circuito com transistores NMOS formando o espelho de corrente degenerado é superior.

Um dos resultados de dimensionamento com os transistores M_5 e M_{c5} (Figura 3.3) foi adotado para o circuito final (Tabela 3.10 e Tabela 3.11). A topologia do circuito final, uma evolução da topologia de Huang, Lin e Lin (2006), é diferente das topologias apresentadas na literatura e apresenta as seguintes características: não contém amplificadores operacionais ou transistores bipolares, o que a torna mais simples; opera com baixas tensões de operação; a tensão de saída pode ser fixada em qualquer valor desejado e permite obter valores baixos de RL. Os resultados obtidos com este circuito foram:

- TC de 19 ppm/°C no intervalo de temperatura de -10 °C a 90 °C, com tensão de alimentação de 1,01 V;
- RL de 81 ppm/V no intervalo de 1,01 V a 2,5 V de tensão de alimentação à temperatura de 300 K;
- V_{REF} de 0,302 V, à temperatura de 300 K e com tensão de alimentação de 1,01 V;
- Mínima tensão de operação: 1,01 V à temperatura de 300 K;
- Consumo de potência de 4,2μW com tensão de alimentação de 1,01 V e
- Área de 0,061 mm².

É notável o valor da regulação de linha alcançado, que chega a ser até duas ordens de grandeza menor que os resultados de RL encontrados na literatura para topologias que fazem

a soma de corrente. Este resultado foi possível devido à topologia desenvolvida contendo o transistor M_5 e transistores *cascade* na fonte corrente PTAT e no subcircuito de saída, os quais minimizam o efeito de modulação do canal dos transistores que espelham corrente. Todos os demais critérios propostos para otimização foram atendidos.

Na tarefa de dimensionamento dos dispositivos da fonte de tensão de referência projetada, metaheurísticas se mostraram eficientes. Uma vez que a função objetivo está determinada, seu uso é facilmente estendido a outras topologias de circuitos de mesma natureza.

Como trabalhos futuros, podem ser citados:

- Implementação e teste do circuito projetado neste trabalho;
- Investigação da aplicação de outras metaheurísticas;
- Investigação de outras formas de aplicação de metaheurísticas. Por exemplo, consideração dos modelos de *worst speed*, *worst power* e *typical mean* simultaneamente na etapa de dimensionamento e
- Estudo da aplicação de metaheurísticas a outras etapas de projetos analógicos, como no desenvolvimento de novas topologias de circuitos.

Referências

AUSTRIAMICROSYSTEMS. **0.35 μ m CMOS C35 Design Rules**. Premstätten, Austria. 2003. (ENG-183 Rev 3.0).

AUSTRIAMICROSYSTEMS. **0.35 μ m CMOS Technology Selection Guide**, 2013. Disponível em: <<http://www.austriamicrosystems.com/eng/Products/Full-Service-Foundry/Process-Technology/CMOS/0.35-m-CMOS-Technology-Selection-Guide>>. Acesso em: 3 fev. 2013.

BAKER, R. J. **CMOS: Circuit Design, Layout and Simulation**. 2. ed. New York: Wiley-IEEE Press, 2004.

BANBA, H. et al. A CMOS Bandgap Reference Circuit with Sub-1-V Operation. **IEEE Journal of Solid-State Circuits**, Piscataway, NJ, v. 34, n. 5, p. 670-674, May 1999.

BROKAW, A. P. A Simple Three-Terminal IC Bandgap Reference. **IEEE Journal of Solid-State Circuits**, New York, v. 9, n. 6, p. 388-393, Dec 1974.

GALEANO, E. M. C.; OLMOS, A.; BOAS, A. L. V. A Very Low Power Area Efficient CMOS Only Bandgap Reference. In: IEEE SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEM DESIGN (SBCCD), 2012, Brasília. **Proceedings...** Piscataway, NJ: IEEE, 2012. p. 1-6.

GIELEN, G.; WALSCARTS, H.; SANSEN, W. Analog Circuit Design Optimization Based on Symbolic simulation and Simulated Annealing. **IEEE Journal of Solid-State Circuits**, Piscataway, NJ, v. 25, n. 3, p. 707-713, June 1990.

GIUSTOLISI, G. et al. A low-voltage low-power voltage reference based on subthreshold MOSFETs. **IEEE Journal of Solid-State Circuits**, Piscataway, NJ, v. 38, n. 1, p. 151-154, Jan 2003.

HOLLAND, J. H. **Adaptation in Natural and Artificial Systems**. Ann Arbor, MI: University of Michigan Press, 1975.

HOOKE, R.; JEEVES, T. A. "Direct Search" solution of numerical and statistical problems. **Journal of ACM**, New York, v. 8, n. 2, p. 212-229, April 1961.

HUANG, P. H.; LIN, H.; LIN, Y. T. A Simple Subthreshold CMOS Voltage Reference Circuit with Channel-length Modulation Compensation. **IEEE Transactions on Circuits and Systems II**, Piscataway, NJ, v. 53, n. 9, p. 882-885, 2006.

ITRS. International technology roadmap for semiconductors, Piscataway, NJ, p. 13-18, March 2005. Disponível em: <<http://www.itrs.net/Links/2009ITRS/Home2009.htm>>. Acesso em: 15 Jan 2010.

KIRKPATRICK, S.; GELATT, C. D.; VECCHI, M. P. Optimization by Simulated Annealing. **Science**, New York, v. 220, n. 4598, p. 671-680, May 1983.

KUIJK, K. E. A Precision Reference Voltage Source. **IEEE Journal of Solid-State Circuits**, New York, v. SC-8, n. 3, p. 222-226, June 1973.

LEUNG, K. N.; MOK, P. K. T. A CMOS Voltage Reference Based on Weighted ΔV_{gs} for CMOS Low-dropout Linear Regulators. **IEEE Journal of Solid-State Circuits**, Piscataway, NJ, v. 38, n. 1, p. 146-150, Jan 2003.

LIU, B. et al. A Memetic Approach to the Automatic Design of High-Performance Analog Integrated Circuits. **ACM Transactions on Design Automation of Electronic Systems**, New York, v. 14, n. 3, p. 42:1-42:24, May 2009.

MATEUS, J. et al. A 2.7uA Sub1-V Voltage Reference, 2008, Gramado, RS., 2008. p. 81-84.

MATHWORKS. Global Optimization Toolbox, 2013. Disponível em:
<www.mathworks.com/products/global-optimization/>. Acesso em: 3 Feb 2013.

MELLIAR-SMITH, C. M. et al. The transistor: an invention becomes a big business. **Proceedings of the IEEE**, Piscataway, NJ, v. 86, n. 1, p. 86-110, Jan 1998.

MOSIS. MOSIS Parametric Tests Results, 2009. Disponível em:
<ftp://ftp.mosis.com/pub/mosis/vendors/tsmc-018/t92y_mm_non_epi_thk_mtl-params.txt>. Acesso em: 03 Feb 2013.

NAVARRO, J.; ISHIBE, E. I. A sub-1V reference voltage supplier. In: IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS (ISCAS), 2011, Rio de Janeiro. **Proceedings...** Piscataway, NJ: IEEE, 2011. p. 2-4.

RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. 1. ed. New York: McGraw-Hill, 2001.

RINCÓN-MORA, G. A. **Voltage References**. 1. ed. New York: Wiley, John & Sons, 2001.

ROSS, I. M. The invention of the transistor. **Proceedings of the IEEE**, Piscataway, NJ, v. 86, n. 1, p. 7-28, Jan 1998.

SEMICONDUCTOR INDUSTRY ASSOCIATION. **The National Technology Roadmap for Semiconductors**. Semiconductor Industry Association (SIA). San Jose, CA. 2006.

TALBI, E.-G. **Metaheuristics: From Design to Implementation**. Hoboken, NJ: John Wiley & Sons, 2009.

TSIVIDIS, Y. **Operation and Modeling of the MOS transistor**. 2. ed. New York: McGraw-Hill, 1998.

TSIVIDIS, Y. P. Accurate Analysis of Temperature Effects in IC-VBE Characteristics with Application to Bandgap Reference Sources. **IEEE Journal of Solid-State Circuits**, Piscataway, NJ, v. 15, n. 6, p. 1076-1084, Dec 1980.

UENO, K. et al. A 300nW, 15ppm/°C, 20ppm/V CMOS Voltage Reference Circuit Consisting of Subthreshold MOSFETs. **IEEE Journal of Solid-State Circuits**, Piscataway, NJ, v. 44, n. 7, p. 2047-2054, July 2009.

WEBER, T. O.; VAN NOIJE, W. A. M. Design of Analog Integrated Circuits Using Simulated Annealing/Quenching with Crossovers and Particle Swarm Optimization. In: TSUZUKI, M. S. G. **Simulated Annealing**: Advances, Applications and Hybridizations. 1. ed. New York: InTech, 2012. Cap. 11, p. 219-244.

WIDLAR, R. New Development in IC Voltage Regulators. **IEEE Journal of Solid-State Circuits**, New York, v. SC-6, n. 1, p. 2-7, Feb 1971.

APÊNDICE A – Arquivos Matlab para cálculo da função objetivo e geração do arquivo de simulação

Arquivo fitness.m:

```

1    function sc = fitness(x, BestGA)
2
3    % Valores alvo para os criterios
4    global V_alvo;
5    global precisao;
6    global RL;
7    global TC;
8    global pPot;
9    global weakTrans;
10   global pesos;
11   global cont;
12   global circuito
13
14   % Intervalo de tensao para calculo da RL
15   global Vmin;
16   global Vmax;
17
18   % Intervalo de temperatura para calculo de TC
19   global Tmin;
20   global Tmax;
21
22   % Variaveis auxiliares
23   global Best
24   global BestGA;
25   global BestSA;
26   global BestPS;
27   global BestMM;
28   global genesLB;
29   global dif
30   global nvars;
31   global modo;
32
33   deltaT = Tmax - Tmin;
34   deltaV = Vmax - Vmin;
35   Areamax = (0.35 + 1.00) * 17;
36
37   xr = x.*dif+genesLB;
38   arq = fopen(['param'],'w');
39   param_mod(arq, xr);
40   fclose(arq);
41
42   % Conexao com o simulador Eldo
43   [~, b] = system (['eldoremote.exe 192.168.56.2 ' circuito ]);
44
45   disp('_____')
46   cont=cont +1;
47   fprintf('simulação = %d\n', cont);
48
49   % Le os resultados de simulacao
50   arq = fopen('circuito.ms0','r');
51   Meas0=LeMeas(arq, 0);
52   fclose(arq);
53   arq = fopen('circuito.ms1','r');
54   Meas1=LeMeas(arq, 0);
55   fclose(arq);
56

```

```

57 Meas = [Meas0; Meas1];
58
59 % Verifica se a simulacao gerou resultados
60 if length(Meas) >= (5+ length(weakTrans))
61
62 % Calculos dos criterios
63 % TC
64 if (Meas(2) <= 0) FTC = Inf('double'); TCm = Inf('double');
65 else
66     TCm = (Meas(1)/Meas(2))*(1/deltaT)*(1e6);
67     FTC = (TCm-TC)/TC;
68     if(TCm < TC) FTC = 0;
69 end
70 end
71
72 % Vref
73 if (Meas(2) <= 0) FVref = Inf('double');
74 else FVref = abs((Meas(2)-V_alvo)/Meas(2));
75 if (FVref <= precisao) FVref = 0;
76 end;
77 end
78
79 % RL
80 if (Meas(3) <= 0) FRL = Inf('double'); RLm = Inf('double');
81 else
82     RLm = (abs(Meas(3)-Meas(4))/deltaV)*(1/Meas(3))*1e6;
83     FRL = (RLm-RL)/RL;
84     if (RLm < RL) FRL = 0;
85 end
86 end
87
88 % Potencia
89 Fpot= -1.0e6*Meas(5)*(Vmax+Vmin)/(pPot*2);
90
91 % Fraca inversao
92 Weakin=0;
93 for i= 1: length(weakTrans);
94     j= 5+i;
95     Meas(j)= abs(Meas(j));
96     if Meas(j)> 1.2 Weakin=10*Meas(j)+Weakin;
97 end;
98 end;
99
100 % Score
101 sc = ( pesos(1)*FRL + pesos(2)*FTC + pesos(3)*FVref + pesos(4)*Fpot + ...
102 pesos(5)*Weakin)^2;
103
104 % Salva a melhor solucao
105 if(Best.score > sc)
106     beep;
107     Best.score = sc;
108     Best.parameters = xr;
109     fprintf('*>');
110     arq = fopen([circuito '\paramop'],'w');
111     param_mod(arq,xr);
112     fprintf(arq,'*Score=%.2g TC= %.5gppm (FTC= %.2g) RL = %.5gppm ...
113 FRL = %.2g) Vref =%.3fV (FVref =%.2f) Pot.=%.5guW ...
114 Fpot= %.2g)\n\n',sc, TCm, FTC, RLm, FRL, Meas(2), ...
115 FVref, -1.0e6*Meas(5)*(Vmax+Vmin)/2, Fpot);
116 fclose(arq);
117
118 switch modo
119     case 'GA'
120         BestGA = Best;
121     case 'SA'
122         BestSA = Best;
123     case 'PS'
124         BestPS = Best;

```

```

125         case 'MM'
126             BestMM = Best;
127         end;
128
129     end;
130
131     % Resultados
132     fprintf('Score=%.3g TC= %.2gppm (FTC= %.2g) RL = %.2gppm ...
133     (FRL = %.2g) Vref =%.2fV (FVref =%.2f) Pot.=%.2guW ...
134     (Fpot= %.2g)\n\n',sc, TCm, FTC, Rlm, FRL, Meas(2), ...
135     FVref, -1.0e6*Meas(5)*(Vmax+Vmin)/2, Fpot);
136
137
138     % Problemas na simulacao
139     else sc = inf('double');
140         fprintf('Score=%.3g \n\n',sc);
141     end;
142
143     % used parameters
144     for i = 1:nvars
145         if (mod(i, 10) == 0) fprintf('\n');
146         end
147         fprintf('X%i= %1.1f ', i, xr(i));
148     end;
149     fprintf('\n');
150
151     end

```

Arquivo LeMeas.m:

```

1     function [M] = LeMeas(arq, n) % pula n linhas e le numeros M
2     for i=1:n
3         fgets(arq);
4     end;
5     M=fscanf(arq,'%f');
6     end

```

Arquivo param_mod.m:

```

1     function param_mod(arq,x)
2
3     global modelo;
4     global Vmin;
5     global Vmax;
6     global Tmin;
7     global Tmax;
8     global const;
9     global nvars;
10    global nconst;
11    global V_alvo;
12    global weakTrans;
13
14    fprintf(arq, '.include %s\r\n', modelo);
15    fprintf(arq, '.param Vref = %1.2f\r\n', V_alvo);
16
17    % Coloca os parametros
18    fprintf(arq, '.Param ');
19    for i = 1:nvars
20        if (mod(i, 7) == 0) fprintf(arq, '\r\n.Param ');
21        end
22        fprintf(arq, 'X%i= %1.3f ', i, x(i));
23    end;
24    fprintf(arq, '\r\n');
25
26    % Coloca as constantes

```

```

27     fprintf(arq, '.Param ');
28     for i = 1:nconst
29         if (mod(i, 7) == 0) fprintf(arq, '\r\n.Param ');
30         end
31         fprintf(arq, 'M%i= %1.2f ', i, const(i));
32     end;
33     fprintf(arq, '\r\n');
34
35     % Comando para simulacao variando a temperatura
36     fprintf(arq, '.DC TEMP %1.1f %1.1f %1.1f\r\n', Tmin, Tmax, 1);
37
38     % Comando para medida de TC e Vref
39     fprintf(arq, '.MEASURE DC m1_deltaT PP V(s)\r\n');
40     fprintf(arq, '.MEASURE DC m2_Vref AVG V(s)\r\n\r\n');
41
42     fprintf(arq, '.alter\r\n');
43
44     % Comando para simulacao variando o VDD
45     fprintf(arq, '.DC Vdd %1.2fV %1.2fV %1.2fV\r\n', 0.5, 3.0, 0.01);
46
47     % Comandos para medida de RL
48     fprintf(arq, '.MEASURE DC m3_Vpp PP v(s) from=%1.2f to=%1.2f\r\n', ...
49         Vmin, Vmax);
50     fprintf(arq, '.MEASURE DC m4_Vref AVG v(s) from=%1.2f to=%1.2f\r\n', ...
51         Vmin, Vmax);
52
53     % Comando para medida de potencia
54     fprintf(arq, '.MEASURE DC m5_cur find I(Vdd) when v(Vd) = %1.2f\r\n', ...
55         (Vmax+Vmin)/2);
56
57     % Comandos para medidas de fraca inversao
58     for i= 1: length(weakTrans);
59         fprintf(arq, '.MEASURE DC %s_weakp2 find ' ...
60             'par(''((abs(I1(%s)))/(26m*(1+Lx9(%s)/Lx7(%s))) - ' ...
61             'Lx7(%s)/Lx7(%s))''') when v(Vd) = %1.2f\r\n', ...
62             weakTrans{i,1}, weakTrans{i,1}, weakTrans{i,1}, ...
63             weakTrans{i,1}, weakTrans{i,1 }, weakTrans{i,1 }, ...
64             (Vmax+Vmin)/2);
65     end;
66
67     end

```


APÊNDICE B – Arquivo SPICE com a descrição e o dimensionamento do circuito final para simulação

```

1      ** Fonte de tensao de referencia **
2
3      .lib $AMS_DIR/eldo/c35/wc53.lib mc
4      .include $AMS_DIR/eldo/c35/profile.opt
5      .option NOASCII
6      .option MODWL
7      .option ENGNOT
8      .option AEX
9
10     ** Parametros de simulação **
11     *.option precise anal
12     .option SST_MTHREAD=1
13     * Do not allow SOR, always use Newton method:
14     .OPTIONS NEWTON
15     * Set Newton accuracy options:
16     .OPTIONS VNTOL=1.e-6 ITOL=0.1e-7 RELTOL=1.0e-4
17     * TRANSIENT OPTIONS
18     * Set LTE time-step control:
19     .OPTIONS QTRUNC
20     * Set Gear integration with LTE time-step control:
21     .OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
22     * Set Accuracy options for LTE time-step control
23     .OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3
24
25
26     .Param M1= 0.10
27     .Param M2= 3.00
28     .Param M3= 3.00
29     .Param X1= 211.854
30     .Param X2= 213.501
31     .Param X3= 11.954
32     .Param X4= 140.091
33     .Param X5= 3.873
34     .Param X6= 1.671
35     .Param X7= 498.982
36     .Param X8= 453.736
37     .Param X9= 105.574
38     .Param X10= 3.593
39     .Param X11= 3.317
40     .Param X12= 204.998
41     .Param X13= 55.675
42     .Param X14= 19.995
43     .Param X15= 219.956
44     .Param X16= 15.640
45     .Param X17= 2.178
46     .Param X18= 182.187
47     .Param X19= 26.627
48     .Param X20= 18.377
49     .Param X21= 203.314
50     .Param X22= 101.052
51     .Param X23= 3.763
52
53     Vd vd 0 1.5
54
55     ** PTAT **
56     M6    vd  b  f    vd  MODP    w='X9*1u'  l='X10*1u'  M=M3
57     M7    vd  b  b    vd  MODP    w='X9*1u'  l='X10*1u'
58     M8    0   d  d    0   MODN    w='X15*1u' l='X16*1u'

```

```

59  M9      j  d  e  0  MODN  w='X15*1u' l='X16*1u'
60  Mc1     f  a  d  vd  MODP  w='X9*1u'  l='X11*1u'  M=M3
61  Mpol1  vd  a  a  vd  MODP  w='X13*1u' l='X14*1u'
62  Mpol2   0  d  a  0  MODN  w='X18*1u' l='X16*1u'
63  Mc2     e  c  b  0  MODN  w='X15*1u' l='X17*1u'
64  Mpol3  vd  b  c  vd  MODP  w='X12*1u' l='X10*1u'
65  Mpol4   0  c  c  0  MODN  w='X19*1u' l='X20*1u'
66  xR1     0  j              RPOLYH w=4u      l='(X21*1k)*4u/1.2k'
67
68  ** CTAT **
69  M1      vd  b  u  vd  MODP  w='X9*1u'  l='X10*1u'  M=M1
70  M2      vd  w  w  vd  MODP  w='X1*1u'  l='X10*1u'  M='round(X6)'
71  M3      0  x  u  0  MODN  w='X2*1u'  l='X3*1u'
72  M4      x  u  w  0  MODN  w='X4*1u'  l='X5*1u'
73  M5      vd  b  x  vd  MODP  w='X22*1u' l='X10*1u'
74  xR2     x  0              RPOLYH w=4u      l='(X7*1k)*4u/1.2k'
75
76  ** Saida **
77  M10     vd  b  t  vd  MODP  w='X9*1u'  l='X10*1u'  M=M2
78  Mc3     t  a  s  vd  MODP  w='X9*1u'  l='X11*1u'  M=M2
79  M11     vd  w  r  vd  MODP  w='X1*1u'  l='X10*1u'
80  Mc4     r  a  s  vd  MODP  w='X1*1u'  l='X11*1u'
81  xR3     s  0              RPOLYH w=4u      l='(X8*1k)*4u/1.2k'
82
83  ** TC **
84  .DC TEMP -10 90 1
85  .MC 10000 NBBINS=100
86  .PROBE DC V(s)
87  .MEASURE DC deltaT PP V(s)
88  .MEASURE DC Vref AVG V(s)
89  .MEASURE DC TC param='(deltaT/130)*(1/Vref)*1e6'
90
91  .alter
92
93  ** RL **
94  .DC Vd 0.0 3.0 0.01
95  .MC 10000 NBBINS=100 RLfinal
96  .MEASURE DC v0 find v(s) when v(Vd) = 1.2
97  .MEASURE DC v33 find v(s) when v(Vd) = 2.5
98  .MEASURE DC v175 find v(s) when v(Vd) = 1.75
99  .MEASURE DC Icons find I(vd) when v(Vd) = 1.75
100 .PROBE DC V(s)
101 .MEASURE DC RL param='((v33-v0)/1.3)*(1/V0)*1e6'
102
103 ** Fraca inversao **
104
105 .MEASURE DC Mn1_weakp2 find par('((abs(I1(Mn1)))/(26m*(1+Lx9(Mn1)/Lx7(Mn1)))-
106 + Lx7(Mn1))/Lx7(Mn1)') when v(Vd) = 1.75
107
108 ** Potencia **
109
110 .MEASURE DC m5_cur find I(Vd) when v(Vd) = 1.75
111 .MEASURE DC Power param='-m5_cur*1.75'
112
113 *RL calculado peak to peak*
114 .MEASURE DC deltaV PP V(s) from = 1.2 to = 2.5
115 .MEASURE DC RLfinal param='(deltaV/1.3)*(1/V33)*1e6'
116
117 .end

```

ANEXO A – Modelo de transistores

Modelos SPICE BSIM3v3 compatíveis com o simulador Eldo da Mentor Graphics fornecidos pela AMS para a tecnologia de 0,35 μm

Modelo do transistor NMOS para simulação de Monte Carlo

```

1  .MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
2  * -----
3  ***** SIMULATION PARAMETERS *****
4  * -----
5  * format      : ELDO, AccusimII, Continuum
6  * model       : MOS BSIM3v3
7  * process     : C35
8  * revision    : 4.0;
9  * extracted   : B10866 ; 2002-12; ese(5487)
10 * doc#        : ENG-182 REV_4
11 * -----
12 *                                     MONTE-CARLO SIMULATION
13 * -----
14 *
15 +THMLEV =0
16 *      *** Flags ***
17 +NOIMOD =3  FLKLEV =0
18 +MOBMOD =1.000e+00  CAPMOD =2.000e+00  VERSION=3.240e+00  NQSMOD =0.000e+00
19 +DERIV  =1
20 *      *** Threshold voltage related model parameters ***
21 +K1      =4.9550e-01
22 +K2      =3.5770e-02
23 +K3      =-1.136e+00  K3B      =-4.399e-01
24 +NPEAK   =2.6110e+17  LOT/UNIFORM=4.8300e+16
25 +VTH0    ={4.979e-01+DELVTON}  DEV/GAUSS={0.58e-08/SQRT(e(*,L)*e(*,W))}
26 +VOFF    =-8.925e-02  DVT0     =5.000e+01  DVT1     =1.039e+00
27 +DVT2    =-8.375e-03  KETA     =2.032e-02
28 +PSCBE1  =1.000e+30  PSCBE2  =1.000e-06
29 +DVT0W   =1.089e-01  DVT1W   =6.671e+04  DVT2W   =-1.352e-02
30 *      *** Mobility related model parameters ***
31 +UA      =4.705e-12  UB      =2.137e-18  UC      =1.000e-20
32 +U0      ={4.758e+02+DELUON}  DEV/GAUSS={({4.758e+02+DELUON})*1.4e-
33 9/SQRT(e(*,L)*e(*,W))}
34 *      *** Subthreshold related parameters ***
35 +DSUB    =5.000e-01  ETA0    =1.415e-02  ETAB    =-1.221e-01
36 +NFACTOR =4.136e-01
37 *      *** Saturation related parameters ***
38 +EM      =4.100e+07
39 +PCLM    =6.948e-01
40 +PDIBLC1 =3.571e-01  PDIBLC2=2.065e-03  DROUT   =5.000e-01
41 +A0      =2.541e+00
42 +A1      =0.000e+00  A2      =1.000e+00
43 +PVAG    =0.000e+00  VSAT    =1.338e+05  AGS      =2.408e-01
44 +B0      =4.301e-09  B1      =0.000e+00  DELTA   =1.442e-02
45 +PDIBLCB =3.222e-01
46 *      *** Geometry modulation related parameters ***
47 +W0      =2.673e-07  DLC      =3.0000e-08
48 +DWC     =9.403e-08  DWB      =0.000e+00  DWG      =0.000e+00
49 +LL      =0.000e+00  LW       =0.000e+00  LWL      =0.000e+00
50 +LLN     =1.000e+00  LWN      =1.000e+00  WL       =0.000e+00
51 +WW      =-1.297e-14  WWL      =-9.411e-21  WLN      =1.000e+00
52 +WWN     =1.000e+00
53 *      *** Temperature effect parameters ***
54 +AT      =3.300e+04  UTE      =-1.800e+00

```

```

54 +KT1    =-3.302e-01  KT2    =2.200e-02  KT1L    =0.000e+00
55 +UA1    =0.000e+00  UB1    =0.000e+00  UC1    =0.000e+00
56 +PRT    =0.000e+00
57 *      *** Overlap capacitance related and dynamic model parameters ***
58 +CGSO    =CGSDON
59 +CGDO    =CGSDON      CGBO    =CGBON
60 +CGDL    =1.310e-10  CGSL    =1.310e-10  CKAPPA =6.000e-01
61 +CF      =0.000e+00  ELM    =5.000e+00
62 +XPART   =1.000e+00  CLC    =1.000e-15  CLE    =6.000e-01
63 +NOFF    =1.000e+00  VOFFCV =0.000e+00
64 *      *** Parasitic resistance and capacitance related model parameters
    ***
65 +RDSW    =3.449e+02
66 +CDSC    =0.000e+00  CDSCB  =1.500e-03  CDSCD  =1.000e-03
67 +PRWB    =-2.416e-01  PRWG   =0.000e+00  CIT    =4.441e-04
68 *      *** Process and parameters extraction related model parameters ***
69 +TOX     = {7.575e-09+DELGTGOX}
70 +NGATE    =0.000e+00
71 +NLX     =1.888e-07
72 +XL      = {0.000e+00+DELL}  XW      = {0.000e+00+DELW}
73 *      *** Substrate current related model parameters ***
74 +ALPHA0   =2.600e-06  ALPHA1 =5.000e+00  BETA0  =2.100e+01
75 *      *** Noise effect related model parameters ***
76 +AF       =1.507e+00  KF      =2.170e-26  EF      =1.000e+00
77 +NOIA     =1.121e+19  NOIB    =5.336e+04  NOIC   =-5.892e-13
78 *      *** Common extrinsic model parameters ***
79 +ALEV     =2          RLEV    =2
80 +RD       =0.000e+00
81 +RS       =0.000e+00
82 +RSH      = {7.000e+01+DELRDIFFN}
83 +RDC      =0.000e+00
84 +RSC      =0.000e+00
85 +LD       =-5.005e-08
86 +WD       =9.403e-08
87 +LDIF     =0.000e+00
88 +HDIF     =8.000e-07  WMLT    =1.000e+00
89 +LMLT     =1.000e+00  DEL      =0.000e+00  XJ      =3.000e-07
90 +DIOLEV   =4          JS      =5.100e-07
91 +JSW      =0.600e-12
92 +IS       =0.000e+00  N        =1.000e+00
93 +DCAPLEV  =2          CBD      =0.000e+00  CBS     =0.000e+00
94 +CJ       =9.3950e-04  LOT/UNIFORM=1.1250e-04
95 +CJSW     =2.5000e-10  LOT/UNIFORM=3.0000e-11
96 +FC       =0.000e+00
97 +MJ       =3.400e-01
98 +MJSW     =2.300e-01
99 +TT       =0.000e+00
100 +XTI      =2.026e+00  PB       =6.900e-01
101 +PBSW     =6.900e-01

```

Modelo do transistor PMOS para simulação de Monte Carlo

```

1 .MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
2 * -----
3 ***** SIMULATION PARAMETERS *****
4 * -----
5 * format      : ELDO, AccusimII, Continuum
6 * model       : MOS BSIM3v3
7 * process     : C35
8 * revision    : 4.0;
9 * extracted   : C64685 ; 2002-12; ese(5487)
10 * doc#        : ENG-182 REV_4
11 * -----
12 *             MONTE-CARLO SIMULATION
13 * -----
14 *
15 +THMLEV =0

```

```

16  *          *** Flags ***
17  +NOIMOD =3   FLKLEV =0
18  +MOBMOD =1.000e+00  CAPMOD =2.000e+00  VERSION=3.24e+00  NQSMOD =0.000e+00
19  +DERIV  =1
20  *          *** Threshold voltage related model parameters ***
21  +K1      =5.5450e-01
22  +K2      =-4.721e-02
23  +K3      =1.103e+01  K3B      =-7.580e-01
24  +NPEAK   =9.2410e+16  LOT/UNIFORM=2.2190e+16
25  +VTH0    ={-6.915e-01+DELVTOP}  DEV/GAUSS={1.05e-08/SQRT(e(*,L)*e(*,W))}
26  +VOFF    =-1.170e-01  DVT0    =1.650e+00  DVT1    =3.868e-01
27  +DVT2    =1.659e-02  KETA    =-1.440e-02
28  +PSCBE1  =1.000e+30  PSCBE2 =1.000e-06
29  +DVT0W   =1.879e-01  DVT1W  =7.335e+04  DVT2W   =-6.312e-03
30  *          *** Mobility related model parameters ***
31  +UA      =5.394e-10  UB      =1.053e-18  UC      =1.000e-20
32  +U0      ={1.482e+02+DELUOP}  DEV/GAUSS={{(1.482e+02+DELUOP)}*2.8e-
33  9/SQRT(e(*,L)*e(*,W))}
34  *          *** Subthreshold related parameters ***
35  +DSUB     =5.000e-01  ETA0    =2.480e-01  ETAB    =-3.917e-03
36  +NFACTOR=1.214e+00
37  *          *** Saturation related parameters ***
38  +EM       =4.100e+07
39  +PCLM     =3.184e+00
40  +PDIBLC1 =1.000e-04  PDIBLC2=1.000e-20  DROUT   =5.000e-01
41  +A0       =5.850e-01
42  +A1       =0.000e+00  A2       =1.000e+00
43  +PVAG     =0.000e+00  VSAT     =1.158e+05  AGS      =2.468e-01
44  +B0       =8.832e-08  B1       =0.000e+00  DELTA    =1.000e-02
45  +PDIBLCB =1.000e+00
46  *          *** Geometry modulation related parameters ***
47  +W0       =1.000e-10  DLC       =2.4500e-08
48  +DWC      =3.449e-08  DWB       =0.000e+00  DWG      =0.000e+00
49  +LL       =0.000e+00  LW        =0.000e+00  LWL      =0.000e+00
50  +LLN      =1.000e+00  LWN       =1.000e+00  WL       =0.000e+00
51  +WW       =1.894e-16  WWL       =-1.981e-21  WLN      =1.000e+00
52  +WWN      =1.040e+00
53  *          *** Temperature effect parameters ***
54  +AT       =3.300e+04  UTE       =-1.300e+00
55  +KT1      =-5.403e-01  KT2       =2.200e-02  KT1L     =0.000e+00
56  +UA1      =0.000e+00  UB1       =0.000e+00  UC1      =0.000e+00
57  +PRT      =0.000e+00
58  *          *** Overlap capacitance related and dynamic model parameters ***
59  +CGSO     =CGSDOP
60  +CGDO     =CGSDOP  CGBO      =CGBOP
61  +CGDL     =1.080e-10  CGSL      =1.080e-10  CKAPPA   =6.000e-01
62  +CF       =0.000e+00  ELM       =5.000e+00
63  +XPART    =1.000e+00  CLC       =1.000e-15  CLE      =6.000e-01
64  +NOFF     =1.000e+00  VOFFCV    =0.000e+00
65  *          *** Parasitic resistance and capacitance related model parameters ***
66  +RDSW     =1.033e+03
67  +CDSC     =2.589e-03  CDSCB     =2.943e-04  CDSCD    =4.370e-04
68  +PRWB     =-9.731e-02  PRWG      =1.477e-01  CIT      =0.000e+00
69  *          *** Process and parameters extraction related model parameters ***
70  +TOX      ={7.754e-09+DELTXOX}
71  +NGATE     =0.000e+00
72  +NLX      =1.770e-07
73  +XL       ={0.000e+00+DELL}  XW        ={0.000e+00+DELLW}
74  *          *** Substrate current related model parameters ***
75  +ALPHA0   =1.000e-09  ALPHA1    =1.500e+00  BETA0    =3.250e+01
76  *          *** Noise effect related model parameters ***
77  +AF       =1.461e+00  KF        =1.191e-26  EF       =1.000e+00
78  +NOIA     =5.245e+17  NOIB      =4.816e+03  NOIC     =8.036e-13
79  *          *** Common extrinsic model parameters ***
80  +ALEV     =2          RLEV      =2
81  +RD       =0.000e+00
82  +RS       =0.000e+00

```

```

82 +RSH      = {1.290e+02+DELRDIFFP}
83 +RDC      = 0.000e+00
84 +RSC      = 0.000e+00
85 +LD       = -7.130e-08
86 +WD       = 3.449e-08
87 +LDIF     = 0.000e+00
88 +HDIF     = 8.000e-07 WMLT    = 1.000e+00
89 +LMLT     = 1.000e+00 DEL     = 0.000e+00 XJ      = 3.000e-07
90 +DIOLEV   = 4 JS          = 2.800e-07
91 +JSW      = 3.700e-13
92 +IS       = 0.000e+00 N      = 1.000e+00
93 +DCAPLEV  = 2 CBD         = 0.000e+00 CBS      = 0.000e+00
94 +CJ       = 1.3600e-03 LOT/UNIFORM=1.6300e-04
95 +CJSW     = 3.1950e-10 LOT/UNIFORM=3.8500e-11
96 +FC       = 0.000e+00
97 +MJ       = 5.400e-01
98 +MJSW     = 4.600e-01
99 +TT       = 0.000e+00
100 +XTI     = 1.973e+00 PB     = 1.020e+00
101 +PSW      = 1.020e+00

```

Modelo típico do transistor NMOS

```

1 .MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
2 * -----
3 ***** SIMULATION PARAMETERS *****
4 * -----
5 * format      : ELDO, AccusimII, Continuum
6 * model       : MOS BSIM3v3
7 * process     : C35
8 * revision    : 4.0;
9 * extracted   : B10866 ; 2002-12; ese(5487)
10 * doc#        : ENG-182 REV_4
11 * -----
12 *                                     TYPICAL MEAN CONDITION
13 * -----
14 *
15 +THMLEV =0
16 *      *** Flags ***
17 +NOIMOD =3 FLKLEV =0
18 +MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.240e+00 NQSMOD =0.000e+00
19 +DERIV   =1
20 *      *** Threshold voltage related model parameters ***
21 +K1      =5.0296e-01
22 +K2      =3.3985e-02 K3      =-1.136e+00 K3B    =-4.399e-01
23 +NPEAK   =2.611e+17 VTH0    =4.979e-01
24 +VOFF    =-8.925e-02 DVT0    =5.000e+01 DVT1    =1.039e+00
25 +DVT2    =-8.375e-03 KETA    =2.032e-02
26 +PSCBE1  =1.000e+30 PSCBE2  =1.000e-06
27 +DVT0W   =1.089e-01 DVT1W   =6.671e+04 DVT2W   =-1.352e-02
28 *      *** Mobility related model parameters ***
29 +UA      =4.705e-12 UB      =2.137e-18 UC      =1.000e-20
30 +U0      =4.758e+02
31 *      *** Subthreshold related parameters ***
32 +DSUB    =5.000e-01 ETA0    =1.415e-02 ETAB    =-1.221e-01
33 +NFACTOR =4.136e-01
34 *      *** Saturation related parameters ***
35 +EM      =4.100e+07 PCLM    =6.948e-01
36 +PDIBLC1 =3.571e-01 PDIBLC2 =2.065e-03 DROUT   =5.000e-01
37 +A0      =2.541e+00 A1      =0.000e+00 A2      =1.000e+00
38 +PVAG    =0.000e+00 VSAT    =1.338e+05 AGS      =2.408e-01
39 +B0      =4.301e-09 B1      =0.000e+00 DELTA    =1.442e-02
40 +PDIBLCB =3.222e-01
41 *      *** Geometry modulation related parameters ***
42 +W0      =2.673e-07 DLC      =3.0000e-08
43 +DWC     =9.403e-08 DWB      =0.000e+00 DWG      =0.000e+00
44 +LL      =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00

```

```

45 +LLN      =1.000e+00 LWN      =1.000e+00 WL      =0.000e+00
46 +WW       =-1.297e-14 WWL     =-9.411e-21 WLN     =1.000e+00
47 +WWN      =1.000e+00
48 *          *** Temperature effect parameters ***
49 +AT        =3.300e+04 UTE      =-1.800e+00
50 +KT1       =-3.302e-01 KT2     =2.200e-02 KT1L     =0.000e+00
51 +UA1       =0.000e+00 UB1     =0.000e+00 UC1     =0.000e+00
52 +PRT       =0.000e+00
53 *          *** Overlap capacitance related and dynamic model parameters ***
54 +CGSO      =1.200e-10
55 +CGDO      =1.200e-10 CGBO     =1.100e-10
56 +CGDL      =1.310e-10 CGSL     =1.310e-10 CKAPPA =6.000e-01
57 +CF        =0.000e+00 ELM      =5.000e+00
58 +XPART     =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
59 +NOFF      =1.000e+00 VOFFCV   =0.000e+00
60 *          *** Parasitic resistance and capacitance related model parameters ***
61 +RDSW      =3.449e+02
62 +CDSC      =0.000e+00 CDSCB    =1.500e-03 CDSCD    =1.000e-03
63 +PRWB      =-2.416e-01 PRWG     =0.000e+00 CIT      =4.441e-04
64 *          *** Process and parameters extraction related model parameters ***
65 +TOX       =7.575e-09 NGATE    =0.000e+00
66 +NLX       =1.888e-07
67 +XL        =0.000e+00 XW       =0.000e+00
68 *          *** Substrate current related model parameters ***
69 +ALPHA0    =2.600e-06 ALPHA1   =5.000e+00 BETA0     =2.100e+01
70 *          *** Noise effect related model parameters ***
71 +AF        =1.507e+00 KF       =2.170e-26 EF       =1.000e+00
72 +NOIA      =1.121e+19 NOIB     =5.336e+04 NOIC     =-5.892e-13
73 *          *** Common extrinsic model parameters ***
74 +ALEV      =2                RLEV  =2
75 +RD        =0.000e+00 RS       =0.000e+00 RSH      =7.000e+01
76 +RDC       =0.000e+00 RSC      =0.000e+00 LD       =-5.005e-08
77 +WD        =9.403e-08
78 +LDIF      =0.000e+00 HDIF     =8.000e-07 WMLT     =1.000e+00
79 +LMLT      =1.000e+00 DEL      =0.000e+00 XJ       =3.000e-07
80 +DIOLEV    =4                JS     =5.100e-07 JSW     =0.600e-12
81 +IS        =0.000e+00 N        =1.000e+00
82 +DCAPLEV=2                CBD     =0.000e+00 CBS     =0.000e+00
83 +CJ        =8.400e-04 CJSW     =2.500e-10 FC       =0.000e+00
84 +MJ        =3.400e-01 MJSW     =2.300e-01 TT       =0.000e+00
85 +XTI       =2.026e+00 PB       =6.900e-01 PBSW     =6.900e-01

```

Modelo típico do transistor PMOS

```

1 .MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
2 * -----
3 ***** SIMULATION PARAMETERS *****
4 * -----
5 * format      : ELDO, AccusimII, Continuum
6 * model       : MOS BSIM3v3
7 * process    : C35
8 * revision   : 4.0;
9 * extracted  : C64685 ; 2002-12; ese(5487)
10 * doc#       : ENG-182 REV_4
11 * -----
12 *                               TYPICAL MEAN CONDITION
13 * -----
14 *
15 +THMLEV =0
16 *          *** Flags ***
17 +NOIMOD =3 FLKLEV =0
18 +MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.24e+00 NQSMOD =0.000e+00
19 +DERIV  =1
20 *          *** Threshold voltage related model parameters ***
21 +K1      =5.9959e-01
22 +K2      =-6.038e-02 K3      =1.103e+01 K3B     =-7.580e-01

```

```

23 +NPEAK =9.240e+16 VTH0 =-6.915e-01
24 +VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01
25 +DVT2 =1.659e-02 KETA =-1.440e-02
26 +PSCBE1 =1.000e+30 PSCBE2 =1.000e-06
27 +DVT0W =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
28 * *** Mobility related model parameters ***
29 +UA =5.394e-10 UB =1.053e-18 UC =1.000e-20
30 +U0 =1.482e+02
31 * *** Subthreshold related parameters ***
32 +DSUB =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
33 +NFACTOR=1.214e+00
34 * *** Saturation related parameters ***
35 +EM =4.100e+07 PCLM =3.184e+00
36 +PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
37 +A0 =5.850e-01 A1 =0.000e+00 A2 =1.000e+00
38 +PVAG =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
39 +B0 =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02
40 +PDIBLCB=1.000e+00
41 * *** Geometry modulation related parameters ***
42 +W0 =1.000e-10 DLC =2.4500e-08
43 +DWC =3.449e-08 DWB =0.000e+00 DWG =0.000e+00
44 +LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
45 +LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
46 +WW =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00
47 +WWN =1.040e+00
48 * *** Temperature effect parameters ***
49 +AT =3.300e+04 UTE =-1.300e+00
50 +KT1 =-5.403e-01 KT2 =2.200e-02 KT1L =0.000e+00
51 +UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
52 +PRT =0.000e+00
53 * *** Overlap capacitance related and dynamic model parameters ***
54 +CGSO =8.600e-11
55 +CGDO =8.600e-11 CGBO =1.100e-10
56 +CGDL =1.080e-10 CGSL =1.080e-10 CKAPPA =6.000e-01
57 +CF =0.000e+00 ELM =5.000e+00
58 +XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
59 +NOFF =1.000e+00 VOFFCV =0.000e+00
60 * *** Parasitic resistance and capacitance related model parameters
***
61 +RDSW =1.033e+03
62 +CDSC =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
63 +PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
64 * *** Process and parameters extraction related model parameters ***
65 +TOX =7.754e-09 NGATE =0.000e+00
66 +NLX =1.770e-07
67 +XL =0.000e+00 XW =0.000e+00
68 * *** Substrate current related model parameters ***
69 +ALPHA0 =1.000e-09 ALPHA1 =1.500e+00 BETA0 =3.250e+01
70 * *** Noise effect related model parameters ***
71 +AF =1.461e+00 KF =1.191e-26 EF =1.000e+00
72 +NOIA =5.245e+17 NOIB =4.816e+03 NOIC =8.036e-13
73 * *** Common extrinsic model parameters ***
74 +ALEV =2 RLEV =2
75 +RD =0.000e+00 RS =0.000e+00 RSH =1.290e+02
76 +RDC =0.000e+00 RSC =0.000e+00 LD =-7.130e-08
77 +WD =3.449e-08
78 +LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
79 +LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
80 +DIOLEV =4 JS =2.800e-07 JSW =3.700e-13
81 +IS =0.000e+00 N =1.000e+00
82 +DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
83 +CJ =1.360e-03 CJSW =3.500e-10 FC =0.000e+00
84 +MJ =5.400e-01 MJSW =4.600e-01 TT =0.000e+00
85 +XTI =1.973e+00 PB =1.020e+00 PBSW =1.020e+00

```


Modelos SPICE BSIM3v3 compatíveis com o simulador Eldo da Mentor Graphics fornecidos pela MOSIS para a tecnologia TSMC 0,18 μ m

Modelo típico do transistor NMOS

1	.MODEL CMOSN NMOS (		LEVEL	= 49
2	+VERSION = 3.1	TNOM = 27	TOX	= 4.1E-9
3	+XJ = 1E-7	NCH = 2.3549E17	VTH0	= 0.3694303
4	+K1 = 0.5789116	K2 = 1.110723E-3	K3	= 1E-3
5	+K3B = 0.0297124	W0 = 1E-7	NLX	= 2.037748E-7
6	+DVT0W = 0	DVT1W = 0	DVT2W	= 0
7	+DVT0 = 1.2953626	DVT1 = 0.3421545	DVT2	= 0.0395588
8	+U0 = 293.1687573	UA = -1.21942E-9	UB	= 2.325738E-18
9	+UC = 7.061289E-11	VSAT = 1.676164E5	A0	= 2
10	+AGS = 0.4764546	B0 = 1.617101E-7	B1	= 5E-6
11	+KETA = -0.0138552	A1 = 1.09168E-3	A2	= 0.3303025
12	+RDSW = 105.6133217	PRWG = 0.5	PRWB	= -0.2
13	+WR = 1	WINT = 2.885735E-9	LINT	= 1.715622E-8
14	+XL = 0	XW = -1E-8	DWG	= 2.754317E-9
15	+DWB = -3.690793E-9	VOFF = -0.0948017	NFACTOR	= 2.1860065
16	+CIT = 0	CDSC = 2.4E-4	CDSCD	= 0
17	+CDSCB = 0	ETA0 = 2.665034E-3	ETAB	= 6.028975E-5
18	+DSUB = 0.0442223	PCLM = 1.746064	PDIBLC1	= 0.3258185
19	+PDIBLC2 = 2.701992E-3	PDIBLCB = -0.1	DROUT	= 0.9787232
20	+PSCBE1 = 4.494778E10	PSCBE2 = 3.672074E-8	PVAG	= 0.0122755
21	+DELTA = 0.01	RSH = 7	MOBMOD	= 1
22	+PRT = 0	UTE = -1.5	KT1	= -0.11
23	+KT1L = 0	KT2 = 0.022	UA1	= 4.31E-9
24	+UB1 = -7.61E-18	UC1 = -5.6E-11	AT	= 3.3E4
25	+WL = 0	WLN = 1	WW	= 0
26	+WWN = 1	WWL = 0	LL	= 0
27	+LLN = 1	LW = 0	LWN	= 1
28	+LWL = 0	CAPMOD = 2	XPART	= 0.5
29	+CGDO = 8.58E-10	CGSO = 8.58E-10	CGBO	= 1E-12
30	+CJ = 9.471097E-4	PB = 0.8	MJ	= 0.3726161
31	+CJSW = 1.905901E-10	PBSW = 0.8	MJSW	= 0.1369758
32	+CJSWG = 3.3E-10	PBSWG = 0.8	MJSWG	= 0.1369758
33	+CF = 0	PVTH0 = -5.105777E-3	PRDSW	= -1.1011726
34	+PK2 = 2.247806E-3	WKETA = -5.071892E-3	LKETA	= 5.324922E-4
35	+PU0 = -4.0206081	PUA = -4.48232E-11	PUB	= 5.018589E-24
36	+PVSAT = 2E3	PETA0 = 1E-4	PKETA	= -2.090695E-3)

Modelo típico do transistor PMOS

1	.MODEL CMOSP PMOS (		LEVEL	= 49
2	+VERSION = 3.1	TNOM = 27	TOX	= 4.1E-9
3	+XJ = 1E-7	NCH = 4.1589E17	VTH0	= -0.3823437
4	+K1 = 0.5722049	K2 = 0.0219717	K3	= 0.1576753
5	+K3B = 4.2763642	W0 = 1E-6	NLX	= 1.104212E-7
6	+DVT0W = 0	DVT1W = 0	DVT2W	= 0
7	+DVT0 = 0.6234839	DVT1 = 0.2479255	DVT2	= 0.1
8	+U0 = 109.4682454	UA = 1.31646E-9	UB	= 1E-21
9	+UC = -1E-10	VSAT = 1.054892E5	A0	= 1.5796859
10	+AGS = 0.3115024	B0 = 4.729297E-7	B1	= 1.446715E-6
11	+KETA = 0.0298609	A1 = 0.3886886	A2	= 0.4010376
12	+RDSW = 199.1594405	PRWG = 0.5	PRWB	= -0.4947034
13	+WR = 1	WINT = 0	LINT	= 2.93948E-8
14	+XL = 0	XW = -1E-8	DWG	= -1.998034E-8
15	+DWB = -2.481453E-9	VOFF = -0.0935653	NFACTOR	= 2
16	+CIT = 0	CDSC = 2.4E-4	CDSCD	= 0
17	+CDSCB = 0	ETA0 = 3.515392E-4	ETAB	= -4.804338E-4
18	+DSUB = 1.215087E-5	PCLM = 0.96422	PDIBLC1	= 3.026627E-3
19	+PDIBLC2 = -1E-5	PDIBLCB = -1E-3	DROUT	= 1.117016E-4
20	+PSCBE1 = 7.999986E10	PSCBE2 = 8.271897E-10	PVAG	= 0.0190118
21	+DELTA = 0.01	RSH = 8.1	MOBMOD	= 1

22	+PRT	= 0	UTE	= -1.5	KT1	= -0.11
23	+KT1L	= 0	KT2	= 0.022	UA1	= 4.31E-9
24	+UB1	= -7.61E-18	UC1	= -5.6E-11	AT	= 3.3E4
25	+WL	= 0	WLN	= 1	WW	= 0
26	+WWN	= 1	WWL	= 0	LL	= 0
27	+LLN	= 1	LW	= 0	LWN	= 1
28	+LWL	= 0	CAPMOD	= 2	XPART	= 0.5
29	+CGDO	= 7.82E-10	CGSO	= 7.82E-10	CGBO	= 1E-12
30	+CJ	= 1.214428E-3	PB	= 0.8461606	MJ	= 0.4192076
31	+CJSW	= 2.165642E-10	PBSW	= 0.8	MJSW	= 0.3202874
32	+CJSWG	= 4.22E-10	PBSWG	= 0.8	MJSWG	= 0.3202874
33	+CF	= 0	PVTH0	= 5.167913E-4	PRDSW	= 9.5068821
34	+PK2	= 1.095907E-3	WKETA	= 0.0133232	LKETA	= -3.648003E-3
35	+PU0	= -1.0674346	PUA	= -4.30826E-11	PUB	= 1E-21
36	+PVSAT	= 50	PETA0	= 1E-4	PKETA	= -1.822724E-3)