EDER ISSAO ISHIBE

PROJETO DE UMA FONTE DE TENSÃO DE REFERÊNCIA

Dissertação apresentada à Escola de Engenharia de São Carlos da Universidade de São Paulo como parte dos requisitos para obtenção do título de Mestre de Ciências, Programa de Engenharia Elétrica

Área de concentração: Telecomunicações

Orientador: Prof. Dr. João Navarro Soares Júnior

São Carlos

2014

Trata-se da versão corrigida da dissertação. A versão original se encontra disponível na EESC/USP que aloja o Programa de Pós-Graduação de Engenharia Elétrica.

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO, POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

I79p Ishibe, Eder Issao
 PROJETO DE UMA FONTE DE TENSÃO DE REFERÊNCIA / Eder
 Issao Ishibe; orientador João Navarro Soares Júnior.
 São Carlos, 2014.

 Dissertação (Mestrado) - Programa de Pós-Graduação em
 Engenharia Elétrica e Área de Concentração em
 Processamento de Sinais e Instrumentação -- Escola de
 Engenharia de São Carlos da Universidade de São Paulo,
 2014.

 1. CMOS. 2. circuitos analógicos. 3. fontes de
 referência. 4. metaheurísticas. I. Título.

FOLHA DE JULGAMENTO

Candidato: Engenheiro **EDER ISSAO ISHIBE**.

Título da dissertação: "Projeto de uma fonte de tensão de referência".

Data da defesa: 19/05/2014

Comissão Julgadora:

Prof. Dr. **João Navarro Soares Júnior (Orientador)**
(Escola de Engenharia de São Carlos/EESC)

Prof. Dr. **José Vieira do Vale Neto**
(Escola Politécnica/USP)

Prof. Dr. **Tales Cleber Pimenta**
(Universidade Federal de Itajubá/UNIFEI)

Resultado:

APROVADO.

APROVADO

Aprovado

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica e
Presidente da Comissão de Pós-Graduação:
Prof. Titular **Denis Vinicius Coury**

AGRADECIMENTOS

Agradeço aos meus pais por toda oportunidade que tive na vida e aos meus irmãos que sempre me ajudaram.

Ao meu orientador, professor doutor João Navarro Soares Júnior, pelos ensinamentos, paciência apoio além das longas e divertidas conversas em que pude construir uma amizade.

Aos doutores que participaram da minha qualificação de mestrado, os professores Maximilian Luppe e José Roberto Boffino de Almeida Monteiro, por me motivarem a concluir este trabalho.

E por fim, a todos meus amigos que me apoiaram, em especial à Mariela Mayumi Franchini Sasaki Sassi por toda a força e disposição.

RESUMO

ISHIBE, E. I. **Projeto de uma fonte de tensão de referência**. 2014. Dissertação (Mestrado em Engenharia Elétrica) – Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2014.

Neste trabalho é apresentado o projeto de uma fonte de tensão de referência, um circuito capaz de prover uma tensão invariante com a temperatura, a tensão de alimentação e o processo de fabricação. São apresentadas: as equações de funcionamento, os passos para a elaboração da uma topologia final, o dimensionamento dos parâmetros de projeto com o uso de algoritmos metaheurísticos, o desenho do *layout* e os resultados e análises finais. O projeto emprega a tecnologia CMOS de 0,35 μm com quatro camadas de metal da Austria Micro Systems, em que os V_{TH0} 's dos transistores NMOS e PMOS, modelo típico, são, respectivamente, 0,5 V e -0,7 V. O circuito de fonte de referência é do tipo *bandgap* e faz a soma ponderada de correntes proporcionais a temperatura para atingir uma tensão de referência. Obteve-se um circuito típico com 0,5 V de tensão de referência, coeficiente de temperatura de 15 ppm/ $^{\circ}\text{C}$ em intervalo de temperatura de -10 a 90 $^{\circ}\text{C}$ em 1,0 V de tensão de alimentação, regulação de linha de 263 ppm/V em um intervalo de variação de 1,0 V a 2,5 V em 27 $^{\circ}\text{C}$, 2,7 μA de corrente consumida e área de 0,11 mm². A introdução de um bloco de ajuste de coeficiente de temperatura, com ajuste digital, permite que mais que 90% dos circuitos produzidos tenham um coeficiente de temperatura de até 30 ppm/ $^{\circ}\text{C}$. As medidas realizadas no trabalho são provenientes de simulações elétricas realizadas com o ELDO e modelos BSIM3v3.

Palavras-chave: CMOS, circuitos analógicos, fontes de referência de tensão, metaheurísticas.

ABSTRACT

ISHIBE, E. I. **A voltage reference source design**. 2014. Master's thesis (Electrical Engineering) – Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2014.

In this work is presented a design of a reference voltage source, circuits capable to provide an invariant voltage regardless of the temperature, power supply and fabrication process. It's presented: the operation equations, the steps to elaborate a final topology, the project parameter sizing using a metaheuristic algorithm, the drawing of the layout, and the final results and its analysis. The design employs an AMS-CMOS-0.35- μm technology with four metal levels, whose NMOS and PMOS V_{TH0} 's for a typical circuit is 0.5 V and -0.7 V. The reference voltage circuit is *bandgap* and performs a weighted summation of proportional temperature currents to achieve the voltage reference. A typical circuit was obtained with 0.5-V reference voltage, 15-ppm/ $^{\circ}\text{C}$ temperature coefficient in the temperature range of -10 to 90 $^{\circ}\text{C}$ under 1-V power supply, 263-ppm/V line regulation in the range of 1.0 V to 2.5 V under 27 $^{\circ}\text{C}$, 2.7- μA power consumption in a 0.11-mm² area. For a projected circuit it's also possible to ensure a temperate coefficient under 30 ppm/ $^{\circ}\text{C}$, for more than 95% of the produced circuits, employing an adjustment block which ought to be digitally calibrated for each circuit.

Keywords: CMOS, analog circuits, voltage reference, metaheuristics.

LISTA DE FIGURAS

Figura 1 - Convenção utilizada para indicar a relação entre os transistores: o transistor M_{P1} é M vezes maior que M_{P2} e M_{N1} é N vezes maior que M_{N2}	6
Figura 2 - Representação utilizada para os transistores bipolares. V_C , V_E , V_B e I_C indicam, respectivamente, tensão do <i>collector</i> , <i>base</i> , <i>emitter</i> e corrente do <i>collector</i>	8
Figura 3 - Representação utilizada para transistores CMOS. V_D , V_G , V_S , V_B e I_D indicam, respectivamente, tensão de <i>drain</i> , <i>gate</i> , <i>source</i> , <i>bulk</i> e corrente de <i>drain</i>	10
Figura 4 - Curva da corrente I_{DS} (μA) por V_{DS} (V), a região de saturação está indicada	13
Figura 5 - Efeito da modulação de canal. a) Transistor MOS em saturação sem efeito da modulação de canal. b) Transistor MOS em saturação sob efeito da modulação de canal	13
Figura 6 - Circuitos de polarização. a) O bloco hachurado faz a polarização do transistor M_{P1} . b) O bloco hachurado faz a polarização dos transistores M_{N1}	16
Figura 7 - Espelho de corrente. a) Espelho de corrente do tipo NMOS simples. b) Espelho de corrente do tipo PMOS simples	17
Figura 8 - Gráfico que mostra o comportamento V_{EB} de um transistor bipolar, com 1 μA de I_C e a tensão V_{GS} de um NMOS, com W de 200 μm , L de 2 μm e 1 μA de I_D , com a temperatura variando de -10 $^{\circ}C$ a 90 $^{\circ}C$	19
Figura 9 – Exemplos de blocos PTAT. a) fonte de corrente NMOS. b) fonte de corrente PMOS. c) fonte de corrente NMOS com transistor em tríodo. d) fonte de corrente com transistores bipolares. e) fonte de corrente NMOS com transistores <i>Cascode</i>	20
Figura 10 - Estado da fonte de corrente NMOS em que ela não funciona	23
Figura 11 - Exemplo de circuitos de <i>start-up</i> para a fonte de corrente NMOS	24

Figura 12 – Ilustração explicativa que mostra a tensão de referência sendo formada por uma soma ponderada das grandezas PTAT e CTAT.....	25
Figura 13 - Circuito alterado de (Banba, et al., 1999).....	26
Figura 14 - Circuito proposto por (Ueno, Hirose, Asai, & Amemiya, 2009)	28
Figura 15 - Circuito apresentado por (Neuteboom, Kup, & Janssens, 1997)	30
Figura 16 - Circuito proposto por (Leung & Mok, A CMOS Voltage Reference Based on Weighted ΔV_{GS} for CMOS Low-Dropout Linear Regulators, 2003).....	31
Figura 17 – Diagrama que explica o funcionamento de um algoritmo genético. Quanto menor o score mais apto é o indivíduo	33
Figura 18 - Diagrama que explica o funcionamento de um tipo de <i>simulated annealing</i> . Quanto menor o score mais apto é o indivíduo	38
Figura 19 – Topologia de uma fonte de tensão de referência <i>bandgap</i> simples	42
Figura 20 – Topologia de circuito de fonte de tensão de referência <i>bandgap</i> com transistores <i>Cascode</i> e circuitos de polarização.....	46
Figura 21 – Subcircuito de <i>start-up</i> utilizado, formado pelos circuitos enfatizados.....	47
Figura 22 - Diagrama do processo de dimensionamento dos parâmetros do circuito utilizando algoritmos metaheurísticos	50
Figura 23 – Diagrama explicativo da função de <i>fitness</i> utilizada.....	53
Figura 24 - Gráfico dos valores de TC versus valores de corrente do bloco TCA para um circuito gerado pela simulação Monte Carlo.....	57
Figura 25 – Representação de algumas distribuições de correntes geradas pelo bloco TCA ao longo do intervalo α_{MIN} e α_{MAX} . Na primeira figura a distribuição é homogênea e inclui os pontos α_{MIN} e α_{MAX} , na segunda as correntes são distribuídas conforme uma gaussiana e na terceira a distribuição é homogênea e inclui os pontos α_{MIN} e zero	59
Figura 26 - Topologia do bloco de ajuste de coeficiente de temperatura (bloco TCA)	61
Figura 27 – Conexão direta entre as entradas SE e as chaves das unidade de adição e subtração para gerar todas as correntes do bloco TCA..	63

Figura 28 - Topologia de circuito de fonte de tensão de referência *bandgap* com transistores *Cascode*, circuitos de polarização e o bloco TCA .. 65

Figura 29 – Gráfico da tensão de saída (V) em função da temperatura (°C) parametrizado pela tensão de alimentação que varia de 1,0 V a 2,5 V, incrementos de 0,25 V. Foi utilizado o modelo típico. O melhor e o pior coeficiente de temperatura são 15 e 16 ppm/°C, para a temperatura variando de – 10 °C a 90 °C..... 74

Figura 30 – Gráfico da tensão de saída (V) em função da tensão de alimentação (V) parametrizado pela temperatura que varia de – 10 °C a 90 °C, incrementos de 10 °C. Foi utilizado o modelo típico. A melhor e pior regulação de linha são de 200 e 440 ppm/V, com a tensão de alimentação variando de 1,0 V a 2,5 V..... 75

Figura 31 – Gráfico da potência consumida (μW) em função da temperatura (°C) parametrizado pela tensão de alimentação que varia de 1,0 V a 2,5 V, incrementos de 0,25 V. Foi utilizado o modelo típico 75

Figura 32 – Gráfico do coeficiente de temperatura (ppm/°C) versus corrente gerada pelo bloco TCA de 6 bits (mA) para cada uma das mil amostras geradas pela simulação Monte Carlo 78

Figura 33 – Gráfico da corrente (mA) em função da temperatura (°C) nos transistores M_{N1} e M_{P2} 78

Figura 34 – Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC para as seis configurações: sem bloco TCA, bloco com um *bit*, dois *bits*, três, quatro e cinco *bits*. Cada uma das curvas foi construída usando mil amostras e simulações Monte Carlo. A tensão de alimentação utilizada foi de 1,0 V 79

Figura 35 – Histograma do TC mínimo (ppm/°C) do circuito com bloco TCA de três *bits*, calculado com mil amostras. O TC médio é 18 ppm/°C e o desvio padrão 4,8 ppm/°C. As faixas do histograma tem largura de 2,0 ppm/°C. A tensão de alimentação utilizada foi de 1,0 V 81

Figura 36 – Histograma do TC (ppm/°C) do circuito sem bloco TCA, calculado com mil amostras. O TC médio é de 24 ppm/°C e o desvio padrão de 10 ppm/°C. As faixas do histograma tem largura de 2,0 ppm/°C. A tensão de alimentação utilizada foi de 1,0 V 81

Figura 37 – Circuito do bloco de ajuste de coeficiente de temperatura de três <i>bits</i> utilizado no projeto.....	82
Figura 38 – Histograma da tensão de saída (V) do circuito com bloco TCA de três <i>bits</i> , calculado com mil amostras. A tensão de saída é medida após o ajuste dos <i>bits</i> para obter mínimo TC. A tensão de saída média é 504 mV e o desvio padrão 7,0 mV. As faixas do histograma tem largura de 1,0 mV. A tensão de alimentação utilizada foi de 1,0V	83
Figura 39 – Histograma da tensão de saída (V) do circuito sem bloco TCA, calculado com mil amostras. A tensão de saída média é 506 mV e o desvio padrão 7,5 mV. As faixas do histograma tem largura de 1,0 mV	84
Figura 40 – Histograma da regulação de linha (ppm/V) do circuito com bloco TCA de três <i>bits</i> , calculado com 5000 amostras. O RL é medido após o ajuste dos <i>bits</i> para obter mínimo TC. O LR médio é 475 ppm/°C e o desvio padrão 222 ppm/°C. As faixas do histograma tem largura de 36 ppm/V. A tensão de alimentação utilizada foi de 1,0 V	85
Figura 41 – Histograma da regulação de linha (ppm/V) do circuito sem bloco TCA, calculado com 5000 amostras. O LR médio é 476 ppm/°C e o desvio padrão 230 ppm/°C. As faixas do histograma tem largura de 36 ppm/V. A tensão de alimentação utilizada foi de 1,0 V	85
Figura 42 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 1 <i>bit</i> . Em cada curva foram usadas mil amostras. O erro quadrático médio entre curvas é 0,24 ppm/°C	87
Figura 43 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 2 <i>bits</i> . Em cada curva foram usadas mil amostra. O erro quadrático médio entre curvas é 0,078 ppm/°C	87
Figura 44 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 3 <i>bits</i> . Em cada curva foram usadas mil amostras. O erro quadrático médio entre curvas é 0,020 ppm/°C	88
Figura 45 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos	

direto e simplificado em um bloco TCA de 4 *bits*. Em cada curva foram usadas mil amostras. O erro quadrático médio entre curvas é 0,009 ppm/°C 88

Figura 46 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 5 *bits*. Em cada curva foram usadas mil amostras. O erro quadrático médio entre curvas é 0,006 ppm/°C 89

Figura 47 – Subcircuito digital do TCA sintetizado pelo *software* Leonardo Spectrum 90

Figura 48 – Esquemático da fonte de referência propriamente dita, que inclui os subcircuitos PTAT, CTAT e de polarização 92

Figura 49 – Esquemático do bloco TCA de três bits 93

Figura 50 – Esquemático do subcircuito digital do TCA 94

Figura 51 – Esquemático do subcircuito de *start-up* 94

Figura 52 – Esquemático do circuito completo. Os elementos BANDGAPM2, TCBLOCK2, THERMOMETER2 e STARTUP2, representam, respectivamente, o circuito de fonte de referência propriamente dita, o bloco TCA, o subcircuito digital do TCA e o subcircuito de *start-up* 95

Figura 53 – *Layout* da fonte de referência propriamente dita com o circuito de polarização. A área é de 260 µm x 305 µm. Desenhados em ordem, da esquerda para direita, estão os PMOS MP3a, MP4a, MP4b, MP4c, MP1a, MP1b, MP2, MP1c, MP4d, MP4e, MP3b e MP3c, embaixo os transistores Cascode MPC2a, MPC3a, MPC3b, MPC3c, MPC1a, MPC1b, MPC1c, MPC3d, MPC3e, MPC2b e MPC2c, e mais abaixo os NMOS MNCa, MN1a, MN2, MN1b e MNCb 97

Figura 54 – *Layout* do bloco TCA de três *bits*. A área é de 27 µm x 31 µm 98

Figura 55 – *Layout* do subcircuito digital do TCA de três *bits*. A área é de 24 µm x 35 µm 99

Figura 56 – *Layout* do subcircuito de *start-up*. A área é de 82,7 µm x 19 µm 100

Figura 57 – *Layout* do circuito completo. A área é de 345 µm x 332 µm 100

Figura 58 - Gráfico da curva tensão de saída (V) em função da temperatura (°C) para os modelos típico, *worst-speed* e *worst-power*, e a

tensão de alimentação de 1,0 V. Os respectivos valores de coeficiente de temperatura são 15 ppm/°C, 36 ppm/°C e 89 ppm/°C..... 101

Figura 59 - Gráfico que mostra porcentagem de circuitos com TC mínimo inferior a TC (%) em função do valor do TC (ppm/°C), obtida através de simulação Monte Carlo com 100 amostras. Simulações realizadas com os *netlists* extraídos do esquemático e do *layout*, com e sem o bloco TCA de três *bits*. Os *bits* foram ajustados pelo método direto..... 102

Figura 60 - Gráfico da curva da tensão de saída (V) em função da tensão de alimentação (V) para os modelos típico, *worst-speed* e *worst-power*, e temperatura de 27°C. Os respectivos valores de regulação de linha são 263 ppm/V, 967 ppm/V e 343 ppm/V 102

Figura 61 - Gráfico da curva de potência consumida (μW) em função da temperatura (°C) para os modelos típico, *worst-speed* e *worst-power*, e tensão de alimentação 1,0 V..... 103

Figura 62 – Gráfico das curvas tensão de saída (V) pelo tempo (s), obtidas através de simulação Monte Carlo com mil amostras com tensão de alimentação de 1,0 V. No pior caso, curva marcada no gráfico, o circuito inicia em 0,77 s..... 104

LISTA DE TABELAS

Tabela 1 - Região de operação de um transistor MOS	10
Tabela 2 – Variáveis utilizadas na função de <i>fitness</i> e sua descrição. O circuito otimizado é apresentado na Figura 20.....	54
Tabela 3 – Limites das variáveis da função de <i>fitness</i>	55
Tabela 4 – Tabela verdade do circuito digital do bloco TCA de 3 <i>bits</i> , que possui 3 entradas e 7 saídas.....	65
Tabela 5 – Configurações aplicadas no algoritmo genético	67
Tabela 6 – Configurações aplicadas no <i>simulated annealing</i>	68
Tabela 7 – Especificações do projeto para um circuito típico.....	68
Tabela 8 – Variáveis encontradas em 10 execuções do algoritmo genético. As linhas mostram as variáveis do circuito, Tabela 2, e as colunas, os valores obtidos para as execuções do algoritmo genético. As colunas hachuradas indicam as cinco execuções escolhidas para serem otimizadas pelo <i>simulated annealing</i>	69
Tabela 9 – Resultados obtidos para cada uma das 10 soluções encontradas pelo algoritmo genético. As linhas estão relacionadas ao <i>score</i> , à tensão da saída, ao coeficiente de temperatura, à regulação de linha, à potência consumida e à área estimada; as colunas mostram os resultados de cada uma das execuções. As colunas hachuradas indicam as cinco execuções escolhidas para serem otimizadas pelo <i>simulated annealing</i>	70
Tabela 10 – Variáveis encontradas nas cinco execuções do <i>simulated annealing</i> . As linhas mostram as variáveis do circuito, Tabela 2, e as colunas, os valores obtidos para as execuções do <i>simulated annealing</i>	71
Tabela 11 - Resultados encontrados para cada uma das cinco soluções encontradas pelo <i>simulated annealing</i> (modelo típico). As linhas estão relacionadas ao <i>score</i> , a tensão da saída, o coeficiente de temperatura, a regulação de linha, a potência consumida e a área estimada e as colunas mostram os resultados de cada uma das execuções.....	72
Tabela 12 – Valores das variáveis para a solução SA4, limites inferior e superior aplicados ao algoritmo genético, valores das variáveis para SF e resultados encontrados para a solução SF	73
Tabela 13 – Informações básicas do computador utilizado na execução dos algoritmos metaheurísticos.....	76

Tabela 14 – Dimensões dos transistores do bloco TCA de três <i>bits</i> projetado	82
Tabela 15 – Dimensões do circuito de <i>start-up</i> projetado	90
Tabela 16 – Resultados do circuito apresentado no trabalho e de outros da literatura. Na tabela Δ indica variação, $CTAT=V_{GS}$ indica que a grandeza CTAT do circuito foi obtida a partir de V_{GS} de um MOS e V_{REF} é a tensão de referência	106
Tabela 17 - Resultados do circuito apresentado no trabalho e de outros da literatura. Na tabela Δ indica variação, $CTAT=V_{GS}$ indica que a grandeza CTAT do circuito foi obtida a partir de V_{GS} de um MOS e V_{REF} é a tensão de referência	107
Tabela 18 - Resultados do circuito apresentado no trabalho e de outros da literatura. Na tabela Δ indica variação, $CTAT=V_{GS}$ indica que a grandeza CTAT do circuito foi obtida a partir de V_{GS} de um MOS e V_{REF} é a tensão de referência	108

SUMÁRIO

1	Introdução	1
1.1	Contextualização, motivação e aplicabilidade	1
1.2	Objetivo	2
1.3	Organização	3
1.4	Ferramentas	3
2	Revisão Bibliográfica	5
2.1	Convenções	5
2.2	Especificações de desempenho	6
2.3	Transistor bipolar	8
2.4	Transistor MOS	9
2.5	<i>Matching</i> de parâmetros e <i>layout</i> de circuitos	15
2.6	Circuito de polarização e transistor em configuração <i>Cascode</i> . ..	16
2.7	Espelho de corrente	17
2.8	Circuito “Complementary To Absolute Temperature” (CTAT) ...	18
2.9	Circuito “Proportional To Absolute Temperature” (PTAT).....	19
2.10	Circuito de <i>start-up</i>	23
2.11	Fonte de referência do tipo <i>bandgap</i> e circuitos da literatura. ..	25
2.12	Algoritmo metaheurístico.....	31
4	Método e base teórica	41
4.1	Circuito simples	41
4.2	Segunda versão	45
4.3	Subcircuito de <i>start-up</i>	46
4.4	Algoritmos metaheurísticos e função de <i>fitness</i>	48
4.5	Bloco de ajuste de coeficiente de temperatura.....	56
4.6	Subcircuito digital do bloco TCA.....	64
4.7	Circuito completo.....	65

5	Projeto, resultados e análises	67
5.1	Dimensionamento dos valores dos parâmetros da fonte de tensão utilizando algoritmos metaheurísticos	67
5.2	Bloco de ajuste de coeficiente de temperatura (TCA)	76
5.3	Influência do bloco de ajuste de coeficiente de temperatura sobre a tensão de saída e a regulação de linha.....	83
5.4	Método de configuração dos <i>bits</i> de controle num circuito real.	86
5.5	Subcircuito digital do TCA e subcircuito de <i>start-up</i>	89
5.6	Esquemáticos e <i>layouts</i>	91
5.7	Resultado da extração do layout	101
5.8	Comparação com outros circuitos	104
	Conclusão	109
	Referência.....	1
	Apêndice A.....	1
	Apêndice B.....	3
	Apêndice C.....	13
	Apêndice D.....	15
	Apêndice E.....	19
	Anexo A.....	23
	Anexo B.....	29
	Anexo C	35
	Anexo D	41
	Anexo E.....	47

1 Introdução

1.1 Contextualização, motivação e aplicabilidade

O mundo contemporâneo está repleto de aparelhos eletrônicos, de tal forma que estão presentes em quase tudo que existe ao nosso redor (Semiconductor Industry Association, 2014) (Semiconductor Industry Association, 2012). Existe grande demanda para que esses aparelhos, especialmente, os portáteis, como celulares, *notebooks* e *tablets*, sejam mais complexos, menores e consumam menos energia (Yan & Sánchez-Sinencio, 2000) (Bondyopadhyay, 1998) (Needham, 1998). Circuitos integrados (CIs) são um conjunto de circuitos eletrônicos condensados em um pequeno material semicondutor e estão inseridos dentro de variados aparelhos, conferindo-lhes a sua função eletrônica. Grande parte dos CIs utiliza a tecnologia CMOS (do inglês, *Complementary Metal Oxide Silicon*) (Melliar-Smith, et al., 1998) que possui características que vão ao encontro à demanda do mercado, permitindo a construção de circuitos complexos, pequenos (na ordem de milímetros quadrados) e com baixo consumo de energia. Outra característica importante dessa tecnologia é permitir maior simplicidade no desenvolvimento de circuitos digitais (Bondyopadhyay, 1998).

Muitos CIs possuem tanto parte analógica como digital e, na maioria dos casos, ambas projetadas utilizando a tecnologia CMOS, o que assegura melhor integração. A parte analógica normalmente realiza a interface entre sinais reais e sinais digitais e é de difícil desenvolvimento, pois exige de projetistas uma melhor compreensão das equações de funcionamento dos transistores e um maior cuidado no desenho do *layout* (Hastings, 2001). A parte digital permite que processamentos mais sofisticados possam ser realizados (se comparados aos processamentos realizados por circuitos puramente analógicos), mas somente transforma sinais digitais em outros sinais digitais (Razavi, 2001).

A parte analógica dos CIs, composta por circuitos analógicos como conversores analógico/digital (A/D), conversores digital/analógico (D/A), LDOs (do inglês, *Low-DropOut*), amplificadores operacionais e sistemas de modulação/demodulação de sinais, precisa normalmente de tensões de referência confiáveis para funcionar (Rincón-Mora, 2002). Essa confiabilidade

se refere à invariância da tensão a fatores externos como: temperatura, tensão de alimentação, processo de fabricação, pressão, umidade, tempo de operação e radiação.

Fontes de tensão de referência, ou somente fontes de referência, são circuitos analógicos capazes de prover uma tensão de referência (Razavi, 2001). Contudo, por ser um dispositivo real, sua estabilidade é apenas garantida dentro de algumas condições de operação. Os fatores externos geralmente considerados no projeto de fontes de tensão são: temperatura, tensão de alimentação e processo de fabricação, por serem os mais influentes. Uma menor dependência a esses fatores implica em maior qualidade de tensão de referência, por conseguinte, maior qualidade de operação do circuito que a utiliza.

Uma das primeiras fontes de referência em silício surgiu em 1971 com o LM113 introduzido por Robert Widlar (Widlar, 1971) e era do tipo *bandgap*, nome empregado devido ao fato da tensão de referência gerada ter um derivado de 1,17 V (Sansen, 2006) que é a tensão de *bandgap* do silício extrapolado para zero Kelvin. Após o LM113, muitas outras fontes de referência foram propostas (Kuijk, 1973) (Brokaw, 1974) (Ueno, CMOS Voltage and Current Reference Circuits consisting of Subthreshold MOSFETs — Micropower Circuit Components for Power-aware LSI Applications —, 2010) (Fayomi, Wirth, Achigui, & Matsuzawa, 2010), sempre com o objetivo de melhorar a estabilidade e reduzir o consumo.

1.2 Objetivo

Neste trabalho, será projetada uma fonte de tensão de referência do tipo *bandgap* na tecnologia CMOS de 0,35 μm da Austria Micro Systems (AMS) que atenda as especificações para o coeficiente de temperatura, a regulação de linha, a tensão de alimentação (2.2), a potência consumida e a área.

No escopo deste trabalho está:

- a apresentação do circuito proposto;
- o equacionamento do circuito;
- a apresentação de circuitos auxiliares, como circuitos de *start-up* e polarização;

- o dimensionamento do circuito de *bandgap* através de algoritmos metaheurísticos;
- a proposta e validação de um bloco de ajuste de coeficiente de temperatura;
- a simulação de todos os circuitos necessários para o funcionamento da fonte de referência;
- o desenho do *layout* de todos os circuitos necessários e
- a apresentação e análise dos resultados obtidos.

1.3 Organização

Os próximos capítulos estão organizados da seguinte forma:

- o segundo capítulo revisa conceitos importantes para o entendimento do projeto;
- o terceiro capítulo mostra um embasamento teórico para guiar o desenvolvimento do projeto;
- o quarto capítulo expõem as decisões de projeto e todos os resultados obtidos no desenvolvimento, assim como uma análise acerca deles e
- o quinto capítulo apresenta as conclusões do trabalho.

1.4 Ferramentas

Foram utilizados neste trabalho diversos *softwares* para o desenvolvimento e análise:

- ferramentas de projeto, CAD (do inglês, *computer-aided-design*), da Mentor Graphics:
 - Design Architecture: utilizada para desenho de esquemáticos;
 - IC Station: utilizada para desenho de *layouts* e para verificação LVS (do inglês, *Layout versus Schematic*) (Mentor Graphics, 2008) (Mentor Graphics, 2008) (Mentor Graphics, 2008) (Austria Micro Systems, 2003) (Austria Micro Systems, 2003);
 - Calibre: para verificação DRC (do inglês, *Design Rules Check*), ERC (do inglês, *Electrical Rules Check*) e extração de arquivos de simulação a partir de *layouts* (Mentor Graphics, 2006);

- Leonardo Spectrum: utilizada para geração de circuitos digitais a partir de uma descrição VHDL (do inglês, *Very High Speed Integrated Circuits Hardware Description Language*);
- ferramentas de análise da Mentor Graphics:
 - ELDO: para realizar simulações elétricas (Mentor Graphics, 2009) (Mentor Graphics, 2009);
 - Ezwave: para visualização e análise dos resultados de simulações elétricas (Mentor Graphics, 2009).
- ferramentas da Mathworks:
 - MATLAB: para criação de um *framework* de controle de algoritmos metaheurísticos, *softwares* de análise e construção de gráficos (Mathworks, s.d.);
 - Toolbox do MATLAB Optimtools: para execução de algoritmos metaheurísticos (Mathworks, s.d.).

2 Revisão Bibliográfica

2.1 Convenções

A fim de facilitar as representações dos dados, neste trabalho, serão obedecidas as seguintes convenções para descrições de circuitos:

Nomes iniciando com “V” são representações de tensões, podendo ser do tipo V_X , significando tensão do nó X em relação à terra, ou V_{XY} , significando tensão do nó X em relação ao nó Y.

V_G , V_S , V_D , V_B significam, respectivamente, tensão de *gate*, *source*, *drain* e *bulk* (ou porta, fonte, dreno e corpo) de um transistor MOS (do inglês, *Metal Oxide Silicon*). Da mesma forma, V_{GS} significará tensão do *gate* em relação ao *source* e assim por diante. V_C , V_B e V_E , por sua vez, se referem à tensão do *collector*, *base* e *emitter* (ou, coletor, base e emissor), de um transistor BJT (do inglês, *Bipolar Junction Transistor*), respectivamente.

Nomes iniciando com “I” são representações de correntes, tal como I_0 . I_D e I_S significam, respectivamente, corrente de *drain* e corrente de *source* do transistor MOS.

Nomes iniciando com “M” são representações de transistores MOS, podendo ser do tipo M_{NX} , em que X é um número, representando um transistor do tipo NMOS (transistor MOS do tipo N), ou M_{PX} , representando um transistor do tipo PMOS (transistor MOS do tipo P).

Nomes iniciados com “Q” são representações de transistores BJT.

O símbolo W e L de um transistor MOS indicam a largura e comprimento do *gate*, respectivamente.

Os símbolos NX ou PX, em que X é um número, subscrito na relação (W/L) do transistor MOS significa que a relação se refere ao transistor M_{NX} ou M_{PX} , por exemplo: $(W/L)_{N1}$ e $(W/L)_{P2}$ representam, respectivamente, as relações (W/L) do transistor M_{N1} e M_{P2} .

Nomes iniciando com “R” são representações de resistores.

Nomes iniciados com “C” são representações de capacitores.

Em figuras de circuito, sempre que não houver referência da ligação do *bulk* de um transistor MOS, será considerado que: caso o transistor seja NMOS

o *bulk* estará ligado ao V_{SS} ; caso o transistor seja PMOS o *bulk* estará ligado ao V_{DD} .

Nas figuras, próximos ao *source* de alguns transistores, aparecem símbolos que indicam a relação entre o tamanho dos transistores. Na Figura 1, os valores M e 1 presentes no *source* dos transistores PMOS indicam que a relação W/L do M_{P1} é M vezes maior que aquela do M_{P2} . Os valores N e 1 presentes no *source* dos transistores NMOS indicam que a relação W/L do M_{N1} é N vezes maior que aquela do M_{N2} .

Figura 1 - Convenção utilizada para indicar a relação entre os transistores: o transistor M_{P1} é M vezes maior que M_{P2} e M_{N1} é N vezes maior que M_{N2}

Os transistores BJT serão referidos simplesmente como bipolares.

A fonte de tensão de referência do tipo *bandgap* será chamada de fonte de tensão de referência *bandgap*, fonte de referência *bandgap*, ou simplesmente de *bandgap*.

Por fim, transistores em configuração *Cascode* serão chamados simplesmente de transistores *Cascode*.

2.2 Especificações de desempenho

A fim de entender os resultados apresentados, é importante que se compreenda as especificações de desempenho utilizados para avaliar a

dependência da tensão de saída com a temperatura e com a tensão de alimentação.

Para quantificar a dependência da tensão de saída com a temperatura, utiliza-se, convencionalmente, o coeficiente de temperatura ou TC (do inglês, *temperature coefficient*) que é obtido pela seguinte fórmula (Texas Instruments, 2008) (Rincón-Mora, 2002):

$$TC = \frac{|V_{OUT(MÁX)} - V_{OUT(MÍN)}|}{V_{OUT} \cdot (T_{MÁX} - T_{MÍN})} \cdot 10^6 \quad (1)$$

em que:

TC	=	coeficiente de temperatura (dado em ppm/°C);
$V_{OUT(MÁX)}$	=	valor da tensão máxima na saída quando a temperatura varia entre $T_{MÍN}$ e $T_{MÁX}$;
$V_{OUT(MÍN)}$	=	valor da tensão mínima na saída quando a temperatura varia entre $T_{MÍN}$ e $T_{MÁX}$;
V_{OUT}	=	tensão média na saída;
$T_{MÁX}$	=	temperatura máxima e
$T_{MÍN}$	=	temperatura mínima.

Para quantificar a dependência da tensão de saída com a tensão de alimentação, utiliza-se, a regulação de linha ou LR (do inglês, *line regulation*) que é obtida pela seguinte fórmula (Texas Instruments, 2008) (Rincón-Mora, 2002):

$$LR = \frac{|V_{OUT(MÁX)} - V_{OUT(MÍN)}|}{V_{OUT} \cdot (V_{MÁX} - V_{MÍN})} \cdot 10^6 \quad (2)$$

em que:

LR	=	regulação de linha (dado em ppm/V);
$V_{OUT(MÁX)}$	=	valor da tensão máxima na saída quando a tensão de alimentação varia entre $V_{MÍN}$ e $V_{MÁX}$;
$V_{OUT(MÍN)}$	=	valor da tensão mínima na saída quando a tensão de alimentação varia entre $V_{MÍN}$ e $V_{MÁX}$;
V_{OUT}	=	tensão média na saída;
$V_{MÁX}$	=	tensão de alimentação máxima e
$V_{MÍN}$	=	tensão de alimentação mínima.

2.3 Transistor bipolar

O primeiro transistor bipolar foi criado em 1948, na *Bell Telephone*, por John Bardeen, Walter Houser Brattain e William Bradford Shockley, criação que lhes proporcionou o Prêmio Nobel de Física em 1956. Este dispositivo possui três camadas de semicondutor com dopagens alternadas P e N. Sua grande vantagem foi a possibilidade de controlar correntes tendo dimensões e consumo de potência muito menores que os de seu antecessor, a válvula (Ross, 1998) (Brinkman, 1997).

Na Figura 2, são apresentadas as representações dos dois tipos de transistores bipolares: PNP e NPN. Como o nome sugere, o primeiro é formado por uma camada de semicondutor com dopagem N entre duas camadas com dopagens P; o segundo, por uma camada com dopagem P entre duas camadas de N.

Figura 2 - Representação utilizada para os transistores bipolares. V_C , V_E , V_B e I_C indicam, respectivamente, tensão do *collector*, *base*, *emitter* e corrente do *collector*

Uma característica importante do transistor bipolar é o comportamento da tensão V_{BE} do NPN (ou V_{EB} do PNP) com a temperatura (Tsividis Y. P., 1980), dado por

$$V_{BE}(T) = V_{BG}(T) - \left(\frac{T}{T_r}\right)V_{BG}(T_r) + \left(\frac{T}{T_r}\right)V_{BE}(T_r) - \eta\left(\frac{kT}{q}\right)\ln\left(\frac{T}{T_r}\right) \quad (3)$$

$$+ \left(\frac{kT}{q}\right)\ln\left(\frac{I_C(T)}{I_C(T_r)}\right)$$

em que:

- V_{BE} = tensão base-emissor;
- T = temperatura absoluta;
- T_R = temperatura de referência;
- V_{BG} = tensão de *bandgap* do silício;
- k = constante de Boltzman;

- q = carga do elétron;
 I_c = corrente que passa pelo coletor e
 η = $(4 - n_\mu)$, onde n_μ é uma constante que está relacionada com o comportamento da mobilidade com a temperatura.

2.4 Transistor MOS

Transistores MOS inicialmente foram pouco usados devido a algumas dificuldades de construção e por terem pior desempenho que o dos transistores bipolares. Embora o conceito de CMOS (tecnologia MOS em que são utilizados transistores com canal tanto N como P) já houvesse sido introduzido por Weimer, RCA, em 1962 e por Wanlass, Fairchild, em 1963, nos primeiros anos a tecnologia MOS é dominada pelo PMOS (MOS em que só há transistores canal P), mais robusta a problemas com impurezas. Por volta de 1971, superados os problemas com impurezas e estados de superfície, emergem as primeiras tecnologias NMOS (MOS em que só há transistores canal N) que permitem maior velocidade e, ao mesmo tempo, maior nível de integração.

O domínio das tecnologias NMOS se estende até o fim da década de 70. Com o aumento das densidades e velocidades dos circuitos, começaram a ocorrer dificuldades com o consumo de potência, o que deu oportunidade ao emprego de tecnologias CMOS. Esta tecnologia, apesar de demandar mais etapas na fase de fabricação, e, portanto exigir mais máscaras e ter maior custo, tem algumas características importantes que a tornaram a tecnologia dominante no projeto de circuitos integrados hoje. Algumas dessas características são: baixo consumo, alto nível de integração e facilidade de projeto de circuitos digitais. Nos últimos anos, cerca de 98% da produção de circuitos semicondutores (tanto por número de componentes como por valor) é baseada no silício, sendo que mais de 75% destes circuitos são produzidos com tecnologias CMOS (Brewer, 1998) (Semiconductor Industry Association, 2006), fato que adiciona outra vantagem à tecnologia: redução de custo devido a escala de produção.

A redução do consumo de potência se dá, principalmente, em circuitos digitais, devido ao funcionamento complementar de transistores NMOS e PMOS e, em consequência, apenas nas trocas de estado do circuito há consumo de potência significativo.

Na Figura 3, está indicada a representação dos transistores NMOS e PMOS.

Figura 3 - Representação utilizada para transistores CMOS. V_D , V_G , V_S , V_B e I_D indicam, respectivamente, tensão de *drain*, *gate*, *source*, *bulk* e corrente de *drain*

O transistor MOS possui três regiões de operação de acordo com a densidade de portadores presentes no canal sobre o *gate*. Esta densidade é controlada pela tensão V_{GS} aplicada (Tsividis Y. , Operation e modeling of the MOS transistor, 1999). As regiões de operação são:

- forte inversão: quando a concentração de portadores minoritários fica acima da concentração inicial de portadores majoritários do *bulk*. Nesta região de operação, a tensão *gate-source* está acima da tensão de *threshold* (V_{TH});
- fraca inversão: quando a concentração de portadores minoritários fica abaixo da concentração inicial de portadores majoritários do *bulk*. Nesta região de operação, a tensão *gate-source* está próximo à tensão de *threshold* e a condução da corrente é dada principalmente por difusão e
- moderada inversão: região de transição entre a forte e fraca inversão, mal definida e de difícil modelagem.

Para determinar a região de operação de um dado transistor, podem-se utilizar as desigualdades da Tabela 1.

Tabela 1 - Região de operação de um transistor MOS

Condição	Região de operação
$R_{OP} < 0,1$	Fraca inversão
$0,1 \leq R_{OP} \leq 10$	Moderada inversão
$R_{OP} > 10$	Forte inversão

* R_{OP} dado por (4)

$$R_{OP} = \frac{I_D}{2 \cdot n \cdot \frac{W}{L} \cdot C_{OX} \cdot \mu \cdot (V_T)^2} \quad (4)$$

$$n = 1 + \frac{\gamma}{2 \sqrt{2 \cdot \phi_F + V_{SB}}} \quad (5)$$

$$V_T = \frac{k \cdot q}{T} \quad (6)$$

$$\gamma \equiv \frac{\sqrt{2 \cdot q \cdot \epsilon_S \cdot N_A}}{C_{OX}} \quad (7)$$

$$\phi_F = \frac{|E_{f_i} - E_{f_X}|}{q} \quad (8)$$

em que:

R_{OP}	=	parâmetro para determinar a região de operação;
I_D	=	corrente de <i>drain</i> ;
n	=	fator de <i>slope</i> ;
W	=	largura do canal do transistor;
L	=	comprimento do canal do transistor;
C_{OX}	=	capacitância por área do óxido do <i>gate</i> ;
μ	=	mobilidade do portador;
V_T	=	tensão térmica.
k	=	constante de Boltzman;
q	=	carga do elétron;
T	=	temperatura;
γ	=	coeficiente de efeito de corpo;
E_{f_i}	=	nível de Fermi intrínseco do silício;
E_{f_X}	=	nível de Fermi do silício do <i>bulk</i> . Efp se for um transistor N e Efn se for um P;
V_{SB}	=	tensão <i>source-bulk</i> ;
ϵ_S	=	permissividade do silício e
N_A	=	concentração de dopantes do <i>bulk</i> .

Note que, para garantir o funcionamento de um transistor em qualquer região de operação, basta controlar a densidade de corrente de *drain* que passa por ele.

Para o transistor em fraca-inversão, a corrente pode ser descrita pela expressão:

$$I_{DS} = \frac{W}{L} \cdot I_m \cdot e^{\frac{V_{GS}-V_{TH}}{n \cdot V_T}} \cdot \left(1 - e^{-\frac{V_{DS}}{V_T}}\right) \quad (9)$$

$$V_{TH} = V_{FB} + 2 \cdot \phi_F + \gamma \cdot \sqrt{2 \cdot \phi_F + V_{SB}} \quad (10)$$

em que:

- I_{DS} = corrente *drain-source*;
- I_m = corrente característica da tecnologia;
- V_{FB} = tensão de *flat-band*;
- V_{GS} = tensão *gate-source*;
- V_{TH} = tensão de *threshold* e
- V_{DS} = tensão *drain-source*.

Para o transistor em forte-inversão, a corrente pode ser descrita pela expressão:

$$I_{DS} = \mu \cdot C_{OX} \cdot \frac{W}{L} \cdot \left(V_{GS} - V_{TH} - \frac{V_{DS}}{2}\right) \cdot V_{DS}, \text{ para } V_{GD} > V_{TH} \text{ (Triodo)} \quad (11)$$

$$I_{DS} = \frac{\mu \cdot C_{OX}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2, \text{ para } V_{GD} \leq V_{TH} \text{ (Saturação)} \quad (12)$$

Caso desejemos trabalhar na forte inversão, podemos também considerar três modos de operação do transistor MOS de acordo com a tensão V_{GS} e V_{DS} (Razavi, 2001).

- corte: nesta região, não há fluxo de corrente entre *drain* e *source*;
- triodo: se $V_{DS} > V_{GS} - V_{TH}$, nesta condição, o transistor opera como um resistor e
- saturação: se $V_{DS} < V_{GS} - V_{TH}$, nesta situação, o transistor forma um canal que se estreita no *drain*, provendo uma corrente dependente, principalmente, da tensão *gate-source*.

O comportamento da corrente I_{DS} em função de V_{DS} é apresentado na Figura 4. A corrente I_{DS} na região de saturação não é perfeitamente paralela ao eixo X, mas apresenta uma pequena inclinação positiva. Essa inclinação se dá devido à modulação de canal, que é um fenômeno em que o canal formado por portadores, durante a saturação, reduz de tamanho (de L para L'), como apresentado na Figura 5 (Tsividis & McAndrew, The MOS Transistor, 2012) (Razavi, 2001). Essa redução do comprimento do canal ocorre com o aumento de V_{DS} fazendo com que o ponto de *pinch-off* (ponto em que o canal tem carga zero) mova-se em direção ao *source*. Consequentemente, há o aumento da corrente, pois o L efetivo do transistor é menor. A variação da corrente na saturação é importante para diversos circuitos analógicos e mais ainda para fontes de tensão.

Figura 4 - Curva da corrente I_{DS} (μA) por V_{DS} (V), a região de saturação está indicada

Figura 5 - Efeito da modulação de canal. a) Transistor MOS em saturação sem efeito da modulação de canal. b) Transistor MOS em saturação sob efeito da modulação de canal

$$I_{DS}' = I_{DS}(1 + \lambda(V_{DS} - V_{sat})) \quad (13)$$

em que:

λ = parâmetro dependente do inverso do comprimento do transistor L;

I_{DS}' = corrente I_{DS} sob efeito da modulação de canal e

V_{sat} = tensão V_{DS} de saturação.

Se o parâmetro λ for próximo o suficiente de zero, garantimos a invariância de I_{DS} na saturação.

Para reduzir o problema de modulação de canal, podemos:

- aumentar o comprimento do transistor (L) e
- reduzir a tensão V_{DS} (desde que o transistor se mantenha saturado).

Uma característica importante do transistor MOS em fraca-inversão é a relação entre a tensão V_{GS} e a temperatura quando a corrente de *drain* é fixa. Para o transistor NMOS a relação é dada por (Giustolisi, Palumbo, Criscione, & Cutrì, 2003);

$$V_{GS}(T) = V_{TH}(T) + V_{OFF} + \frac{n(T)}{n(T_0)} (V_{GS}(T_0) - V_{TH}(T_0) - V_{OFF}) \frac{T}{T_0} \quad (14)$$

$$V_{TH}(T) = V_{TH}(T_0) - k(T - T_0) \quad (15)$$

em que,

V_{OFF} = tensão de *offset*, constante de correção usada nos modelos BSIM3v3 (Anexo A, Anexo B, Anexo C e Anexo D) (Cheng & Hu, 1999);

$n(T)$ = fator de *slope* em função da temperatura;

T_0 = temperatura ambiente e

k = constante geralmente entre 0,5 mV/K e 3 mV/K (Tsividis & McAndrew, The MOS Transistor, 2012), com os valores mais elevados correspondendo a substratos altamente dopados, óxidos espessos e pequenos valores de V_{SB} .

A equação do V_{TH} é dada em (Tsividis & McAndrew, The MOS Transistor, 2012).

2.5 *Matching* de parâmetros e *layout* de circuitos

Uma dificuldade introduzida na fabricação de circuitos é o *mismatch* entre dispositivos, que é a variação de parâmetros entre dispositivos que foram projetados para ou serem iguais ou manterem uma relação determinada para alguma característica elétrica, por exemplo, resistência. Nesse caso, a perda da igualdade ou da relação pode causar a degradação do desempenho do circuito real fabricado. Para minimizar essa dificuldade devem ser utilizadas técnicas de *matching* ou casamento de dispositivos. Dois dispositivos são ditos estarem casados quando a relação entre seus parâmetros tem pequena dependência com a fabricação. As técnicas de casamento consistem basicamente em cuidados com as dimensões e com os *layouts* dos dispositivos, tais como faze-los grandes, próximos e o mais semelhantes possível (mesma orientação, mesma vizinhança, etc.).

Um exemplo de aplicação das técnicas segue: considere um projeto que use dois transistores, cuja razão entre os (W/L) 's deve ser três, e que o transistor maior foi desenhado com $(3W_a/L_a)$ e o menor com (W_a/L_a) . Caso haja um aumento de $0,1 \mu\text{m}$ fixo na largura desses transistores, devido ao processo de fabricação, a razão entre os (W/L) 's deixará de ser três. Por outro lado, se o transistor maior for substituído por três transistores de dimensões (W_a/L_a) em paralelo, o (W/L) equivalente dos três será três vezes maior do (W_a/L_a) , independente das variações em L e W que possam ocorrer (desde que ocorram igualmente em todos os transistores).

Algumas das técnicas de *matching* podem ser justificadas pelas relações apresentadas no trabalho de (Pelgrom, Duinmaijer, & Welbers, 1989). Neste trabalho é mostrado que variância do V_{TH0} e do β em transistores colocados próximos, com mesma orientação e na mesma lamina é:

$$\frac{\sigma^2(V_{TH0})}{V_{TH0}^2} = \frac{A_{V_{TH0}}^2}{W \cdot L} + S_{V_{TH0}}^2 D^2 \quad (16)$$

$$\frac{\sigma^2(\beta)}{\beta^2} \approx \frac{A_\beta^2}{W \cdot L} + S_\beta^2 D^2 \quad (17)$$

em que, V_{TH0} é a tensão de *threshold* para $V_{SB} = 0 \text{ V}$; β é o fator de corrente $\mu C_{ox} \frac{W}{L}$; A_β , $A_{V_{TH0}}$, S_β , e $S_{V_{TH0}}$ são constantes do processo de fabricação e D é a distância entre os dispositivos analisados.

Das relações acima podemos deduzir duas regras básicas para reduzir o *mismatch*:

- as dimensões dos dispositivos casados devem ser as maiores possíveis (W e L), procurando reduzir o valor dos termos $\frac{A_{V_{TH0}}^2}{W.L}$ e $\frac{A_{\beta}^2}{W.L}$;
- dispositivos casados devem ser posicionados o mais próximo possível, procurando reduzir o valor dos termos $S_{V_{TH0}}^2 D^2$ e $S_{\beta}^2 D^2$.

Utilizando-se técnicas de *matching*, é possível aumentar o número de circuitos produzidos com comportamento próximo ao projetado, melhorando a robustez do projeto.

A robustez de um projeto pode ser avaliada através de simulações de Monte Carlo. Neste tipo de simulação, são utilizados modelos estatísticos fornecidos pela *foundry* (para nosso trabalho, a Austria Micro Systems) que contém informações sobre o valor e o modelo de distribuição dos principais parâmetros dos dispositivos. São gerados, então, modelos elétricos distintos para os dispositivos e o projeto é testado para cada um deles, a fim de levantar dados estatísticos sobre seu desempenho.

2.6 Circuito de polarização e transistor em configuração *Cascode*

Circuitos de polarização são circuitos auxiliares que proveem tensões para garantir o funcionamento de um circuito principal. Além de prover tensões, é esperado também que um circuito de polarização consuma pouca corrente e tenha área reduzida.

Dois exemplos de circuitos de polarização são apresentados na Figura 6.

Figura 6 - Circuitos de polarização. a) O bloco hachurado faz a polarização do transistor M_{P1} . b) O bloco hachurado faz a polarização dos transistores M_{N1}

Nesta figura, o bloco hachurado do circuito da esquerda faz a polarização do transistor M_{P1} e o bloco hachurado da direita, do transistor M_{N1} . Uma aplicação do circuito da figura é a polarização de transistores do tipo *Cascode*. Transistores *Cascode* têm por objetivo a redução nas variações da tensão V_D de algum transistor MOS e com isso reduzir o efeito da modulação de canal (Razavi, 2001). O circuito de polarização provê tensões V_G para os transistores *Cascode* para que eles operem em saturação.

2.7 Espelho de corrente

Espelho de corrente é uma estrutura composta de dois ou mais transistores bastante utilizada em circuitos integrados para replicar correntes. Essa estrutura, formada por ou apenas transistores N ou apenas P, Figura 7a e Figura 7b, é caracterizada por estarem todos os transistores com os *sources* ligados entre si e com os *gates* ligados entre si e, ainda, por ter um transistor com o *gate* e o *drain* ligados. Com isso se produzem correntes que são proporcionais à razão entre os (W/L) 's dos transistores, caso a modulação de canal seja pequena. Por exemplo, na Figura 7a, a corrente I_0 que passa pelo transistor M_{N1} é espelhada para o transistor M_{N2} com um fator de N vezes, pois $(W/L)_{M_{N2}}$ é N vezes maior que $(W/L)_{M_{N1}}$ (Rincón-Mora, 2002).

Figura 7 - Espelho de corrente. a) Espelho de corrente do tipo NMOS simples. b) Espelho de corrente do tipo PMOS simples

Para que a corrente seja corretamente espelhada, é preciso que os transistores do espelho de corrente tenham um bom *matching*, o que deve ser garantido com atenção especial ao desenho do *layout* dos transistores.

Outra precaução que deve se ter é em relação à modulação de canal, que afeta a relação de espelhamento das correntes. A modulação de canal

pode ser reduzida aumentando o L dos transistores ou adicionando transistores *Cascode*.

2.8 Circuito “Complementary To Absolute Temperature” (CTAT)

Um circuito CTAT produz uma grandeza com comportamento decrescente com a temperatura absoluta. Esta grandeza é usualmente gerada, diretamente ou indiretamente, a partir da tensão *base-emitter* de um transistor bipolar ou da tensão *gate-source* de um transistor MOS em fraca inversão (Rincón-Mora, 2002) (Razavi, 2001).

Para mostrar que a tensão *base-emitter* do transistor bipolar decresce com a temperatura, utilizaremos equação (3). Considerando que o termo $\left(\frac{kT}{q}\right)$ é pequeno e que $V_{BE}(T) \approx V_{G0} + \varepsilon T$ (Tsividis Y. P., 1980), temos

$$V_{BE}(T) \approx V_{G0} - T \left(\frac{V_{G0} - V_{BE}(T_r)}{T_r} \right) \quad (18)$$

Já que o valor de V_{BE} está próximo de 0,6 V e que o valor de V_{G0} , próximo de 1,2 V, o termo $\left(\frac{V_{G0} - V_{BE}(T_r)}{T_r}\right)$ de (18) é positivo, portanto, $V_{BE}(T)$ decresce linearmente com a temperatura.

Para mostrar que a tensão *gate-source* do transistor MOS na fraca inversão decresce com a temperatura (fraca-inversão), utilizaremos a equação (14), assumindo que $n(T)$ varia pouco com a temperatura, e obtemos:

$$V_{GS}(T) \approx V_{GS}(T_0) - K_G + T \left(\frac{K_G}{T_0} \right) \quad (19)$$

em que $K_G \triangleq -k \cdot T_0 + V_{GS}(T_0) - V_{TH}(T_0) - V_{OFF}$

Para valores típicos de kT_0 , V_{OFF} , e $(V_{GS}(T_0) - V_{TH}(T_0))$, K_G é negativo (Giustolisi, Palumbo, Criscione, & Cutrì, 2003), e portanto, podemos ver por (19) que $V_{GS}(T)$ decresce linearmente com a temperatura.

Para validar as simplificações acima, duas simulações foram realizadas: e um deles um transistor bipolar PNP vertical da AMS, com 1 μA de I_C , tem a temperatura variada de -10 °C a 90 °C; no outro, um transistor NMOS da AMS, com W de 200 μm , L de 2 μm e 1 μA de I_D , tem a temperatura variada. A Figura 8 apresenta as curvas de V_{EB} e de V_{GS} em função da temperatura (modelo

típico), confirmando que as duas grandezas são CTAT. Ainda mais, podemos ver que elas tem um comportamento praticamente linear.

Figura 8 - Gráfico que mostra o comportamento V_{EB} de um transistor bipolar, com $1\ \mu\text{A}$ de I_C e a tensão V_{GS} de um NMOS, com W de $200\ \mu\text{m}$, L de $2\ \mu\text{m}$ e $1\ \mu\text{A}$ de I_D , com a temperatura variando de $-10\ ^\circ\text{C}$ a $90\ ^\circ\text{C}$

2.9 Circuito “Proportional To Absolute Temperature” (PTAT)

O circuito PTAT produz uma grandeza com comportamento crescente com a temperatura absoluta. Várias topologias de circuito foram propostas para gerar tal grandeza. Na Figura 9, são apresentados alguns exemplos de topologias que fornecem correntes PTAT (Vittoz & Fellrath, 1977) (Rincón-Mora, 2002) (Razavi, 2001).

Figura 9 – Exemplos de blocos PTAT. a) fonte de corrente NMOS. b) fonte de corrente PMOS. c) fonte de corrente NMOS com transistor em tríodo. d) fonte de corrente com transistores bipolares. e) fonte de corrente NMOS com transistores Cascode

Na Figura 9a temos uma fonte de corrente formada por um espelho de corrente NMOS degenerado, composta pelos transistores NMOS e o resistor, e pelo espelho composto pelos transistores PMOS. Para o correto funcionamento do circuito PTAT, os transistores NMOS devem operar na região de fraca inversão. Chamaremos este circuito de fonte de corrente NMOS. Para determinar a corrente I_1 em função do valor do resistor R_1 , de M e de N , utilizaremos a equação da corrente na fraca-inversão. Assim para as correntes I_1 e I_2 podemos escrever (9),

$$I_2 = M \cdot I_1 = \left(\frac{W}{L}\right)_{N1} \cdot I_M \cdot e^{\frac{V_{GSN1} - V_{THn}}{n \cdot V_T}} \cdot \left(1 - e^{-\frac{V_A}{V_T}}\right)$$

$$I_1 = \left(\frac{W}{L}\right)_{N2} \cdot I_M \cdot e^{\frac{V_{GSN2} - V_{THn}}{n \cdot V_T}} \cdot \left(1 - e^{-\frac{V_C}{V_T}}\right)$$

A corrente que passa pelo resistor R_1 pode ser escrita em função das tensões V_{GS} dos transistores NMOS, assim:

$$I_1 = \frac{V_{GSN1} - V_{GSN2}}{R_1}$$

Garantindo-se $V_A \gg V_T$ e $V_C \gg V_T$ e usando-se $V_T = \frac{k.T}{q}$ obtemos

$$I_1 = \frac{1}{nR_1} \frac{k.T}{q} \cdot \ln\left(\frac{M}{N}\right) \quad (20)$$

Para que o circuito opere devemos ter $M > N$. Nota-se pela equação (20) que I_1 é linear e crescente com a temperatura.

A fraca-inversão do transistor M_{N1} , usando a Tabela 1 e (4), exige que

$$0,1 > \frac{I_2}{2 \cdot n \cdot \left(\frac{W}{L}\right)_{N_1} \cdot C_{OX} \cdot \mu \cdot (V_T)^2} \quad (21)$$

Manipulando algebricamente a expressão, temos

$$\left(\frac{W}{L}\right)_{N_1} > \frac{5 \cdot I_2}{n \cdot C_{OX} \cdot \mu \cdot (V_T)^2} \quad (22)$$

Note que essa expressão garante a fraca-inversão de M_{N2} também, pois, I_1 é M vezes menor que I_2 , $\left(\frac{W}{L}\right)_{N_2}$ é N vezes maior que $\left(\frac{W}{L}\right)_{N_1}$ e $(M/N) > 1$.

Na Figura 9b, temos uma fonte de corrente similar a anterior. Agora ela é formada por um espelho de corrente PMOS degenerado, composto pelos transistores PMOS em fraca inversão e o resistor, e um espelho composto pelos transistores NMOS. Chamaremos este circuito de fonte de corrente PMOS. A corrente I_1 deste circuito pode ser determinada por uma análise análoga à feita para a fonte de corrente NMOS, sendo a equação final a mesma.

Na Figura 9c, observa-se uma modificação da fonte de corrente NMOS (Figura 9a) que apresenta um transistor, ao invés do resistor R_1 , e um amplificador operacional, ao invés do curto-circuito entre o *gate* e o *drain* do transistor M_{P2} . O transistor M_{NTR} , quando aplicada uma tensão V_G adequada para que opere na região triodo, pode substituir um resistor de valor elevado ($>500 \text{ k}\Omega$) ocupando uma área menor. Neste caso, fica-se impossibilita a utilização de *laser trimming* (processo de fabricação que utiliza um *laser* para ajustar as dimensões de componentes eletrônicos, especialmente resistores)

para o ajuste do valor resistência e esta apresentará variações com a tensão V_G .

O amplificador operacional serve para reduzir problemas de modulação de canal, pois, devendo as tensões nas suas entradas A e A' estarem próximas, os transistores PMOS e NMOS possuem valores de tensão de *drain* próximas. A redução da modulação de canal resulta em uma menor variação de I_1 com a tensão de alimentação. Por outro lado, a aplicação de um amplificador operacional causa o aumento da área do circuito e do consumo de potência, implica na utilização de uma tensão alimentação mais elevada e exige cuidados para evitar possível oscilação do circuito.

Na Figura 9d, observamos uma fonte de corrente que utiliza transistores bipolares. A corrente I_1 pode ser encontrada sabendo-se que os nós A' e B tem tensão V_{BEQ2} e V_{BEQ1} , respectivamente, e considerando que as tensões em A e A' são iguais. Temos então que a corrente que passa pelo resistor R_1 é,

$$I_1 = \frac{V_{BEQ2} - V_{BEQ1}}{R_1} \quad (23)$$

Lembrando que para transistores bipolares I_C possui um comportamento exponencial com V_{BE} , similar a I_D e V_{GS} em transistores MOS em fraca-inversão, podemos encontrar que,

$$I_1 = \frac{1}{R_1} \frac{k \cdot T}{q} \cdot \ln(N) \quad (24)$$

onde N é quantas vezes a área de Q_1 é maior do que Q_2 (ou que Q_1 é formado por N transistores iguais a Q_2 em paralelo).

Os transistores bipolares com *base* em V_{SS} são equivalentes a diodos, portanto podem ser substituídos pelos últimos sem que haja alteração no equacionamento.

Pode-se observar que (20) e (24) são similares, apesar de a primeira equação ser gerada a partir da diferença de tensões V_{GS} de transistores MOS e a segunda, de tensões V_{BE} de transistores bipolares.

Na Figura 9e, observamos uma fonte de corrente NMOS com transistores *Cascode* aplicados tanto no espelho NMOS degenerado, aplicado apenas no lado direito, quanto no espelho PMOS, aplicado apenas no lado esquerdo. Estes transistores, quando corretamente polarizados na região de saturação, atenuam a influência de variações tensão de alimentação sobre a

corrente PTAT gerada. O custo da adição desses transistores é o aumento da área e do consumo, especialmente se um bloco de polarização for adicionado, e o possível aumento da tensão de alimentação mínima.

Outros circuitos podem ser construídos a partir desses cinco exemplos apresentados, por exemplo, adicionando transistores *Cascode* na fonte de corrente PMOS, ou substituindo resistores por transistores em triodo. Deve-se, contudo, ter em mente que todos esses circuitos aplicam as diferenças de tensões entre V_{GS} 's ou V_{BE} 's em um resistor a fim de gerar uma corrente PTAT.

2.10 Circuito de *start-up*

Um circuito de *start-up* é um bloco auxiliar que tem por função iniciar a operação de um circuito principal. Este circuito, sem o *start-up*, pode entrar em um estado não-funcional (Rincón-Mora, 2002). É esperado que este bloco se desative e consuma pouca potência a partir do momento em que o circuito principal comece a operar; também que ocupe uma pequena área.

Os blocos de *start-up* podem ser de diversas formas, dependendo do circuito em que será utilizado. Um exemplo de circuito que necessita de bloco de *start-up* é a fonte de corrente NMOS da Figura 10. Nesta figura também é mostrado um estado estável em que o circuito não opera como desejado. Quando a tensão do *gate* dos transistores PMOS tem valor V_{DD} e a tensão do *gate* dos NMOS tem valor V_{SS} , todos os transistores do circuito estão na região de corte e permanecem neste estado.

Figura 10 - Estado da fonte de corrente NMOS em que ela não funciona

Na Figura 11, são apresentados alguns exemplos de bloco de *start-up* para este circuito.

Figura 11 - Exemplo de circuitos de *start-up* para a fonte de corrente NMOS

O circuito de *start-up* na Figura 11a é formado pelos transistores M_{PINV} , M_{NINV} e M_{PO} . Nele os transistores M_{PINV} e M_{NINV} compõem um inversor. Quando o nó C tiver valor V_{DD} , situação não desejada, a saída B do inversor estará em V_{SS} e fará com que o transistor M_{PO} conduza. Dessa forma é aplicada uma tensão próxima a V_{DD} ao nó A que fará os transistores NMOS conduzirem e forçará o funcionamento da fonte de corrente. Quando a fonte de corrente estiver funcionando, a tensão em C deve ser baixa. A saída do inversor ficará então próxima de V_{DD} , cortando o transistor M_{PO} e parando o funcionamento do circuito de *start-up*.

O circuito de *start-up* na Figura 11b é formado pelos transistores M_{PCAP} e M_{PO} e pelo capacitor C_1 . O capacitor inicialmente está descarregado quando o circuito é ligado. Nesta situação, o *gate* do transistor M_{PO} estará em V_{SS} o que acarreta sua condução. Com isso é aplicada uma tensão próxima a V_{DD} ao nó A que fará os transistores NMOS conduzirem e forçará a operação da fonte de

corrente. O capacitor é carregado lentamente pelo transistor M_{PCAP} o que causará o corte do transistor M_{PO} , parando o funcionamento do circuito de *start-up*.

O circuito de *start-up* na Figura 11c, formado pelos transistores M_{NCAP} e M_{PO} e pelo capacitor C_2 , é análogo ao da Figura 11b. Neste caso, o transistor M_{NO} abaixará a tensão no nó C, fazendo a fonte de corrente funcionar.

O circuito de *start-up* na Figura 11d é formado pelo transistor M_{PB} e pelo botão B. Quando acionado o botão B, o transistor M_{PB} conduz, iniciando o funcionamento da fonte. Este circuito de *start-up*, apesar de ser inviável para circuitos comerciais, cumpre seu papel em circuitos testes.

Apesar de ser um bloco fundamental para o funcionamento dos circuitos, o circuito de *start-up* geralmente não é apresentado nas figuras de topologia, para facilitar a visibilidade do circuito principal.

2.11 Fonte de referência do tipo *bandgap* e circuitos da literatura

A fonte de referência do tipo *bandgap* utiliza circuitos PTAT e CTAT para gerar a tensão de referência, realizando a soma ponderada das grandezas CTAT e PTAT para cancelar, em primeira ordem, as dependências com a temperatura (Rincón-Mora, 2002) (Razavi, 2001). O termo *bandgap* é utilizado quando a grandeza CTAT é gerada a partir da tensão V_{BE} de um transistor bipolar. Uma ilustração do soma ponderada de uma grandeza CTAT com outra PTAT está apresentada na Figura 12.

Figura 12 – Ilustração explicativa que mostra a tensão de referência sendo formada por uma soma ponderada das grandezas PTAT e CTAT

Na Figura 13, é apresentada a topologia proposta por (Banba, et al., 1999).

Neste circuito, R_2 e R_2' possuem mesmo valor e a relação (W/L) dos transistores M_{P1} , M_{P2} e M_{P3} é igual.

$$V_{REF} = R_1 I_4 \quad (25)$$
$$I_4 = I_1 + I_2 \quad (26)$$

26

$$V_{REF} = R_1 \left(\frac{1}{R_3} \frac{k.T}{q} \ln(N) + \frac{V_{BEQ2}}{R_2} \right) \quad (27)$$

A equação (27) mostra que a tensão V_{REF} é formada a partir da soma de uma corrente PTAT, dada por $\frac{1}{R_3} \frac{k.T}{q} \ln(N)$, e uma CTAT, $\frac{V_{BEQ2}}{R_2}$. Os resistores R_1 , R_2 e R_3 são encarregados de: determinar o valor de tensão de saída do circuito, ajustar a inclinação da curva CTAT para que haja o cancelamento das variações com a temperatura e determinar a corrente PTAT.

Até 1999, as fontes *bandgap* tinham restrições na mínima tensão de alimentação, pois realizavam a soma ponderada direta da tensão CTAT V_{BE} com uma tensão PTAT. Neste caso, quando o cancelamento do efeito da temperatura é obtido, a soma das tensões está próxima a 1,17 V (tensão de *bandgap*). Em (Banba, et al., 1999) a soma ponderada é realizada com correntes, uma delas proporcional a V_{BE} , gerando, dessa forma, a corrente I_3 estável. Para obter a tensão estável, esta corrente foi espelhada e aplicada a um resistor. A partir deste trabalho se abriu a possibilidade para os circuitos sub 1,0 V, que possuem tensão de alimentação menor que 1,0 V.

Na Figura 14, é apresentado a topologia proposta por (Ueno, Hirose, Asai, & Amemiya, 2009). Ela utiliza apenas transistores MOS em sua configuração e uma estrutura apresentada em (Vittoz & Neyroud, 1979) para obter as tensões CTAT e PTAT.

Figura 14 - Circuito proposto por (Ueno, Hirose, Asai, & Amemiya, 2009)

Nesta topologia, os transistores M_{N5} , M_{N6} , M_{N7} , M_{N8} e M_{N9} devem operar em fraca-inversão. O transistor M_{R1} deve operar em forte-inversão na região de triodo. O bloco formado pelos transistores M_{P1} , M_{P2} , M_{N1} , M_{N2} , M_{N3} e M_{N4} e o amplificador gera uma corrente, I_P , que serve apenas para alimentar os transistores M_{N5} , M_{N6} , M_{N7} , M_{N8} e M_{N9} .

Para encontrar a tensão de referência V_{REF} , iniciaremos pela tensão do nó C, dada por,

$$V_C = V_{GS6} - V_{GS5} \quad (28)$$

A partir da tensão no nó C, encontramos V_A ,

$$V_A = V_C + V_{GS8} - V_{GS7} \quad (29)$$

Por fim obtemos V_{REF} que será

$$V_{REF} = V_A + V_{GS9} \quad (30)$$

Unindo (28), (29) e (30), obtemos

$$V_{REF} = V_{GS6} - V_{GS5} + V_{GS8} - V_{GS7} + V_{GS9} \quad (31)$$

Usando (9), que fornece a tensão V_{GS} na fraca inversão, considerando que as tensões V_{DS} dos transistores M_{N5} , M_{N6} , M_{N7} , M_{N8} e M_{N9} sejam bem

maiores que V_T e que as correntes que passam por M_{N5} , M_{N7} e M_{N9} são iguais a I_P e observando que corrente que passa por M_{N8} é igual a $2.I_P$ e que a corrente que passa por M_{N6} é igual a $3.I_P$, temos

$$V_{REF} = V_{GS6} + n \cdot V_T \cdot \ln \left(\frac{2 \cdot K_5 \cdot K_7}{K_8 \cdot K_9} \right)$$

em que K_5 , K_8 , K_7 e K_9 são as relações $\left(\frac{W}{L}\right)_{M5}$, $\left(\frac{W}{L}\right)_{M8}$, $\left(\frac{W}{L}\right)_{M7}$ e $\left(\frac{W}{L}\right)_{M9}$, respectivamente.

Essa equação apresenta como grandeza CTAT a tensão V_{GS6} e como grandeza PTAT a tensão $n \cdot V_T \cdot \ln \left(\frac{2 \cdot K_5 \cdot K_7}{K_8 \cdot K_9} \right)$. O artigo (Ueno, Hirose, Asai, & Amemiya, 2009) mostra que, escolhendo apropriadamente as relações W/L dos transistores, obtemos uma tensão de referência dada por

$$V_{REF} = V_{TH0k} \quad (32)$$

em que V_{TH0k} é a tensão de *threshold* do transistor NMOS em 0 K.

O circuito proposto por (Ueno, Hirose, Asai, & Amemiya, 2009) apresenta a tensão de saída com baixa dependência em relação à temperatura e baixíssima dependência em relação à tensão de alimentação, com consumo de corrente de algumas centenas de nanoamperes. Entretanto, a tensão de saída tem o valor V_{TH0k} que depende da tecnologia utilizada, varia consideravelmente de lamina para lamina e que pode ser elevado.

Na Figura 15, é apresentada a topologia proposta por (Neuteboom, Kup, & Janssens, 1997).

Figura 16 - Circuito proposto por (Leung & Mok, A CMOS Voltage Reference Based on Weighted ΔV_{GS} for CMOS Low-Dropout Linear Regulators, 2003)

Sendo a tensão no nó A dada por V_{GS} do transistor M_{N1} (V_{GSN1}), teremos que a corrente I_1 será $\frac{V_{GSN1}}{R_2}$ e tensão no nó B será,

$$V_B = V_{GSN1} + \frac{R_1}{R_2} V_{GSN1}$$

Usando a tensão V_B e considerando a tensão V_{GS} do transistor M_{P1} igual a V_{GSP1} , temos que V_{REF} é

$$V_{REF} = \left(1 - \frac{R_1}{R_2}\right) V_{GSN1} - V_{GSP1}$$

Tanto V_{GSN1} como V_{GSP1} decrescem com a temperatura e, portanto, pode-se cancelar a variação de V_{REF} com a temperatura através do ajuste dos resistores R_1 e R_2 . Veja que aqui a grandeza PTAT é o termo $-V_{GSP1}$.

2.12 Algoritmo metaheurístico

Problemas de otimização são problemas de busca pela solução que minimiza (ou maximiza) o desempenho de um sistema em determinados aspectos. Algoritmos metaheurísticos são procedimentos computacionais que resolvem problemas de otimização. São indicados para a resolução de

problemas em que outros algoritmos de otimização demorariam muito tempo para encontrar uma boa solução ou em que não existam modelos matemáticos que descrevem o problema, somente meios de verificar o desempenho de uma solução dada (Talbi, 2009) (Luke, 2009).

Explorando o conjunto de todas as possibilidades – o espaço de soluções – de forma eficiente, algoritmos metaheurísticos não garantem encontrar a solução ótima, mas encontram uma aceitável. Existem inúmeros tipos de algoritmos metaheurísticos sendo que a maior parte deles mimetiza a natureza (processo de evolução genética, colônias de insetos, etc.). Algoritmos metaheurísticos utilizam uma métrica (*score*) para se guiar na busca por soluções. Este *score* é calculado através de uma função de *fitness* (Talbi, 2009). Podem existir inúmeras funções de *fitness* para serem aplicadas a um mesmo problema e é ela quem determina o resultado final do algoritmo.

Os diversos algoritmos metaheurísticos variam entre si no tempo de execução, no *score* final encontrado e alguns são bastante efetivos na resolução de problemas específicos (Luke, 2009).

Existe normalmente compromisso entre o tempo de execução e o valor do *score* atingido nos algoritmos metaheurístico. Em geral, quanto maior o tempo de execução, maiores as chances de se obter um *score* menor (no caso de minimização). Isso ocorre porque um maior tempo de execução permite que o algoritmo investigue melhor o espaço de soluções. Em grande parte dos problemas, não se pode garantir que o resultado fornecido por um algoritmo metaheurístico é o mínimo global, pois para isso ele precisaria ter analisado todo o espaço de soluções. O resultado encontrado é no geral um apenas mínimo local.

Neste trabalho, são utilizados dois exemplos de algoritmo metaheurístico: *genetic algorithm* e *simulated annealing*.

O *genetic algorithm* (GA), ou algoritmo genético, foi criado por J. Holland em 1970 e é um método inspirado no processo de seleção natural (Talbi, 2009). O algoritmo genético seleciona, a partir de uma lista de possíveis soluções (indivíduos de uma população), aquelas que possuem menor *score* (no caso de minimização) de acordo com uma função de *fitness*. Sob essas possíveis soluções são aplicados operadores, como *crossover* e *mutation*, que fazem, respectivamente, a recombinação e pequenas alterações aleatórias nos parâmetros das soluções, para criar novas soluções, indivíduos, que compõem uma nova população. Sobre essa última população se repetirá o procedimento aplicado à população anterior, gerando outra nova população. Esse procedimento se perpetuará até que uma condição de parada seja alcançada, como, por exemplo, um número máximo de iterações ou a pequena variabilidade entre as soluções de uma população. O algoritmo é ilustrado pela Figura 17. Em algoritmos genéticos, cada nova população é chamada de nova geração.

Figura 17 – Diagrama que explica o funcionamento de um algoritmo genético. Quanto menor o *score* mais apto é o indivíduo

Existem diversas implementações de algoritmos genéticos que são caracterizadas por diferentes métodos de seleção de indivíduos, de mutação e de recombinação de parâmetros, por trabalhar com várias populações, etc. Essas diferenças fazem com que a velocidade de execução e solução final possam ser distintas para cada caso.

As opções e possíveis valores do algoritmo genético implementado no MATLAB e que foi aplicado neste trabalho são (Mathworks, s.d.):

- tipo de população: determina o tipo de representação dos parâmetros que pode ser feita com, por exemplo, números inteiros, ponto-flutuante, ou um vetor binário em que os componentes são zero ou um. O valor utilizado dependerá dos parâmetros da aplicação;
- tamanho da população: determina quantas subpopulações serão usadas e o tamanho de cada uma delas. As subpopulações são manipuladas separadamente até serem misturadas. Uma população grande significa uma melhor busca pelo espaço de soluções, todavia implica em um maior tempo de processamento. As subpopulações fazem com que soluções que seriam descartadas, caso fosse uma população única, sejam melhor analisadas, promovendo uma melhor busca;
- método de criação de população: determina como será criada a primeira população, caso nenhuma população inicial seja fornecida. Um método é criar uma população aleatória com distribuição uniforme, outro é criar uma população aleatória dentro de limites especificados;
- método de *scaling*: determina como os valores de *score* serão redimensionados para se adequarem a função de seleção. E, uma vez redimensionados, baixos valores de *scores* implicam altos valores redimensionados. Os *scores* também precisam ser redimensionados de modo que não sejam muito discrepantes, ou o algoritmo convergirá muito rápido e o espaço de soluções não será bem explorado, e que não sejam muito próximos, ou o algoritmo irá demorar muito para convergir. Exemplos de *scaling* são;
 - *rank*, que redimensiona o *score* de acordo com a posição que ele ocupa se os valores de *scores* forem ordenados, em ordem

- crescente. O *score* redimensionado é proporcional a $\frac{1}{\sqrt{n}}$, sendo n a sua posição;
- proporcional, que redimensiona os *scores* proporcionalmente ao seu valor e
 - *top*, que redimensiona os melhores *scores* para um mesmo valor enquanto o resto é colocado em zero;
- método de seleção: determina quais soluções serão utilizadas para criar uma nova população. Por causa do método de *scaling*, um alto *score* redimensionado implica numa maior probabilidade de ser selecionado, apesar do GA ser um algoritmo de minimização. Exemplos são:
 - *stochastic uniform*, em que a chance de um indivíduo ser selecionado é proporcional a seu *score* redimensionado;
 - *resto*, em que o indivíduo é selecionado quantas vezes for o valor inteiro do seu *score* redimensionado (um *score* redimensionado de 3,4 faz com o indivíduo seja selecionado 3 vezes);
 - *torneio*, em que são formados grupos de n indivíduos (sendo n pelo menos 2) e o indivíduo com melhor *score* redimensionado de cada grupo é escolhido.
 - métodos de reprodução: determina como o algoritmo irá produzir a nova população a partir dos indivíduos selecionados. É preciso indicar quantos dos indivíduos selecionados serão mantidos (*elite count*) e quantos serão produzidos por *crossover*, sendo o restante da população completada por mutações;
 - método de mutação: determina como serão realizadas as pequenas alterações aleatórias nos parâmetros dos indivíduos, fazendo com que haja uma melhor busca no espaço de soluções. Exemplos são:
 - *gaussiano*, que adiciona um desvio aleatório a cada parâmetro, seguindo uma distribuição gaussiana cujo centro é zero e o desvio padrão varia com as gerações;
 - *uniforme*, que aleatoriamente escolhe alguns parâmetros de um indivíduo e atribui a eles um valor entre os valores limites de sua especificação, seguindo uma distribuição uniforme;

- *adaptive feasible*, que aleatoriamente altera os parâmetros de um indivíduo dentro das restrições de valores especificados para o parâmetro. A magnitude dessas alterações varia conforme as gerações;
 - dependente dos limites dos parâmetros, que utiliza a gaussiana se não houver restrição nos valores dos parâmetros, ou *adaptive feasible*, caso contrário.
- método de *crossover*: determina como serão combinados dois indivíduos, pais, para gerar um terceiro, filho, que fará parte da nova população. Exemplos são:
 - *scattered*, onde cada parâmetro do filho é escolhido de um dos pais;
 - *single point*, onde se copia os N primeiros parâmetros de um dos pais e completa os outros parâmetros do outro. N é um número aleatório entre um e o número total de parâmetros do indivíduo;
 - *two points*, copia os N primeiros e M últimos parâmetros de um dos pais e o restante dos parâmetros do outro. A soma de N e M deve ser inferior ao o número total de parâmetros e
 - aritmético, que cada parâmetro do filho é a média aritmética ponderada dos parâmetros de dois pais e os pesos são os *scores* deles.
- métodos de migração: determina como as subpopulações serão misturadas. É necessário indicar a fração das subpopulações que migrará, indo de uma subpopulação para outra, e o intervalo de gerações que passa entre cada migração;
- critério de parada: determina quais os critérios para finalizar a busca da solução ótima. Existem vários critérios, que podem ser aplicados simultaneamente, que se forem atingidos finalizam as buscas. Exemplos são:
 - número máximo de gerações;
 - tempo limite de busca;
 - valor mínimo do *score*;
 - tempo máximo sem nenhuma melhora significava do *score* e

- número máximo de gerações sem nenhuma melhora significativa do *score*.

Para os dois últimos critérios é necessário indicar um valor de tolerância para determinar se houve ou não uma melhora significativa.

Uma característica importante do GA é que ele não necessita de uma solução inicial para sua execução.

O *simulated annealing* (SA), criado a partir dos trabalhos de S.Kirkpatrick et al. e V.Cerny, é um método inspirado no processo de recozimento da indústria metalúrgica, em que um metal é aquecido e lentamente resfriado a fim de obter uma estrutura cristalina mais forte (Talbi, 2009).

O *simulated annealing* possui uma população de um indivíduo e uma temperatura de trabalho, que inicialmente devem ser fornecidos ou gerados aleatoriamente. Os parâmetros deste indivíduo são variados em função da temperatura de trabalho para criar um novo indivíduo, que pode ou não substituir o original. Quando o *score* do novo indivíduo for melhor do que o do indivíduo original, haverá a substituição; quando o *score* não for melhor, a substituição poderá ocorrer com uma probabilidade que é função do *score* de ambos e da temperatura. Após o procedimento acima, a temperatura de trabalho é reduzida e o procedimento é novamente repetido. Quando a temperatura de trabalho chega a um limiar inferior ou um número de interações foi excedido, o algoritmo pode reiniciar a temperatura e prosseguir na busca (*reannealing*) ou encerrar a execução, fornecendo a solução encontrada. A Figura 18 ilustra o algoritmo.

Existem diversas implementações de *simulated annealing* que são caracterizadas por diferentes funções de geração de indivíduos e de aceitação de novas soluções, diferentes métodos de alteração da temperatura e de *reannealing*, diferentes critérios de parada, etc. Essas diferenças podem fazer com que a velocidade de execução ou a solução final sejam distintas para cada caso.

Figura 18 - Diagrama que explica o funcionamento de um tipo de *simulated annealing*. Quanto menor o score mais apto é o indivíduo

As opções e possíveis valores do *simulated annealing* implementado no MATLAB e que foi aplicado neste trabalho são:

- tipo de população: determina o tipo de representação dos parâmetros que pode ser feita com, por exemplo, números inteiros, ponto-flutuante, ou um vetor binário em que os componentes são zero ou um. O valor utilizado dependerá dos parâmetros da aplicação;
- método de *annealing*: determina como serão gerados os parâmetros para novas soluções a serem testadas. Exemplos são:
 - *fast annealing*, em que a variação dos parâmetros é proporcional a temperatura
 - *boltzmann annealing*, em que a variação dos parâmetros é proporcional à raiz quadrada da temperatura;
- opções de *reannealing*: determina quantas novas soluções devem ser aceitas antes de ocorrer um *reannealing*;
- método de decaimento da temperatura: determina a temperatura inicial e como a temperatura irá ser reduzida. Exemplos de funções de redução

são: exponencial, logarítmica e linear, todas em função do número de iterações e

- critério de parada: determina quais os critérios para finalizar a busca da solução ótima. Existem vários critérios, que podem ser aplicados simultaneamente, finalizando a busca se um deles for atingido.

Exemplos são:

- número máximo de iterações;
- tempo limite de busca;
- número máximo de iterações sem nenhuma melhora significativa do *score*.

Para o último critério é necessário indicar um valor de tolerância para determinar se houve ou não uma melhora significativa.

O *simulated annealing* possui, em geral, uma execução mais rápida do que o GA, no entanto as soluções podem não ser boas para algumas condições iniciais.

4 Método e base teórica

Para explicar a operação e projeto da fonte de tensão de referência proposta neste trabalho, serão apresentadas seis seções que detalham os blocos que a compõe e como foi realizado o projeto.

A primeira seção apresenta uma versão simplificada da fonte de tensão e as equações que descrevem seu funcionamento. Apesar da simplificação, as equações servem para o circuito completo.

A segunda seção apresenta a segunda versão do circuito. Esta versão é uma fonte melhorada que inclui algumas estruturas como transistores *Cascode*.

A terceira seção apresenta o subcircuito de *start-up*.

A quarta seção discorre sobre os algoritmos metaheurísticos e a função de *fitness* utilizados para determinar os valores dos parâmetros do circuito projetado.

A quinta seção apresenta o bloco de ajuste de coeficiente de temperatura, bloco importante que será adicionado ao circuito completo.

A sexta e última seção apresenta por fim o circuito com todas suas estruturas.

4.1 Circuito simples

A Figura 19 apresenta o circuito simplificado (Navarro & Ishibe, 2011) (Ishibe & Navarro, A Bandgap Circuit with a Temperature Coefficient Adjustment Block, 2013) (Ishibe & Navarro, A CMOS Bandgap Reference Circuit with a Temperature Coefficient Adjustment Block, 2013). Este circuito é dividido em três subcircuitos: subcircuito de geração da grandeza PTAT, subcircuito de geração da grandeza CTAT e subcircuito de controle da saída.

O subcircuito PTAT, formado pelos transistores MOS M_{P1} , M_{P2} , M_{N1} e M_{N2} e pelo resistor R_1 , é uma fonte de corrente NMOS. Portanto, a corrente I_P , espelhada para os transistores M_{P3} e M_{P4} , tem comportamento crescente com a temperatura absoluta.

O subcircuito CTAT, formado pelo transistor MOS M_{P3} e pelo bipolar Q_1 , faz uso da tensão *emitter-base* do transistor bipolar para obter uma tensão PTAT. Vemos que a fonte proposta é do tipo *bandgap*. O transistor M_{P3} tem por função apenas polarizar Q_1 , gerador da tensão V_{EBQ1} .

Figura 19 – Topologia de uma fonte de tensão de referência *bandgap* simples

O subcircuito de controle da saída, formado pelo transistor M_{P4} e pelos resistores R_2 e R_3 , faz a soma ponderada das grandezas PTAT e CTAT e produz a tensão de saída. Neste bloco, o resistor R_2 faz a conversão da tensão V_{EBQ1} para uma corrente CTAT, I_{CTAT} , e M_{P4} espelha a corrente PTAT. Somando-se ambas correntes e realizando um ajuste do peso da corrente CTAT, através da resistência R_2 , é possível atingir uma corrente com baixa dependência com a temperatura. O resistor R_1 converte essa corrente em tensão e seu valor determina o valor da tensão da saída.

Para entender a influência da temperatura sobre a tensão de saída (V_{REF}), será apresentado o equacionamento do circuito.

Aplicando a primeira lei de Kirchhoff no nó de saída V_{REF} , temos

$$S_1 \cdot I_P + I_{CTAT} + \frac{V_{REF}}{R_3} = 0 \quad (33)$$

Tendo que I_P é dado por (20) e I_C é

$$I_{CTAT} = \frac{V_{EBQ1} - V_{REF}}{R_2} \quad (34)$$

Obtém-se,

$$S_1 \cdot \frac{1}{R_1} \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{M}{N}\right) + \frac{V_{EBQ1} - V_{REF}}{R_2} + \frac{V_{REF}}{R_3} = 0 \quad (35)$$

Isolando V_{REF} da equação anterior,

$$V_{REF} = \frac{R_3}{R_3 + R_2} (V_{EBQ1} + S_1 \cdot I_P \cdot R_2) = \frac{R_3}{R_3 + R_2} \left(V_{EBQ1} + S_1 \cdot \frac{R_2}{R_1} \frac{k \cdot T}{q} \cdot \ln \left(\frac{M}{N} \right) \right) \quad (36)$$

Note que em (36) a tensão de saída é proporcional à soma da tensão CTAT V_{EBQ1} e da tensão PTAT $S_1 \cdot \frac{R_2}{R_1} \frac{k \cdot T}{q} \cdot \ln \left(\frac{M}{N} \right)$, embora somente correntes sejam somadas. Note também que a corrente que passa pelo transistor Q_1 deve ser suficiente para ele se manter polarizado em qualquer temperatura.

Uma expressão que melhor mostra a influência da temperatura sobre V_{REF} pode ser obtida se substituirmos V_{EBQ1} por (3). Essa expressão é dada por

$$V_{REF} = \frac{R_3}{R_3 + R_2} \left(V_{BG}(T) - \left(\frac{T}{T_r} \right) V_{BG}(T_r) + \left(\frac{T}{T_r} \right) V_{EBQ1}(T_r) - \eta \left(\frac{kT}{q} \right) \ln \left(\frac{T}{T_r} \right) + \left(\frac{kT}{q} \right) \ln \left(\frac{I_c(T)}{I_c(T_r)} \right) + S_1 \cdot \frac{R_2}{R_1} \frac{k \cdot T}{q} \cdot \ln \left(\frac{M}{N} \right) \right) \quad (37)$$

Para encontrarmos a relação entre os valores dos parâmetros que garante a mínima variação de V_{REF} com a temperatura quando esta tem valor T_r (temperatura de trabalho), devemos fazer $\frac{\partial V_{REF}(T)}{\partial T} \big|_{T=T_r} = 0$. Considerando que $V_{BG}(T)$ possui uma dependência linear com a temperatura absoluta, $(V_{G0} + \epsilon \cdot T)$, temos que

$$\frac{\partial V_{REF}}{\partial T} \big|_{T=T_r} = -\frac{V_{G0}}{T_r} + \frac{V_{BEQ1}(T_r)}{T_r} - \eta \frac{k}{q} + \frac{kT_r}{q} \cdot \frac{1}{I_c(T_r)} \frac{\partial I_c(T)}{\partial T} \big|_{T=T_r} + S_1 \cdot \frac{R_2}{R_1} \frac{k}{q} \cdot \ln \left(\frac{M}{N} \right) = 0 \quad (38)$$

Observando que $\frac{kT_r}{q}$ é bem menor que V_G , próximo de 1,2 V, e V_{EBQ1} e que I_c varia pouco com a temperatura, a condição para minimizar a variação de V_{REF} é:

$$V_{G0} - V_{EBQ1}(T_r) \approx S_1 \cdot \frac{R_2}{R_1} \frac{kT_r}{q} \cdot \ln \left(\frac{M}{N} \right) \quad (39)$$

ou

$$V_{G0} - V_{EBQ1}(T_r) \approx S_1 \cdot I_P \cdot R_2 \quad (40)$$

Usando (39) em (36), obtemos a tensão na saída quando a variação de V_{REF} é mínima

$$V_{REF}(T_r) = \frac{R_3}{R_3 + R_2} (V_{EBQ1}(T_r) + V_{G0} - V_{EBQ1}(T_r)) = \frac{R_3}{R_3 + R_2} \cdot V_{G0} \quad (41)$$

Pelas relações acima, uma vez fixados os valores de I_P , M , N , S_1 , S_2 e V_{REF} , podemos encontrar os valores dos resistores R_1 , R_2 e R_3 (usando (20), (40) e (41)), dados por

$$R_1 = \frac{1}{I_P} \frac{k \cdot T}{q} \cdot \ln\left(\frac{M}{N}\right) \quad (42)$$

$$R_2 = \frac{V_{G0} - V_{EBQ1}(T_r)}{S_1 \cdot I_P} \quad (43)$$

$$R_3 = \frac{V_{REF} \cdot R_2}{V_{G0} - V_{REF}} \quad (44)$$

O consumo total de corrente do circuito, Figura 19, é

$$\text{Corrente consumida} = I_P(M + 1 + S_1 + S_2) \quad (45)$$

Podemos aplicar nessa equação a relação (42) ou a relação (43) e veremos imediatamente a dependência da corrente consumida com R_1 ou R_2 . Como R_3 é diretamente proporcional a R_2 , relação (44), concluímos que para reduzir a corrente é necessária a utilização de valores elevados de resistores.

Para entender a influência da tensão de alimentação sobre a tensão de saída, analisamos a expressão (36) que mostra que a tensão de referência é função de V_{EBQ1} e $R_2 \cdot I_P$. Como V_{EBQ1} tem um comportamento logarítmico com I_P , pode-se aproximar a variação da tensão de referência por

$$\Delta V_{REF} \approx \frac{R_3}{R_3 + R_2} S_1 \cdot \Delta I_P \cdot R_2 \quad (46)$$

Variações na tensão de alimentação fazem com que I_P , e, conseqüentemente, V_{REF} variem. Usando (40) e (41) em (46) obtemos

$$\frac{\Delta V_{REF}}{V_{REF}} \approx \frac{V_{G0} - V_{EBQ1}}{V_{G0}} \frac{\Delta I_P}{I_P} \quad (47)$$

Aproximando V_{G0} por 1,2 V e V_{EBQ1} por 0,6 V, temos

$$\frac{\Delta V_{REF}}{V_{REF}} \approx 0,6 \cdot \frac{\Delta I_P}{I_P} \quad (48)$$

Essa equação nos indica que para reduzir a regulação de linha devemos ter uma corrente PTAT (I_P) estável para variações da tensão de alimentação.

Os equacionamentos e análises feitos acima são válidos, com pequenas alterações, para o circuito com outras fontes de corrente PTAT. Possíveis opções seriam o uso de fontes PMOS, Figura 9b, de fontes com transistores bipolares, Figura 9d, ou de fontes com amplificadores operacionais. No circuito deste trabalho foi decidido pelo uso de uma fonte de corrente NMOS. Além

disso, também se decidiu pela aplicação de resistores ao invés de transistores operando em triodo. Essas escolhas foram feitas pois:

- através de simulações e leitura da documentação notou-se que uma fonte de corrente NMOS tem menor variação com o processo de fabricação que uma fonte PMOS (Austria Micro Systems, 2003);
- transistores MOS na tecnologia utilizada tem comportamento mais estável do que transistores bipolares;
- a utilização de fonte de correntes com amplificadores operacionais, apesar de reduzir a regulação de linha, aumentaria a tensão de alimentação mínima e
- os resistores R_3 e R_2 não poderiam ser substituídos facilmente por transistores em triodo. Em razão da necessidade do casamento entre os resistores, R_1 , R_2 e R_3 devem ser todos implementados da mesma forma.

4.2 Segunda versão

A topologia apresentada na Figura 20 é uma modificação da topologia da Figura 19. As modificações realizadas consistem na adição de transistores *Cascode*, M_{PC} , M_{PC1} , M_{PC2} e M_{NC} , e de dois subcircuitos de polarização, um formado por M_{PBP} e M_{NBP} (chamaremos de subcircuito de polarização PMOS) e o outro por M_{PBN} e M_{NBN} (chamaremos de subcircuito de polarização NMOS).

Os transistores *Cascode* servem pra reduzir a regulação de linha no circuito.

Figura 20 – Topologia de circuito de fonte de tensão de referência *bandgap* com transistores *Cascode* e circuitos de polarização

O subcircuito de polarização PMOS espelha a corrente de M_{N1} através de M_{NBP} e aplica em M_{PBP} . Este transistor deve ser dimensionado para que a tensão no nó A seja a mais próxima de V_{DD} possível e suficiente para garantir que M_{PC} , M_{PC1} e M_{PC2} estejam na saturação. O subcircuito de polarização NMOS, de forma análoga ao do tipo PMOS, espelha M_{P2} , gerando uma tensão no nó B que é a mais próxima de *ground* possível e suficiente para garantir que M_{NC} esteja na saturação. Esses dois subcircuitos de polarização não só polarizam os transistores *Cascode*, mas também permitem que a segunda versão da fonte trabalhe com tensão de alimentação reduzida.

Note que todo equacionamento realizado no item anterior é válido para este circuito.

Tendo já a topologia da fonte que vai ser desenvolvida, o próximo passo é dimensionar os transistores e resistores, assim como os parâmetros M , N , S_1 e S_2 .

4.3 Subcircuito de *start-up*

O circuito de fonte de tensão necessita de um subcircuito de *start-up* devido a seu bloco PTAT (fonte de corrente NMOS). Para o circuito da Figura 19, os circuitos de *start-up* apresentados na Figura 11 podem ser aplicados.

Com a adição dos transistores *Cascode* na segunda versão da fonte (Figura 20), os circuitos de *start-up* da Figura 11 passam a não funcionar. Isso ocorre porque, quando a fonte de corrente NMOS não está funcionando os dois blocos de polarização também não funcionam, o que acarreta o corte dos transistores *Cascode*. Os circuitos de *start-up* vistos forçam apenas um dos espelhos de corrente da fonte de corrente a funcionar e, com isso, apenas um dos circuitos de polarização trabalhará. Isso não é o suficiente para garantir que a fonte de corrente inicie.

Para solucionar essa dificuldade é preciso introduzir um subcircuito composto por dois circuitos de *start-up*, um que aumenta a tensão do nó C e outro que reduza a tensão do nó D (Figura 20). Dessa forma os dois espelhos de corrente passam a operar e com eles os dois circuitos de polarização. Para isso, foram utilizados os circuitos da Figura 11b e Figura 11c combinados. Na Figura 21, está apresentado o subcircuito de *start-up* utilizado.

Figura 21 – Subcircuito de *start-up* utilizado, formado pelos circuitos enfatizados

É preciso notar que os valores dos capacitores utilizados nos subcircuitos de polarização devem ser suficientemente grandes para a correta operação. Além disso, os valores dos capacitores e a relação W/L dos transistores M_{PO} e M_{NO} definem quanto tempo leva para o circuito iniciar.

4.4 Algoritmos metaheurísticos e função de *fitness*

Apesar de existirem equações que auxiliam o dimensionamento dos valores dos parâmetros do circuito, presentes no item 4.1, estas equações são aproximações que não retratam de forma precisa o funcionamento, além de não serem completas (não foram deduzidas relações para o dimensionamento dos transistores *Cascode* ou para projeto dos subcircuitos de polarização). Mesmo que completemos as equações, possivelmente haverá mais parâmetros para determinar do que equações, o que dá ao projetista liberdade para buscar a otimização de características do circuito tais como coeficiente de temperatura, regulação de linha, potência consumida e área ocupada. Por outro lado, tal liberdade normalmente é apenas bem aproveitada por projetistas experientes.

Para realizar o dimensionamento dos valores dos parâmetros e obter as melhores características possíveis, serão utilizados algoritmos metaheurísticos junto com simulações elétricas que avaliam o desempenho de cada solução. Dois algoritmos foram escolhidos para isso:

- algoritmo genético: será executado inicialmente para obter uma solução boa e
- *simulated annealing*: será executado a partir da solução dada pelo algoritmo genético.

A escolha desses dois algoritmos foi determinada pelo fato de eles estarem disponíveis no toolbox *Optimtool* da ferramenta *MATLAB* além de serem bem conhecidos.

A abordagem de se aplicar esses dois algoritmos tem por objetivo utilizar a característica do algoritmo genético de encontrar bons resultados sem necessidade de um ponto inicial e a característica do *simulated annealing* de convergir rapidamente para mínimos locais (ou global). Além disso,

diversificando o método de busca (algoritmo) espera-se que haja uma melhor busca pelo espaço de soluções.

A função de fitness (Apêndice D) utilizada para ambos os algoritmos executa três passos:

- simulação da solução que está sendo testada usando o simulador de circuitos elétricos ELDO (Apêndice A);
- cálculo das características do circuito a partir dos dados gerados pelo simulador. As características avaliadas são: coeficiente de temperatura, regulação de linha, tensão de saída, corrente I_o (Figura 20), potência consumida e área e
- cálculo do *score* do circuito a partir das características avaliadas.

No primeiro passo executado pela função de *fitness*, são utilizados dois arquivos: um arquivo que possui a descrição do circuito apresentado na Figura 20, com os valores das dimensões dos componentes parametrizados; outro arquivo que possui a quantificação desses parâmetros além dos comandos de simulação com as análises e medidas desejadas. O algoritmo metaheurístico precisa somente alterar o segundo arquivo para testar novas soluções. Os parâmetros utilizados foram: os W_s e L_s de todos os transistores MOS, o comprimento dos resistores, S_1 e S_2 . Para reduzir o tempo computacional exigido pela busca de soluções, foram fixados os valores de M e N , em 3 e 1, respectivamente, e os valores da largura dos resistores em $4,0\ \mu\text{m}$.

O processo de dimensionamento dos parâmetros do circuito utilizando os algoritmos metaheurísticos está resumido pela Figura 22.

Figura 22 - Diagrama do processo de dimensionamento dos parâmetros do circuito utilizando algoritmos metaheurísticos

O arquivo utilizado pela função de *fitness* que possui comandos de simulação também possui o modelo dos transistores e resistores usados. O modelo de transistor utilizado foi o MOS BSIM3v3 revisão 5.0 fornecido pela AMS (Anexo A). O valor de V_{TH0} , tensão de *threshold* para dispositivo com canal longo e $V_{BS} = 0V$, para o NMOS e PMOS é respectivamente 0,5 V e -0,7 V, para o modelo típico, e 0,6 V e -0,8 V, para o *worst-speed*.

As simulações elétricas chamadas pela função de *fitness* são:

- análise DC com a temperatura variando entre -10°C e 90°C (faixa de operação especificada para a fonte): nesta análise são medidas a

diferença entre as tensões de saída máxima e mínima e a tensão de saída média;

- análise DC com a tensão de alimentação variando entre 1,0 V e 2,5 V (faixa de operação especificada para a fonte): nesta análise são medidas a diferença entre as tensões de saída máxima e mínima e a tensão de saída média. Também é medida a corrente consumida pelo circuito no ponto intermediário (1,75 V). Observemos que nesta simulação diversos pontos devem ser testados entre 1,0 V e 2,5 V para garantir precisão.

A partir dos dados de simulação são calculados, como dito,

- o coeficiente de temperatura TC_M (1): usa-se para o cálculo a diferença entre a tensão de saída máxima e mínima para o intervalo entre -10°C e 90°C e a tensão de saída média;
- a regulação de linha RL_M (2): usa-se para o cálculo a diferença entre a tensão de saída máxima e mínima para o intervalo de tensão de alimentação entre 1,0 V e 2,5 V e a tensão de saída média.
- a tensão de saída VS_M : usa-se para o cálculo a tensão de saída média entre -10°C e 90°C ,
- a corrente consumida pelo circuito I_{CONS} : usa-se para o cálculo a corrente consumida no circuito operando com tensão de alimentação de 1,75 V e temperatura de 25°C .

Com esses resultados são avaliados os termos TC_W , LR_W , VS_W e P_W que indicam quanto o coeficiente de temperatura, a regulação de linha, a tensão de saída e a potência consumida estão longe dos valores desejados. Estes termos são aplicados no cálculo final do *score*.

Para obter o termo TC_W foi avaliada a seguinte expressão

$$TC_W = \begin{cases} \frac{TC_M - TC_E}{TC_E}, & \text{se } TC_M > TC_E \\ 0,0 & \text{se } TC_M \leq TC_E \end{cases} \quad (49)$$

em que,

TC_W = contribuição do TC para o cálculo do *score* e

TC_E = TC especificado.

Para obter termo LR_W foi avaliada a seguinte expressão

$$LR_W = \begin{cases} \frac{LR_M - LR_E}{LR_E}, & \text{se } LR_M > LR_E \\ 0,0 & \text{se } LR_M \leq LR_E \end{cases} \quad (50)$$

em que,

LR_W = contribuição do LR para o cálculo do *score* e

LR_E = LR especificado.

Para obter o termo VS_W foi avaliada a seguinte expressão

$$VS_W = \begin{cases} \frac{|VS_M - VS_E|}{VS_M} & \text{se maior que } Err \\ 0,0 & \text{se menor que } Err \end{cases} \quad (51)$$

em que,

VS_W = contribuição da tensão de saída para o cálculo do *score*;

VS_E = VS especificado e

Err = variação da tensão de saída permitida (erro relativo).

Para obter P_W foi avaliada a seguinte expressão

$$P_W = \frac{1,75 \cdot I_{CONS}}{P_R} \quad (52)$$

em que,

P_W = contribuição da potência média para o cálculo do *score*;

P_R = potência de referência para o circuito (constante).

A potência de referência do circuito (P_R) utilizada foi de 6,45 μW , que foi o valor de potência consumida à 40 °C e 1,0 V de tensão de alimentação em (Ishibe E. I., 2010).

Por fim, a área do circuito é estimada usando as dimensões dos transistores e resistores (parâmetros da função de *fitness*).

Para obter o termo A_W , que indica quanto a área está longe do valor de referência, é avaliada a seguinte expressão

$$A_W = \frac{\text{Área dos transistores} + \text{Área dos resistores}}{A_R} \quad (53)$$

em que,

A_W = contribuição da área estimada para o cálculo do *score* e

A_R = área de referência para o circuito (constante).

Baseado em resultados anteriores dos algoritmos metaheurísticos, escolheu-se o valor de 0,018 mm² para A_R.

Por fim, o valor do *score* é dado por

$$score = (10.TC_W + RL_W + 10VS_W + 0,1.P_W + 0,1.A_W)^2 \quad (54)$$

Através de (54), vê-se a importância dada para cada característica, baseado no peso de cada termo. Assim, vemos que foi dada maior importância para o coeficiente de temperatura e a tensão de saída, depois para a regulação de linha e por último a potência e área. Deste modo, as características menos importantes serão minimizadas somente quando as mais importantes forem satisfeitas.

Um resumo dos passos executados na função de *fitness* é apresentado na Figura 23.

Figura 23 – Diagrama explicativo da função de *fitness* utilizada

Para o projeto da fonte são utilizadas 17 variáveis, mostradas na Tabela 2. Essas variáveis estão relacionadas com as dimensões dos transistores e resistores e são utilizados na função de *fitness*.

Tabela 2 – Variáveis utilizadas na função de *fitness* e sua descrição. O circuito otimizado é apresentado na Figura 20

Variável	Descrição
X1	Comprimento em μm do <i>gate</i> (L) de M_{P1} , M_{P2} , M_{P4} , M_{P6} e M_{P7}
X2	Comprimento em μm do <i>gate</i> (L) de M_{P3} , M_{P8} e M_{P9}
X3	Comprimento em μm do <i>gate</i> (L) de M_{P5}
X4	Comprimento em μm do <i>gate</i> (L) de M_{N1} , M_{N2} e M_{N4}
X5	Comprimento em μm do <i>gate</i> (L) de M_{N3}
X6	Comprimento em μm do <i>gate</i> (L) de M_{N5}
X7	Largura em μm do <i>gate</i> (W) de M_{P1} , M_{P2} , M_{P3} , M_{P6} , M_{P7} , M_{P8} e M_{P9}
X8	Largura em μm do <i>gate</i> (W) de M_{P4}
X9	Largura em μm do <i>gate</i> (W) de M_{P5}
X10	Largura em μm do <i>gate</i> (W) de M_{N1} , M_{N2} e M_{N3}
X11	Largura em μm do <i>gate</i> (W) de M_{N4}
X12	Largura em μm do <i>gate</i> (W) de M_{N5}
X13	Comprimento em μm do resistor R_3 , cuja largura é $4,0 \mu\text{m}$
X14	Comprimento em μm do resistor R_2 , cuja largura é $4,0 \mu\text{m}$
X15	Comprimento em μm do resistor R_1 , cuja largura é $4,0 \mu\text{m}$
X16	Parâmetro S_2 do circuito*
X17	Parâmetro S_1 do circuito*

* Parâmetros tratados como ponto flutuante pelos algoritmos, mas convertidos para inteiro no arquivo de simulação

Como pode ser visto muitas das variáveis da função de *fitness* foram utilizadas para fornecer mais de um parâmetro do circuito, melhorando o *matching* dos dispositivos e reduzindo a complexidade do problema. Dessa forma se obtém soluções de melhor qualidade e com menor tempo de execução.

Através dos parâmetros X13, X14 e X15 e sabendo que a largura dos resistores é de $4,0 \mu\text{m}$ e que o material utilizado é o polisilício de alta resistividade, pode-se determinar a resistência dos resistores R_1 , R_2 e R_3 , simplesmente multiplicando o fator $1,2 \text{ k}\Omega/\square$ (resistência por quadrado do

material) pela relação L/W de cada resistor, em que L é a largura e W o comprimento. Por exemplo, um resistor de comprimento 1200 μm fabricado com polisilício de alta resistividade tem resistência de 360 k Ω .

Foram atribuídas restrições aos valores das variáveis e que estão apresentadas na Tabela 3.

Tabela 3 – Limites das variáveis da função de *fitness*

Parâmetro	Limite inferior (μm)	Limite superior (μm)
X1	1,0	20,0
X2	1,0	20,0
X3	1,0	30,0
X4	1,0	20,0
X5	1,0	20,0
X6	1,0	30,0
X7	1,0	100,0
X8	1,0	100,0
X9	1,0	30,0
X10	1,0	200,0
X11	1,0	40,0
X12	1,0	40,0
X13	300 (90 k Ω *)	1000 (300 k Ω *)
X14	700 (210 k Ω *)	1600 (480 k Ω *)
X15	700 (210 k Ω *)	1600 (480 k Ω *)
X16	1,0	6,0
X17	1,0	6,0

* valor de resistência estimada para resistor com largura de 4,0 μm fabricado com polisilício de alta resistividade

Estas restrições têm por efeito não permitir que os algoritmos metaheurísticos encontrem soluções inviáveis.

Os algoritmos metaheurísticos buscam soluções que minimizem o *score* para o circuito simulado com o modelo típico. Não há garantias, no entanto, que uma solução encontrada por esse método apresente um funcionamento satisfatório para todos os possíveis circuitos produzidos, levando-se em conta as variações no processo de fabricação. Para garantir que o circuito encontrado funcione para a maior parte dos circuitos produzidos seria necessário realizar simulações do tipo Monte Carlo ao invés de simulações

utilizando apenas um modelo. Nesse caso, no entanto, se aumentaria enormemente o tempo de execução dos algoritmos metaheurísticos.

A otimização é realizada inicialmente através do algoritmo genético, com dez execuções com diferentes populações iniciais. Com isso se procura evitar que o algoritmo caia em mínimos locais. Metade dos resultados obtidos com o algoritmo genético é utilizada como valor inicial de uma otimização com *simulated annealing*, para refinar o resultado. Por fim, a melhor solução encontrada dentre as quinze obtidas (dez com o algoritmo genético mais as cinco com *simulated annealing*) foi utilizada para em uma última execução do algoritmo genético.

4.5 Bloco de ajuste de coeficiente de temperatura

Devido às variações dos parâmetros da tecnologia e *mismatches* dos dispositivos durante a fabricação, a equação (40), que garante o cancelamento das variações das grandezas PTAT e CTAT e, portanto, a baixa dependência com a temperatura, acaba por não ser satisfeita para a maior parte dos circuitos que podem vir a ser fabricados.

Um meio de contornar esse problema é adicionar ou subtrair corrente PTAT ao resistor R_1 (Figura 20), até que as variações das correntes PTAT e CTAT de fato se cancelem.

O bloco de ajuste de coeficiente de temperatura (bloco TCA), ou *temperature coefficient adjustment block* (TCA block) é um bloco, controlado por sinais externos digitais, que adiciona ou subtrai correntes ao resistor R_1 do circuito de fonte de referência (Ishibe & Navarro, A Bandgap Circuit with a Temperature Coefficient Adjustment Block, 2013) (Ishibe & Navarro, A CMOS Bandgap Reference Circuit with a Temperature Coefficient Adjustment Block, 2013).

Para projetar o bloco TCA devem ser escolhidos: o intervalo de variação da corrente fornecida/retirada pelo bloco TCA, a distribuição das correntes que podem ser acionadas neste intervalo e número de *bits* utilizados para o controle. Todas essas escolhas dependem tanto da fonte de corrente propriamente dita como do processo de fabricação e, por isso, são difíceis de serem feitas por meios analíticos.

O intervalo de variação de corrente do bloco TCA é o intervalo entre o valor mínimo, α_{MIN} , e o valor máximo, α_{MAX} , de corrente fornecida pelo TCA (corrente retirada pelo bloco é considerada negativa). Uma forma de se obter esse intervalo é através de simulações de Monte Carlo (Anexo D) do circuito de referência com o bloco TCA. Escolhe-se para o Monte Carlo um número elevado de circuitos amostras e para o bloco TCA um número elevado de *bits* de controle (número elevado de possibilidades de correntes). Assim

- para cada circuito gerado no Monte Carlo, constrói-se um gráfico do TC em função da corrente do bloco TCA, como exemplificado na Figura 24;
- para cada gráfico acima obtém-se o TC mínimo e a corrente do bloco TCA que produz esse TC mínimo e
- por fim, analisando-se as corrente que minimizam o TC para cada circuito, determina-se os valores máximo e mínimo de corrente de forma que o intervalo entre eles englobe a maior parte das correntes necessárias para minimizar os TC's.

Figura 24 - Gráfico dos valores de TC versus valores de corrente do bloco TCA para um circuito gerado pela simulação Monte Carlo

Deve-se ter em mente que quanto maior o intervalo de corrente escolhido, maior será o número de *bits* necessários para controlar o bloco TCA.

Uma vez escolhido o intervalo de variação da corrente do bloco TCA deve ser decidida a distribuição das correntes ao longo desse intervalo. Alguns exemplos de distribuição são:

- homogeneamente distribuídas incluindo os valores α_{MIN} e α_{MAX} : este caso pode ser utilizado quando não se conhece o comportamento das correntes necessárias;
- distribuídas conforme uma gaussiana incluindo os valores α_{MIN} e α_{MAX} : este caso deve ser utilizado quando o valor necessário de corrente que o bloco TCA deve aplicar tem uma distribuição gaussiana, o que significa que para a maior parte dos circuitos a corrente deve ser zero ou próxima e
- homogeneamente distribuídas incluindo os valores α_{MIN} e zero: este caso é similar a primeira forma, mas é mais apropriado quando se sabe que um número significativo de circuitos não precisará de nenhuma corrente de ajuste.

Para efeito ilustrativo, considere um bloco TCA de três *bits*. As distribuições descritas acima são apresentadas na Figura 25.

Figura 25 – Representação de algumas distribuições de correntes geradas pelo bloco TCA ao longo do intervalo α_{MIN} e α_{MAX} . Na primeira figura a distribuição é homogênea e inclui os pontos α_{MIN} e α_{MAX} , na segunda as correntes são distribuídas conforme uma gaussiana e na terceira a distribuição é homogênea e inclui os pontos α_{MIN} e zero

Além das distribuições apresentadas, outras podem ser usadas e a melhor escolha depende de cada circuito.

Por fim, o número de *bits* de controle deve ser decidido, definindo quantos valores diferentes de correntes o bloco pode fornecer. Uma forma para se decidir sobre o número de *bits* é novamente através de simulações de Monte Carlo da fonte de referência com blocos TCA com diversos valores para o número de *bits* de controle. Neste caso utiliza-se o intervalo de variação e a distribuição de correntes decididas anteriormente e o número de *bits* de controle indo de zero *bits*, sem o bloco TCA, até um valor elevado. Assim

- realiza-se a simulação Monte Carlo no circuito de fonte de tensão de referência com o bloco TCA para cada uma das possibilidades de valor do número de *bits* de controle sendo testadas;
- para cada circuito gerado no Monte Carlo, constrói-se o gráfico do TC em função da corrente do bloco TCA, como exemplificado na Figura 24;

- para cada gráfico acima gerado obtém-se o TC mínimo, referente ao melhor ajuste possível realizado com o bloco TCA.
- posteriormente, para cada valor do número de *bits* de controle, constrói-se a curva porcentagem dos circuitos que tem valor do TC mínimo inferior a TC em função de TC;
- por fim, analisando-se estes gráficos é possível se escolher qual é o número de *bits* de controle que mantém o valor do TC abaixo do desejado para a maior parte dos circuitos gerados.

O procedimento descrito acima será aplicado no projeto onde deve ficar mais claro.

Quanto maior o número de *bits*, menor é o valor que se pode atingir com TC, pois maiores são as chances da corrente gerada pelo bloco TCA se aproximar daquela que zera de fato o valor de TC. Entretanto, quanto maior o número de *bits* de controle maior o tamanho do circuito, maior o consumo de corrente e, principalmente, maior é a dificuldade de ajuste do valor da corrente do bloco TCA.

A topologia do bloco TCA implementado é mostrado na Figura 26.

Figura 26 - Topologia do bloco de ajuste de coeficiente de temperatura (bloco TCA)

O bloco TCA é formado por unidades de adição e subtração de corrente. A unidade de adição é formada pelos transistores M_{PAi} , que aplicam correntes ao nó V_{REF} (nó de saída da fonte de referência), e M_{PSi} , que funcionam como chaves. A unidade de subtração é formada pelos transistores M_{NAi} , que retiram correntes do nó V_{REF} , e M_{NSi} , que funcionam como chaves. Observe que o número total unidades de adição, J , não precisa ser igual a número total de unidades de subtração, K .

Os transistores M_{PAi} e M_{NAi} espelham corrente dos transistores M_{P2} e M_{N1} da fonte de tensão, circuito da Figura 20. Para garantir o *matching* nesses espelhos é importante fazer com que o L dos transistores M_{PAi} e M_{NAi} sejam iguais ao dos transistores M_{P2} e M_{N1} , respectivamente.

Sobre as chaves M_{PSi} e M_{NSi} devem ser aplicadas as tensões V_{SS} ou V_{DD} aos seus *gates*, respectivamente, para permitir a passagem de corrente, ou, simplesmente, para ligá-las. A corrente gerada pelo bloco, dada uma

combinação de valores de tensões aplicadas as chaves, é a resultante de todas as correntes adicionadas e subtraídas.

O intervalo de variação da corrente, a distribuição das correntes neste intervalo e número de *bits* de controle são utilizados para determinar quantas unidades de adição e subtração deve haver e as dimensões dos transistores do bloco TCA.

O valor máximo de corrente fornecida pelo TCA determina a soma dos W_s de todos os transistores M_{PAi} ; o valor mínimo, a soma dos W_s dos M_{NAi} . A distribuição das correntes determina quanto de corrente flui por cada M_{PAi} e cada M_{NAi} de modo a gerar todas as correntes estipuladas para o bloco TCA. O número de *bits* de controle (n_{TCA}) determina quantos blocos de adição e subtração devem ser utilizados. Para um intervalo de corrente α_{MIN} a α_{MAX} , distribuição homogênea de corrente que inclui as correntes com valores α_{MIN} , zero e n_{TCA} bits de controle a dimensão dos M_{PAi} e M_{NAi} são $\frac{\alpha_{MAX}}{I_{MP2}} \cdot \frac{1}{2^{n_{TCA}-1}}$ e $\frac{\alpha_{MIN}}{I_{MN1}} \cdot \frac{1}{2^{n_{TCA}-1}}$.

Sinais externos digitais, n_{TCA} *bits*, devem gerar sinais de controle para as chaves das unidades de adição e subtração (transistores M_{PSi} e M_{NSi}). Isso pode ser feito de diversas formas. Uma forma simples é conectando convenientemente os sinais externos digitais aos *gate* das chaves. Outra forma é passando os sinais externos por um decodificador que irá gerar os sinais de controle para as chaves.

Vamos exemplificar a primeira forma. Consideremos um bloco TCA com uma distribuição homogênea de corrente, com $\alpha_{MIN} = -\alpha_{MAX}$ e que inclui as correntes com valores α_{MIN} e zero. São necessárias nesse TCA ($2^{n_{TCA}-1} - 1$) unidades de adição e ($2^{n_{TCA}-1}$) unidades de subtração, cada uma delas manipulando uma corrente $\frac{1}{2^{n_{TCA}}} \alpha_{MAX}$. Um dos sinais externos, se_0 , deve ser ligado a uma chave M_{PSi} ; outro dos sinais, se_1 , a duas chaves M_{PSi} ; outro, se_2 , a quatro chaves M_{PSi} e assim segue até o sinal externo $se_{(n_{PTA}-2)}$. O último dos sinais externos, $se_{(n_{PTA}-1)}$, deve ser ligado as todas as chaves M_{NSi} . Com essas ligações, teremos para a entrada ($se_{(n_{PTA}-2)}, \dots, se_2, se_1, se_0$) igual a “0 ..00” (a corrente de $(\alpha_{MAX} - \frac{1}{2^{n_{TCA}}} \alpha_{MAX})$, para a entrada “0 ..01” a corrente $(\alpha_{MAX} -$

$2 \frac{1}{2^{n_{TCA}}} \alpha_{MAX}$) e assim por diante até que para a entrada “1 ..11” a corrente será α_{MIN} . Essa montagem esta ilustra na Figura 27 para o caso de $n_{TCA} = 4$.

Figura 27 – Conexão direta entre as entradas SE e as chaves das unidade de adição e subtração para gerar todas as correntes do bloco TCA

Exemplifiquemos agora o uso de um decodificador.

Consideremos um bloco TCA com uma distribuição homogênea de corrente, com $\alpha_{MIN} = -\alpha_{MAX}$ e que inclui as correntes com valores α_{MIN} e zero. São necessárias nesse TCA $(2^{n_{TCA}-1} - 1)$ unidades de adição e $(2^{n_{TCA}-1})$ unidades de subtração cada uma delas manipulando uma corrente $\frac{2}{2^{n_{TCA}}} \alpha_{MAX}$.

O decodificador é um circuito digital que converte os n_{TCA} sinais externos, representando um número binário, em $(2^{n_{TCA}-1} - 1)$ sinais de controle para cada uma das chaves M_{PSi} e M_{NSi} , representando um código termômetro: a entrada “0 ..00” será convertida em “11 .. 111”, a entrada “0 ..01” em “11 .. 110”, a entrada “00 ..10” em 111 ..100, a entrada “0 ..11” em “11 .. 000” e assim por diante.

Os *bits* mais significativos do código termômetro são ligados aos *gates* dos transistores M_{PSi} e os menos significativos aos *gates* dos M_{NSi} . Com essas ligações, teremos para a entrada ($SE_{(n_{PTA} - 2)}, \dots SE_2, SE_1, SE_0$) igual a “0 ..00” (a

corrente de (α_{MIN}), para a entrada “0 ..11” a corrente $\left(\alpha_{MIN} + \frac{1}{2^{n_{TCA}}} \alpha_{MAX}\right)$ e assim por diante até que para a entrada “1 ..11” a corrente será (α_{MAX}).

Essas duas formas de gerar sinais de controle para às chaves do bloco TCA tem vantagens e desvantagens. A primeira delas é mais simples e não necessita de um bloco digital extra, reduzindo a área do circuito. Na segunda, toda corrente fornecida pelas unidades de adição é utilizada para produzir a saída, sem desperdício de corrente.

Com a aplicação do bloco TCA, devem ser ajustados os valores dos *bits* de controle, a configuração do TCA, para cada circuito fabricado. O método direto de se determinar a melhor configuração é testando cada uma delas e escolhendo aquela que produz o menor TC. Para isso, é necessário submeter o circuito a várias temperaturas, ao longo do intervalo de funcionamento, e medir a tensão de saída para cada temperatura e cada configuração. Então se determina o TC de cada uma das configurações. Neste método, o tempo para ajuste é proporcional ao número de temperaturas testadas e para um número elevado de medidas o uso do bloco TCA provavelmente será inviabilizando.

Uma alternativa mais simples ao método direto, que chamaremos de método simplificado, é medir a tensão de saída da fonte de referência apenas nas temperaturas limites do projeto, -10 °C e 90 °C por exemplo, e escolher a configuração que apresentar a menor diferença absoluta entre as tensões nestes pontos. Como veremos, resultados bons são obtidos dessa forma.

4.6 Subcircuito digital do bloco TCA

O subcircuito digital do bloco TCA faz a decodificação dos n_{TCA} sinais externos em $(2^{n_{TCA}} - 1)$ sinais de controle. Na Tabela 4, está um exemplo de associação entre os sinais externos e os sinais ligados nos *gates* dos transistores para um bloco TCA de 3 *bits*. Lembremos que para os M_{PSi} “1” indica desligado e “0” ligado e para os M_{NSi} “0” indica desligado e “1” ligado.

Tabela 4 – Tabela verdade do circuito digital do bloco TCA de 3 *bits*, que possui 3 entradas e 7 saídas

Sinais Externos			Sinais de Controle						
S ₂	S ₁	S ₀	M _{PS2}	M _{PS1}	M _{PS0}	M _{NS3}	M _{NS2}	M _{NS1}	M _{NS0}
0	0	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	1	1	0
0	1	0	1	1	1	1	1	0	0
0	1	1	1	1	1	1	0	0	0
1	0	0	1	1	1	0	0	0	0
1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0

4.7 Circuito completo

À segunda versão da fonte de tensão, Figura 20, são adicionados ao subcircuito de *start-up*, Figura 21, e o bloco TCA, Figura 26, completando assim a fonte de tensão de referência, como apresentado na Figura 28.

Figura 28 - Topologia de circuito de fonte de tensão de referência *bandgap* com transistores *Cascode*, circuitos de polarização e o bloco TCA

5 Projeto, resultados e análises

Determinado como será o circuito completo, será apresentado o projeto realizado neste trabalho assim como os resultados obtidos e análises realizadas. O projeto será feito por etapas que envolve

- a fonte de tensão propriamente dita (Figura 20);
- o bloco de ajuste de coeficiente de temperatura (Figura 26);
- o subcircuito digital do bloco TCA e
- o subcircuito de *start-up* (Figura 21).

5.1 Dimensionamento dos valores dos parâmetros da fonte de tensão utilizando algoritmos metaheurísticos

Para o dimensionamento dos valores dos parâmetros do circuito da Figura 20 foram utilizados os algoritmos metaheurísticos algoritmo genético e *simulated annealing*, com as opções configuradas conforme apresentado nas Tabela 5 e Tabela 6.

Tabela 5 – Configurações aplicadas no algoritmo genético

Tipo de população	Ponto-flutuante (<i>double-precision</i>)
Tamanho da população	oito subpopulações de 50 indivíduos
Método de criação de população	População aleatória, mas que atende as restrições de projeto
Método de <i>scaling</i>	<i>rank</i>
Método de seleção	<i>stochastic uniform</i>
Parâmetros de reprodução	dois indivíduos mantidos (<i>Elite count</i> = 2), 80% produzidos por <i>crossover</i> e o resto por meio de <i>mutation</i>
Método de <i>mutation</i>	<i>adaptive feasible</i>
Método de <i>crossover</i>	<i>scattered</i>
Parâmetros de migração	a cada cinco gerações há a migração de 20% da população em apenas uma direção (<i>forward</i>)
Critério de parada	<ul style="list-style-type: none">• 200 gerações• 50 gerações sem melhora significativa• tolerância mínima do <i>score</i>, para considerar uma melhora, de 1E-6

Tabela 6 – Configurações aplicadas no *simulated annealing*

Tipo de população	Ponto-flutuante (<i>double-precision</i>)
Método de <i>annealing</i>	<i>fast-annealing</i>
Parâmetros de <i>reannealing</i>	100 alterações na solução antes de ocorrer <i>reannealing</i>
Método de decaimento da temperatura	exponencial com temperatura inicial de valor 100
Critério de parada	<ul style="list-style-type: none"> • 3000 vezes o número de parâmetros é a quantidade máxima de execuções da função de <i>fitness</i> • 500 vezes o número de parâmetros é a quantidade de iterações sem melhora significativa • tolerância mínima do <i>score</i>, para considerar uma melhora, de 1E-6

As especificações desejadas para o circuito estão apresentadas na Tabela 7.

Tabela 7 – Especificações do projeto para um circuito típico

Especificação para o circuito (unidade)	Valor
Tensão de saída desejada (V)	0,5
Variação da tensão de saída (%)	5,0
Coeficiente de temperatura máximo (ppm/°C)	15
Variação da temperatura (°C)	-10 a 90
Regulação de linha máxima (ppm/V)	250
Variação da tensão de operação (V)	1,0 a 2,5
Parâmetro M (Figura 20)	3,0
Parâmetro N (Figura 20)	1,0
Comprimento máximo de um resistor, usando-se a largura de 4,0 µm	1600

Na Tabela 7, os parâmetros foram M e N adicionados e fixados para reduzir o número de variáveis para os algoritmos metaheurísticos.

Os valores das variáveis encontradas em dez execuções do algoritmo genético estão apresentados na Tabela 8, em que as linhas estão relacionadas às variáveis da Tabela 2 e as colunas, aos valores obtidos com as execuções do algoritmo. Os resultados de *score*, tensão de saída, TC, LR, potência consumida e área obtidos ao fim de cada execução estão apresentados na Tabela 9. Foi utilizado o modelo típico para a simulação dos dispositivos.

Tabela 8 – Variáveis encontradas em 10 execuções do algoritmo genético. As linhas mostram as variáveis do circuito, Tabela 2, e as colunas, os valores obtidos para as execuções do algoritmo genético. As colunas hachuradas indicam as cinco execuções escolhidas para serem otimizadas pelo *simulated annealing*

Variáveis do circuito	GA1 Execução 1	GA2 Execução 2	GA3 Execução 3	GA4 Execução 4	GA5 Execução 5	GA6 Execução 6	GA7 Execução 7	GA8 Execução 8	GA9 Execução 9	GA10 Execução 10
X1	8,0	6,4	4,0	5,2	5,7	4,6	6,7	4,6	13,5	4,0
X2	1,9	2,7	2,0	1,7	1,9	2,5	1,7	2,5	1,7	2,8
X3	19,4	25,5	17	27,5	22,9	22,5	13,4	22,5	9,9	26,9
X4	6,0	11,3	15,4	11,9	8,1	12,9	10,1	12,9	3,4	18,6
X5	4,1	6,1	2,3	6,5	4,2	2,3	3,9	2,3	7,1	2,6
X6	27,2	29,8	29,6	28,0	29,7	29,7	29	29,7	29,9	29,7
X7	99,7	93,8	99,3	100	99,9	99,4	99,9	99,4	99,9	99,1
X8	49,2	51,3	63,4	67,8	61,7	49,5	56,4	49,5	99,7	76
X9	2,7	5,1	1,9	4,1	1,8	3,1	2,3	3,1	1,3	4,7
X10	200	181	200	185	189	198	198	198	197	144
X11	30,2	34,4	13,5	24,7	14	23,3	34,1	23,3	19,6	22,7
X12	1,3	1,4	2,0	1,5	1,8	1,4	2,1	1,4	6,0	1,7
X13	411	442	389	433	423	433	440	411	433	330
X14	1462	1564	1367	1529	1498	1537	1555	1462	1537	1475
X15	1026	1134	909	1128	1141	1035	1120	1026	1035	1202
X16	4,0	3,0	4,0	3,0	3,0	4,0	3,0	4,0	3,0	3,0
X17	5,0	5,0	5,0	5,0	5,0	5,0	5,0	5,0	4,0	5,0

Tabela 9 – Resultados obtidos para cada uma das 10 soluções encontradas pelo algoritmo genético. As linhas estão relacionadas ao score, à tensão da saída, ao coeficiente de temperatura, à regulação de linha, à potência consumida e à área estimada; as colunas mostram os resultados de cada uma das execuções. As colunas hachuradas indicam as cinco execuções escolhidas para serem otimizadas pelo *simulated annealing*

Resultados	GA1 Execução 1	GA2 Execução 2	GA3 Execução 3	GA4 Execução 4	GA5 Execução 5	GA6 Execução 6	GA7 Execução 7	GA8 Execução 8	GA9 Execução 9	GA10 Execução 10
Score	0,47	0,42	0,57	0,43	0,4	0,47	0,41	0,47	0,93	0,43
V_{REF} (V)	0,48	0,49	0,48	0,5	0,5	0,48	0,49	0,48	0,52	0,48
TC (ppm/°C)	15	14	14	13	14	15	15	15	15	14
LR (ppm/V)	250	250	250	250	250	250	250	250	300	250
Pot* (μ W)	5,8	5,3	6,5	5,4	5,3	5,7	5,2	5,7	6,2	5,4
Área* (mm ²)	0,019	0,022	0,02	0,021	0,019	0,021	0,021	0,021	0,022	0,022

* Potência e área estimada baseada nas dimensões do circuito

Observa-se pelas tabelas que, apesar de nas execuções se iniciar com populações diferentes, em alguns casos chega-se a quase a mesma solução, como em GA6 e GA8. Observa-se também que as soluções encontradas praticamente atingiram o limite superior das variáveis X7 e X10 para reduzir a regulação de linha e garantir a fraca-inversão, respectivamente. Observa-se, por fim, que o valor de R_2 , variável X14, é elevado para tentar reduzir o consumo de potência.

Devido à função de *score* aplicada no projeto, uma vez atingidos os valores de 15 ppm/°C de TC, 250 ppm/V de LR e 0,5V de tensão de saída (5% de tolerância), o algoritmo genético não mais procura reduzir essas características, mantendo-as neste limiar, e coloca todo o esforço em reduzir a potência e a área.

Foram escolhidas duas soluções em que o algoritmo genético encerrou por ter excedido o número total de iterações (GA3 e GA4) e mais 3 soluções aleatórias (GA1, GA2 e GA5) para serem utilizadas como solução inicial para as cinco otimizações realizadas pelo *simulated annealing*. Os valores das variáveis encontradas pelo *simulated annealing* estão apresentados na Tabela 10.

Tabela 10 – Variáveis encontradas nas cinco execuções do simulated annealing. As linhas mostram as variáveis do circuito, Tabela 2, e as colunas, os valores obtidos para as execuções do simulated annealing

Variáveis do circuito	SA1 Execução 1	SA2 Execução 3	SA3 Execução 4	SA4 Execução 5	SA5 Execução 6
X1	8,41	6,4	4,0	10	4,0
X2	3,7	2,7	2,0	3,6	2,0
X3	22,2	25,5	17	20,1	17
X4	7,1	11,3	15,4	6,8	15,4
X5	5,3	6,1	2,3	8,3	2,3
X6	28,3	29,8	29,6	26,9	29,6
X7	81,1	93,8	99,3	71,7	99,3
X8	68,1	51,3	63,4	29,6	63,4
X9	2,4	5,1	1,9	1,2	1,9
X10	170,1	181	200	189,5	200
X11	23,3	34,4	13,5	9,0	13,5
X12	1,6	1,4	2,0	1,0	2,0
X13	445,3	442	389	441	389
X14	1600	1564	1367	1585	1367
X15	1148	1134	909	1268	909
X16	4,0	3,0	4,0	3,0	4,0
X17	5,0	5,0	5,0	5,0	5,0

Os resultados de *score*, tensão de saída, TC, LR, potência consumida e área para as execuções da Tabela 10, estão apresentados na Tabela 11. Foi utilizado o modelo típico para a simulação dos dispositivos.

Tabela 11 - Resultados encontrados para cada uma das cinco soluções encontradas pelo *simulated annealing* (modelo típico). As linhas estão relacionadas ao *score*, a tensão da saída, o coeficiente de temperatura, a regulação de linha, a potência consumida e a área estimada e as colunas mostram os resultados de cada uma das execuções

Resultado	SA1 Execução 1	SA2 Execução 2	SA3 Execução 3	SA4 Execução 4	SA5 Execução 5
Score	0,47	0,42	0,58	0,37	0,58
TC (ppm/°C)	14	13	14	13	14
LR (ppm/V)	250	250	250	250	250
V_{REF} (V)	0,49	0,49	0,48	0,52	0,48
Pot* (μ W)	5,6	5,3	6,5	4,9	6,5
Área* (mm ²)	0,021	0,022	0,020	0,021	0,020

* Potência e área estimada baseada nas dimensões do circuito

O *simulated annealing* produziu melhoras nas execuções 1, 4 e 5.

Dentre as 15 soluções obtidas, 10 através do algoritmo genético e cinco através do *simulated annealing*, o melhor resultado foi a SA4. Observe que esta solução possui parâmetros consideravelmente diferentes da solução GA4 que foi a solução inicial utilizada para obter SA4.

Uma última otimização foi realizada com algoritmo genético e a partir da solução SA4. Neste caso, os limites inferior e superior das variáveis Xis foram escolhidos em torno dos valores determinados em SA4. A Tabela 12 mostra estes limites, a solução final encontrada, SF, e os resultados (score, tensão, TC, LR, potência e área) a que ela leva.

Tabela 12 – Valores das variáveis para a solução SA4, limites inferior e superior aplicados ao algoritmo genético, valores das variáveis para SF e resultados encontrados para a solução SF

Parâmetro do circuito	Solução SA4	Limite inferior do parâmetro	Limite superior do parâmetro	SF (Solução final)	Resultado	SF (Solução final)
X1	10	10	11	10	Score	0,36
X2	3,6	3	4	3,6		
X3	20,1	20	21	20		
X4	6,8	6	7	6,8		
X5	8,3	8	9	8,3	TC (ppm/°C)	15
X6	26,9	26	27	26,9		
X7	71,7	71	72	71,7	LR (ppm/V)	250
X8	29,6	29	30	29,6		
X9	1,2	1	2	1	V _{REF} (V)	0,51
X10	189,5	189	190	189		
X11	9	9	10	9	Pot* (μW)	4,8
X12	1	1	2	1		
X13	441	300	1000	448	Área* (mm ²)	0,021
X14	1585	700	1600	1600		
X15	1268	700	1600	1231		
X16	3	3	4	3		
X17	5	5	6	5		

Observe que nesta última otimização houve uma maior variação nos valores dos resistores, reduzindo o consumo de potência e aproximando a tensão de saída para 0,5 V à custa de um pequeno acréscimo no TC.

Utilizando os valores das variáveis da solução SF foram realizadas simulações para analisar a dependência da tensão de saída e da potência consumida com a temperatura e tensão de alimentação.

Na Figura 29, é mostrado o gráfico da tensão de saída em função da temperatura parametrizado pela tensão de alimentação que varia de 1,0 V a 2,5 V com incrementos de 0,25 V. Foi utilizado o modelo típico. O melhor e o pior TC, com a temperatura variando de $-10\text{ }^{\circ}\text{C}$ a $90\text{ }^{\circ}\text{C}$, foram de 15 e 16 ppm/ $^{\circ}\text{C}$.

Figura 29 – Gráfico da tensão de saída (V) em função da temperatura ($^{\circ}\text{C}$) parametrizado pela tensão de alimentação que varia de 1,0 V a 2,5 V, incrementos de 0,25 V. Foi utilizado o modelo típico. O melhor e o pior coeficiente de temperatura são 15 e 16 ppm/ $^{\circ}\text{C}$, para a temperatura variando de $-10\text{ }^{\circ}\text{C}$ a $90\text{ }^{\circ}\text{C}$

Na Figura 30, é mostrado o gráfico da tensão de saída em função da tensão de alimentação parametrizado pela temperatura que varia de $-10\text{ }^{\circ}\text{C}$ a $90\text{ }^{\circ}\text{C}$, incrementos de $10\text{ }^{\circ}\text{C}$. Foi utilizado o modelo típico. O melhor e o pior RL, com a tensão de alimentação variando de 1,0 V a 2,5 V, foram de 200 e 440 ppm/V.

Na Figura 31, é mostrado a potência consumida em função da temperatura parametrizado pela tensão de alimentação que varia de 1,0 V a 2,5 V, incrementos de 0,25 V. Foi utilizado o modelo típico. A potência consumida em $27\text{ }^{\circ}\text{C}$ e 1,0 V de tensão de alimentação foi de $2,76\text{ }\mu\text{W}$.

Figura 30 – Gráfico da tensão de saída (V) em função da tensão de alimentação (V) parametrizado pela temperatura que varia de $-10\text{ }^{\circ}\text{C}$ a $90\text{ }^{\circ}\text{C}$, incrementos de $10\text{ }^{\circ}\text{C}$. Foi utilizado o modelo típico. A melhor e pior regulação de linha são de 200 e 440 ppm/V, com a tensão de alimentação variando de 1,0 V a 2,5 V

Figura 31 – Gráfico da potência consumida (μW) em função da temperatura ($^{\circ}\text{C}$) parametrizado pela tensão de alimentação que varia de 1,0 V a 2,5 V, incrementos de 0,25 V. Foi utilizado o modelo típico

Por esses resultados, pode-se ver que a solução encontrada através dos algoritmos metaheurísticos apresenta desempenho que está dentro das especificações e possui TC e LR baixos. Observe que as curvas de tensão da Figura 29 tem comportamento similar e são próximas para as diversas tensões de alimentação. Isso é uma consequência do fato da regulação de linha ser baixa e garante que o valor do TC seja praticamente independente da tensão de alimentação.

Para se ter uma ideia do tempo necessário para se realizar as otimizações, podemos considerar o circuito apresentado na Figura 20, otimizado em um computador com as características básicas apresentadas na Tabela 13, com o algoritmo genético, especificações apresentadas na Tabela 7. Esta otimização dura, em média, cinco horas.

Caso desejemos aplicar na otimização simulações de Monte Carlo, ao invés de simulações simples, para tornar o resultado mais robusto a variações de parâmetros, podemos estimar a duração da otimização: considerando que as simulações tenham todas a mesma duração, sejam elas feitas com o modelo típico ou com modelos gerados pelo Monte Carlo, e que 100 amostras sejam suficientes para validar cada análise, resultaria então em uma execução de 20 dias e 20 horas. Um valor com certeza muito elevado.

Tabela 13 – Informações básicas do computador utilizado na execução dos algoritmos metaheurísticos

Processador	Intel® Core™2 DUO E7500 2,93GHz
Memória RAM	Kingston KVR800D2N6/2G 2Gb 800MHz (2x)*
Disco rígido	Samsung HD502LI 5400rpm 500Gb

*O computador possui 2 memórias RAM do mesmo modelo, totalizando, assim, 4 Gb

Apesar da configuração do computador utilizado ser um pouco ultrapassada, dado que configurações atuais possuem mais de quatro núcleos, *clock* de maior frequência, memórias RAM maiores e com menor tempo de acesso e discos rígidos de maior rotação, não deve haver grande redução no tempo de otimização caso seja utilizado um computador mais moderno. Isso acontece porque a tarefa mais lenta - o gargalo do processo - é a simulação elétrica que faz pouco uso de múltiplos núcleos. Testes realizados com computadores mais potentes, oito núcleos de processamento, 24,0 Gb de memória RAM de 2,0 GHz e disco rígido de estado sólido, apresentaram ganho no tempo de execução da ordem de duas vezes apenas. Isso resultaria, no exemplo de Monte Carlo acima mencionado, em um tempo de otimização de 10 dias e 10 horas.

5.2 Bloco de ajuste de coeficiente de temperatura (TCA)

Os primeiros passos para o projeto do bloco TCA são determinar o intervalo de variação da corrente, a distribuição das correntes neste intervalo e

número de *bits* utilizados para o controle. Neste projeto será utilizado um subcircuito digital de codificação para evitar desperdício de potência.

Para encontrar o intervalo de variação de corrente do bloco TCA foi utilizado o método apresentado no item 4.5. A Figura 32 apresenta O TC versus a corrente do bloco TCA, para mil resultados gerados por Monte Carlo, o TCA com seis *bits* (64 pontos), homoganeamente distribuída incluindo os valores α_{MIN} e zero e a corrente variando de -0,4 a 0,4 mA. Cada uma das curvas é representada por um tipo de marcador, como o exemplificado (●). Podemos observar que para cada resultado do Monte Carlo existe um valor de corrente gerada pelo bloco TCA que minimiza o TC. Por exemplo, na curva indicada na Figura 32 (●), a corrente gerada pelo bloco TCA de valor -0,08 mA minimiza o valor do TC para 40 ppm/°C.

Para obter o intervalo de corrente de -0,4 mA (cerca de 2/3 da corrente de M_{N1} , Figura 33) a 0,4 mA (próximo do dobro da corrente de M_{P2} , Figura 33) com seis *bits* de ajuste, as relações (W/L) utilizadas nos transistores M_{NAi} e M_{PAi} do bloco TCA foram de cerca de $\frac{2}{3} \cdot \frac{1}{2^{6-1}} (W/L)_{N1}$ e $2 \cdot \frac{1}{2^{6-1}} (W/L)_{P2}$, respectivamente.

Figura 32 – Gráfico do coeficiente de temperatura (ppm/°C) versus corrente gerada pelo bloco TCA de 6 bits (mA) para cada uma das mil amostras geradas pela simulação Monte Carlo

Figura 33 – Gráfico da corrente (mA) em função da temperatura (°C) nos transistores M_{N1} e M_{P2}

O intervalo de variação de corrente do bloco TCA escolhido foi de - 0,1mA (cerca de 1/6 da corrente de M_{N1}) a 0,1 mA (metade da corrente de M_{P2}), visto que praticamente todos os circuitos gerados pelo Monte Carlo tem valor mínimo de TC quando a corrente do bloco TCA está entre esses valores.

A distribuição das correntes escolhida foi a homogeneamente distribuídas incluindo os valores α_{MIN} e zero, pois se observa que muitos circuitos não necessitam da operação do TCA para atingir o valor mínimo de TC. A relação (W/L) dos transistores M_{NAi} e M_{PAi} do bloco TCA, portanto, devem ser $\frac{1}{6} \cdot \frac{1}{2^{n_{TCA}-1}} (W/L)_{N1}$ e $0,5 \cdot \frac{1}{2^{n_{TCA}-1}} (W/L)_{P2}$.

A partir das escolhas do intervalo de corrente e do tipo de distribuição pode-se aplicar o procedimento descrito no item 4.5 para determinar o número de *bits* de controle. Para isso foram executadas simulações de Monte Carlo com mil amostras para as seguintes configurações da fonte de tensão: sem bloco TCA, bloco com um *bit*, dois *bits*, três, quatro e cinco *bits*. O gráfico da Figura 34 mostra as curvas porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC para as seis configurações (Apêndice E).

Figura 34 – Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC para as seis configurações: sem bloco TCA, bloco com um *bit*, dois *bits*, três, quatro e cinco *bits*. Cada uma das curvas foi construída usando mil amostras e simulações Monte Carlo. A tensão de alimentação utilizada foi de 1,0 V

Na Figura 34, nota-se que quanto maior o número de *bits*, maior é a porcentagem de circuitos que atendem as especificações de TC. Assim, por exemplo, para um TC 30 ppm/°C, observamos que aproximadamente 77% dos circuitos utilizado um bloco TCA de um *bit* atingem esse valor, enquanto, para circuitos com bloco de quatro *bits*, a porcentagem sobe para mais de 90%. A cada *bit* que se aumenta no controle, a curva se desloca mais para esquerda e cresce mais abruptamente, o que representa mais circuitos com menores valores de TC. A taxa de melhora, entretanto, decresce conforme o número de *bits* é maior, de tal forma que não existe grande diferença entre as curvas de quatro e cinco *bits* e, provavelmente, menor diferença ocorria para números maiores de *bits*.

Um ponto a ser observado é a diferença entre os resultados obtidos com simulações Monte Carlo e com o modelo típico. Como os valores dos parâmetros, especialmente os valores dos resistores, foram projetados com a utilização do modelo típico, é de se esperar que os resultados da simulação Monte Carlo para o circuito apresentem um TC diferente do procurado durante o projeto. Mesmo com a adição de um bloco TCA de três *bits*, o TC de mais de 60% das amostras é superior a 15 ppm/°C.

Escolheu-se três *bits* de controle para o bloco TCA, devido à pequena melhora que as curvas de quatro e cinco *bits* representam e às dificuldades que o aumento do número de *bits* acarreta para a implementação e os ajustes da configuração do TCA.

A Figura 35 mostra o histograma do TC mínimo para o circuito com bloco TCA de três *bits* (mil amostras). A Figura 36 mostra o histograma do TC para o circuito sem bloco TCA (Apêndice E).

Figura 35 – Histograma do TC mínimo (ppm/°C) do circuito com bloco TCA de três *bits*, calculado com mil amostras. O TC médio é 18 ppm/°C e o desvio padrão 4,8 ppm/°C. As faixas do histograma tem largura de 2,0 ppm/°C. A tensão de alimentação utilizada foi de 1,0 V

Figura 36 – Histograma do TC (ppm/°C) do circuito sem bloco TCA, calculado com mil amostras. O TC médio é de 24 ppm/°C e o desvio padrão de 10 ppm/°C. As faixas do histograma tem largura de 2,0 ppm/°C. A tensão de alimentação utilizada foi de 1,0 V

O circuito com bloco TCA de três *bits* não só tem uma média menor, mas, principalmente, tem um desvio padrão menor, mostrando ser mais robusto às variações do processo de fabricação.

O circuito final e as dimensões dos transistores do bloco TCA estão apresentados na Figura 37 e na Tabela 14.

Figura 37 – Circuito do bloco de ajuste de coeficiente de temperatura de três *bits* utilizado no projeto

Tabela 14 – Dimensões dos transistores do bloco TCA de três *bits* projetado

Parâmetro	W (μm)	L (μm)
M _{PA0} , M _{PA1} , M _{PA2} e M _{PA3}	4,5	10
M _{PS0} , M _{PS1} , M _{PS2} e M _{PS3}	4,5	0,35
M _{NS0} , M _{NS1} e M _{NS2}	3,9	0,35
M _{NA0} , M _{NA1} e M _{NA2}	3,9	6,8

As dimensões L de M_{NA1}, M_{NA2} e M_{NA3} são iguais ao L de M_{N1} e as dimensões W são iguais ao W de M_{N1} dividido por $\frac{1}{6} \cdot \frac{1}{2^3}$. Nas chaves M_{NS1}, M_{NS2} e M_{NS3} foram utilizados L's com o menor valor da tecnologia (0,35 μm) e o W foi igual ao W dos transistores M_{NAi} para simplificar o *layout*. Da mesma forma, as dimensões L de M_{PA1}, M_{PA2} e M_{PA3} são iguais ao L de M_{P2} e as dimensões W

são iguais ao W de M_{P2} dividido por $0,5 \cdot \frac{1}{2^3}$. As chaves M_{PS1} , M_{PS2} e M_{PS3} tem L 's de $0,35 \mu m$ e o mesmo W dos transistores M_{PAi} .

5.3 Influência do bloco de ajuste de coeficiente de temperatura sobre a tensão de saída e a regulação de linha

Apesar do bloco TCA reduzir o TC da fonte de referência, como foi visto, é preciso avaliar a influência desse bloco sobre outras características do circuito tais como tensão de saída e regulação de linha.

A Figura 38 mostra o histograma da tensão de saída para o circuito com bloco TCA de três *bits*, após ajuste do valor dos *bits* para obter mínimo TC, e a Figura 39, o histograma da tensão de saída para o circuito sem bloco TCA (Monte Carlo com 1000 amostras).

Figura 38 – Histograma da tensão de saída (V) do circuito com bloco TCA de três *bits*, calculado com mil amostras. A tensão de saída é medida após o ajuste dos *bits* para obter mínimo TC. A tensão de saída média é 504 mV e o desvio padrão 7,0 mV. As faixas do histograma tem largura de 1,0 mV. A tensão de alimentação utilizada foi de 1,0V

Figura 39 – Histograma da tensão de saída (V) do circuito sem bloco TCA, calculado com mil amostras. A tensão de saída média é 506 mV e o desvio padrão 7,5 mV. As faixas do histograma tem largura de 1,0 mV

Analisando as duas figuras vemos que a introdução do bloco TCA pouco altera o comportamento da tensão de saída.

A Figura 40 mostra o histograma da regulação de linha para o circuito com bloco TCA de três *bits*, após ajuste do valor dos *bits* para obter mínimo TC, e a Figura 41, o histograma do circuito sem bloco TCA (Monte Carlo com 5000 amostras).

Figura 40 – Histograma da regulação de linha (ppm/V) do circuito com bloco TCA de três *bits*, calculado com 5000 amostras. O RL é medido após o ajuste dos *bits* para obter mínimo TC. O LR médio é 475 ppm/°C e o desvio padrão 222 ppm/°C. As faixas do histograma tem largura de 36 ppm/V. A tensão de alimentação utilizada foi de 1,0 V

Figura 41 – Histograma da regulação de linha (ppm/V) do circuito sem bloco TCA, calculado com 5000 amostras. O LR médio é 476 ppm/°C e o desvio padrão 230 ppm/°C. As faixas do histograma tem largura de 36 ppm/V. A tensão de alimentação utilizada foi de 1,0 V

Analisando as duas figuras vemos que a introdução do bloco TCA também pouco altera o comportamento da regulação de linha da fonte de referência.

Nota-se também que o LR médio da análise de Monte Carlo para o circuito sem bloco TCA é 90% maior que o valor projetado (250ppm/V), mostrando o efeito das variações no processo de fabricação sobre os circuitos.

Como conclusão, os resultados mostram que o bloco TCA de três *bits* traz melhoras ao coeficiente de temperatura do circuito sem afetar a regulação de linha ou a tensão de saída.

5.4 Método de configuração dos *bits* de controle num circuito real

Como vimos anteriormente, a configuração dos *bits* de controle do bloco TCA pode inviabilizar seu uso caso tenha-se que realizar com medidas em muitos pontos de temperatura. No método simples proposto, a configuração de *bits* é feita com medidas apenas nas temperaturas extremas da faixa de operação (-10 e 90 °C). Para testar o método simples foram determinadas as curvas porcentagem de circuitos com TC mínimo inferior a TC (%) em função do valor do TC (ppm/°C) para circuitos com *bits ajustados* pelo método direto, onde o TC é calculado com medidas em muitos pontos de temperatura, e pelo método simplificado. Foram utilizadas mil amostras na simulação de Monte Carlo. O gráfico das Figura 42, Figura 43, Figura 44, Figura 45 e Figura 46 mostram os resultados para cinco diferentes números de *bits* (Apêndice E).

Figura 42 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 1 *bit*. Em cada curva foram usadas mil amostras. O erro quadrático médio entre curvas é 0,24 ppm/°C

Figura 43 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 2 *bits*. Em cada curva foram usadas mil amostra. O erro quadrático médio entre curvas é 0,078 ppm/°C

Figura 44 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 3 *bits*. Em cada curva foram usadas mil amostras. O erro quadrático médio entre curvas é 0,020 ppm/°C

Figura 45 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 4 *bits*. Em cada curva foram usadas mil amostras. O erro quadrático médio entre curvas é 0,009 ppm/°C

Figura 46 - Gráfico das curvas de porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/°C) para os métodos direto e simplificado em um bloco TCA de 5 *bits*. Em cada curva foram usadas mil amostras. O erro quadrático médio entre curvas é 0,006 ppm/°C

Podemos observar que ambas as curvas estão muito próximas, de modo que pouca degradação ocorrerá ao se trocar o método direto pelo simplificado. Essas curvas se aproximam ainda mais quando utilizados TCAs com um maior número de *bits* de controle.

5.5 Subcircuito digital do TCA e subcircuito de *start-up*

O subcircuito digital do TCA de três *bits*, que converte as três entradas em sete saídas para as chaves, foi projetado usando VHDL (do inglês, *Very High Speed Integrated Circuits*) e sintetizado usando o *software* Leonardo Spectrum (Apêndice C).

O diagrama de blocos sintetizado está apresentado na Figura 47.

Figura 47 – Subcircuito digital do TCA sintetizado pelo *software* Leonardo Spectrum

Os blocos utilizados pertencem à biblioteca de componentes da AMS.

As dimensões utilizadas no circuito de *start-up* da Figura 21 estão apresentadas na Tabela 15.

Tabela 15 – Dimensões do circuito de *start-up* projetado

Parâmetro	W (μm)	L (μm)
M_{PCAP}	3	0,8
M_{NCAP}	3	20
M_{PO}	20	0,35
M_{NO}	10	0,35
C_1^*	23,18	9,77
C_2^*	23,18	9,77

* capacitância de aproximadamente 200 fF, usando o capacitor CPOLY

As dimensões dos transistores M_{PO} e M_{NO} foram escolhidas para que os capacitores C_1 e C_2 não tivessem grandes dimensões. Os capacitores são de

CPOLY, que apresenta uma capacitância por área de $0,86 \text{ fF}/\mu\text{m}^2$. Os transistores PMOS tem relação W/L maior que os NMOS, pois eles são mais lentos, procurando-se, deste modo, fazer com que os dois blocos que compõem o subcircuito de *start-up* (Figura 21) desativem no mesmo intervalo de tempo.

5.6 Esquemáticos e *layouts*

Com o circuito de fonte de referência dimensionado, pode-se desenhá-los.

Foram desenhados os subcircuitos CTAT e PTAT, o bloco de polarização, o bloco TCA de três *bits*, o subcircuito digital do TCA e o subcircuito de *start-up*.

Na Figura 48, é apresentado o esquemático, Design Architecture, do circuito de fonte de referência propriamente dita com os subcircuitos CTAT, PTAT e de polarização. Neste esquemático, substituíram-se os parâmetros M, N, S₁ e S₂ da Figura 28 (de valores 3, 1, 3 e 5, respectivamente) por transistores em paralelo. A utilização de transistores em paralelo é um recurso básico para melhorar o *matching* de transistores (Hastings, 2001).

Na Figura 49, é apresentado o esquemático do bloco TCA de três *bits*. Neste esquemático, existem quatro unidades de subtração e quatro de adição, no entanto, somente três unidades de adição são utilizadas (uma das unidades fica permanentemente desativada).

Na Figura 49, e Figura 50 estão apresentados os esquemáticos do subcircuito digital do TCA e do subcircuito de *start-up*.

Na Figura 52 está o circuito completo com todos os subcircuitos e blocos, sendo a entrada do circuito as três entradas de ajuste e a saída a tensão de referência.

Figura 48 – Esquemático da fonte de referência propriamente dita, que inclui os subcircuitos PTAT, CTAT e de polarização

Figura 49 – Esquemático do bloco TCA de três bits

Figura 50 – Esquemático do subcircuito digital do TCA

Figura 51 – Esquemático do subcircuito de *start-up*

- manter os resistores próximos e com largura igual, priorizando os resistores R_1 e R_2 no posicionamento;
- colocar estruturas *dummy* ao redor dos resistores, para melhorar o *matching* e
- utilizar grandes planos de metal, principalmente de V_{DD} e V_{SS} , para aumentar as capacitâncias parasitas do circuito e, assim, melhorar a robustez contra ruídos.

Figura 53 – *Layout* da fonte de referência propriamente dita com o circuito de polarização. A área é de $260\ \mu\text{m} \times 305\ \mu\text{m}$. Desenhados em ordem, da esquerda para direita, estão os PMOS M_{P3a} , M_{P4a} , M_{P4b} , M_{P4c} , M_{P1a} , M_{P1b} , M_{P2} , M_{P1c} , M_{P4d} , M_{P4e} , M_{P3b} e M_{P3c} , embaixo os transistores Cascode M_{PC2a} , M_{PC3a} , M_{PC3b} , M_{PC3c} , M_{PC1a} , M_{PC1b} , M_{PC1c} , M_{PC3d} , M_{PC3e} , M_{PC2b} e M_{PC2c} , e mais abaixo os NMOS M_{NCa} , M_{N1a} , M_{N2} , M_{N1b} e M_{NCb}

Na Figura 54 está o *layout* do bloco TCA de três *bits* com $27\ \mu\text{m} \times 31\ \mu\text{m}$ de área.

Figura 54 – Layout do bloco TCA de três *bits*. A área é de 27 μm x 31 μm

Na Figura 55 está o *layout* do bloco digital do TCA de três *bits* com 24 μm x 35 μm de área. Uma vez que não é o *layout* de um bloco analógico, utilizou-se o “roteamento” automático disponível na ferramenta de CAD, tendo-se cuidado com as linhas de V_{DD} e V_{SS} , que foram desenhadas largas.

Figura 55 – *Layout* do subcircuito digital do TCA de três *bits*. A área é de 24 μm x 35 μm

Na Figura 56 está o *layout* do subcircuito de *start-up* com 82,7 μm x 19 μm de área.

Figura 56 – Layout do subcircuito de *start-up*. A área é de $82,7 \mu\text{m} \times 19 \mu\text{m}$

Na Figura 57, está o *layout* do circuito completo com $345 \mu\text{m} \times 332 \mu\text{m}$ de área. Observa-se que a área da fonte de referência propriamente dita é muito maior que a dos outros subcircuitos. Pode-se notar por esse *layout* que se procurou utilizar grandes planos de metal para aumentar as capacitâncias parasitas.

Figura 57 – Layout do circuito completo. A área é de $345 \mu\text{m} \times 332 \mu\text{m}$

5.7 Resultado da extração do layout

A partir do *layout* do circuito completo foi extraído um *netlist* com todos os dispositivos e capacitâncias parasitas (extração do tipo C+CC) para se avaliar o desempenho final do circuito projetado (Apêndice B)

Foram realizadas simulações no circuito extraído do *layout* para avaliar o comportamento do TC, do RL, da potência consumida e do intervalo de *start-up*. Os resultados estão apresentados nas cinco próximas figuras.

A Figura 58 mostra a curva da tensão de saída em função da temperatura para os modelos típico, *worst-speed* e *worst-power* (Anexo B e Anexo C). A temperatura varia de -10°C a 90°C e a tensão de alimentação é de 1,0 V. Os respectivos valores de TC são 15 ppm/ $^{\circ}\text{C}$, 36 ppm/ $^{\circ}\text{C}$ e 89 ppm/ $^{\circ}\text{C}$. Os bits foram ajustados utilizando tanto o método direto como o simplificado e o resultado final foi igual.

Figura 58 - Gráfico da curva tensão de saída (V) em função da temperatura ($^{\circ}\text{C}$) para os modelos típico, *worst-speed* e *worst-power*, e a tensão de alimentação de 1,0 V. Os respectivos valores de coeficiente de temperatura são 15 ppm/ $^{\circ}\text{C}$, 36 ppm/ $^{\circ}\text{C}$ e 89 ppm/ $^{\circ}\text{C}$

A Figura 59 mostra o gráfico da porcentagem de circuitos com TC mínimo inferior a TC em função do valor do TC (ppm/ $^{\circ}\text{C}$), sendo o ajuste de *bits* do bloco TCA dado pelo método direto (gráficos gerados a partir do *netlist* extraído do *layout* e do esquemático). Observamos que os resultados obtidos com o esquemático são similares a aqueles do *layout* e que o circuito com o bloco TCA de três *bits* é superior ao circuito sem ele. Os resultados foram obtidos com simulação de Monte Carlo e 100 amostras.

Figura 59 - Gráfico que mostra percentagem de circuitos com TC mínimo inferior a TC (%) em função do valor do TC (ppm/°C), obtida através de simulação Monte Carlo com 100 amostras. Simulações realizadas com os *netlists* extraídos do esquemático e do *layout*, com e sem o bloco TCA de três *bits*. Os *bits* foram ajustados pelo método direto

A Figura 60 mostra o gráfico da curva da tensão de saída em função da tensão de alimentação para os modelos típico, *worst-speed* e *worst-power*. A tensão de alimentação varia de 1,0 V a 2,5V e a temperatura é de 27°C. Os respectivos valores de LR são 263 ppm/V, 967 ppm/V e 343 ppm/V. Pode-se observar que no modelo *worst speed*, o circuito tem dificuldades em manter a tensão de saída para tensões de alimentação próxima de 1,0 V. Lembremos que para o modelo *worst-speed* os valores de V_{TH0} dos transistores NMOS e PMOS são 0,6 V e - 0,8 V, respectivamente.

Figura 60 - Gráfico da curva da tensão de saída (V) em função da tensão de alimentação (V) para os modelos típico, *worst-speed* e *worst-power*, e temperatura de 27°C. Os respectivos valores de regulação de linha são 263 ppm/V, 967 ppm/V e 343 ppm/V

A Figura 61 mostra o gráfico da curva da potência consumida em função da temperatura para os modelos típico, *worst-speed* e *worst-power*. A temperatura varia de -10°C a 90°C e tensão de alimentação é de 1,0 V. Os respectivos valores de potência consumida, para 27°C, são 2,76 μ W, 2,24 μ W e 3,53 μ W.

Figura 61 - Gráfico da curva de potência consumida (μ W) em função da temperatura (°C) para os modelos típico, *worst-speed* e *worst-power*, e tensão de alimentação 1,0 V

A Figura 62 mostra curvas tensão de saída (V) pelo tempo (s), obtidas através de simulação Monte Carlo com mil amostras e tensão de alimentação de 1,0 V. Em todas as curvas, a condição inicial dada foi: V_{DD} no *drain* dos transistores M_{P2} (Figura 48) e M_{NCAP} (Figura 51) e V_{SS} no *drain* dos transistores M_{N1} (Figura 48) e M_{PCAP} (Figura 51). Apenas quando a curva estabiliza em valor próximo a 0,5 V é dito que o circuito funciona. Por estes resultados, podemos concluir que, no pior caso, o circuito leva aproximadamente 0,77s para funcionar devido ao bloco de *start-up*.

Figura 62 – Gráfico das curvas tensão de saída (V) pelo tempo (s), obtidas através de simulação Monte Carlo com mil amostras com tensão de alimentação de 1,0 V. No pior caso, curva marcada no gráfico, o circuito inicia em 0,77 s

Esses resultados mostram que o circuito do *layout* funciona com esperado.

5.8 Comparação com outros circuitos

Para se ter uma melhor ideia sobre os resultados obtidos, foram criadas as Tabela 16, Tabela 17 e Tabela 18 que mostram os resultados do circuito deste trabalho e de outros da literatura. Nas tabelas, a linha:

- “Referência” juntamente com a linha “Ano/Local de publicação” determinam unicamente o artigo na lista de referências;
- “Ano/Local de publicação” mostram a relevância do artigo comparado; e
- “Tipo” mostra características do circuito, sendo:
 - *bandgap*: fonte de referência que usa o V_{BE} de um transistor bipolar como grandeza CTAT;
 - $CTAT = V_{GS}$: fonte de referência que usa o V_{GS} de um transistor MOS como grandeza CTAT
 - *All MOS*: circuito que é composto somente por transistores MOS;
 - e
 - Compensação de V_{THN} e V_{THP} : fonte de referência que usa a diferença entre o V_{THN} e o V_{THP} de um transistor MOS como grandeza CTAT.

O circuito apresentado neste trabalho tem um coeficiente de temperatura de 15ppm/°C que é compatível com o dos outros circuitos da literatura, é possível também garantir um coeficiente de temperatura de até 30 ppm/°C para mais de 90% dos circuitos produzidos.

A tensão de alimentação mínima é baixa, e, mesmo assim, é possível obter uma baixa regulação de linha, característica que outros circuitos de baixa tensão de alimentação não conseguem obter (o menor deles é dez vezes maior). Devido a essa baixa regulação de linha, também é possível alterar a tensão de alimentação sem afetar muito sobre a qualidade do coeficiente de temperatura.

A potência consumida é uma das menores, podendo ser reduzida ainda mais, caso se aumente as dimensões dos resistores, que foram limitados em até 1600 μm de comprimento com 4 μm de largura (480 k Ω).

A tensão de saída varia pouco entre os circuitos produzidos, especialmente se for realizado um *trimming* de resistor, diferente do que acontece quando usam transistores em tríodo, como (Ueno, CMOS Voltage and Current Reference Circuits consisting of Subthreshold MOSFETs — Micropower Circuit Components for Power-aware LSI Applications —, 2010). Além disso, essa tensão de saída de 0,5 V pode ser facilmente alterada trocando o valor da resistência R_3 (Figura 20) sem grandes implicações no desempenho do circuito.

Tabela 16 – Resultados do circuito apresentado no trabalho e de outros da literatura. Na tabela Δ indica variação, CTAT= V_{GS} indica que a grandeza CTAT do circuito foi obtida a partir de V_{GS} de um MOS e V_{REF} é a tensão de referência

Referência	Este trabalho*	Leung & Mok	Vita & Iannaccone	Ueno, Hirose, Asai, & Amemiya
Ano/Local de publicação	2014	2003/JSSC	2005/CICC	2009/JSSC
Tecnologia CMOS (μm)	0,35	0,6	0,35	0,35
V_{THN} e $ V_{THP} $ (V)	0,5 e 0,7	0,9 e 0,9	0,45 e 0,75	-
Δ temperatura ($^{\circ}\text{C}$)	-10 a 90	0 a 100	0 a 80	-20 a 80
ΔV_{DD} (V)	1,0 a 2,5	1,4 a 3,0	1,5 a 4,3	1,4 a 3,0
V_{REF} (V)	0,5	0,309	0,168	0,745
Potência (μW)	2,7 (2,7 μA x 1V 27 $^{\circ}\text{C}$)	13,6 (9,7 μA x 1,4V)	3,6 (2,4 μA x 1,5V 80 $^{\circ}\text{C}$)	0,3 (0,2 μA x 1,5V 27 $^{\circ}\text{C}$)
TC (ppm/ $^{\circ}\text{C}$)	15 (1,0 V)	36,9	25	7,0
RL (ppm/V)	263 (27 $^{\circ}\text{C}$)	830 (25 $^{\circ}\text{C}$)	9524	20
Área (mm^2)	0,11	0,055	0,08	0,052
Tipo	<i>Bandgap</i>	CTAT = V_{GS}	CTAT = V_{GS}	All CMOS

*Resultado obtido através de simulação elétrica

Tabela 17 - Resultados do circuito apresentado no trabalho e de outros da literatura. Na tabela Δ indica variação, CTAT= V_{GS} indica que a grandeza CTAT do circuito foi obtida a partir de V_{GS} de um MOS e V_{REF} é a tensão de referência

Referência	Banba, et al.	Zhou, et al.	Vita & Iannaccone	Leung & Mok
Ano/Local de publicação	1999/JSSC	2012/TCS-II	2007/JSSC	2002/JSSC
Tecnologia CMOS (μm)	0,4	0,35	0,35	0,6
V_{THN} e $ V_{THP} $ (V)	0,4 e 0,3	0,596 e 0,68	0,498* e 0,75	0,9 e 0,9
Δ temperatura ($^{\circ}\text{C}$)	27 a 125	0 a 130	0 a 80	0 a 100
ΔV_{DD} (V)	2,2 a 4,4	1,8 a 4,5	0,9 a 4,0	0,98 a 1,5
V_{REF} (V)	0,518	0,8475	0,67	0,603
Potência (μW)	4,8 (2,2 μA x 2,2V)	12,8 (8 μA x 1,8V)	0,036 (40nA x 0,9V)	17,6 (18 μA x 0,98V)
TC (ppm/ $^{\circ}\text{C}$)	117	11,8	10	15
RL (ppm/V)	2145	185	2700	7016 (27 $^{\circ}\text{C}$)
Área (mm^2)	0,1	0,011	0,045	0,24
Tipo	<i>Bandgap</i>	Compensação de V_{THN} e V_{THP}	All CMOS e CTAT = V_{GS}	<i>Bandgap</i>

* O artigo usa também um NMOS de V_{THN} de 0,7 V

Tabela 18 - Resultados do circuito apresentado no trabalho e de outros da literatura. Na tabela Δ indica variação, CTAT= V_{GS} indica que a grandeza CTAT do circuito foi obtida a partir de V_{GS} de um MOS e V_{REF} é a tensão de referência

Referência	Neuteboom, Kup, & Jassens	Huang & Lin	Chang, Lo, Chen, Wu, & Hung	Li & Guo
Ano/Local de publicação	1997/JSSC	2006/TCS-II	2007/ISCAS	2009/ASICON
Tecnologia CMOS (μm)	0,8	0,18	0,18	0,6
V_{THN} e $ V_{THP} $ (V)	0,5 e 0,7	0,461 e 0,439	-	0,78 e 0,98
Δ temperatura ($^{\circ}\text{C}$)	-	-20 a 120	-20 a 120	0 a 100
ΔV_{DD} (V)	0,7 a -	0,9 a 2,5	1,5 a 3,0	2,0 a 5,0
V_{REF} (V)	0,67	0,221	0,621	0,39
Potência (μW)	14 (20 μA x 0,7V)	3,3 (3,9 μA x 0,85V 27 $^{\circ}\text{C}$)	17,3 (11,5 μA x 1,5V 27 $^{\circ}\text{C}$)	18 (9 μA x 2V 100 $^{\circ}\text{C}$)
TC (ppm/ $^{\circ}\text{C}$)	-	194	11,5 (1,5V)	15 (2V)
RL (ppm/V)	-	9050	9661	136
Área (mm^2)	0,15	0,0238	0,132	0,07
Tipo	<i>Bandgap</i>	CTAT = V_{GS}	CTAT = V_{GS}	<i>Bandgap</i>

Conclusão

Esta dissertação apresenta o projeto de uma fonte de tensão de referência do tipo *bandgap*. Dentre as particularidades desse projeto está o uso de uma topologia original e um circuito de *start-up* específico para ele, o dimensionamento dos dispositivos usando algoritmos metaheurísticos, a introdução de um bloco de ajuste de coeficiente de temperatura e um método de configuração desse bloco de ajuste.

Ao decorrer do texto listou-se diferentes alternativas de circuitos que poderiam ser utilizados no projeto, e, gradualmente, incrementou-se um simples circuito de *bandgap* até ele se tornar o proposto neste trabalho.

O resultado alcançado foi uma fonte de tensão de referência do tipo *bandgap* de 0,5 V de tensão de referência, 15 ppm/°C de coeficiente de temperatura em um intervalo de temperatura de -10°C a 90°C à 1,0 V de tensão de alimentação, 263 ppm/V de regulação de linha à temperatura ambiente, 2,7 μ A de consumo de corrente na tensão mínima de 1,0 V e uma área de 0,11mm². Medidas provenientes de uma análise Monte Carlo e tecnologia CMOS de 0,35 μ m da AMS, cujo V_{TH0} para o NMOS e PMOS é de 0,5 V e -0,7 V para o caso típico e 0,6V e -0,8V para o *worst-speed*. A introdução do bloco de ajuste de coeficiente de temperatura permite que mais que 90% dos circuitos produzidos tenham um coeficiente de temperatura de até 30 ppm/°C.

A topologia apontou um bom coeficiente de temperatura e uma boa regulação de linha devido, respectivamente, ao bom dimensionamento e o uso de transistores na configuração *Cascode*, podendo funcionar em até 1,0 V. É possível também alterar a tensão de saída, simplesmente trocando o valor de um resistor, ou a tensão de alimentação, devido à boa regulação de linha, sem grandes implicações sobre a qualidade do circuito.

Percebeu-se também o quanto o processo de dimensionamento dos dispositivos foi acelerado usando algoritmos metaheurísticos, economizando tempo pra melhorar outras características do circuito, como o coeficiente de temperatura.

O bloco de ajuste de coeficiente de temperatura mostrou de grande valor quando pode reduzir a característica sem deteriorar a regulação de linha ou a variação da tensão de saída. Além disso, o bloco tornou-se viável para o uso real devido a possibilidade de ser configurado de maneira prática.

Utilizou-se um bloco de *start-up* específico para o problema devido à introdução dos transistores *Cascode*, garantindo um início de operação de pelo menos 0,77 s.

Houve uma pesquisa e compilação de informações de outras fontes de referência na literatura não só para melhor compreender as fontes de referência, mas também para se inspirar e comparar com o circuito projetado.

Durante o projeto avaliou-se também o uso de um bloco de ajuste de tensão de saída, cuja finalidade é reduzir a variação da tensão de referência entre os diversos CIs de um *wafer*. Entretanto, apesar de reduzir consideravelmente o desvio padrão das amostras, tal bloco piora o coeficiente de temperatura ocasionando a perda de interesse.

Por fim, como sugestões de trabalhos futuros, ficam: fabricar o circuito e testar as suas características, bem como avaliar o método de configuração de *bits* criado; o uso de simulação Monte Carlo nos algoritmos metaheurísticos, para isso é necessário que, além de melhores computadores, execuções paralelas sejam realizadas; substituir o transistor BJT por um diodo Schottky (que possui uma queda de tensão menor, entorno de 0,3 V); aumentar as dimensões dos capacitores do bloco de *start-up* para garantir um início de operação mais rápido; e refazer o circuito projetado utilizando uma tecnologia que possua transistores MOS com tensões de *threshold* menores.

Referência

- Austria Micro Systems. (6 de October de 2003). 0.35 um CMOS C35 Design Rules. Schloss Premstätten, Styria, Austria.
- Austria Micro Systems. (12 de March de 2003). 0.35 um CMOS C35 Process Parameters. Schloss Premstatten, Styria, Austria.
- Austria Micro Systems. (13 de March de 2003). 0.35um CMOS C35 Matching Parameters. Schloss Premstätten, Styria, Austria.
- Banba, H., Shiga, H., Umezawa, A., Miyaba, T., Tanzawa, T., Atsumi, S., & Sakui, K. (1999). A CMOS Bandgap Reference Circuit with Sub-1-V Operation. *IEEE Journal of Solid-State Circuits*, 670-674.
- Bondyopadhyay, P. K. (1998). Moore's Law Governs the Silicon Revolution. *Proceedings of the IEEE*, 78-81 .
- Brewer, J. E. (1998). A New and Improved Roadmap. *IEEE Circuits and Devices Magazine*, 13-18 .
- Brinkman, W. F. (1997). A History of the Invention of the Transistor and Where It Will Lead Us. *IEEE Journal of Solid-State Circuits*, 1858-1865 .
- Brokaw, A. P. (1974). A Simple Three-Terminal IC Bandgap Reference. *IEEE Journal of Solid-State Circuits*, 388- 393 .
- Chang, C.-W., Lo, T.-Y., Chen, C.-m., Wu, K.-H., & Hung, C.-C. (2007). A Low-Power CMOS Voltage Reference Circuit Based On Subthreshold Operation. *ISCAS 2007. IEEE International Symposium on Circuits and Systems, 2007* (pp. 3844-3847). New Orleans: IEEE.
- Cheng, Y., & Hu, C. (1999). *MOSFET Modeling & BSIM3 User's Guide*. New York: Kluwer.
- Cheng, Y., & Hu, C. (1999). *MOSFET Modeling & BSIM3 User's Guide*. New York: Kluwer.
- Fayomi, C. J., Wirth, G. I., Achigui, H. F., & Matsuzawa, A. (2010). Sub 1 V CMOS bandgap reference design techniques: a survey. *Analog Integrated Circuits and Signal Processing*, 141–157.
- Giustolisi, G., Palumbo, G., Criscione, M., & Cutrì, F. (2003). A Low-Voltage Low-Power Voltage Reference Based on Subthreshold MOSFETs. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 151-154.

- Hastings, A. (2001). *The Art of Analog Layout*. New Jersey: Prentice Hall.
- Huang, P.-H., & Lin, H. (2006). A Simple Subthreshold CMOS Voltage Reference Circuit With Channel- Length Modulation Compensation. *IEEE Transactions on Circuits and Systems-II: Express Briefs*, 882-885.
- Ishibe, E. I. (15 de Junho de 2010). *Projeto de Fonte de Tensão de Referência de Baixa Tensão e Consumo*. Fonte: Trabalhos Acadêmicos: <http://www.tcc.sc.usp.br/tce/disponiveis/18/182000/tce-09092010-164655/>
- Ishibe, E., & Navarro, J. (2013). A Bandgap Circuit with a Temperature Coefficient Adjustment Block. *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)* (pp. 101- 104). Columbus: IEEE.
- Ishibe, E., & Navarro, J. (2013). A CMOS Bandgap Reference Circuit with a Temperature Coefficient Adjustment Block. *2013 26th Symposium on Integrated Circuits and Systems Design (SBCCI)* (pp. 1- 6). Curitiba: IEEE.
- Kuijk, K. E. (1973). A Precision Referece Voltage Source. *IEEE Journal of Solid-State Circuits*, 222 - 226.
- Leung, K. N., & Mok, P. K. (2002). A Sub-1-V 15-ppm/°C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device. *IEEE Journal of Solid-State Circuits*, 526-530.
- Leung, K. N., & Mok, P. K. (January de 2003). A CMOS Voltage Reference Based on Weighted ΔV_{GS} for CMOS Low-Dropout Linear Regulators. *IEEE Journal of Solid-State Circuits*, 146-150.
- Li, W., & Guo, L. (2009). A Low Power CMOS Bandgap Voltage Reference with Enhanced Power Supply Rejection. *IEEE 8th International Conference on ASIC, 2009. ASICON '09* (pp. 300-304). Changsha: IEEE.
- Luke, S. (7 de February de 2009). *cs.gmu.edu*. Fonte: Essentials of Metaheuristics: <http://cs.gmu.edu/~sean/book/metaheuristics/>
- Mathworks. (s.d.). *Documentation Center*. Fonte: Mathworks Web site: <http://www.mathworks.com/help/matlab/index.html>
- Mathworks. (s.d.). *Genetic Algorithm Options*. Fonte: Mathworks Web Page: <http://www.mathworks.com/help/gads/genetic-algorithm-options.html>

- Mathworks. (s.d.). *Global Optimization Toolbox*. Fonte: Mathworks Web site:
<http://www.mathworks.com/products/global-optimization/>
- Mathworks. (s.d.). *Simulated Annealing Options*. Fonte: Mathworks web site:
<http://www.mathworks.com/help/gads/simulated-annealing-options.html>
- Melliar-Smith, C. M., Borrus, M. G., Haggan, D. E., Lowrey, T., Vincentelli, A. S., & Troutman, W. W. (1998). The Transistor: An Invention Becomes a Big Business. *Proceedings of the IEEE*, 86-110 .
- Mentor Graphics. (2006). Calibre Verification User's Manual. Wilsonville, Oregon, United States of America.
- Mentor Graphics. (2008). IC Station Reference Manual. Wilsonville, Oregon, United States of America.
- Mentor Graphics. (2008). IC Station User Interface Manual. Wilsonville, Oregon, United States of America.
- Mentor Graphics. (2008). IC Station User's Manual. Wilsonville, Oregon, United States of America.
- Mentor Graphics. (2009). Eldo Device Equations Manual. Wilsonville, Oregon, United States of America.
- Mentor Graphics. (2009). Eldo User's Manual. Wilsonville, Oregon, United States of America.
- Mentor Graphics. (2009). EZwave User's and Reference Manual. Wilsonville, Oregon, United States of America.
- Navarro, J., & Ishibe, E. (2011). A Simple CMOS Bandgap Reference Circuit with Sub-1-V Operation. *2011 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 2289-2292). Rio de Janeiro: IEEE.
- Needham, W. (1998). Just How Real is the SIA Roadmap. *International Test Conference, 1998. Proceedings* (p. 1151). IEEE.
- Neuteboom, H., Kup, B. M., & Janssens, M. (1997). A DSP-Based Hearing Instrument IC. *IEEE Journal of Solid-State Circuits*, 1790–1806.
- Pelgrom, M. J., Duinmaijer, A. C., & Welbers, A. P. (1989). Matching Properties of MOS Transistors. *IEEE Journal of Solid-State Circuits*, 1433-1440.
- Razavi, B. (2001). *Design of Analog CMOS Integrated Circuits*. New York: McGraw-Hill Higher Education.
- Rincón-Mora, G. A. (2002). *Voltage References*. Piscataway: IEEE.

- Ross, I. M. (1998). The Invention of the Transistor. *Proceedings of the IEEE* , 7-28 .
- Sansen, W. M. (2006). *Analog Design Essentials*. Dordrecht: Springer.
- Semiconductor Industry Association. (2006). *The National Technology Roadmap for Semiconductors*. San Jose: Semiconductor Industry Association.
- Semiconductor Industry Association. (4 de December de 2012). *Semiconductor Industry Association*. Fonte: Semiconductor Industry Association: http://www.semiconductors.org/news/2012/12/04/global_sales_report_2012/global_semiconductor_sales_increase_in_october_remain_above_seasonal_rate/
- Semiconductor Industry Association. (3 de February de 2014). *Semiconductor Industry Association*. Fonte: Semiconductor Industry Association: http://www.semiconductors.org/news/2014/02/03/global_sales_report_2013/semiconductor_industry_posts_record_sales_in_2013/
- Talbi, E.-G. (2009). *Metaheuristics From Design to Implementation*. Hoboken: John Wiley & Sons, Inc.
- Texas Instruments. (13 de August de 2008). Voltage Reference Selection Basics. Dallas, Texas, United States of America.
- Tsividis, Y. (1999). *Operation and modeling of the MOS transistor*. Boston: McGraw Hill.
- Tsividis, Y. P. (1980). Accurate Analysis of Temperature Effects in IC-VBE Characteristics with Application to Bandgap Reference Sources. *IEEE Journal of Solid-State Circuits*, 1076-1084.
- Tsividis, Y., & McAndrew, C. (2012). *The MOS Transistor*. New York: Oxford University Press.
- Ueno, K. (2010). CMOS Voltage and Current Reference Circuits consisting of Subthreshold MOSFETs — Micropower Circuit Components for Power-aware LSI Applications —. Em J. W. Swart, *Solid State Circuits Technologies* (pp. 1-24). InTech.
- Ueno, K., Hirose, T., Asai, T., & Amemiya, Y. (2009). A 0.3- μ W, 7 ppm/ $^{\circ}$ C CMOS Voltage Reference Circuit for On-Chip Process Monitoring in Analog Circuits. *IEEE Journal of Solid-State Circuits*, 2047-2054.

- Vita, G. D., & Iannaccone, G. (2005). An Ultra-Low-Power, Temperature Compensated Voltage Reference Generator. *IEEE 2005 Custom Integrated Circuits Conference* (pp. 751-754). San Jose, CA, USA: IEEE.
- Vita, G. D., & Iannaccone, G. (2007). A Sub-1-V, 10 ppm/°C, Nanopower VoltageReference Generator. *IEEE Journal of Solid-State Circuits*, 1536-1542.
- Vittoz, E. A., & Neyroud, O. (1979). A Low-Voltage CMOS Bandgap Reference. *IEEE Journal of Solid-State Circuits*, 573-577.
- Vittoz, E., & Fellrath, J. (1977). CMOS Analog Integrated Circuits Based on Weak Inversion Operation. *IEEE Journal of Solid-State Circuits*, 224-231.
- Widlar, R. J. (1971). New Developments in IC Voltage Regulators. *IEEE Journal of Solid-State Circuits*, 2- 7.
- Yan, S., & Sánchez-Sinencio, E. (2000). Low Voltage Analog Circuit Design Techniques: A Tutorial. *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 179-196.
- Zhou, Z.-k., Zhu, P.-s., Shi, Y., Wang, H.-y., Ma, Y.-q., Xu, X.-z., . . . Zhang, B. (2012). A CMOS Voltage Reference Based on Mutual Compensation of V_{tn} and V_{tp} . *IEEE Transactions on Circuits and Systems—II: Express Briefs*, 341-345.

Apêndice A

Arquivo de descrição do circuito

```
*****
.include param
*****
*.option precise anal
.option SST_MTHREAD=1
* Do not allow SOR, always use Newton method:
.OPTIONS NEWTON
* Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-7 RELTOL=1.0e-4
* TRANSIENT OPTIONS
* Set LTE time-step control:
.OPTIONS QTRUNC
* Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
* Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3
*****
Mp1 vd b f vd MODP W='X7*1u' L= 'X1*1u' M='M1'
Mp2 vd b b vd MODP W='X7*1u' L= 'X1*1u'
Mp3 f a d vd MODP W='X7*1u' L= 'X2*1u' M='M1'
Mp4 vd b c vd MODP W='X8*1u' L= 'X1*1u'
Mp5 a a vd vd MODP W='X9*1u' L= 'X3*1u'
Mn1 0 d d 0 MODN W='X10*1u' L= 'X4*1u'
Mn2 j d e 0 MODN W='X10*1u' L= 'X4*1u'
Mn3 e c b 0 MODN W='X10*1u' L= 'X5*1u'
Mn4 0 d a 0 MODN W='X11*1u' L= 'X4*1u'
Mn5 0 c c 0 MODN W='X12*1u' L= 'X6*1u'
XrR1 j 0 RPOLYH W=4e-06 L='X13*1E-6'
M10 vd b t vd MODP W='X7*1u' L='X1*1u' M='int(X17)'
M11 vd b y vd MODP W='X7*1u' L='X1*1u' M='int(X16)'
Mc10 s a t vd MODP W='X7*1u' L='X2*1u' M='int(X17)'
M12 u a y vd MODP W='X7*1u' L='X2*1u' M='int(X16)'
XrR2 u s RPOLYH W=4e-06 L='X14*1E-6'
XrR3 s 0 RPOLYH W=4e-06 L='X15*1E-6'
Q1 0 0 u Vert10
*****
Vdd vd 0 1
*****
.end
```

Arquivo de simulação do circuito

```
*****
* modelo Monte Carlo
*.include ./modelMC.mod
* modelo Típico
*.include ./ modelMC.mod
*****
.Param X1= 10.000 X2= 3.600 X3= 20.000 X4= 6.800 X5= 8.300 X6= 26.900
.Param X7= 71.700 X8= 29.600 X9= 1.000 X10= 189.000 X11= 9.000 X12= 1.000 X13= 448
.Param X14= 1600 X15= 1231 X16= 3.945 X17= 5.426
.Param M1= 3.00
*****
* Para o análise Monte-Carlo
.MC 1000 NBBINS=20
```

```
.probe DC V(s)
*****
* Medição do Coeficiente de temperatura
.alter
.DC TEMP -20.0 100.0 1.0
.meas DC PPTC PP V(s) from=-10 to=90
.meas DC AVGVS AVG V(s) from=-10 to=90
.extract LABEL=PICOMIN MIN(MEAS(PPTC))
*****
* Medição da Regulação de linha
.alter
.DC Vdd 0V 3V 0.01V
.meas DC PPTC PP V(s) from=1.0 to=2.5
*****
* Comando utilizado para testar o método direto e o simplificado
*.MC 1000 OUTER NBBINS=20 PPTC PPTCprev
*.DC temp -20 100 1
*.extract LABEL=PPTCprev 'abs(yval(V(s),-10)-yval(V(s),90))'
*.meas DC PPTC PP V(s) from=-10 to=90
```

Apêndice B

Arquivo C+CC extraído do *layout*

```
*****
* modelo Monte Carlo
*.include ./modelMC.mod
* modelo Típico
*.include ./ modelMC.mod
*****
.subckt COMPLETE VREF VDD VSS IN[2] IN[1] IN[0]
*
mM0 VSS VDD 18 VSS MODN L=2e-05 W=3e-06 AD=2.85e-12 AS=2.55e-12 PD=4.9e-06
+ PS=4.7e-06 NRD=0.141667 NRS=0.141667
mM1 1 18 VSS VSS MODN L=3.5e-07 W=1e-05 AD=8.5e-12 AS=9.5e-12 PD=1.17e-05
+ PS=1.19e-05 NRD=0.0425 NRS=0.0425
mM2 20 2 VSS VSS MODN L=6.8e-06 W=3.9e-06 AD=1.95e-12 AS=3.705e-12 PD=1e-06
+ PS=5.8e-06 NRD=0.108974 NRS=0.108974
mM3 21 2 VSS VSS MODN L=6.8e-06 W=3.9e-06 AD=1.95e-12 AS=3.705e-12 PD=1e-06
+ PS=5.8e-06 NRD=0.108974 NRS=0.108974
mM4 22 2 VSS VSS MODN L=6.8e-06 W=3.9e-06 AD=1.95e-12 AS=3.705e-12 PD=1e-06
+ PS=5.8e-06 NRD=0.108974 NRS=0.108974
mM5 23 2 VSS VSS MODN L=6.8e-06 W=3.9e-06 AD=1.95e-12 AS=3.705e-12 PD=1e-06
+ PS=5.8e-06 NRD=0.108974 NRS=0.108974
mM6 VREF 9 20 VSS MODN L=3.5e-07 W=3.9e-06 AD=3.315e-12 AS=1.95e-12 PD=5.6e-06
+ PS=1e-06 NRD=0.108974 NRS=0.108974
mM7 VREF 11 21 VSS MODN L=3.5e-07 W=3.9e-06 AD=3.315e-12 AS=1.95e-12
+ PD=5.6e-06 PS=1e-06 NRD=0.108974 NRS=0.108974
mM8 VREF 5 22 VSS MODN L=3.5e-07 W=3.9e-06 AD=3.315e-12 AS=1.95e-12 PD=5.6e-06
+ PS=1e-06 NRD=0.108974 NRS=0.108974
mM9 VREF 10 23 VSS MODN L=3.5e-07 W=3.9e-06 AD=3.315e-12 AS=1.95e-12
+ PD=5.6e-06 PS=1e-06 NRD=0.108974 NRS=0.108974
mM10 5 IN[2] VSS VSS MODN L=3.5e-07 W=1e-06 AD=5.16667e-13 AS=8.5e-13
+ PD=1.03333e-06 PS=2.7e-06 NRD=0.425 NRS=0.425
mM11 30 IN[0] 5 VSS MODN L=3.5e-07 W=2e-06 AD=4.5e-13 AS=1.03333e-12
+ PD=4.5e-07 PS=2.06667e-06 NRD=0.2125 NRS=0.2125
mM12 VSS IN[1] 30 VSS MODN L=3.5e-07 W=2e-06 AD=1.7e-12 AS=4.5e-13 PD=3.7e-06
+ PS=4.5e-07 NRD=0.2125 NRS=0.2125
mM13 29 IN[2] 7 VSS MODN L=3.5e-07 W=2e-06 AD=1e-12 AS=1.7e-12 PD=1e-06
+ PS=3.7e-06 NRD=0.2125 NRS=0.2125
mM14 VSS IN[0] 29 VSS MODN L=3.5e-07 W=2e-06 AD=1e-12 AS=1e-12 PD=1e-06
+ PS=1e-06 NRD=0.2125 NRS=0.2125
mM15 29 IN[1] VSS VSS MODN L=3.5e-07 W=2e-06 AD=1.7e-12 AS=1e-12 PD=3.7e-06
+ PS=1e-06 NRD=0.2125 NRS=0.2125
mM16 19 VSS VDD VDD MODP L=8e-07 W=3e-06 AD=2.55e-12 AS=2.85e-12 PD=4.7e-06
+ PS=4.9e-06 NRD=0.141667 NRS=0.141667
mM17 2 19 VDD VDD MODP L=3.5e-07 W=2e-05 AD=1.7e-11 AS=1.9e-11 PD=2.17e-05
+ PS=2.19e-05 NRD=0.02125 NRS=0.02125
mM18 24 7 VREF VDD MODP L=3.5e-07 W=4.5e-06 AD=2.25e-12 AS=3.825e-12 PD=1e-06
+ PS=6.2e-06 NRD=0.0944444 NRS=0.0944444
mM19 25 6 VREF VDD MODP L=3.5e-07 W=4.5e-06 AD=2.25e-12 AS=3.825e-12 PD=1e-06
+ PS=6.2e-06 NRD=0.0944444 NRS=0.0944444
mM20 26 8 VREF VDD MODP L=3.5e-07 W=4.5e-06 AD=2.25e-12 AS=3.825e-12 PD=1e-06
+ PS=6.2e-06 NRD=0.0944444 NRS=0.0944444
mM21 27 VDD VREF VDD MODP L=3.5e-07 W=4.5e-06 AD=2.25e-12 AS=3.825e-12
+ PD=1e-06 PS=6.2e-06 NRD=0.0944444 NRS=0.0944444
mM22 VDD 1 24 VDD MODP L=1e-05 W=4.5e-06 AD=4.275e-12 AS=2.25e-12 PD=6.4e-06
+ PS=1e-06 NRD=0.0944444 NRS=0.0944444
mM23 VDD 1 25 VDD MODP L=1e-05 W=4.5e-06 AD=4.275e-12 AS=2.25e-12 PD=6.4e-06
```

```

+ PS=1e-06 NRD=0.0944444 NRS=0.0944444
mM24 VDD 1 26 VDD MODP L=1e-05 W=4.5e-06 AD=4.275e-12 AS=2.25e-12 PD=6.4e-06
+ PS=1e-06 NRD=0.0944444 NRS=0.0944444
mM25 VDD 1 27 VDD MODP L=1e-05 W=4.5e-06 AD=4.275e-12 AS=2.25e-12 PD=6.4e-06
+ PS=1e-06 NRD=0.0944444 NRS=0.0944444
mM26 28 IN[2] 5 VDD MODP L=3.5e-07 W=3.2e-06 AD=1.6e-12 AS=2.72e-12 PD=1e-06
+ PS=4.9e-06 NRD=0.132812 NRS=0.132812
mM27 VDD IN[0] 28 VDD MODP L=3.5e-07 W=3.2e-06 AD=1.6e-12 AS=1.6e-12 PD=1e-06
+ PS=1e-06 NRD=0.132812 NRS=0.132812
mM28 28 IN[1] VDD VDD MODP L=3.5e-07 W=3.2e-06 AD=2.72e-12 AS=1.6e-12
+ PD=4.9e-06 PS=1e-06 NRD=0.132812 NRS=0.132812
mM29 7 IN[2] VDD VDD MODP L=3.5e-07 W=1.6e-06 AD=8e-13 AS=1.36e-12 PD=1.2e-06
+ PS=3.3e-06 NRD=0.265625 NRS=0.265625
mM30 31 IN[0] 7 VDD MODP L=3.5e-07 W=3.2e-06 AD=7.2e-13 AS=1.6e-12 PD=4.5e-07
+ PS=2.4e-06 NRD=0.132812 NRS=0.132812
mM31 VDD IN[1] 31 VDD MODP L=3.5e-07 W=3.2e-06 AD=2.72e-12 AS=7.2e-13
+ PD=4.9e-06 PS=4.5e-07 NRD=0.132812 NRS=0.132812
XcC32 VDD 18 CPOLY !A=226.2e-12 !P=65.9e-06
XcC33 VSS 19 CPOLY !A=226.2e-12 !P=65.9e-06
XrX34_R0 VSS VREF RPOLYH w=4e-06 l=0.00123156
XrX34_R1 VSS X34_4 RPOLYH w=4e-06 l=0.00044819
XrX34_R2 VREF X34_2 RPOLYH w=4e-06 l=0.00160101
qX34_Q3 VSS VSS X34_2 VERT10
mX34_M4 1 X34_12 X34_5 VSS MODN L=8.3e-06 W=4.725e-05 AD=2.3625e-11
+ AS=4.01625e-11 PD=1e-06 PS=4.895e-05 NRD=0.00899471 NRS=0.00899471
mX34_M5 X34_5 X34_12 1 VSS MODN L=8.3e-06 W=4.725e-05 AD=4.01625e-11
+ AS=2.3625e-11 PD=4.895e-05 PS=1e-06 NRD=0.00899471 NRS=0.00899471
mX34_M6 X34_5 2 X34_4 VSS MODN L=6.8e-06 W=4.725e-05 AD=2.3625e-11
+ AS=4.01625e-11 PD=1e-06 PS=4.895e-05 NRD=0.00899471 NRS=0.00899471
mX34_M7 X34_4 2 X34_5 VSS MODN L=6.8e-06 W=4.725e-05 AD=4.01625e-11
+ AS=2.3625e-11 PD=4.895e-05 PS=1e-06 NRD=0.00899471 NRS=0.00899471
mX34_M8 2 2 VSS VSS MODN L=6.8e-06 W=4.725e-05 AD=2.3625e-11 AS=4.48875e-11
+ PD=1e-06 PS=4.915e-05 NRD=0.00899471 NRS=0.00899471
mX34_M9 VSS 2 2 VSS MODN L=6.8e-06 W=4.725e-05 AD=4.48875e-11 AS=2.3625e-11
+ PD=4.915e-05 PS=1e-06 NRD=0.00899471 NRS=0.00899471
mX34_M10 2 2 VSS VSS MODN L=6.8e-06 W=4.725e-05 AD=2.3625e-11 AS=4.48875e-11
+ PD=1e-06 PS=4.915e-05 NRD=0.00899471 NRS=0.00899471
mX34_M11 VSS 2 2 VSS MODN L=6.8e-06 W=4.725e-05 AD=4.48875e-11 AS=2.3625e-11
+ PD=4.915e-05 PS=1e-06 NRD=0.00899471 NRS=0.00899471
mX34_M12 X34_5 2 X34_4 VSS MODN L=6.8e-06 W=4.725e-05 AD=2.3625e-11
+ AS=4.01625e-11 PD=1e-06 PS=4.895e-05 NRD=0.00899471 NRS=0.00899471
mX34_M13 X34_4 2 X34_5 VSS MODN L=6.8e-06 W=4.725e-05 AD=4.01625e-11
+ AS=2.3625e-11 PD=4.895e-05 PS=1e-06 NRD=0.00899471 NRS=0.00899471
mX34_M14 1 X34_12 X34_5 VSS MODN L=8.3e-06 W=4.725e-05 AD=2.3625e-11
+ AS=4.01625e-11 PD=1e-06 PS=4.895e-05 NRD=0.00899471 NRS=0.00899471
mX34_M15 X34_5 X34_12 1 VSS MODN L=8.3e-06 W=4.725e-05 AD=4.01625e-11
+ AS=2.3625e-11 PD=4.895e-05 PS=1e-06 NRD=0.00899471 NRS=0.00899471
mX34_M16 VSS X34_12 X34_12 VSS MODN L=2.69e-05 W=1e-06 AD=9.5e-13 AS=8.5e-13
+ PD=2.9e-06 PS=2.7e-06 NRD=0.425 NRS=0.425
mX34_M17 X34_9 2 VSS VSS MODN L=6.8e-06 W=9e-06 AD=7.65e-12 AS=8.55e-12
+ PD=1.07e-05 PS=1.09e-05 NRD=0.0472222 NRS=0.0472222
mX34_M18 VDD 1 X34_VREF VDD MODP L=1e-05 W=7.17e-05 AD=6.8115e-11
+ AS=6.0945e-11 PD=7.36e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M19 X34_2 X34_9 X34_VREF VDD MODP L=3.6e-06 W=7.17e-05 AD=3.585e-11
+ AS=6.0945e-11 PD=1e-06 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M20 X34_VREF X34_9 X34_2 VDD MODP L=3.6e-06 W=7.17e-05 AD=6.0945e-11
+ AS=3.585e-11 PD=7.34e-05 PS=1e-06 NRD=0.00592748 NRS=0.00592748
mX34_M21 X34_VREF 1 VDD VDD MODP L=1e-05 W=7.17e-05 AD=6.0945e-11
+ AS=6.8115e-11 PD=7.34e-05 PS=7.36e-05 NRD=0.00592748 NRS=0.00592748
mX34_M22 VDD 1 X34_10 VDD MODP L=1e-05 W=7.17e-05 AD=6.8115e-11 AS=6.0945e-11
+ PD=7.36e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748

```

mX34_M23 X34_10 X34_9 VREF VDD MODP L=3.6e-06 W=7.17e-05 AD=3.585e-11
+ AS=6.0945e-11 PD=1e-06 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M24 VREF X34_9 X34_10 VDD MODP L=3.6e-06 W=7.17e-05 AD=6.0945e-11
+ AS=3.585e-11 PD=7.34e-05 PS=1e-06 NRD=0.00592748 NRS=0.00592748
mX34_M25 X34_10 1 VDD VDD MODP L=1e-05 W=7.17e-05 AD=6.0945e-11 AS=6.8115e-11
+ PD=7.34e-05 PS=7.36e-05 NRD=0.00592748 NRS=0.00592748
mX34_M26 VDD 1 X34_6 VDD MODP L=1e-05 W=7.17e-05 AD=6.8115e-11 AS=6.0945e-11
+ PD=7.36e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M27 2 X34_9 X34_6 VDD MODP L=3.6e-06 W=7.17e-05 AD=3.585e-11
+ AS=6.0945e-11 PD=1e-06 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M28 X34_6 X34_9 2 VDD MODP L=3.6e-06 W=7.17e-05 AD=6.0945e-11
+ AS=3.585e-11 PD=7.34e-05 PS=1e-06 NRD=0.00592748 NRS=0.00592748
mX34_M29 X34_6 1 VDD VDD MODP L=1e-05 W=7.17e-05 AD=6.0945e-11 AS=6.8115e-11
+ PD=7.34e-05 PS=7.36e-05 NRD=0.00592748 NRS=0.00592748
mX34_M30 VDD 1 1 VDD MODP L=1e-05 W=7.17e-05 AD=6.8115e-11 AS=6.0945e-11
+ PD=7.36e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M31 2 X34_9 X34_6 VDD MODP L=3.6e-06 W=7.17e-05 AD=6.0945e-11
+ AS=6.0945e-11 PD=7.34e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M32 X34_6 1 VDD VDD MODP L=1e-05 W=7.17e-05 AD=6.0945e-11 AS=6.8115e-11
+ PD=7.34e-05 PS=7.36e-05 NRD=0.00592748 NRS=0.00592748
mX34_M33 VDD 1 X34_10 VDD MODP L=1e-05 W=7.17e-05 AD=6.8115e-11 AS=6.0945e-11
+ PD=7.36e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M34 X34_10 X34_9 VREF VDD MODP L=3.6e-06 W=7.17e-05 AD=3.585e-11
+ AS=6.0945e-11 PD=1e-06 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M35 VREF X34_9 X34_10 VDD MODP L=3.6e-06 W=7.17e-05 AD=6.0945e-11
+ AS=3.585e-11 PD=7.34e-05 PS=1e-06 NRD=0.00592748 NRS=0.00592748
mX34_M36 X34_10 1 VDD VDD MODP L=1e-05 W=7.17e-05 AD=6.0945e-11 AS=6.8115e-11
+ PD=7.34e-05 PS=7.36e-05 NRD=0.00592748 NRS=0.00592748
mX34_M37 VDD 1 X34_12 VDD MODP L=1e-05 W=2.96e-05 AD=2.812e-11 AS=2.516e-11
+ PD=3.15e-05 PS=3.13e-05 NRD=0.0143581 NRS=0.0143581
mX34_M38 VREF X34_9 X34_10 VDD MODP L=3.6e-06 W=7.17e-05 AD=6.0945e-11
+ AS=6.0945e-11 PD=7.34e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M39 VDD 1 X34_10 VDD MODP L=1e-05 W=7.17e-05 AD=6.8115e-11 AS=6.0945e-11
+ PD=7.36e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M40 X34_2 X34_9 X34_VREF VDD MODP L=3.6e-06 W=7.17e-05 AD=6.0945e-11
+ AS=6.0945e-11 PD=7.34e-05 PS=7.34e-05 NRD=0.00592748 NRS=0.00592748
mX34_M41 X34_VREF 1 VDD VDD MODP L=1e-05 W=7.17e-05 AD=6.0945e-11
+ AS=6.8115e-11 PD=7.34e-05 PS=7.36e-05 NRD=0.00592748 NRS=0.00592748
mX34_M42 VDD X34_9 X34_9 VDD MODP L=2e-05 W=1e-06 AD=9.5e-13 AS=8.5e-13
+ PD=2.9e-06 PS=2.7e-06 NRD=0.425 NRS=0.425
mX35_M0 13 6 VSS VSS MODN L=3.5e-07 W=8e-07 AD=7.4e-13 AS=7.4e-13 PD=2.65e-06
+ PS=2.65e-06 NRD=0.53125 NRS=0.53125
mX35_M1 13 6 VDD VDD MODP L=3.5e-07 W=1.6e-06 AD=1.48e-12 AS=1.48e-12
+ PD=3.45e-06 PS=3.45e-06 NRD=0.265625 NRS=0.265625
mX36_M0 10 IN[2] VSS VSS MODN L=3.5e-07 W=8e-07 AD=7.4e-13 AS=7.4e-13
+ PD=2.65e-06 PS=2.65e-06 NRD=0.53125 NRS=0.53125
mX36_M1 10 IN[2] VDD VDD MODP L=3.5e-07 W=1.6e-06 AD=1.48e-12 AS=1.48e-12
+ PD=3.45e-06 PS=3.45e-06 NRD=0.265625 NRS=0.265625
mX37_M0 17 11 VSS VSS MODN L=3.5e-07 W=8e-07 AD=7.4e-13 AS=7.4e-13 PD=2.65e-06
+ PS=2.65e-06 NRD=0.53125 NRS=0.53125
mX37_M1 17 11 VDD VDD MODP L=3.5e-07 W=1.6e-06 AD=1.48e-12 AS=1.48e-12
+ PD=3.45e-06 PS=3.45e-06 NRD=0.265625 NRS=0.265625
mX38_M0 X38_4 IN[1] VSS VSS MODN L=3.5e-07 W=2e-06 AD=1e-12 AS=1.7e-12
+ PD=1e-06 PS=3.7e-06 NRD=0.2125 NRS=0.2125
mX38_M1 6 IN[2] X38_4 VSS MODN L=3.5e-07 W=2e-06 AD=1.7e-12 AS=1e-12
+ PD=3.7e-06 PS=1e-06 NRD=0.2125 NRS=0.2125
mX38_M2 6 IN[1] VDD VDD MODP L=3.5e-07 W=1.6e-06 AD=8e-13 AS=1.36e-12 PD=1e-06
+ PS=3.3e-06 NRD=0.265625 NRS=0.265625
mX38_M3 VDD IN[2] 6 VDD MODP L=3.5e-07 W=1.6e-06 AD=1.36e-12 AS=8e-13
+ PD=3.3e-06 PS=1e-06 NRD=0.265625 NRS=0.265625
mX39_M0 X39_4 IN[0] VSS VSS MODN L=3.5e-07 W=2e-06 AD=1e-12 AS=1.7e-12

```

+ PD=1e-06 PS=3.7e-06 NRD=0.2125 NRS=0.2125
mX39_M1 8 13 X39_4 VSS MODN L=3.5e-07 W=2e-06 AD=1.7e-12 AS=1e-12 PD=3.7e-06
+ PS=1e-06 NRD=0.2125 NRS=0.2125
mX39_M2 8 IN[0] VDD VDD MODP L=3.5e-07 W=1.6e-06 AD=8e-13 AS=1.36e-12 PD=1e-06
+ PS=3.3e-06 NRD=0.265625 NRS=0.265625
mX39_M3 VDD 13 8 VDD MODP L=3.5e-07 W=1.6e-06 AD=1.36e-12 AS=8e-13 PD=3.3e-06
+ PS=1e-06 NRD=0.265625 NRS=0.265625
mX40_M0 9 IN[0] VSS VSS MODN L=3.5e-07 W=1e-06 AD=5e-13 AS=8.5e-13 PD=1e-06
+ PS=2.7e-06 NRD=0.425 NRS=0.425
mX40_M1 VSS 17 9 VSS MODN L=3.5e-07 W=1e-06 AD=8.5e-13 AS=5e-13 PD=2.7e-06
+ PS=1e-06 NRD=0.425 NRS=0.425
mX40_M2 X40_4 IN[0] VDD VDD MODP L=3.5e-07 W=3.2e-06 AD=1.6e-12 AS=2.72e-12
+ PD=1e-06 PS=4.9e-06 NRD=0.132812 NRS=0.132812
mX40_M3 9 17 X40_4 VDD MODP L=3.5e-07 W=3.2e-06 AD=2.72e-12 AS=1.6e-12
+ PD=4.9e-06 PS=1e-06 NRD=0.132812 NRS=0.132812
mX41_M0 11 IN[1] VSS VSS MODN L=3.5e-07 W=1e-06 AD=5e-13 AS=8.5e-13 PD=1e-06
+ PS=2.7e-06 NRD=0.425 NRS=0.425
mX41_M1 VSS IN[2] 11 VSS MODN L=3.5e-07 W=1e-06 AD=8.5e-13 AS=5e-13 PD=2.7e-06
+ PS=1e-06 NRD=0.425 NRS=0.425
mX41_M2 X41_4 IN[1] VDD VDD MODP L=3.5e-07 W=3.2e-06 AD=1.6e-12 AS=2.72e-12
+ PD=1e-06 PS=4.9e-06 NRD=0.132812 NRS=0.132812
mX41_M3 11 IN[2] X41_4 VDD MODP L=3.5e-07 W=3.2e-06 AD=2.72e-12 AS=1.6e-12
+ PD=4.9e-06 PS=1e-06 NRD=0.132812 NRS=0.132812
c_27 1 0 164.133f
c_58 2 0 97.9594f
c_85 VREF 0 133.218f
c_116 VSS 0 807.493f
c_137 5 0 1.36974f
c_156 6 0 1.20573f
c_172 7 0 0.501717f
c_188 8 0 0.397206f
c_209 9 0 1.3998f
c_226 10 0 0.755318f
c_244 11 0 2.76092f
c_278 VDD 0 4.97726p
c_289 13 0 2.11854f
c_306 IN[2] 0 5.34298f
c_325 IN[0] 0 3.07813f
c_344 IN[1] 0 3.18602f
c_353 17 0 0.841612f
c_357 18 0 1.21573f
c_363 19 0 0.403541f
c_369 20 0 0.0465307f
c_376 21 0 0.0284875f
c_383 22 0 0.0246319f
c_388 23 0 0.051056f
c_432 29 0 0.179987f
c_448 X34_2 0 18.6009f
c_461 X34_4 0 76.4875f
c_467 X34_5 0 6.30169f
c_477 X34_6 0 3.00773f
c_487 X34_9 0 4.39716f
c_497 X34_10 0 21.2956f
c_504 X34_12 0 181.826f
c_514 X34_VREF 0 49.0466f

```

```

.include "complete.Layout3.pex.netlist.COMPLETE.LAYOUT3.pxi"

```

```

.ends

```

```

*****

```

```

X_COMPLETE VREF VDD VSS VDD VSS VSS COMPLETE

```

```

*****

```

```

VD VDD 0 1
VS VSS 0 0
*****
* Teste de start-up
.ic V(X_COMPLETE.19)=0
.ic V(X_COMPLETE.18)=1
.ic V(X_COMPLETE.1)=1
.ic V(X_COMPLETE.2)=0
*****
* Análise de Monte Carlo
.MC 1000 OUTER NBBINS=20 PPTC
.probe DC V(VREF) I(VD)
*****
* Medição do Coeficiente de Temperatura
.alter
.DC temp -20 100 1
.meas DC PPTC PP V(VREF) from=-10 to=90
.extract LABEL=PICOMIN MIN(MEAS(PPTC))
*****
* Medição da Regulação de linha
.alter
.DC VD 0.00V 3.00V 0.01V
.meas DC PPTC PP V(VREF) from=1.0 to=2.5
*****
* Medição do tempo de start-up
*.alter 3
*.tran 1n 2 0
*.probe tran V(VREF)
.end

```

Arquivo de capacitâncias parasitas do arquivo extraído do *layout*

```

* File: complete.Layout3.pex.netlist.COMPLETE.LAYOUT3.pxi
* Created: Tue Jan 28 17:12:49 2014
*
cc_1 2 1 25.2165f
cc_2 VREF 1 984.586f
cc_3 VSS 1 90.8679f
cc_4 5 1 0.248642f
cc_5 6 1 1.20957f
cc_6 7 1 1.8492f
cc_7 8 1 0.406886f
cc_8 9 1 0.350093f
cc_9 10 1 0.200204f
cc_10 11 1 0.305291f
cc_11 VDD 1 738.986f
cc_12 18 1 0.463885f
cc_13 19 1 0.133067f
cc_14 20 1 7.91897e-22
cc_15 24 1 0.0360577f
cc_16 25 1 0.0347448f
cc_17 26 1 0.0347371f
cc_18 27 1 0.0347371f
cc_19 X34_2 1 70.9574f
cc_20 X34_4 1 42.5979f
cc_21 X34_5 1 28.983f
cc_22 X34_6 1 207.845f
cc_23 X34_9 1 4.49736f
cc_24 X34_10 1 263.978f
cc_25 X34_12 1 103.043f

```

```
cc_26 X34_VREF 1 149.461f
cc_27 VREF 2 66.1307f
cc_28 VSS 2 143.53f
cc_29 5 2 3.07428f
cc_30 6 2 0.953466f
cc_31 7 2 0.718671f
cc_32 8 2 1.69974f
cc_33 9 2 2.7234f
cc_34 10 2 2.52463f
cc_35 11 2 3.33135f
cc_36 VDD 2 234.167f
cc_37 IN[1] 2 0.0202585f
cc_38 17 2 0.0126947f
cc_39 19 2 0.254688f
cc_40 20 2 0.175382f
cc_41 21 2 0.148115f
cc_42 22 2 0.143106f
cc_43 23 2 0.168576f
cc_44 24 2 0.159189f
cc_45 25 2 0.135653f
cc_46 26 2 0.119107f
cc_47 27 2 0.0837311f
cc_48 X34_2 2 4.91209f
cc_49 X34_4 2 467.227f
cc_50 X34_5 2 111.169f
cc_51 X34_6 2 23.1348f
cc_52 X34_9 2 55.1173f
cc_53 X34_10 2 30.925f
cc_54 X34_12 2 29.2297f
cc_55 X34_VREF 2 36.6335f
cc_56 VSS_VREF 8.53872f
cc_57 5 VREF 0.228229f
cc_58 6 VREF 0.0830517f
cc_59 7 VREF 0.0830336f
cc_60 8 VREF 0.0922428f
cc_61 9 VREF 0.278082f
cc_62 10 VREF 0.690991f
cc_63 11 VREF 0.266078f
cc_64 VDD VREF 1.24524p
cc_65 19 VREF 0.648871f
cc_66 20 VREF 0.27099f
cc_67 21 VREF 0.268195f
cc_68 22 VREF 0.25866f
cc_69 23 VREF 0.23266f
cc_70 24 VREF 0.312681f
cc_71 25 VREF 0.309885f
cc_72 26 VREF 0.306951f
cc_73 27 VREF 0.261909f
cc_74 X34_2 VREF 52.004f
cc_75 X34_4 VREF 21.1342f
cc_76 X34_6 VREF 34.686f
cc_77 X34_9 VREF 134.162f
cc_78 X34_10 VREF 70.208f
cc_79 X34_VREF VREF 18.7638f
cc_80 5 VSS 1.93859f
cc_81 6 VSS 1.22079f
cc_82 7 VSS 0.0758939f
cc_83 8 VSS 0.315561f
cc_84 9 VSS 0.365713f
cc_85 10 VSS 0.183525f
cc_86 11 VSS 0.906851f
```


cc_87 VDD VSS 1.04878p
cc_88 13 VSS 1.42704f
cc_89 IN[2] VSS 2.97756f
cc_90 IN[0] VSS 2.46016f
cc_91 IN[1] VSS 0.78698f
cc_92 17 VSS 0.0884246f
cc_93 18 VSS 63.2462f
cc_94 19 VSS 59.4591f
cc_95 21 VSS 3.03754e-19
cc_96 22 VSS 0.00477404f
cc_97 25 VSS 3.03754e-19
cc_98 26 VSS 0.00477404f
cc_99 29 VSS 0.229415f
cc_100 30 VSS 0.0262023f
cc_101 X34_2 VSS 5.76009f
cc_102 X34_4 VSS 224.903f
cc_103 X34_5 VSS 122.616f
cc_104 X34_12 VSS 19.6856f
cc_105 X38_4 VSS 0.131137f
cc_106 X39_4 VSS 0.131137f
cc_107 6 5 0.256187f
cc_108 7 5 0.309695f
cc_109 8 5 0.0158683f
cc_110 9 5 0.216715f
cc_111 10 5 1.89516f
cc_112 11 5 0.146123f
cc_113 VDD 5 1.09244f
cc_114 13 5 0.00103758f
cc_115 IN[2] 5 0.48667f
cc_116 IN[0] 5 0.632054f
cc_117 IN[1] 5 0.0712687f
cc_118 22 5 0.141577f
cc_119 23 5 0.0153811f
cc_120 26 5 0.0493254f
cc_121 28 5 0.239652f
cc_122 30 5 0.0234891f
cc_123 7 6 0.00553528f
cc_124 8 6 0.329994f
cc_125 9 6 0.00237641f
cc_126 10 6 0.355194f
cc_127 11 6 1.21508f
cc_128 VDD 6 3.72879f
cc_129 13 6 0.629472f
cc_130 IN[2] 6 0.347209f
cc_131 IN[0] 6 0.00788375f
cc_132 IN[1] 6 0.293165f
cc_133 25 6 0.0911339f
cc_134 26 6 0.0153811f
cc_135 X38_4 6 0.0493691f
cc_136 9 7 1.01302f
cc_137 VDD 7 1.64254f
cc_138 IN[2] 7 0.444431f
cc_139 IN[0] 7 0.191948f
cc_140 IN[1] 7 0.421752f
cc_141 24 7 0.0911262f
cc_142 25 7 0.0153811f
cc_143 28 7 0.0626098f
cc_144 29 7 0.0808403f
cc_145 10 8 1.50733f
cc_146 VDD 8 1.71055f
cc_147 13 8 0.37139f

```
cc_148 IN[2] 8 0.0449326f
cc_149 IN[0] 8 0.0727764f
cc_150 IN[1] 8 0.278547f
cc_151 26 8 0.0665591f
cc_152 27 8 0.00751924f
cc_153 X39_4 8 0.0493691f
cc_154 11 9 0.00336097f
cc_155 VDD 9 0.758393f
cc_156 IN[2] 9 0.343024f
cc_157 IN[0] 9 0.376037f
cc_158 IN[1] 9 0.238916f
cc_159 17 9 0.312486f
cc_160 20 9 0.03243f
cc_161 21 9 5.48914e-19
cc_162 24 9 7.2517e-19
cc_163 25 9 0.00204806f
cc_164 29 9 0.141572f
cc_165 30 9 0.00965158f
cc_166 X40_4 9 0.218635f
cc_167 11 10 0.0950998f
cc_168 VDD 10 1.14848f
cc_169 13 10 0.167198f
cc_170 IN[2] 10 0.496931f
cc_171 IN[0] 10 0.213158f
cc_172 IN[1] 10 0.167288f
cc_173 22 10 0.033319f
cc_174 23 10 0.14188f
cc_175 26 10 0.0397654f
cc_176 VDD 11 2.2281f
cc_177 IN[2] 11 1.97915f
cc_178 IN[0] 11 0.676219f
cc_179 IN[1] 11 0.582813f
cc_180 17 11 0.42092f
cc_181 21 11 0.13926f
cc_182 22 11 0.0153811f
cc_183 25 11 0.053165f
cc_184 X41_4 11 0.219915f
cc_185 13 VDD 1.20251f
cc_186 IN[2] VDD 4.51313f
cc_187 IN[0] VDD 3.42732f
cc_188 IN[1] VDD 8.29947f
cc_189 17 VDD 2.84208f
cc_190 18 VDD 1.66871f
cc_191 19 VDD 1.39902f
cc_192 24 VDD 0.0336045f
cc_193 25 VDD 0.0246619f
cc_194 26 VDD 0.0313488f
cc_195 27 VDD 0.433561f
cc_196 28 VDD 0.867848f
cc_197 31 VDD 0.0272217f
cc_198 X34_2 VDD 183.015f
cc_199 X34_4 VDD 863.984f
cc_200 X34_6 VDD 150.585f
cc_201 X34_9 VDD 351.239f
cc_202 X34_10 VDD 253.336f
cc_203 X34_12 VDD 2.24101f
cc_204 X34_VREF VDD 330.239f
cc_205 X40_4 VDD 0.273338f
cc_206 X41_4 VDD 0.292444f
cc_207 IN[2] 13 0.503238f
cc_208 IN[0] 13 0.162243f
```

cc_209 IN[1] 13 0.0523368f
cc_210 X39_4 13 0.215223f
cc_211 IN[0] IN[2] 2.02468f
cc_212 IN[1] IN[2] 1.12315f
cc_213 28 IN[2] 0.0456998f
cc_214 29 IN[2] 0.239013f
cc_215 X38_4 IN[2] 0.215223f
cc_216 X41_4 IN[2] 0.0406632f
cc_217 IN[1] IN[0] 1.09761f
cc_218 17 IN[0] 0.365516f
cc_219 28 IN[0] 0.188029f
cc_220 29 IN[0] 0.284862f
cc_221 30 IN[0] 0.0064165f
cc_222 X39_4 IN[0] 0.00540355f
cc_223 X40_4 IN[0] 0.02393f
cc_224 17 IN[1] 0.0143114f
cc_225 28 IN[1] 0.618631f
cc_226 29 IN[1] 0.160311f
cc_227 X38_4 IN[1] 0.00540355f
cc_228 X41_4 IN[1] 0.0252103f
cc_229 X40_4 17 0.382115f
cc_230 21 20 0.00684172f
cc_231 27 26 0.00380096f
cc_232 X34_4 X34_2 15.5427f
cc_233 X34_6 X34_2 28.0132f
cc_234 X34_9 X34_2 58.7969f
cc_235 X34_10 X34_2 8.89221f
cc_236 X34_VREF X34_2 22.7469f
cc_237 X34_5 X34_4 52.348f
cc_238 X34_6 X34_4 13.3453f
cc_239 X34_9 X34_4 1.68471f
cc_240 X34_10 X34_4 1.40246f
cc_241 X34_12 X34_4 14.7118f
cc_242 X34_VREF X34_4 1.0986f
cc_243 X34_12 X34_5 70.8332f
cc_244 X34_9 X34_6 110.742f
cc_245 X34_10 X34_6 38.7317f
cc_246 X34_VREF X34_6 16.5401f
cc_247 X34_10 X34_9 109.441f
cc_248 X34_VREF X34_9 82.5013f
cc_249 X34_VREF X34_10 47.0431f

Apêndice C

Arquivo VHDL do bloco digital

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
ENTITY Thermometer_Code IS
GENERIC (
    BITS : in natural := 3);
PORT (    d : IN STD_LOGIC_VECTOR(BITS-1 downto 0));
        X : OUT STD_LOGIC_VECTOR(2**BITS-1 downto 0);

END ENTITY Thermometer_Code;

ARCHITECTURE behavior OF Thermometer_Code IS
BEGIN

PROCESS(d)

BEGIN
CASE (d) IS
    When "000"=> X(2**BITS-1 downto 0) <= "000000000";
    When "001"=> X(2**BITS-1 downto 0) <= "000000001";
    When "010"=> X(2**BITS-1 downto 0) <= "000000011";
    When "011"=> X(2**BITS-1 downto 0) <= "000000111";
    When "100"=> X(2**BITS-1 downto 0) <= "000011111";
    When "101"=> X(2**BITS-1 downto 0) <= "000111111";
    When "110"=> X(2**BITS-1 downto 0) <= "001111111";
    When "111"=> X(2**BITS-1 downto 0) <= "011111111";
    -- X<=std_logic_vector(2**unsigned(d)-1);
END CASE;

END PROCESS;
END ARCHITECTURE behavior
```


Apêndice D

Arquivo de *fitness* do algoritmo metaheurístico

```
function [sc,sci] = fitness(x)
%% Dados da especificação do projeto
global V_alvo ;
global Vmin;
global Vmax;
global Tmin;
global Tmax;
global precisao;
global genesLB;
global dif
global RL;
global TC;
global circuito
global pesos;
global pPot;
%% Gerando arquivo que será executado pelo simulador
xr = x.*dif+genesLB;
ito '/param'],'w');
param_mod(arq, xr);
fclose(arq);

%% Removendo arquivos antigos gerados pelo simulador
if(exist('log.out','file'))
    !rm log.out
end
if(exist([circuito '/ELDO.OUT'],'file'))
    [~,~] = unix(['rm ' circuito '/ELDO.OUT']);
end
%% Executando arquivo pelo simulador
[~,~] = unix(['eldo -b -nocou -nochi -nojwdb -jwdb_nocomplex -l log.out -i ' circuito
'/circuito &']);
% Garantindo que a simulação encerrou
a=0;
while (a==0 || (exist([circuito '/ELDO.OUT'],'file')==0))
    [a,~] = system('ps -a | grep eldo');
end
%% Obtendo dados do simulador
Meas = file2table4([circuito
'/ELDO.OUT'],'M1_DELTAT','M2_VREF','M3_DELTAV','M4_AVGV','M5_CUR');
%% Verifica se o simulador conseguiu gerar os dados
if length(Meas) >= (5)
    sc = inf('double');
    sci = [inf('double') inf('double') inf('double') inf('double') inf('double')
inf('double')];
    fprintf('Score=%.3g \n\n',sc);
    return;
end
%% Calculando contribuição do Coeficiente de Temperatura
deltaT = Tmax - Tmin;
if (Meas(2) <= 0)
    FTC = Inf('double');
else
    TCm = (Meas(1)/Meas(2))*(1/deltaT)*(1e6);
    FTC = (TCm-TC)/TC;
    if(TCm < TC)
```

```

        FTC = 0;
    end
end
%% Calculando contribuição da Tensão de Saída
if (Meas(2) <= 0)
    FVref = Inf('double');
else FVref = abs((Meas(2)-V_alvo)/Meas(2));
    if (FVref <= precisao)
        FVref = 0;
    end;
end

%% Calculando contribuição da Regulação de Linha
deltaV = Vmax - Vmin;
if (Meas(3) <= 0)
    FRL = Inf('double');
else
    RLm = (abs(Meas(3))/deltaV)*(1/Meas(4))*1e6;
    FRL = (RLm-RL)/RL;
    if (RLm < RL)
        FRL = 0;
    end
end

%% Calculando contribuição da Potência Consumida
Fpot= -1.0e6*Meas(5)*(Vmax+Vmin)/(pPot*2);

%% Calculando contribuição da Area
Area =
(4*(xr(1)*xr(7))+(xr(1)*xr(8))+3*(xr(2)*xr(7))+(xr(3)*xr(9))+2*(xr(4)*xr(10))+(xr(4)*xr(11))+(xr(5)*xr(10))+(xr(6)*xr(12))+4*(xr(13)+xr(14)+xr(15)));
AreaRel = Area/1.8464e+04;

%% Calculando Score
sci = [FRL,FTC,FVref,Fpot,Weakin,AreaRel];
sc = ( pesos(1)*FRL + pesos(2)*FTC + pesos(3)*FVref + pesos(4)*Fpot + pesos(5)*Weakin + pesos(6)*AreaRel)^2;
end

```

Arquivo da função “param_mod” usada pela fitness

```

function param_mod(arq,x)
%% Dados da especificação do projeto
global modelo;
global Vmin;
global Vmax;
global Tmin;
global Tmax;
global const;
global nvars;
global nconst;
global V_alvo;
%% Escreve o modelo usado
fprintf(arq, '.include %s\r\n', modelo);
%% Escreve as dimensões dos parâmetros
fprintf(arq, '.Param    ');
for i = 1:nvars
    if (mod(i, 7) == 0) fprintf(arq, '\r\n.Param    ');
    end
    fprintf(arq, 'X%i= %1.3f ', i, x(i));
end;
fprintf(arq, '\r\n');
%% Escreve as constantes

```



```

fprintf(arq, '.Param    ');
for i = 1:nconst
    if (mod(i, 7) == 0) fprintf(arq, '\r\n.Param    ');
    end
    fprintf(arq, 'M%i= %1.2f    ', i, const(i));
end;
fprintf(arq, '\r\n');

%% Escreve os comandos de medição
fprintf(arq, '.alter\r\n');

% Medição do Coeficiente de Temperatura
converg = (Tmax-Tmin)/10;
fprintf(arq, '.DC TEMP %1.1f %1.1f %1.1f\r\n', Tmin-converg, Tmax+converg,
(Tmax+converg - Tmin-converg)/100);
fprintf(arq, '.meas DC PPTC PP V(s) from=%1.1f to=%1.1f\r\n', Tmin, Tmax);
fprintf(arq, '.meas DC AVGTC AVG V(s) from=%1.1f to=%1.1f\r\n', Tmin, Tmax);
fprintf(arq, '.extract DC LABEL=m1_deltaT FILE=Eldo.out MEAS(PPTC)\r\n');
fprintf(arq, '.extract DC LABEL=m2_Vref FILE=Eldo.out MEAS(AVGTC)\r\n');
% Medição da Regulação de Linha
fprintf(arq, '.alter\r\n');
converg = (Vmax-Vmin)/10;
fprintf(arq, '.DC Vdd %1.2fV %1.2fV %1.2fV\r\n', Vmin-converg, Vmax+converg,
(Vmax+converg - Vmin-converg)/100);
fprintf(arq, '.meas DC PPRL PP V(s) from=%1.2f to=%1.2f\r\n', Vmin, Vmax);
fprintf(arq, '.meas DC AVGRL AVG V(s) from=%1.2f to=%1.2f\r\n', Vmin, Vmax);
fprintf(arq, '.extract DC LABEL=m3_deltaV FILE=Eldo.out MEAS(PPRL)\r\n');
fprintf(arq, '.extract DC LABEL=m4_avgV FILE=Eldo.out MEAS(AVGRL)\r\n');
% Medição da Potência Consumida
fprintf(arq, '.extract DC LABEL=m5_cur FILE=Eldo.out yval(I(Vdd),%1.2f)\r\n',
(Vmax+Vmin)/2);

end

```

Arquivo da função “file2table4” usada pela fitness

```

function [IM] = file2table4(file,varargin)
%% Adquire todas as palavras do arquivo
f = fopen(file,'r');
words = fscanf(f,'%c');
fclose(f);
%% Procura pelo arquivo os dados passados como parâmetro
IM= [];
if (nargin<=1) % Se não for especificado os parâmetros, retorna todos
    % Procura por todos os valores
    values = regexp(words,'-[0-9]*\.[0-9]*E[\+|-][0-9]*','match');
    IM = zeros(1,length(values));
    % Retorna um vetor com todos os valores encontrados
    for i=1:length(values)
        IM(i) = str2num(values{i});
    end
else
    j=0;
    for i=1:nargin-1 % Para cada um dos parâmetros
        % Procura pelo parâmetro e seu valor
        values = regexp(words,['*' varargin{i} '\s*=\s*-[0-9]*\.[0-9]*E[\+|-][0-9]*'], 'match');
        if length(values) > 0
            % Extrai o valor do parâmetro
            value= regexp(values{1},['-[0-9]*\.[0-9]*E[\+|-][0-9]*'],'match');
            if length(value) > 0
                % Adiciona o valor ao vetor de saída
            end
        end
    end
end

```

```
                j=j+1;
                IM(j)= str2num(value{1});
            end
        end
    end
end
end
```

Apêndice E

Arquivo da função “porfunc” usada para gerar os gráficos de porcentagem de circuitos válidos contra coeficiente de temperatura

```
% Datasize é a quantidade de amostras de Monte Carlo utilizada
% Em varargin, é listado os endereços dos arquivos gerados pelo simulador
function y = porfunc(datasize,varargin)
for j=1:(nargin-1) % Para cada um dos arquivos de entrada
    f = fopen(varargin{j},'r');
    i=1;
    while i<datasize
        textscan(f,['<SaveWaveformDatabase/%s/EXT>PPTC_alter:1_%d']);
        % Adquire os dados X e Y do arquivo
        PPTCdata = textscan(f,'%f %f');
        if(i==1)
            xTC = PPTCdata{1}';
            yTC = PPTCdata{2}';
            if(j==1)
                % Adquire os valores da abscissa de um dos arquivos para
                % criar o dado "sem bloco TCA"
                index0bit = (size(PPTCdata{2}',2))/2;
            end
        else
            % Corrige possíveis defeitos do arquivo
            if (size(PPTCdata{2}',2)~=size(yTC,2))
                fprintf('%d corrigido\n',i);
                aux = zeros(1,size(yTC,2))-1;
                aux(int16(PPTCdata{1})+1) = PPTCdata{2}';
                for ip = 1:length(aux)
                    if(aux(ip)==-1)
                        aux(ip) = (aux(ip-1)+aux(ip+1))/2;
                    end
                end
                yTC = [yTC;aux];
            else
                yTC = [yTC;PPTCdata{2}'];
            end
        end
        i =i+1;
    end
    fclose(f);

    % Calcula o Coeficiente de temperatura
    yTC = yTC*1e6/50;

    % Rejeita curvas com erros de convergência
    picominPPTC(:,j) = sort(min(yTC,[],2));
    ninvalid(j) = sum(picominPPTC(:,j)<2);

    % Cria o dado "sem bloco TCA"
    if(j==1)
        picomin0bit = sort(yTC(:,index0bit));
        ninvalid0 = sum(picomin0bit<2);
    end
end
```

```

end

% Prepara as legendas
strArray = java_array('java.lang.String', nargin);
strArray(1) = java.lang.String('0BIT');
for j=2:(nargin)
    strArray(j) = java.lang.String(varargin{j-1}(1:end-4));
end
cellArray = cell(strArray);

% Possíveis marcadores e cores para as curvas
plotColor = ['g' 'b' 'r' 'k' 'c' 'm'];
plotLineStyle = ['- ' ':'-' '-.' '--' '' '-'];

% Desenha as curvas
hold on;
plot(picomin0bit(ninvalid0:end), [1:size(picomin0bit(ninvalid0:end))] * 100 ./ size(picomin0bit(ninvalid0:end), 1), 'Color', [rand rand rand]);
for j=1:(nargin-1)

plot(picominPPTC(ninvalid(j):end,j), [1:size(picominPPTC(ninvalid(j):end,j))] * 100 ./ size(picominPPTC(ninvalid(j):end,j), 1), 'Color', plotColor(j));

end
legend(cellArray, 'Location', 'southeast');
hold off;
grid minor;
end

```

Arquivo da função “posproc” usada para gerar os histogramas

```

% Datasize é a quantidade de amostras de Monte Carlo utilizada
% FILE é o endereço do arquivo a ser analisado
function [xTC,yTC,xVs,yVs,V] = posproc(datasize,FILE)
    f = fopen(FILE,'r');
    i=1;
    while i<datasize
        textscan(f,['<' FILE(1:end-4) '/.runs/run_%d/EXT>AVGVS_alter:1']);
        % Adquire os dados X e Y do arquivo
        AVGdata = textscan(f,'%f %f');
        textscan(f,['<' FILE(1:end-4) '/.runs/run_%d/EXT>PPTC_alter:1']);
        % Adquire os dados X e Y do arquivo
        PPTCdata = textscan(f,'%f %f');
        if(i==1)
            xTC = PPTCdata{1}';
            yTC = PPTCdata{2}';
            xVs = AVGdata{1}';
            yVs = AVGdata{2}';
        else
            yTC = [yTC;PPTCdata{2}'];
            yVs = [yVs;AVGdata{2}'];

        end
        i =i+1;
    end
    fclose(f);

    % Calcula o Coeficiente de Temperatura
    yTC = yTC*1e6/50;

    % Rejeita curvas com erros de convergência
    picominPPTC = min(yTC, [], 2);

```

```

picominAVG = min(yVs, [], 2);
picomaxPPTC = max(yTC, [], 2);
picomaxAVG = max(yVs, [], 2);
validPPTC = (picominPPTC>0.9 & picomaxPPTC<1000);
validAVG = 1+0*(picominAVG>0.1 & picomaxAVG<10);
yTC = yTC(validPPTC & validAVG, :);
yVs = yVs(validPPTC & validAVG, :);

% Desenha as curvas de Coeficiente de Temperatura
figure
plot(xTC, yTC);
figure
plot(xVs, yVs);
min(yTC, [], 2);
[~, picomin] = min(yTC, [], 2);

TC = zeros(1, length(picomin));
for i=1:length(picomin);
    TC(i) = yTC(i, picomin(i));
end

% Desenha os histogramas
figure;
hist(TC, 50);
title([FILE ' (TC) -' ' Media:' num2str(mean(TC)) ' Desvio Padrao:' num2str(std(TC))]);

for i=1:size(picomin);
    V(i) = yVs(i, picomin(i));
end
figure
hist(V, 50);
title([FILE ' (Vs) -' ' Media:' num2str(mean(V)) ' Desvio Padrao:' num2str(std(V))]);
end

```

Arquivo da função “posprocP” usada para testar o método direto e o simplificado

```

% Datasize é a quantidade de amostras de Monte Carlo utilizada
% FILE é o endereço do arquivo a ser analisado
function posprocP(FILE, datasize)
    f = fopen(FILE, 'r');
    i=1;
    while i<datasize
        % Adquire os dados X e Y do arquivo (método direto)
        textscan(f, ['<', FILE(1:end-4), '/.runs/run_%d/EXT>PPTC']);
        PPTC = textscan(f, '%f %f');
        % Adquire os dados X e Y do arquivo (Metodo simplificado)
        textscan(f, ['<', FILE(1:end-4), '/.runs/run_%d/EXT>PPTCPREV']);
        PPTCprev = textscan(f, '%f %f');

        if(i==1)
            xTCprev = PPTCprev{1}';
            yTCprev = PPTCprev{2}';
            xTC = PPTC{1}';
            yTC = PPTC{2}';
        else
            yTCprev = [yTCprev; PPTCprev{2}'];
            yTC = [yTC; PPTC{2}'];
        end
        i = i+1;
    end
end

```

```

end
fclose(f);
% Calcula o Coeficiente de Temperatura
yTC = (yTC*1e6/50);
yTCprev = (yTCprev*1e6/50);

% Rejeita curvas com erros de convergência
picominPPTCprev = min(yTCprev,[],2);
picominPPTC = min(yTC,[],2);
picomaxPPTCprev = max(yTCprev,[],2);
picomaxPPTC = max(yTC,[],2);
validPPTCprev = (picominPPTCprev>2 & picomaxPPTCprev<1000);
validPPTC = (picominPPTC>2 & picomaxPPTC<1000);
yTCprev = yTCprev(validPPTCprev & validPPTC,:);
yTC = yTC(validPPTCprev & validPPTC,:);

% Adquire o Coeficiente de Temperatura escolhido pelo método simplificado
[~,picominprev]= min(yTCprev,[],2);
[~,picomin]= min(yTC,[],2);
picominprev = (picominprev);
picomin = (picomin);
for i=1:length(picominprev);
    TCprev(i) = yTC(i,picominprev(i));
end

for i=1:length(picomin);
    TC(i) = yTC(i,picomin(i));
end
TC = sort(TC);
TCprev = sort(TCprev);

hold on;
% Desenha as curvas
plot(TC,[1:size(TC,2)]*100./size(TC,2),'b');
plot(TCprev,[1:size(TCprev,2)]*100./size(TCprev,2),'r');
hold off;

```

Anexo A

Estes modelos usam o arquivo profile.opt do Anexo E.

Modelo típico do resistor RPOLYH

```
.MODEL RPOLYH RES  MODTYPE=ELDO
*-----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* ***** SIMULATION PARAMETERS *****
*-----
* format      : SPECTRE (SPECTRE DIRECT)
* model       : RESISTOR
* process     : C35[A-B][3-4][A-C][2-3]
* revision    : 5.0;
* extracted   : C35LVTH matching testchip; 2007-01; wpf (4518)
* doc#        : ENG-182
*-----
*                                     TYPICAL MEAN CONDITION
*-----
* VARIABLES: W,L = device width and length [m]
*
.SUBCKT RPOLYH N1 N2 PARAM: W=1 L=1
R1 N1 N2 RPOLYH VALUE={ (1.204e+03*(L-(0)) / (W-(2.022e-07))) * (1+7.745e-05*(-7.468e-
4)*W*(1.000e+00)*(V(N1,N2)/L)**2*(1/(1+50**((29.8u-L)*1e+06)))*(1/(1+50** (4.8-L/W)))) }
+TC1=-7.468e-4 TC2=3.821e-06
.ENDS RPOLYH
*-----
```

Modelo típico do capacitor CPOLY

```
.SUBCKT CPOLY N1 N2 PARAM: AREA=0 PERI=0
*-----
* ***** SIMULATION PARAMETERS *****
*-----
* format      : ELDO, AccusimII, Continuum
* model       : CAPACITOR
* process     : C35[A-B][3-4][B-C][0-3]
* revision    : 4.1;
* extracted   : B11004.L2 2002-11; hhl(5481)
* doc#        : Eng-182
*-----
*                                     TYPICAL MEAN CONDITION
*-----
* VARIABLES: AREA [m^2], PERI [m].
*
.PARAM CEFF={0.860e-03*AREA+0.086e-09*PERI}
C1 N1 N2 CPOLYCAPMOD {0.860e-03*AREA+0.086e-09*PERI} TC1=3.00e-5
.ENDS CPOLY
```

Modelo típico do capacitor CPOLYCAPMOD

```
.MODEL CPOLYCAPMOD C POLY 1 85e-6
*-----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* ***** SIMULATION PARAMETERS *****
*-----
* format      : ELDO
```

```

* model      : RF CAPACITOR CPOLYRF
* process    : C35B4
* revision    : 4.1;
* extracted   : C35 B23118.XL1 ; 2005-02; kmo
* doc#        : Eng-188 REV_5
* -----
* -----
*
* Syntax: parameters area peri
*          ap1 pp1 aw1 pw1
*
* ctot = CA*W*L+CP(2(W+L))

```

Modelo típico do NMOS

```

.MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model        : MOS BSIM3v3
* process      : C35
* revision     : 4.0;
* extracted    : B10866 ; 2002-12; ese(5487)
* doc#         : ENG-182 REV_6
* -----
*
* TYPICAL MEAN CONDITION
* -----
*
+THMLEV =0
*      *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.240e+00 NQSMOD =0.000e+00
+DERIV   =1
*      *** Threshold voltage related model parameters ***
+K1       =5.0296e-01
+K2       =3.3985e-02 K3       =-1.136e+00 K3B      =-4.399e-01
+NPEAK    =2.611e+17 VTH0     =4.979e-01
+VOFF     =-8.925e-02 DVT0     =5.000e+01 DVT1      =1.039e+00
+DVT2     =-8.375e-03 KETA     =2.032e-02
+PSCBE1   =1.000e+30 PSCBE2   =1.000e-06
+DVT0W    =1.089e-01 DVT1W    =6.671e+04 DVT2W     =-1.352e-02
*      *** Mobility related model parameters ***
+UA       =4.705e-12 UB       =2.137e-18 UC        =1.000e-20
+U0       =4.758e+02
*      *** Subthreshold related parameters ***
+DSUB     =5.000e-01 ETA0     =1.415e-02 ETAB      =-1.221e-01
+NFACTOR=4.136e-01
*      *** Saturation related parameters ***
+EM       =4.100e+07 PCLM     =6.948e-01
+PDIBLC1  =3.571e-01 PDIBLC2 =2.065e-03 DROUT      =5.000e-01
+A0       =2.541e+00 A1       =0.000e+00 A2        =1.000e+00
+PVAG     =0.000e+00 VSAT     =1.338e+05 AGS        =2.408e-01
+B0       =4.301e-09 B1       =0.000e+00 DELTA     =1.442e-02
+PDIBLCB  =3.222e-01
*      *** Geometry modulation related parameters ***
+W0       =2.673e-07 DLC      =3.0000e-08
+DWC      =9.403e-08 DWB      =0.000e+00 DWG        =0.000e+00
+LL       =0.000e+00 LW       =0.000e+00 LWL        =0.000e+00
+LLN      =1.000e+00 LWN      =1.000e+00 WL         =0.000e+00
+WW       =-1.297e-14 WWL     =-9.411e-21 WLN        =1.000e+00
+WWN      =1.000e+00

```



```

*      *** Temperature effect parameters ***
+AT      =3.300e+04 UTE      =-1.800e+00
+KT1      =-3.302e-01 KT2      =2.200e-02 KT1L      =0.000e+00
+UA1      =0.000e+00 UB1      =0.000e+00 UC1      =0.000e+00
+PRT      =0.000e+00
*      *** Overlap capacitance related and dynamic model parameters ***
+CGSO      =1.200e-10 CGDO      =1.200e-10 CGBO      =1.100e-10
+CGDL      =1.310e-10 CGSL      =1.310e-10 CKAPPA      =6.000e-01
+CF      =0.000e+00 ELM      =5.000e+00
+XPART      =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
+NOFF      =1.000e+00 VOFFCV      =0.000e+00
*      *** Parasitic resistance and capacitance related model parameters ***
+RDSW      =3.449e+02
+CDSC      =0.000e+00 CDSCB      =1.500e-03 CDSCD      =1.000e-03
+PRWB      =-2.416e-01 PRWG      =0.000e+00 CIT      =4.441e-04
*      *** Process and parameters extraction related model parameters ***
+TOX      =7.575e-09 NGATE      =0.000e+00
+NLX      =1.888e-07
+XL      =0.000e+00 XW      =0.000e+00
*      *** Substrate current related model parameters ***
+ALPHA0      =2.600e-06 ALPHA1      =5.000e+00 BETA0      =2.100e+01
*      *** Noise effect related model parameters ***
+AF      =1.507e+00 KF      =2.170e-26 EF      =1.000e+00
+NOIA      =1.121e+19 NOIB      =5.336e+04 NOIC      =-5.892e-13
*      *** Common extrinsic model parameters ***
+ALEV      =2      RLEV      =2
+RD      =0.000e+00 RS      =0.000e+00 RSH      =7.000e+01
+RDC      =0.000e+00 RSC      =0.000e+00 LD      =-5.005e-08
+WD      =9.403e-08
+LDIF      =0.000e+00 HDIF      =8.000e-07 WMLT      =1.000e+00
+LMLT      =1.000e+00 DEL      =0.000e+00 XJ      =3.000e-07
+DIOLEV      =4      JS      =5.100e-07 JSW      =0.600e-12
+IS      =0.000e+00 N      =1.000e+00
+DCAPLEV=2      CBD      =0.000e+00 CBS      =0.000e+00
+CJ      =8.400e-04 CJSW      =2.500e-10 FC      =0.000e+00
+MJ      =3.400e-01 MJSW      =2.300e-01 TT      =0.000e+00
+XTI      =2.026e+00 PB      =6.900e-01 PBSW      =6.900e-01
* -----

```

Modelo típico do PMOS

```

.MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model      : MOS BSIM3v3
* process      : C35
* revision    : 4.1;
* extracted   : C64685 ; 2002-12; ese(5487)
* doc#       : ENG-182 REV_6
* -----
*      TYPICAL MEAN CONDITION
* -----
*
+THMLEV =0
*      *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.24e+00 NQSMOD =0.000e+00
+DERIV =1
*      *** Threshold voltage related model parameters ***
+K1      =5.9959e-01

```

```

+K2      =-6.038e-02 K3      =1.103e+01 K3B      =-7.580e-01
+NPEAK   =9.240e+16 VTH0     =-6.915e-01
+VOFF    =-1.170e-01 DVT0    =1.650e+00 DVT1     =3.868e-01
+DVT2    =1.659e-02 KETA     =-1.440e-02
+PSCBE1  =1.000e+30 PSCBE2   =1.000e-06
+DVT0W   =1.879e-01 DVT1W    =7.335e+04 DVT2W    =-6.312e-03
*        *** Mobility related model parameters ***
+UA      =5.394e-10 UB       =1.053e-18 UC       =1.000e-20
+U0      =1.482e+02
*        *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0     =2.480e-01 ETAB     =-3.917e-03
+NFACTOR =1.214e+00
*        *** Saturation related parameters ***
+EM      =4.100e+07 PCLM     =3.184e+00
+PDIBLC1 =1.000e-04 PDIBLC2 =1.000e-20 DROUT    =5.000e-01
+A0      =5.850e-01 A1       =0.000e+00 A2       =1.000e+00
+PVAG    =0.000e+00 VSAT     =1.158e+05 AGS      =2.468e-01
+B0      =8.832e-08 B1       =0.000e+00 DELTA    =1.000e-02
+PDIBLCB =1.000e+00
*        *** Geometry modulation related parameters ***
+W0      =1.000e-10 DLC      =2.4500e-08
+DWC     =3.449e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW       =0.000e+00 LWL      =0.000e+00
+LLN     =1.000e+00 LWN      =1.000e+00 WL       =0.000e+00
+WW      =1.894e-16 WWL      =-1.981e-21 WLN      =1.000e+00
+WWN     =1.040e+00
*        *** Temperature effect parameters ***
+AT      =3.300e+04 UTE      =-1.300e+00
+KT1     =-5.403e-01 KT2     =2.200e-02 KT1L     =0.000e+00
+UA1     =0.000e+00 UB1      =0.000e+00 UC1      =0.000e+00
+PRT     =0.000e+00
*        *** Overlap capacitance related and dynamic model parameters ***
+CGSO    =8.600e-11 CGDO     =8.600e-11 CGBO     =1.100e-10
+CGDL    =1.080e-10 CGSL     =1.080e-10 CKAPPA   =6.000e-01
+CF       =0.000e+00 ELM      =5.000e+00
+XPART    =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
+NOFF     =1.000e+00 VOFFCV   =0.000e+00
*        *** Parasitic resistance and capacitance related model parameters ***
+RDSW    =1.033e+03
+CDSC     =2.589e-03 CDSCB    =2.943e-04 CDSCD    =4.370e-04
+PRWB     =-9.731e-02 PRWG    =1.477e-01 CIT      =0.000e+00
*        *** Process and parameters extraction related model parameters ***
+TOX     =7.754e-09 NGATE    =0.000e+00
+NLX     =1.770e-07
+XL       =0.000e+00 XW       =0.000e+00
*        *** Substrate current related model parameters ***
+ALPHA0   =1.000e-09 ALPHA1   =1.500e+00 BETA0    =3.250e+01
*        *** Noise effect related model parameters ***
+AF       =1.461e+00 KF       =1.191e-26 EF       =1.000e+00
+NOIA     =5.245e+17 NOIB     =4.816e+03 NOIC     =8.036e-13
*        *** Common extrinsic model parameters ***
+ALEV     =2                RLEV    =2
+RD       =0.000e+00 RS       =0.000e+00 RSH      =1.290e+02
+RDC      =0.000e+00 RSC      =0.000e+00 LD       =-7.130e-08
+WD       =3.449e-08
+LDIF     =0.000e+00 HDIF     =8.000e-07 WMLT     =1.000e+00
+LMLT     =1.000e+00 DEL      =0.000e+00 XJ       =3.000e-07
+DIOLEV   =4                JS      =2.800e-07 JSW     =3.700e-13
+IS       =0.000e+00 N        =1.000e+00
+DCAPLEV  =2                CBD      =0.000e+00 CBS     =0.000e+00
+CJ       =1.360e-03 CJSW    =3.500e-10 FC       =0.000e+00

```

+MJ	=5.400e-01	MJSW	=4.600e-01	TT	=0.000e+00
+XTI	=1.973e+00	PB	=1.020e+00	PBSW	=1.020e+00
* -----					

Modelo típico do BJT

```
.MODEL VERT10 PNP MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : BJT
* process     : C35
* revision    : 5.0;
* extracted   : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11; hhl (5481)
* doc#        : Eng-182 Rev. 6
* -----
*
*              TYPICAL MEAN CONDITION
* -----
*
+IS      =2.3330e-17
+IRB     =4.3770e-06
+IKF     =1.3760e-03 BF      =5.9810e+00
+NF      =9.9250e-01
+ISE     =6.5290e-16 NE      =1.7760e+00 VAF      =1.9420e+02
+IKR     =1.9410e-04 BR      =9.8740e-02 NR        =9.9470e-01
+ISC     =2.8430e-14 NC      =1.1490e+00 VAR        =1.0320e+01
+RBM     =1.0000e+00
+RB      =2.1380e+02
+RE      =9.7360e+00 AF      =1.300e+00
+RC      =4.5400e+01 KF      =9.100e-15
+TF      =6.4800e-10
+
+EG      =1.1150e+00 XTI      =5.5300e+00 XTB      =2.2500e+00
+CJE     =1.4880e-13 VJE      =1.0200e+00 MJE      =5.4882e-01
+CJC     =4.3387e-14 VJC      =5.3000e-01 MJC      =3.1214e-01
+
* -----
```


Anexo B

Este modelos usam o arquivo profile.opt do Anexo E.

Modelo *worst-power* do resistor RPOLYH

```
.MODEL RPOLYH RES    MODTYPE=ELDO
*-----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* ***** SIMULATION PARAMETERS *****
*-----
* format      : SPECTRE (SPECTRE DIRECT)
* model       : RESISTOR
* process     : C35[A-B][3-4][A-C][2-3]
* revision    : 5.0;
* extracted   : C35LVTH matching testchip; 2007-01; wpf (4518)
* doc#        : ENG-182
*-----
*                               WORST CASE POWER CONDITION
*-----
* VARIABLES: W,L = device width and length [m]
*
.SUBCKT RPOLYH N1 N2 PARAM: W=1 L=1
R1 N1 N2 RPOLYH VALUE={ (1.000e+03*(L-(0)) / (W-(1.000e-07))) * (1+7.745e-05*(-7.468e-
4)*W*(1.000e+00)*(V(N1,N2)/L)**2*(1/(1+50**((29.8u-L)*1e+06)))*(1/(1+50** (4.8-L/W)))) }
+TC1=-7.468e-4 TC2=3.821e-06
.ENDS RPOLYH
*-----
```

Modelo *worst-power* do capacitor CPOLY

```
.SUBCKT CPOLY N1 N2 PARAM: AREA=0 PERI=0
*-----
* ***** SIMULATION PARAMETERS *****
*-----
* format      : ELDO, AccusimII, Continuum
* model       : CAPACITOR
* process     : C35[A-B][3-4][B-C][0-3]
* revision    : 4.1;
* extracted   : B11004.L2 2002-11; hhl(5481)
* doc#        : Eng-182
*-----
*                               WORST CASE POWER CONDITION
*-----
* VARIABLES: AREA [m^2], PERI [m].
*
.PARAM CEFF={0.780e-03*AREA+0.083e-09*PERI}
C1 N1 N2 CPOLYCAPMOD {0.780e-03*AREA+0.083e-09*PERI} TC1=3.00e-5
.ENDS CPOLY
```

Modelo *worst-power* do capacitor CPOLYCAPMOD

```
.MODEL CPOLYCAPMOD C POLY 1 85e-6
*-----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* ***** SIMULATION PARAMETERS *****
*-----
* format      : ELDO
```

```

* model      : RF CAPACITOR CPOLYRF
* process    : C35B4
* revision    : 4.1;
* extracted   : C35 B23118.XL1 ; 2005-02; kmo
* doc#        : Eng-188 REV_5
* -----
* -----
*
* Syntax: parameters area peri
*          ap1 pp1 aw1 pw1
*
* ctot = CA*W*L+CP(2(W+L))

```

Modelo *worst-power* do NMOS

```

.MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model        : MOS BSIM3v3
* process      : C35
* revision     : 4.0;
* extracted    : B10866 ; 2002-12; ese(5487)
* doc#         : ENG-182 REV_5
* -----
*
*          WORST CASE POWER CONDITION
* -----
*
+THMLEV =0
*      *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.240e+00 NQSMOD =0.000e+00
+DERIV   =1
*      *** Threshold voltage related model parameters ***
+K1       =3.5516e-01
+K2       =4.6758e-02 K3       =-1.136e+00 K3B       =-4.399e-01
+NPEAK    =2.128e+17 VTH0     =3.579e-01
+VOFF     =-8.925e-02 DVT0     =5.000e+01 DVT1       =1.039e+00
+DVT2     =-8.375e-03 KETA     =2.032e-02
+PSCBE1   =1.000e+30 PSCBE2   =1.000e-06
+DVT0W    =1.089e-01 DVT1W    =6.671e+04 DVT2W       =-1.352e-02
*      *** Mobility related model parameters ***
+UA       =4.705e-12 UB       =2.137e-18 UC          =1.000e-20
+U0       =5.002e+02
*      *** Subthreshold related parameters ***
+DSUB     =5.000e-01 ETA0     =1.415e-02 ETAB       =-1.221e-01
+NFACTOR=4.136e-01
*      *** Saturation related parameters ***
+EM       =4.100e+07 PCLM     =6.948e-01
+PDIBLC1=3.571e-01 PDIBLC2=2.065e-03 DROUT       =5.000e-01
+A0       =2.541e+00 A1       =0.000e+00 A2         =1.000e+00
+PVAG     =0.000e+00 VSAT     =1.338e+05 AGS        =2.408e-01
+B0       =4.301e-09 B1       =0.000e+00 DELTA      =1.442e-02
+PDIBLCB=3.222e-01
*      *** Geometry modulation related parameters ***
+W0       =2.673e-07 DLC      =3.0000e-08
+DWC      =9.403e-08 DWB      =0.000e+00 DWG        =0.000e+00
+LL       =0.000e+00 LW       =0.000e+00 LWL        =0.000e+00
+LLN      =1.000e+00 LWN      =1.000e+00 WL         =0.000e+00
+WW       =-1.297e-14 WWL     =-9.411e-21 WLN        =1.000e+00
+WWN      =1.000e+00

```

```

*      *** Temperature effect parameters ***
+AT      =3.300e+04 UTE      =-1.800e+00
+KT1      =-3.302e-01 KT2      =2.200e-02 KT1L      =0.000e+00
+UA1      =0.000e+00 UB1      =0.000e+00 UC1      =0.000e+00
+PRT      =0.000e+00
*      *** Overlap capacitance related and dynamic model parameters ***
+CGSO      =1.200e-10 CGDO      =1.200e-10 CGBO      =1.000e-10
+CGDL      =1.15e-10 CGSL      =1.15e-10 CKAPPA =6.000e-01
+CF      =0.000e+00 ELM      =5.000e+00
+XPART      =1.000e+00 CLC      =1.000e-15 CLE      =6.000e-01
+NOFF      =1.000e+00 VOFFCV =0.000e+00
*      *** Parasitic resistance and capacitance related model parameters ***
+RDSW      =3.449e+02
+CDSC      =0.000e+00 CDSCB      =1.500e-03 CDSCD      =1.000e-03
+PRWB      =-2.416e-01 PRWG      =0.000e+00 CIT      =4.441e-04
*      *** Process and parameters extraction related model parameters ***
+TOX      =7.100e-09 NGATE      =0.000e+00
+NLX      =1.888e-07
+XL      =-5.000e-08 XW      =0.500e-07
*      *** Substrate current related model parameters ***
+ALPHA0 =2.600e-06 ALPHA1 =5.000e+00 BETA0 =2.100e+01
*      *** Noise effect related model parameters ***
+AF      =1.376e+00 KF      =3.396e-26 EF      =1.000e+00
+NOIA      =1.399e+20 NOIB      =2.707e+05 NOIC      =-4.680e-12
*      *** Common extrinsic model parameters ***
+ALEV      =2      RLEV      =2
+RD      =0.000e+00 RS      =0.000e+00 RSH      =5.500e+01
+RDC      =0.000e+00 RSC      =0.000e+00 LD      =-5.005e-08
+WD      =9.403e-08
+LDIF      =0.000e+00 HDIF      =8.000e-07 WMLT      =1.000e+00
+LMLT      =1.000e+00 DEL      =0.000e+00 XJ      =3.000e-07
+DIOLEV =4      JS      =5.100e-07 JSW      =0.600e-12
+IS      =0.000e+00 N      =1.000e+00
+DCAPLEV=2      CBD      =0.000e+00 CBS      =0.000e+00
+CJ      =8.270e-04 CJSW      =2.200e-10 FC      =0.000e+00
+MJ      =3.400e-01 MJSW      =2.300e-01 TT      =0.000e+00
+XTI      =2.026e+00 PB      =6.900e-01 PBSW      =6.900e-01
* -----

```

Modelo worst-power do PMOS

```

.MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model      : MOS BSIM3v3
* process     : C35
* revision    : 4.1;
* extracted   : C64685 ; 2002-12; ese(5487)
* doc#        : ENG-182 REV_5
* -----
*
*      WORST CASE POWER CONDITION
* -----
*
+THMLEV =0
*      *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.24e+00 NQSMOD =0.000e+00
+DERIV =1
*      *** Threshold voltage related model parameters ***
+K1      =4.5027e-01

```

```

+K2      =-4.451e-02 K3      =1.103e+01 K3B      =-7.580e-01
+NPEAK   =7.022e+16 VTH0    =-5.715e-01
+VOFF    =-1.170e-01 DVT0    =1.650e+00 DVT1     =3.868e-01
+DVT2    =1.659e-02 KETA    =-1.440e-02
+PSCBE1  =1.000e+30 PSCBE2  =1.000e-06
+DVT0W   =1.879e-01 DVT1W   =7.335e+04 DVT2W    =-6.312e-03
*        *** Mobility related model parameters ***
+UA      =5.394e-10 UB      =1.053e-18 UC      =1.000e-20
+UO      =1.581e+02
*        *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =2.480e-01 ETAB     =-3.917e-03
+NFACTOR =1.214e+00
*        *** Saturation related parameters ***
+EM      =4.100e+07 PCLM    =3.184e+00
+PDIBLC1 =1.000e-04 PDIBLC2 =1.000e-20 DROUT    =5.000e-01
+A0      =5.850e-01 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =1.158e+05 AGS      =2.468e-01
+B0      =8.832e-08 B1      =0.000e+00 DELTA    =1.000e-02
+PDIBLCB =1.000e+00
*        *** Geometry modulation related parameters ***
+W0      =1.000e-10 DLC     =2.4500e-08
+DWC     =3.449e-08 DWB     =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN     =1.000e+00 LWN     =1.000e+00 WL       =0.000e+00
+WW      =1.894e-16 WWL     =-1.981e-21 WLN      =1.000e+00
+WWN     =1.040e+00
*        *** Temperature effect parameters ***
+AT      =3.300e+04 UTE     =-1.300e+00
+KT1     =-5.403e-01 KT2    =2.200e-02 KT1L     =0.000e+00
+UA1     =0.000e+00 UB1     =0.000e+00 UC1      =0.000e+00
+PRT     =0.000e+00
*        *** Overlap capacitance related and dynamic model parameters ***
+CGSO    =8.600e-11 CGDO    =8.600e-11 CGBO     =1.000e-10
+CGDL    =0.95e-10 CGSL     =0.95e-10 CKAPPA   =6.000e-01
+CF       =0.000e+00 ELM     =5.000e+00
+XPART    =1.000e+00 CLC     =1.000e-15 CLE      =6.000e-01
+NOFF     =1.000e+00 VOFFCV  =0.000e+00
*        *** Parasitic resistance and capacitance related model parameters ***
+RDSW    =1.033e+03
+CDSC    =2.589e-03 CDSCB   =2.943e-04 CDSCD    =4.370e-04
+PRWB    =-9.731e-02 PRWG   =1.477e-01 CIT      =0.000e+00
*        *** Process and parameters extraction related model parameters ***
+TOX     =7.100e-09 NGATE   =0.000e+00
+NLX     =1.770e-07
+XL      =-6.000e-08 XW      =0.800e-07
*        *** Substrate current related model parameters ***
+ALPHA0  =1.000e-09 ALPHA1  =1.500e+00 BETA0    =3.250e+01
*        *** Noise effect related model parameters ***
+AF      =1.405e+00 KF      =1.827e-26 EF       =1.000e+00
+NOIA    =7.091e+18 NOIB    =6.074e+04 NOIC     =3.779e-13
*        *** Common extrinsic model parameters ***
+ALEV    =2                RLEV    =2
+RD       =0.000e+00 RS      =0.000e+00 RSH      =1.000e+02
+RDC      =0.000e+00 RSC     =0.000e+00 LD       =-7.130e-08
+WD       =3.449e-08
+LDIF     =0.000e+00 HDIF    =8.000e-07 WMLT     =1.000e+00
+LMLT     =1.000e+00 DEL     =0.000e+00 XJ       =3.000e-07
+DIOLEV   =4                JS      =2.800e-07 JSW     =3.700e-13
+IS       =0.000e+00 N       =1.000e+00
+DCAPLEV  =2                CBD      =0.000e+00 CBS     =0.000e+00
+CJ       =1.197e-03 CJSW   =2.810e-10 FC       =0.000e+00

```


+MJ	=5.400e-01	MJSW	=4.600e-01	TT	=0.000e+00
+XTI	=1.973e+00	PB	=1.020e+00	PBSW	=1.020e+00
* -----					

Modelo *high-beta* do BJT

```
.MODEL VERT10 PNP MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : BJT
* process     : C35
* revision    : 5.0;
* extracted   : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11; hhl (5481)
* doc#        : Eng-238 Rev. 3
* -----
*
*              LOW SPEED HIGH BETA CONDITION
* -----
*
+IS      =2.3330e-17
+IRB     =4.3770e-06
+IKF     =1.3760e-03 BF      =9.5696e+00
+NF      =9.9250e-01
+ISE     =6.5290e-16 NE      =1.7760e+00 VAF      =1.1652e+02
+IKR     =1.9410e-04 BR      =9.8740e-02 NR        =9.9470e-01
+ISC     =2.8430e-14 NC      =1.1490e+00 VAR        =1.0320e+01
+RBM     =2.0000e+00
+RB      =4.2760e+02
+RE      =1.3387e+01 AF      =1.300e+00
+RC      =6.2425e+01 KF      =9.100e-15
+TF      =6.4800e-10
+
+EG      =1.1150e+00 XTI      =5.5300e+00 XTB      =2.2500e+00
+CJE     =1.7856e-13 VJE      =1.0200e+00 MJE      =5.4882e-01
+CJC     =5.2065e-14 VJC      =5.3000e-01 MJC      =3.1214e-01
+
* -----
```


Anexo C

Este modelos usam o arquivo profile.opt do Anexo E.

Modelo *worst-speed* do resistor RPOLYH

```
.MODEL RPOLYH RES    MODTYPE=ELDO
*-----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* ***** SIMULATION PARAMETERS *****
*-----
* format      : SPECTRE (SPECTRE DIRECT)
* model       : RESISTOR
* process     : C35[A-B][3-4][A-C][2-3]
* revision    : 5.0;
* extracted   : C35LVTH matching testchip; 2007-01; wpf (4518)
* doc#        : ENG-182
*-----
*                               WORST CASE SPEED CONDITION
*-----
* VARIABLES: W,L = device width and length [m]
*
.SUBCKT RPOLYH N1 N2 PARAM: W=1 L=1
R1 N1 N2 RPOLYH VALUE={ (1.400e+03*(L-(0)) / (W-(3.000e-07))) * (1+7.745e-05*(-7.468e-
4)*W*(1.000e+00)*(V(N1,N2)/L)**2*(1/(1+50**((29.8u-L)*1e+06)))*(1/(1+50** (4.8-L/W)))) }
+TC1=-7.468e-4 TC2=3.821e-06
.ENDS RPOLYH
```

Modelo *worst-speed* do capacitor CPOLY

```
.SUBCKT CPOLY N1 N2 PARAM: AREA=0 PERI=0
*-----
* ***** SIMULATION PARAMETERS *****
*-----
* format      : ELDO, AccusimII, Continuum
* model       : CAPACITOR
* process     : C35[A-B][3-4][B-C][0-3]
* revision    : 4.1;
* extracted   : B11004.L2 2002-11; hhl(5481)
* doc#        : Eng-182
*-----
*                               WORST CASE SPEED CONDITION
*-----
* VARIABLES: AREA [m^2], PERI [m].
*
.PARAM CEFF={0.960e-03*AREA+0.089e-09*PERI}
C1 N1 N2 CPOLYCAPMOD {0.960e-03*AREA+0.089e-09*PERI} TC1=3.00e-5
.ENDS CPOLY
```

Modelo *worst-speed* do capacitor CPOLYCAPMOD

```
.MODEL CPOLYCAPMOD C POLY 1 85e-6
*-----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* ***** SIMULATION PARAMETERS *****
*-----
* format      : ELDO
* model       : RF CAPACITOR CPOLYRF
```

```

* process   : C35B4
* revision  : 4.1;
* extracted : C35 B23118.XL1 ; 2005-02; kmo
* doc#      : Eng-188 REV_5
* -----
* -----
*
* Syntax: parameters area peri
*          ap1 pp1 aw1 pw1
*
* ctot = CA*W*L+CP(2(W+L))

```

Modelo *worst-speed* do NMOS

```

.MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : MOS BSIM3v3
* process     : C35
* revision    : 4.0;
* extracted   : B10866 ; 2002-12; ese(5487)
* doc#        : ENG-182 REV_5
* -----
*
*          WORST CASE SPEED CONDITION
* -----
*
+THMLEV =0
*      *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.240e+00 NQSMOD =0.000e+00
+DERIV  =1
*      *** Threshold voltage related model parameters ***
+K1      =6.6008e-01
+K2      =2.1313e-02 K3      =-1.136e+00 K3B      =-4.399e-01
+NPEAK   =3.094e+17 VTH0    =5.579e-01
+VOFF    =-8.925e-02 DVT0    =5.000e+01 DVT1      =1.039e+00
+DVT2    =-8.375e-03 KETA    =2.032e-02
+PSCBE1  =1.000e+30 PSCBE2  =1.000e-06
+DVT0W   =1.089e-01 DVT1W   =6.671e+04 DVT2W   =-1.352e-02
*      *** Mobility related model parameters ***
+UA      =4.705e-12 UB      =2.137e-18 UC      =1.000e-20
+U0      =4.671e+02
*      *** Subthreshold related parameters ***
+DSUB    =5.000e-01 ETA0    =1.415e-02 ETAB     =-1.221e-01
+NFACTOR =4.136e-01
*      *** Saturation related parameters ***
+EM      =4.100e+07 PCLM    =6.948e-01
+PDIBLC1 =3.571e-01 PDIBLC2 =2.065e-03 DROUT    =5.000e-01
+A0      =2.541e+00 A1      =0.000e+00 A2      =1.000e+00
+PVAG    =0.000e+00 VSAT    =1.338e+05 AGS      =2.408e-01
+B0      =4.301e-09 B1      =0.000e+00 DELTA    =1.442e-02
+PDIBLCB =3.222e-01
*      *** Geometry modulation related parameters ***
+W0      =2.673e-07 DLC      =3.0000e-08
+DWC     =9.403e-08 DWB      =0.000e+00 DWG      =0.000e+00
+LL      =0.000e+00 LW      =0.000e+00 LWL      =0.000e+00
+LLN     =1.000e+00 LWN      =1.000e+00 WL      =0.000e+00
+WW      =-1.297e-14 WWL     =-9.411e-21 WLN      =1.000e+00
+WWN     =1.000e+00
*      *** Temperature effect parameters ***

```

```

+AT      =3.300e+04 UTE      =-1.800e+00
+KT1     =-3.302e-01 KT2     =2.200e-02 KT1L     =0.000e+00
+UA1     =0.000e+00 UB1      =0.000e+00 UC1      =0.000e+00
+PRT     =0.000e+00
*        *** Overlap capacitance related and dynamic model parameters ***
+CGSO    =1.200e-10 CGDO     =1.200e-10 CGBO     =1.200e-10
+CGDL    =1.47e-10 CGSL     =1.47e-10 CKAPPA =6.000e-01
+CF       =0.000e+00 ELM      =5.000e+00
+XPART    =1.000e+00 CLC      =1.000e-15 CLE       =6.000e-01
+NOFF     =1.000e+00 VOFFCV   =0.000e+00
*        *** Parasitic resistance and capacitance related model parameters ***
+RDSW     =3.449e+02
+CDSC     =0.000e+00 CDSCB    =1.500e-03 CDSCD     =1.000e-03
+PRWB     =-2.416e-01 PRWG     =0.000e+00 CIT       =4.441e-04
*        *** Process and parameters extraction related model parameters ***
+TOX      =8.100e-09 NGATE     =0.000e+00
+NLX      =1.888e-07
+XL       =5.000e-08 XW        =-1.000e-07
*        *** Substrate current related model parameters ***
+ALPHA0   =2.600e-06 ALPHA1    =5.000e+00 BETA0     =2.100e+01
*        *** Noise effect related model parameters ***
+AF       =1.376e+00 KF        =3.396e-26 EF        =1.000e+00
+NOIA     =1.399e+20 NOIB      =2.707e+05 NOIC      =-4.680e-12
*        *** Common extrinsic model parameters ***
+ALEV     =2                  RLEV     =2
+RD        =0.000e+00 RS        =0.000e+00 RSH       =8.500e+01
+RDC       =0.000e+00 RSC       =0.000e+00 LD        =-5.005e-08
+WD        =9.403e-08
+LDIF     =0.000e+00 HDIF      =8.000e-07 WMLT      =1.000e+00
+LMLT     =1.000e+00 DEL       =0.000e+00 XJ        =3.000e-07
+DIOLEV    =4                 JS       =5.100e-07 JSW      =0.600e-12
+IS        =0.000e+00 N         =1.000e+00
+DCAPLEV=2                  CBD       =0.000e+00 CBS      =0.000e+00
+CJ        =1.052e-03 CJSW     =2.800e-10 FC        =0.000e+00
+MJ        =3.400e-01 MJSW     =2.300e-01 TT        =0.000e+00
+XTI       =2.026e+00 PB       =6.900e-01 PBSW     =6.900e-01
* -----

```

Modelo worst-speed do PMOS

```

.MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : MOS BSIM3v3
* process     : C35
* revision    : 4.1;
* extracted   : C64685 ; 2002-12; ese(5487)
* doc#        : ENG-182 REV_5
* -----
*
*              WORST CASE SPEED CONDITION
* -----
*
+THMLEV =0
*        *** Flags ***
+NOIMOD =3 FLKLEV =0
+MOBMOD =1.000e+00 CAPMOD =2.000e+00 VERSION=3.24e+00 NQSMOD =0.000e+00
+DERIV   =1
*        *** Threshold voltage related model parameters ***
+K1       =6.2895e-01
+K2       =-4.725e-02 K3        =1.103e+01 K3B      =-7.580e-01

```

```

+NPEAK =1.146e+17 VTH0 =-7.715e-01
+VOFF =-1.170e-01 DVT0 =1.650e+00 DVT1 =3.868e-01
+DVT2 =1.659e-02 KETA =-1.440e-02
+PSCBE1 =1.000e+30 PSCBE2 =1.000e-06
+DVT0W =1.879e-01 DVT1W =7.335e+04 DVT2W =-6.312e-03
* *** Mobility related model parameters ***
+UA =5.394e-10 UB =1.053e-18 UC =1.000e-20
+U0 =1.314e+02
* *** Subthreshold related parameters ***
+DSUB =5.000e-01 ETA0 =2.480e-01 ETAB =-3.917e-03
+NFACTOR=1.214e+00
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =3.184e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-20 DROUT =5.000e-01
+A0 =5.850e-01 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.158e+05 AGS =2.468e-01
+B0 =8.832e-08 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=1.000e+00
* *** Geometry modulation related parameters ***
+W0 =1.000e-10 DLC =2.4500e-08
+DWC =3.449e-08 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =1.894e-16 WWL =-1.981e-21 WLN =1.000e+00
+WWN =1.040e+00
* *** Temperature effect parameters ***
+AT =3.300e+04 UTE =-1.300e+00
+KT1 =-5.403e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGSO =8.600e-11 CGDO =8.600e-11 CGBO =1.200e-10
+CGDL =1.21e-10 CGSL =1.21e-10 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
+NOFF =1.000e+00 VOFFCV =0.000e+00
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =1.033e+03
+CDSC =2.589e-03 CDSCB =2.943e-04 CDSCD =4.370e-04
+PRWB =-9.731e-02 PRWG =1.477e-01 CIT =0.000e+00
* *** Process and parameters extraction related model parameters ***
+TOX =8.100e-09 NGATE =0.000e+00
+NLX =1.770e-07
+XL =4.000e-08 XW =-0.700e-07
* *** Substrate current related model parameters ***
+ALPHA0 =1.000e-09 ALPHA1 =1.500e+00 BETA0 =3.250e+01
* *** Noise effect related model parameters ***
+AF =1.405e+00 KF =1.827e-26 EF =1.000e+00
+NOIA =7.091e+18 NOIB =6.074e+04 NOIC =3.779e-13
* *** Common extrinsic model parameters ***
+ALEV =2 RLEV =2
+RD =0.000e+00 RS =0.000e+00 RSH =1.600e+02
+RDC =0.000e+00 RSC =0.000e+00 LD =-7.130e-08
+WD =3.449e-08
+LDIF =0.000e+00 HDIF =8.000e-07 WMLT =1.000e+00
+LMLT =1.000e+00 DEL =0.000e+00 XJ =3.000e-07
+DIOLEV =4 JS =2.800e-07 JSW =3.700e-13
+IS =0.000e+00 N =1.000e+00
+DCAPLEV=2 CBD =0.000e+00 CBS =0.000e+00
+CJ =1.523e-03 CJSW =3.580e-10 FC =0.000e+00
+MJ =5.400e-01 MJSW =4.600e-01 TT =0.000e+00

```

+XTI =1.973e+00 PB =1.020e+00 PBSW =1.020e+00

* -----

Modelo *low-beta* do BJT

.MODEL VERT10 PNP MODTYPE=ELDO

* -----

***** SIMULATION PARAMETERS *****

* -----

* format : ELDO, AccusimII, Continuum

* model : BJT

* process : C35

* revision : 5.0;

* extracted : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11; hhl (5481)

* doc# : Eng-238 Rev. 3

* -----

* LOW SPEED LOW BETA CONDITION

* -----

* -----

+IS =9.3320e-18

+IRB =4.3770e-06

+IKF =5.5040e-04 BF =2.3924e+00

+NF =9.9250e-01

+ISE =6.5290e-16 NE =1.7760e+00 VAF =3.2771e+02

+IKR =1.9410e-04 BR =9.8740e-02 NR =9.9470e-01

+ISC =2.8430e-14 NC =1.1490e+00 VAR =1.0320e+01

+RBM =2.0000e+00

+RB =4.2760e+02

+RE =1.3387e+01 AF =1.300e+00

+RC =6.2425e+01 KF =9.100e-15

+TF =1.2960e-09

+-----

+EG =1.1150e+00 XTI =5.5300e+00 XTB =2.2500e+00

+CJE =1.7856e-13 VJE =1.0200e+00 MJE =5.4882e-01

+CJC =5.2065e-14 VJC =5.3000e-01 MJC =3.1214e-01

+-----

* -----

Anexo D

Este modelos usam o arquivo profile.opt do Anexo E.

Modelo Monte Carlo do resistor RPOLYH

```
.MODEL RPOLYH RES  MODTYPE=ELDO
*-----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* ***** SIMULATION PARAMETERS *****
*-----
* format      : SPECTRE (SPECTRE DIRECT)
* model       : RESISTOR
* process     : C35[A-B][3-4][A-C][2-3]
* revision    : 5.0;
* extracted   : C35LVTH matching testchip; 2007-01; wpf (4518)
* doc#        : ENG-182
*-----
*
*                      MONTE-CARLO SIMULATION
*-----
* VARIABLES: W,L = device width and length [m]
*
.SUBCKT RPOLYH N1 N2 PARAM: W=1 L=1
.PARAM
+RSH      =1.204e+03
+WD       =2.022e-07
+LD       =0
R1 N1 N2 RPOLYH VALUE={ ((DELRPOLYH+RSH)*(L-LD)/(W-WD-(DELWDPOLYH)))*(1+MR_RPOLYH*4.6e-
08/SQRT((L-LD)*(W-WD))))*(1+7.745e-05*(-7.468e-
4)*W**(1.000e+00)*(V(N1,N2)/L)**2*(1/(1+50**((29.8u-L)*1e+06)))*(1/(1+50**((4.8-L/W))))}
+TC1=-7.468e-4 TC2=3.821e-06
.ENDS RPOLYH
*-----
```

Modelo Monte Carlo do capacitor CPOLY

```
.SUBCKT CPOLY N1 N2 PARAM: AREA=0 PERI=0
*-----
* ***** SIMULATION PARAMETERS *****
*-----
* format      : ELDO, AccusimII, Continuum
* model       : CAPACITOR
* process     : C35[A-B][3-4][B-C][0-3]
* revision    : 4.1;
* extracted   : B11004.L2 2002-11; hhl(5481)
* doc#        : Eng-182
*-----
*
*                      MONTE-CARLO SIMULATION
*-----
* VARIABLES: AREA [m^2], PERI [m].
*
.PARAM ARAND=0
.PARAM AREAIEFF={AREA+ARAND}
+ CA      =8.7000e-04 LOT/UNIFORM=9.0000e-05
+ CP      =8.6000e-11 LOT/UNIFORM=3.0000e-12
+ CEFF2={CA*AREAIEFF+CP*PERI}
C1 N1 N2 CPOLYCAPMOD {CA*AREAIEFF+CP*PERI} TC1=3.00e-5
.ENDS CPOLY
```

Modelo Monte Carlo do capacitor CPOLYCAPMOD

```
.MODEL CPOLYCAPMOD C POLY 1 85e-6
+DEV/GAUSS={0.32e-08/SQRT(e(*,L)*e(*,W))}

* -----
* -----
* Owner: austriamicrosystems
* HIT-Kit: Digital
* ***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO
* model       : RF CAPACITOR CPOLYRF
* process     : C35B4
* revision    : 4.1;
* extracted   : C35 B23118.XL1 ; 2005-02; kmo
* doc#        : Eng-188 REV_5
* -----
* -----
*
* Syntax: parameters area peri
*          ap1 pp1 aw1 pw1
*
* ctot = CA*W*L+CP(2(W+L))
*
```

Modelo Monte Carlo do NMOS

```
.MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
* -----
* ***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : MOS BSIM3v3
* process     : C35
* revision    : 4.0;
* extracted   : B10866 ; 2002-12; ese(5487)
* doc#        : ENG-182 REV_6
* -----
*
*          MONTE-CARLO SIMULATION
* -----
*
+THMLEV =0
*      *** Flags ***
+NOIMOD =3  FLKLEV =0
+MOBMOD =1.000e+00  CAPMOD =2.000e+00  VERSION=3.240e+00  NQSMOD =0.000e+00
+DERIV  =1
*      *** Threshold voltage related model parameters ***
+K1      =4.9550e-01
+K2      =3.5770e-02
+K3      =-1.136e+00  K3B      =-4.399e-01
+NPEAK   =2.6110e+17  LOT/UNIFORM=4.8300e+16
+VTH0    ={4.979e-01+DELVTON}  DEV/GAUSS={0.67e-08/SQRT(e(*,L)*e(*,W))}
+VOFF    =-8.925e-02  DVT0     =5.000e+01  DVT1     =1.039e+00
+DVT2    =-8.375e-03  KETA     =2.032e-02
+PSCBE1  =1.000e+30  PSCBE2   =1.000e-06
+DVT0W   =1.089e-01  DVT1W    =6.671e+04  DVT2W     =-1.352e-02
*      *** Mobility related model parameters ***
+UA      =4.705e-12  UB       =2.137e-18  UC        =1.000e-20
+U0      ={4.758e+02+DELUON}  DEV/GAUSS={({4.758e+02+DELUON})*4.9e-
9/SQRT(e(*,L)*e(*,W))}
```

```

*      *** Subthreshold related parameters ***
+DSUB   =5.000e-01  ETA0   =1.415e-02  ETAB   =-1.221e-01
+NFACTOR=4.136e-01
*      *** Saturation related parameters ***
+EM      =4.100e+07
+PCLM    =6.948e-01
+PDIBLC1=3.571e-01  PDIBLC2=2.065e-03  DROUT   =5.000e-01
+A0      =2.541e+00
+A1      =0.000e+00  A2      =1.000e+00
+PVAG    =0.000e+00  VSAT    =1.338e+05  AGS      =2.408e-01
+B0      =4.301e-09  B1      =0.000e+00  DELTA    =1.442e-02
+PDIBLCB=3.222e-01
*      *** Geometry modulation related parameters ***
+W0      =2.673e-07  DLC      =3.0000e-08
+DWC      =9.403e-08  DWB      =0.000e+00  DWG      =0.000e+00
+LL       =0.000e+00  LW       =0.000e+00  LWL      =0.000e+00
+LLN      =1.000e+00  LWN      =1.000e+00  WL       =0.000e+00
+WW       =-1.297e-14  WWL      =-9.411e-21  WLN      =1.000e+00
+WWN      =1.000e+00
*      *** Temperature effect parameters ***
+AT       =3.300e+04  UTE      =-1.800e+00
+KT1      =-3.302e-01  KT2      =2.200e-02  KT1L     =0.000e+00
+UA1      =0.000e+00  UB1      =0.000e+00  UC1      =0.000e+00
+PRT      =0.000e+00
*      *** Overlap capacitance related and dynamic model parameters ***
+CGSO     =CGSDON    CGDO     =CGSDON    CGBO     =CGBON
+CGDL     =1.310e-10  CGSL     =1.310e-10  CKAPPA   =6.000e-01
+CF       =0.000e+00  ELM      =5.000e+00
+XPART    =1.000e+00  CLC      =1.000e-15  CLE      =6.000e-01
+NOFF     =1.000e+00  VOFFCV   =0.000e+00
*      *** Parasitic resistance and capacitance related model parameters ***
+RDSW     =3.449e+02
+CDSC     =0.000e+00  CDSCB    =1.500e-03  CDSCD    =1.000e-03
+PRWB     =-2.416e-01  PRWG     =0.000e+00  CIT      =4.441e-04
*      *** Process and parameters extraction related model parameters ***
+TOX      ={7.575e-09+DELTGOX}
+NGATE    =0.000e+00
+NLX      =1.888e-07
+XL       ={0.000e+00+DELL}  XW       ={0.000e+00+DELW}
*      *** Substrate current related model parameters ***
+ALPHA0   =2.600e-06  ALPHA1   =5.000e+00  BETA0    =2.100e+01
*      *** Noise effect related model parameters ***
+AF       =1.507e+00  KF       =2.170e-26  EF       =1.000e+00
+NOIA     =1.121e+19  NOIB     =5.336e+04  NOIC     =-5.892e-13
*      *** Common extrinsic model parameters ***
+ALEV     =2          RLEV     =2
+RD       =0.000e+00
+RS       =0.000e+00
+RSH      ={7.000e+01+DELDRDIFFN}
+RDC      =0.000e+00
+RSC      =0.000e+00
+LD       =-5.005e-08
+WD       =9.403e-08
+LDIF     =0.000e+00
+HDIF     =8.000e-07  WMLT     =1.000e+00
+LMLT     =1.000e+00  DEL      =0.000e+00  XJ       =3.000e-07
+DIOLEV   =4          JS       =5.100e-07
+JSW      =0.600e-12
+IS       =0.000e+00  N        =1.000e+00
+DCAPLEV  =2          CBD      =0.000e+00  CBS      =0.000e+00
+CJ       =9.3950e-04  LOT/UNIFORM=1.1250e-04

```

```

+CJSW    =2.5000e-10 LOT/UNIFORM=3.0000e-11
+FC       =0.000e+00
+MJ       =3.400e-01
+MJSW    =2.300e-01
+TT       =0.000e+00
+XTI     =2.026e+00  PB      =6.900e-01
+PSW     =6.900e-01
* -----

```

Modelo Monte Carlo do PMOS

```

.MODEL MODP PMOS LEVEL=53 MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : MOS BSIM3v3
* process     : C35
* revision    : 4.1;
* extracted   : C64685 ; 2002-12; ese(5487)
* doc#        : ENG-182 REV_6
* -----
*
*               MONTE-CARLO SIMULATION
* -----
*
+THMLEV =0
*      *** Flags ***
+NOIMOD =3  FLKLEV =0
+MOBMOD =1.000e+00  CAPMOD =2.000e+00  VERSION=3.24e+00  NQSMOD =0.000e+00
+DERIV  =1
*      *** Threshold voltage related model parameters ***
+K1      =5.5450e-01
+K2      =-4.721e-02
+K3      =1.103e+01  K3B      =-7.580e-01
+NPEAK   =9.2410e+16 LOT/UNIFORM=2.2190e+16
+VTH0    ={-6.915e-01+DELVTOP}  DEV/GAUSS={1.03e-08/SQRT(e(*,L)*e(*,W))}
+VOFF    =-1.170e-01  DVT0    =1.650e+00  DVT1    =3.868e-01
+DVT2    =1.659e-02  KETA    =-1.440e-02
+PSCBE1  =1.000e+30  PSCBE2  =1.000e-06
+DVT0W   =1.879e-01  DVT1W   =7.335e+04  DVT2W   =-6.312e-03
*      *** Mobility related model parameters ***
+UA      =5.394e-10  UB      =1.053e-18  UC      =1.000e-20
+U0      ={1.482e+02+DELUOP}  DEV/GAUSS={{1.482e+02+DELUOP}}*7.1e-
9/SQRT(e(*,L)*e(*,W))}
*      *** Subthreshold related parameters ***
+DSUB    =5.000e-01  ETA0    =2.480e-01  ETAB    =-3.917e-03
+NFACTOR =1.214e+00
*      *** Saturation related parameters ***
+EM      =4.100e+07
+PCLM    =3.184e+00
+PDIBLC1 =1.000e-04  PDIBLC2 =1.000e-20  DROUT   =5.000e-01
+A0      =5.850e-01
+A1      =0.000e+00  A2      =1.000e+00
+PVAG    =0.000e+00  VSAT    =1.158e+05  AGS      =2.468e-01
+B0      =8.832e-08  B1      =0.000e+00  DELTA    =1.000e-02
+PDIBLCB =1.000e+00
*      *** Geometry modulation related parameters ***
+W0      =1.000e-10  DLC      =2.4500e-08
+DWC     =3.449e-08  DWB      =0.000e+00  DWG      =0.000e+00
+LL      =0.000e+00  LW      =0.000e+00  LWL      =0.000e+00
+LLN     =1.000e+00  LWN      =1.000e+00  WL       =0.000e+00
+WW      =1.894e-16  WWL      =-1.981e-21  WLN      =1.000e+00

```

```

+WWN      =1.040e+00
*          *** Temperature effect parameters ***
+AT        =3.300e+04  UTE      =-1.300e+00
+KT1       =-5.403e-01  KT2      =2.200e-02  KT1L      =0.000e+00
+UA1       =0.000e+00  UB1      =0.000e+00  UC1      =0.000e+00
+PRT       =0.000e+00
*          *** Overlap capacitance related and dynamic model parameters ***
+CGSO      =CGSDOP      CGDO      =CGSDOP      CGBO      =CGBOP
+CGDL      =1.080e-10  CGSL      =1.080e-10  CKAPPA    =6.000e-01
+CF         =0.000e+00  ELM      =5.000e+00
+XPART     =1.000e+00  CLC      =1.000e-15  CLE      =6.000e-01
+NOFF      =1.000e+00  VOFFCV   =0.000e+00
*          *** Parasitic resistance and capacitance related model parameters ***
+RDSW      =1.033e+03
+CDSC      =2.589e-03  CDSCB     =2.943e-04  CDSCD     =4.370e-04
+PRWB      =-9.731e-02  PRWG      =1.477e-01  CIT       =0.000e+00
*          *** Process and parameters extraction related model parameters ***
+TOX       = {7.754e-09+DELTGOX}
+NGATE     =0.000e+00
+NLX       =1.770e-07
+XL        = {0.000e+00+DELL}  XW        = {0.000e+00+DELW}
*          *** Substrate current related model parameters ***
+ALPHA0    =1.000e-09  ALPHA1    =1.500e+00  BETA0     =3.250e+01
*          *** Noise effect related model parameters ***
+AF         =1.461e+00  KF        =1.191e-26  EF        =1.000e+00
+NOIA      =5.245e+17  NOIB      =4.816e+03  NOIC      =8.036e-13
*          *** Common extrinsic model parameters ***
+ALEV      =2          RLEV      =2
+RD         =0.000e+00
+RS         =0.000e+00
+RSH       = {1.290e+02+DELRDIFFP}
+RDC        =0.000e+00
+RSC        =0.000e+00
+LD         =-7.130e-08
+WD         =3.449e-08
+LDIF       =0.000e+00
+HDIF       =8.000e-07  WMLT      =1.000e+00
+LMLT       =1.000e+00  DEL        =0.000e+00  XJ        =3.000e-07
+DIOLEV     =4          JS        =2.800e-07
+JSW        =3.700e-13
+IS         =0.000e+00  N          =1.000e+00
+DCAPLEV=2      CBD      =0.000e+00  CBS      =0.000e+00
+CJ         =1.3600e-03  LOT/UNIFORM=1.6300e-04
+CJSW       =3.1950e-10  LOT/UNIFORM=3.8500e-11
+FC         =0.000e+00
+MJ         =5.400e-01
+MJSW       =4.600e-01
+TT         =0.000e+00
+XTI        =1.973e+00  PB         =1.020e+00
+PBSW       =1.020e+00
* -----

```

Modelo Monte Carlo do BJT

```

.MODEL VERT10 PNP MODTYPE=ELDO
* -----
***** SIMULATION PARAMETERS *****
* -----
* format      : ELDO, AccusimII, Continuum
* model       : BJT
* process     : C35
* revision    : 5.0;

```

* extracted : C35[A-B][3-4][A-C][1-3] B11264.L2; 2002-11; hhl (5481)
* doc# : Eng-182 Rev. 6

* -----
* MONTE CARLO SIMULATION
* -----
*

+IS = {EXP (GUMMELPAR) * 2.3330e-17 * (1 + MIS_VERT10 * 9.8e-4) }
+IRB = 4.3770e-06
+IKF = {1.3760e-03 * EXP (-GUMMELPAR) }
+BF = {EXP (GUMMELPAR - RECOMBPAR) * 5.9810e+00 * (1 + MBF_VERT10 * 2.8e-3) }
+NF = 9.9250e-01
+ISE = {EXP (RECOMBPAR) * 6.5290e-16 * (1 + MISE_VERT10 * 0.09) }
+NE = 1.7760e+00
+VAF = {EXP (-GUMMELPAR) / RATIOCJS * 1.9420e+02 }
+IKR = 1.9410e-04
+BR = {EXP (GUMMELPAR - RECOMBPAR) * 9.8740e-02 }
+NR = 9.9470e-01
+ISC = {EXP (RECOMBPAR) * 2.8430e-14 }
+NC = 1.1490e+00
+VAR = 1.0320e+01
+RBM = {RATIORWELL * 1.0000e+00 }
+
+RB = {RATIORWELL * 2.1380e+02 }
+
+RE = 9.7360e+00 LOT/UNIFORM=3.6510e+00
+AF = 1.300e+00
+RC = 4.5400e+01 KF = 9.100e-15
+TF = 8.1000e-10 LOT/UNIFORM=4.8600e-10
+
+
+
+
+
+
+EG = 1.1150e+00
+XTI = 5.5300e+00
+XTB = 2.2500e+00
+
+CJE = 1.4880e-13 LOT/UNIFORM=2.9760e-14
+VJE = 1.0200e+00
+MJE = 5.4882e-01
+CJC = {4.3387e-14 * RATIOCJS }
+VJC = 5.3000e-01
+MJC = 3.1214e-01
+
+
+
* -----

Anexo E

Arquivo profile.opt usado pelos modelos

```
*=====
*  H35    P R O F I L E
*  Owner: Austria Mikro Systeme
*  HIT-Kit: Digital
*  (c) Austria Mikro Systeme Intl. AG %G% gra (5463)
*-----
*  Format      :  ELDO
*  Process     :  H35[A-B][3-4][B-C][0-3]
*  By          :  gra (5463)
*  Date        :  2009-02-26
*-----
*
*  PLEASE NOTE: This file contains important parameters
*                to ensure SIMULATION ACCURACY and to
*                enable MONTE CARLO SIMULATION for device
*                models provided by AMS-AG.
*
*                Be sure to include this file for any
*                analog/mixed-signal circuit simulation.
*
*  MONTE CARLO: Please note that in this implementation
*                only the simulation of PROCESS VARIATIONS
*                is supported.
*                The Monte-Carlo simulation of DEVICE MISMATCH is
*                only supported for the CADENCE Hit-Kit.
*-----
.WIDTH OUT=80
.CHECKSOA
*
*  Define minimum process diffusions:
.OPTIONS DEFAD=1.2100e-12 DEFAS=1.2100e-12
.OPTIONS DEFDPD=4.4000e-06 DEFPS=4.4000e-06
.OPTIONS DEFNRD=0.0 DEFNRS=0.0 DEFW=0.0 DEFL=0.0
*
*  ACCURACY:    STANDARD OPTIONS
*
*  DC OPTIONS
*  Do not allow SOR, always use Newton method:
.OPTIONS NEWTON
*  Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-4  RELTOL=1.0e-4
*  TRANSIENT OPTIONS
*  Set LTE time-step control:
.OPTIONS QTRUNC
*  Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
*  Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3
*  Either set EPS or all the parameters above
*  .OPTIONS EPS=1.0e-5
*  ACCURACY:    CONSERVATIVE OPTIONS
*
*  For critical circuits remove the STANDARD OPTIONS above
*  and uncomment all the .OPTIONS - statements below !
```

```

*   The following setting try to guarantuee a very stable solution
*   together with high accuracy by selecting small time steps.
*
*   DC OPTIONS
*   Do not allow SOR, always use Newton method:
*   .OPTIONS NEWTON
*   Set Newton accuracy options:
*   .OPTIONS VNTOL=1.e-6 ITOL=0.1e-4  RELTOL=1.0e-6
*   TRANSIENT OPTIONS
*   Set LTE time-step control:
*   .OPTIONS QTRUNC
*   Choose most stable algorithm:
*   .OPTIONS BE
*   Decrease time-step directly:
*   .OPTIONS TRTOL=1.0
*   .OPTIONS LVLTIM=2
*   Allow more iterations for a time step
*   .OPTIONS ITL4=50
*   More restrictive bounds -> smaller time steps
*   .OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-15 FLXTOL=1.e-12 RELTRUNC=1.e-5
*   Either set EPS or all the parameters above
*   .OPTIONS EPS=1.0e-7
*   L, W and NRx MUST be specified. See Netlist Format Docum.!
*
*   Set status and partitioning reports but no model echo:
*   .OPTIONS STAT=3 SIMUDIV=10 NOMOD
*
*   Define correlated process parameters for Monte-Carlo:
.PARAM DELTGOX=0 LOT/UNIFORM=0.500e-09
+ DELVTON=0 LOT/UNIFORM=0.105e+00      DELVTOP=0 LOT/UNIFORM=0.100e+00
+ DELUON =0 LOT/UNIFORM=16.50e+00      DELUOP =0 LOT/UNIFORM=13.50e+00
+ DELL   =0 LOT/UNIFORM=0.050e-06      DELW   =0 LOT/UNIFORM=0.075e-06
+ DELTGOXT=0 LOT/UNIFORM=0.500e-09
+ DELVTONT=0 LOT/UNIFORM=0.100e+00      DELVTOPT=0 LOT/UNIFORM=0.150e+00
+ DELUONT=0 LOT/UNIFORM=19.20e+00      DELUOPT=0 LOT/UNIFORM=8.30e+00
+ DELLT   =0 LOT/UNIFORM=0.050e-06      DELWT   =0 LOT/UNIFORM=0.075e-06
+ DELTGOXM=0 LOT/UNIFORM=0.500e-09
+ DELVTONM=0 LOT/UNIFORM=0.100e+00      DELVTOPM=0 LOT/UNIFORM=0.150e+00
+ DELUONM=0 LOT/UNIFORM=63.60e+00      DELUOPM=0 LOT/UNIFORM=17.20e+00
+ DELLM   =0 LOT/UNIFORM=0.050e-06      DELWM   =0 LOT/UNIFORM=0.075e-06
+ DELTGOXTLV=0 LOT/UNIFORM=0.500e-09
+ DELVTONTLV=0 LOT/UNIFORM=0.080e+00      DELVTOPTLV=0 LOT/UNIFORM=0.080e+00
+ DELUONTLV=0 LOT/UNIFORM=19.50e+00      DELUOPTLV=0 LOT/UNIFORM=13.00e+00
+ DELLTLV=0 LOT/UNIFORM=0.050e-06      DELWTLV=0 LOT/UNIFORM=0.150e-06
+ DELTGOXMLV=0 LOT/UNIFORM=0.500e-09
+ DELVTONMLV=0 LOT/UNIFORM=0.100e+00      DELVTOPMLV=0 LOT/UNIFORM=0.150e+00
+ DELUONMLV=0 LOT/UNIFORM=67.00e+00      DELUOPMLV=0 LOT/UNIFORM=15.00e+00
+ DELLMLV=0 LOT/UNIFORM=0.065e-06      DELWMLV=0 LOT/UNIFORM=0.150e-06
+ DELTGOXH=0
+ DELVTONH=0      DELVTOPH=0
+ DELVTONMH=0
+ DELUONH=0      DELUOPH=0
+ DELUONMH=0
+ DELLH   =0      DELWH   =0
+ DELRDIFFN=0 LOT/UNIFORM=10.0e+00      DELRDIFFP=0 LOT/UNIFORM=25.00e+00
+ DELRPJFET=0
+ RATORWELL=1 LOT/UNIFORM=0.1e+00
+ DELRPOLYN=0      DELRPOLYP=0
+ DELWDPOLY1=0 LOT/UNIFORM=0.05e-06
+ DELRPOLY1=0 LOT/UNIFORM=5.00e+00
+ DELWDPOLY2=0 LOT/UNIFORM=0.030e-06      DELRPOLY2=0 LOT/UNIFORM=10.00e+00

```



```

+ DELRPOLY2P=0 LOT/UNIFORM=5.00e+00 DELRPOLY2PH=0 LOT/UNIFORM=6.00e+00
+ DELWDPOLYH=0 LOT/UNIFORM=0.05e-06 DELRPOLYH=0 LOT/UNIFORM=200.0e+00
+ CGSDON =0.120e-09 LOT/UNIFORM=0.015e-09
+ CGBON =0.110e-09 LOT/UNIFORM=0.010e-09
+ CGSONT =0 CGDONT =0
+ CGBONT =0
+ CGSONIT=0 CGDONIT=0
+ CGBONIT=0
+ CGSDONM=0.108e-09 LOT/UNIFORM=0.013e-09 CGBONM =0.110e-09 LOT/UNIFORM=0.010e-09
+ CGSONM50=0 CGDONM50=0
+ CGBONM50=0
+ CGSONIM50=0 CGDONIM50=0
+ CGBONIM50=0
+ CGSDONH=0 CGBONH =0
+ CGSDOP =0.086e-09 LOT/UNIFORM=0.010e-09
+ CGBOP =0.110e-09 LOT/UNIFORM=0.010e-09
+ CGSOPT =0 CGDOPT =0
+ CGBOPT =0
+ CGSDOPM=0.091e-09 LOT/UNIFORM=0.011e-09 CGBOPM =0.110e-09 LOT/UNIFORM=0.010e-09
+ CGSOPM50=0 CGDOPM50=0
+ CGBOPM50=0
+ CGSDOPH=0 CGBOPH =0
+ CGSDONLV=0.012e-09 LOT/UNIFORM=0.001e-09 CGBONLV=0.110e-09 LOT/UNIFORM=0.010e-09
+ CGSDONMLV=0.010e-10 LOT/UNIFORM=0.002e-10 CGBONMLV=0.110e-09 LOT/UNIFORM=0.010e-09
+ CGSDOPLV=0.056e-09 LOT/UNIFORM=0.006e-09 CGBOPLV=0.110e-09 LOT/UNIFORM=0.010e-09
+ CGSDOPMLV=0.064e-09 LOT/UNIFORM=0.008e-09 CGBOPMLV=0.110e-09 LOT/UNIFORM=0.010e-09
+ GUMMELBIC=0 LOT/UNIFORM=0.68e+00 RECOMBBIC=0 LOT/UNIFORM=0.31
+ RATIOCJE=1 LOT/UNIFORM=0.17e+00 RATIOCJC=1 LOT/UNIFORM=0.2e+00
+ RATIOCJS=1 LOT/UNIFORM=0.2e+00
+ RATIORC2BN=1 LOT/UNIFORM=0.3e+00 RATIORE2BN=1 LOT/UNIFORM=0.3e+00
+ EXTRAPAR=0 GUMMELPAR={log(RATIORE2BN)+EXTRAPAR}
+ RECOMBPAR=0 LOT/UNIFORM=0.47e+00
+ NORMZENER=0.5 LOT/UNIFORM=0.5
+ RATIOBV=1 LOT/UNIFORM=0.001
+ RBETABI=0 LOT/UNIFORM=0.5e+00
+ MIS_VERT10 =0 DEV/GAUSS=1
+ MBF_VERT10 =0 DEV/GAUSS=1
+ MISE_VERT10 =0 DEV/GAUSS=1
+ MR_RPOLY1 =0 DEV/GAUSS=1
+ MR_RPOLY2 =0 DEV/GAUSS=1
+ MR_RPOLY2P =0 DEV/GAUSS=1
+ MR_RPOLY2PH =0 DEV/GAUSS=1
+ MR_RPOLYZ =0 DEV/GAUSS=1
+ MR_RPOLYH =0 DEV/GAUSS=1
+ MR_RPOLY2RF =0 DEV/GAUSS=1
+ MR_RPOLYHRF =0 DEV/GAUSS=1
+ MC_CPOLY =0 DEV/GAUSS=1
+ MC_CMIM =0 DEV/GAUSS=1
+=====

```