## UNIVERSIDADE DE SÃO PAULO ESCOLA DE ENGENHARIA DE SÃO CARLOS

# CÉSAR WILLIAM VERA CASAÑAS

# PROJETO DE AMPLIFICADORES DE BAIXO RUÍDO USANDO ALGORITMOS METAHEURÍSTICOS

## CÉSAR WILLIAM VERA CASAÑAS

# PROJETO DE AMPLIFICADORES DE BAIXO RUÍDO USANDO ALGORITMOS METAHEURÍSTICOS

Dissertação apresentada à Escola de Engenharia de São Carlos da Universidade de São Paulo, como parte dos requisitos para obtenção do título de Mestre em Ciências, Programa de Engenharia Elétrica.

Área de Concentração: Telecomunicações.

Orientador: Prof. Dr. João Navarro Soares Júnior.

São Carlos Maio de 2013

Trata-se da versão corrigida da dissertação. A versão original se encontra disponível na EESC/USP que aloja o Programa de Pós-Graduação de Engenharia Elétrica.

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO, POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Vera Casañas, César William V335p Projeto de Amplificadores

Projeto de Amplificadores de Baixo Ruído Usando Algoritmos Metaheurísticos / César William Vera Casañas; orientador Prof. João Navarro Soares. São Carlos, 2013.

Dissertação (Mestrado) - Programa de Pós-Graduação em Engenharia Elétrica e Área de Concentração em Telecomunicações -- Escola de Engenharia de São Carlos da Universidade de São Paulo, 2013.

1. Transistor MOS. 2. LNA. 3. Compromisso. 4. Figura de ruído. 5. Ganho. 6. Linearidade. 7. Algoritmos Genéticos. 8. Recozimento simulado. I. Título.

#### FOLHA DE JULGAMENTO

Candidato: Engenheiro CESAR WILLIAN VERA CASAÑAS.

Título da dissertação: "Projeto de amplificadores de baixo ruído usando algoritmos metaheurísticos".

Data da defesa: 27/05/2013

Comissão Julgadora:

Resultado:

Prof. Dr. João Navarro Soares Júnior (Orientador)

(Escola de Engenharia de São Carlos/EESC)

APRUVA DO

Prof. Titular Amílcar Careli César

(Escola de Engenharia de São Carlos/EESC)

AP NOVADO

Prof. Dr. Cláudio Fabiano Motta Toledo

(Instituto de Ciências Matemáticas e de Computação/USP)

APROVADO

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica e Presidente da Comissão de Pós-Graduação:

Prof. Titular Denis Vinicius Coury

#### **AGRADECIMENTOS**

Agradeço a meu orientador, professor João Navarro, pela confiança, paciência, orientação e tempo dedicado.

Agradeço a minha família, mesmo distante tenho certeza que torceram, torcem e torcerão por mim incondicionalmente.

O meu muito obrigado a Rodrigo Alberto Llorente, o primeiro passo para este logro foi dele.

Quero também agradecer a todos meus amigos, nacionais, internacionais, locais, distantes ou próximos, que me ajudaram de uma ou outra forma a conseguir este logro. Dentre eles gostaria citar a Julián Villamarín, Fredy Morales e Andrés Coca, ótimos amigos.

Maísa Ramos, para com você faltariam palavras de agradecimentos.

Fico grato ao CNPq pelo apoio econômico oferecido.

A todo o pessoal técnico-administrativo da Pós-Graduação de Engenharia Elétrica o meu agradecimento.



#### Resumo

O projeto de amplificadores de baixo ruído (LNA) aparenta ser um trabalho simples pelos poucos componentes ativos e passivos que o compõe, porém a alta correlação entre os seus parâmetros de projeto dificulta muito esse trabalho. Esta dissertação apresenta uma proposta para contornar essa dificuldade: o uso de algoritmos metaheurísticos, em particular algoritmos genéticos e simulated annealing. Algoritmos metaheurísticos são técnicas avançadas que emulam princípios físicos ou naturais para resolver problemas com alto grau de complexidade. Esses algoritmos estão emergindo nos últimos anos porque têm mostrado eficiência e eficácia. São feitos neste trabalho os projetos de três LNAs, dois (LNA1 e LNA2) para sistemas com arquitetura homódine (LNA com carga capacitiva) e um (LNA3) para sistemas com arquitetura heteródine (LNA com carga resistiva) utilizando-se algoritmos genéticos e simulated annealing (recozimento simulado). Apresenta-se inicialmente a análise detalhada da configuração escolhida para os projetos (fonte comum cascode com degeneração indutiva FCCDI). A frequência de operação dos LNAs é 1,8 GHz e a fonte de alimentação de 2,0 V. Para o LNA1 e o LNA2 se atingiu uma figura de ruído de 2,8 dB e 3,2 dB, consumo de potência de 6,8 mW e 2,7 mW e ganho de tensão de 22 dB e 24 dB, respectivamente. Para LNA3 se atingiu uma figura de ruído de 3,5 dB, consumo de potência de 7,8 mW e ganho de tensão de 15,5 dB. Os resultados obtidos e comparações feitas com LNAs da literatura demonstram viabilidade e eficácia da aplicação de algoritmos metaheurísticos no projeto de LNA. Neste trabalho utilizaram-se as ferramentas ELDO (simulador de circuitos elétricos), versão 2009.1 patch1 64 bits, ASITIC (para projetar e simular os indutores), versão 03.19.00.0.0 e MATLAB (o toolbox fornece os algoritmos metaheurísticos), versão 7.9.0.529 R2009b. Além disso, os projetos foram desenvolvidos na tecnologia CMOS 0,35 um da AMS (Austria Micro Systems).

Palavras chaves – transistor MOS, LNA, compromisso, figura de ruído, ganho, linearidade, algoritmos genéticos, *simulated annealing*.

#### Abstract

The design of low noise amplifiers (LNA) seems to be a simple work because the small number of active and passive device that they are composes, nevertheless the high trade off of LNA parameters complicates very much the work. This research presents a proposal to contour act the obstacle: to use metaheuristic algorithms, in special genetic algorithms and simulated annealing. The metaheuristic algorithms are advanced techniques that emulate physics or natural principles to solve problems with high grade of complexity. They have been emerging in the last years because they have shown effectiveness and efficiency. In this dissertation were designed three LNAs using genetic algorithms and simulated annealing: two (LNA1 and LNA2) to homódine architecture (LNA with capacitive load) and one (LNA3) to heteródine architecture (LNA with resistive load). First it is show the detailed analysis of configuration chosen to the designs (common source cascode with inductive degeneration). The operation frequency is 1.8 GHz and power supply is 2.0 V for all LNAs. LNA1 and LNA2 reached a noise figure of 2.8 dB and 3.2 dB, a dissipation power of 6.8 mW and 2.7 mW, and a voltage gain of 22 dB and 24 dB respectively. LNA3 reached 3.5 dB of noise figure, 7.8 mW of dissipation power, and 15.5 dB of voltage gain. The results obtained and the comparisons with LNAs from the literature demonstrate that the metaheuristic algorithms show efficiency and effectiveness in the design of LNA. This study was developed with the help of the tools ELDO (electric circuit simulator) version 2009.1 patch1 64 bits, ASITIC (to design and simulate the inductors) version 03.19.00.0.0, and MATLAB (the toolbox provides the metaheuristic algorithms) version 7.9.0.529 R2009b. Furthermore, the designs were developed on CMOS 0.35 AMS (Austria Micro Systems) technology.

Keywords: transistor MOS, LNA, trade-off, noise figure, gain, linearity, genetic algorithm, simulated annealing.

# Lista de figures

Figura 1 - Blocos básicos num sistema RF	12 -
Figura 2 - Blocos do transmissor e do receptor	12 -
Figura 3 - Circuito receptor para RF com conversão direta. Em vários pontos é mostrado	0 0
espectro do sinal	13 -
Figura 4 - Parâmetros de projeto de um LNA	14 -
Figura 5 - Transistor NMOS: (a) Estrutura física (b) Símbolo elétrico	19 -
Figura 6 - $I_{DS}$ versus $V_{DS}$ para diferentes valores de $V_{GS}$	22 -
Figura 7 - Modulação do Comprimento de Canal	23 -
Figura 8 - Capacitâncias intrínsecas de um transistor NMOS	25 -
Figura 9 - Capacitâncias entre os terminais do NMOS	26 -
Figura 10 - Modelo de pequenos sinais simples	27 -
Figura 11 - Modelo de pequenos sinais com resistor	27 -
Figura 12 - Modelo pequenos sinais com capacitores	28 -
Figura 13 - Modelo de pequenos sinais Completo	28 -
Figura 14 - Modelo do ruído térmico para um resistor: (a) tensão (b) corrente	31 -
Figura 15 - Modelo de ruído do transistor MOS	32 -
Figura 16 - Impedâncias do LNA	35 -
Figura 17 - Amplitude de saída, Ao, versus amplitude de entrada, Ai; a. ponto de compre	essão
de 1dB; b. ponto de interseção de 3a ordem	36 -
Figura 18 - Arquiteturas (a) Heteródine (carga resistiva) (b) Homódine (carga capacitiva	.)- 38 -
Figura 19 - Topologias: (a) Porta Comum (PC), (b) Fonte Comum (FC), (c) Dreno comu	ım
(DC)	39 -
Figura 20 - (a) Configuração FC com DI, (b) PC com DI	40 -
Figura 21 - Configuração Fonte Comum Cascode com degeneração indutiva (FCCDI)	41 -
Figura 22 - Indutor passivo: parâmetros de construção	43 -
Figura 23 - Parâmetros do indutor e seu modelo PI	44 -
Figura 24 - Modelo de indutor passivo gerado com ASITIC	45 -
Figura 25 - Indutor Ativo e sua Indutância equivalente	47 -

Figura 26 - Indutor Ativo Simples	- 48 -
Figura 27 - Modelo para análise de ruído	- 49 -
Figura 28 - Modelo de pequeno sinal da Figura 21 para calcular o ganho de tensão	- 50 -
Figura 29 - $C_T = C_{GD2} + C_{DB2} + C_{load} + C_{tun}$ .	- 51 -
Figura 30 - Circuito para o casamento da impedância de entrada	- 52 -
Figura 31 - Modelo de pequenos sinais simplificado da Figura 30	- 52 -
Figura 32 - Estágio FC para rede da saída	- 54 -
Figura 33 - Modelo de pequenos sinais para calcular a impedância de saída	- 54 -
Figura 34 - Circuito final para calcular a impedância de saída	- 55 -
Figura 35 - Diagrama de fluxo de GA	- 61 -
Figura 36 - Processo do algoritmo Simulated Annealing.	- 64 -
Figura 37 - Interface de operação da ferramenta CircuiOp	- 67 -
Figura 38 - Esquemático para os LNA1 e LNA2	- 68 -
Figura 39 - Esquemático para o LNA3	- 68 -
Figura 40 - Ganho de tensão versus Frequência, LNA1 e LNA2	- 73 -
Figura 41 - Coeficiente de reflexão S <sub>11</sub>	- 74 -
Figura 42 - Magnitude da impedância e fase versus Frequência. A resposta ideal na frequência	ência
de operação é 50 $\Omega$ @0°	- 74 -
Figura 43 - Potência na saída versus Potência na entrada: LNA1	- 76 -
Figura 44 - Potência na saída versus Potência na entrada: LNA2	- 76 -
Figura 45 - Ganhos de tensão e potência versus frequência: LNA3	- 78 -
Figura 46 - Coeficientes de reflexão S <sub>11</sub> e S <sub>22</sub>	- 79 -
Figura 47 - Potência na saída versus Potência na entrada: LNA3	- 79 -
Figura 48 - Configuração FCCDI	- 90 -
Figura 49 - Modelo para análise de ruído	- 91 -
Figura 50 - FCCDI: (a) Esquemático elétrico (b) Modelo de pequeno sinal	- 93 -
Figura 51 - Modelo de pequenos sinais reduzido da configuração FCCDI	- 94 -
Figura 52 - Interface gráfica da ferramenta CircuicOp	- 96 -

# Lista de tabelas

Tabela 1 - Especificações de projeto	15 -
Tabela 2 - Tensão associadas ao transistor MOS	20 -
Tabela 3 - Capacitâncias Intrínsecas do transistor MOS	25 -
Tabela 4 - Capacitâncias dos terminais na saturação	26 -
Tabela 5 - Resumo das configurações com DI	42 -
Tabela 6 - Descrição dos componentes do modelo PI	44 -
Tabela 7 - Dimensões do indutor da Figura 24	45 -
Tabela 8 - Valores obtidos com ASITIC	45 -
Tabela 9 - Dispositivos e variáveis de projeto	56 -
Tabela 10 - Conceitos gerais dos algoritmos genéticos	60 -
Tabela 11 - Faixa de variação das dimensões	69 -
Tabela 12 - Especificações de projeto para os LNAs	70 -
Tabela 13 - Pesos da função objetivo	70 -
Tabela 14 - Parâmetros do algoritmo GA utilizados pela ferramenta CircuiOp	71 -
Tabela 15 - Parâmetros do algoritmo SA utilizados pela ferramenta CircuiOp	72 -
Tabela 16 - Dimensões dos dispositivos do LNA1	72 -
Tabela 17 - Dimensões dos dispositivos do LNA2	73 -
Tabela 18 - Melhores resultados para LNA3 com GA+SA	77 -
Tabela 19 - Dimensões dos dispositivos do LNA3	77 -
Tabela 20 - Resumo dos LNA	80 -
Tabela 21 - Comparação com outros LNAs (Todos FCCDI)	81 -
Tabela 22 - Descrição dos parâmetros do modelo BSIM3v3	105 -

# Sumário

CAPÍTU	LO 1 INTRODUÇÃO	11 -
CAPÍTU	LO 2 REVISÃO TEÓRICA	18 -
2.1.	Transistor MOS	18 -
2.1.1.	EFEITO DO CORPO	22 -
2.1.2.	MODULAÇÃO DE COMPRIMENTO DE CANAL	22 -
2.1.3.	Transcondutância	24 -
2.1.4.	CAPACITÂNCIAS INTRÍNSECAS	25 -
2.1.5.	MODELO DE PEQUENO SINAL	26 -
2.2.	Amplificadores de Baixo Ruído – LNA	29 -
2.2.1.	Parâmetros de projeto	29 -
2.2.1	.1. Fator de ruído/Figura de ruído	30 -
2.2.1	.2. Ruído	30 -
2.2.1	.3. Ganho	33 -
2.2.1	.4. Coeficiente de reflexão	34 -
2.2.1	.5. Linearidade	35 -
2.2.1	.6. Fator de Estabilidade	37 -
2.2.2.	Arquiteturas de LNAs	37 -
2.2.3.	INDUTORES	42 -
2.2.3.1.	. Indutores Passivos	43 -
2.2.3.2.	. Indutores ativos	46 -
2.2.4.	CONSIDERAÇÕES DE PROJETO DA TOPOLOGIA FCCDI	48 -
2.2.4.1.	FATOR DE RUÍDO	49 -
2.2.4.2.	. Ganho de tensão	50 -
2.2.4.3.	. IMPEDÂNCIA DE ENTRADA	51 -
2.2.4.4.	. IMPEDÂNCIA DE SAÍDA	53 -
2.3.	COMPLEXIDADE DO PROJETO DE UM LNA	56 -

CAPÍT	ULO 3 ALGORITMOS METAHEURÍSTICOS	58 -
3.1.	ALGORITMOS GENÉTICOS (GAS)	59 -
3.2.	SIMULATED ANNEALING (SA)	62 -
CAPÍT	ULO 4 RESULTADOS	68 -
CONCI	LUSÃO	82 -
REFER	ÊNCIAS	85 -
APÊND	ICES E ANEXOS	89 -
APÊNI	DICE A - FATOR DE RUÍDO	90 -
APÊNI	DICE B - GANHO DE TENSÃO	93 -
APÊNI	DICE C - INTERFACE DA FERRAMENTA <i>CIRCUICOP</i>	96 -
APÊNI	DICE $\operatorname{D}$ – $\operatorname{C\'odigo}$ para simulações e medições dos parâmetros	99 -
ANEX	KO A - Parâmetros do modelo BSIM3v3	104 -
ANEX	O B - TECNOLOGIA USADA POR ASITIC	106 -

# Capítulo 1 INTRODUÇÃO

Na história, os meios de comunicação têm avançado em paralelo com o avanço dos povos. O século 20 foi rico em grandes avanços nessa área, tendo se difundido nele o rádio, a TV, telefonia e as comunicações via satélites. Ao fim do século ainda surgiram a Internet e serviços como o correio eletrônico, a *World Wide Web* ou simplesmente web, a telefonia móvel, a voz sobre IP (telefonia na internet). O homem, no entanto, segue pesquisando e procurando aperfeiçoar tecnologias e meios de comunicação e todas as áreas que envolvem. Uma área de grande interesse ainda hoje é a dos circuitos integrados para radiofrequência (RF). O avanço nesta área proporcionou melhorias nos sistemas de comunicação, com aparelhos portáteis cada vez menores, com menor consumo de potência e mais baratos (RAZAVI, 1998). Nas aplicações de RF como a WLAN's (*Wireless Local Area Network*), o GPS (*Global Positioning System*), o RF ID's (*Radio-Frequency IDentification*), telefonia móvel, Bluetooth, dentre outras, aparecem sistemas nos quais estão presentes esses circuitos integrados de alta frequência.

Nas aplicações referidas acima se podem identificar de forma geral três elementos: o bloco transmissor, o bloco receptor e o meio de transmissão (Figura 1). Detalhando um pouco mais, os blocos transmissor e receptor são compostos por outros blocos como mostrado na Figura 2. Observando a Figura 2 o processo de transmissão se pode resumir brevemente assim: uma fonte gera um sinal (e.g. uma mensagem), o bloco transmissor digitaliza o sinal com o auxílio de um conversor análogo digital (*Analog to Digital Converter* ADC), o bloco compressor tira as redundâncias através de algoritmos de compressão (por exemplo *jpeg* para imagens e *mpeg* para áudio e vídeo), o bloco codificador faz a codificação dos dados (a conversão dos dados a uma sequência de pulsos elétricos por exemplo), o bloco modulador faz a modulação (processo no qual uma onda portadora é modificada, em amplitude, frequência ou fase pelo sinal de informação) e, finalmente, o bloco amplificador amplifica o sinal e o envia pelo meio de transmissão ou canal. No processo de recepção o receptor recebe o sinal modulado original atenuado com ruídos adicionados. Agora, o receptor realiza o processo inverso para obter o sinal original no destino, ou seja, amplifica-o, demodula, decodifica-o, descomprime-o e converte-o de novo para um sinal analógico, caso o sinal final

seja analógico, com ajuda de um conversor digital análogo (Digital to Analog Converter DAC).

Figura 1 - Blocos básicos num sistema RF

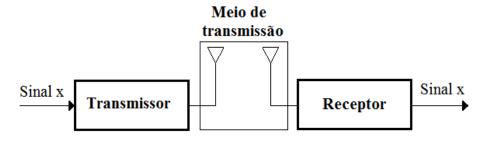
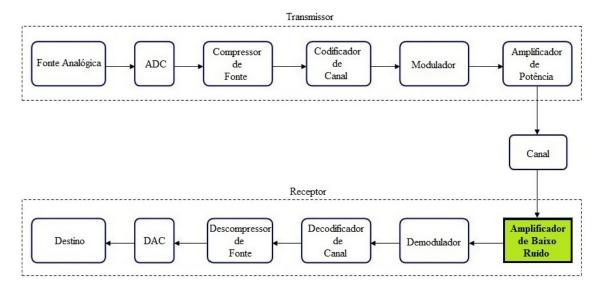


Figura 2 - Blocos do transmissor e do receptor



Vamos considerar agora, com um pouco mais de detalhes, a entrada do bloco receptor (*front end*). A Figura 3 indica os blocos que compõe o *front end* de um circuito receptor para conversão direta (RAZAVI, 1998). Nele o sinal que chega pela antena é inicialmente filtrado para seleção da banda de transmissão. Posteriormente é amplificado no bloco LNA, *low noise amplifier*. O sinal vindo do LNA é aplicado a dois misturadores, *mixer*, que fazem multiplicações: no misturador superior a multiplicação é feita pelo sinal vindo do oscilador; no misturador inferior a multiplicação é feita pelo sinal vindo do oscilador atrasado de 90°, gerando uma versão em quadratura. Com esta multiplicação ocorre a translação da banda

desejada para baixo. Uma segunda filtragem é posteriormente aplicada para selecionar o canal desejado dentro da banda e, por fim, os sinais resultantes são amplificados. Um bloco demodulador recebe então o sinal do canal desejado com sua versão em quadratura e, efetivamente, recobra a informação transmitida (comprimida e decodificada). Este demodulador, no caso mais simples, pode ser apenas um *flip-flop* tipo D.

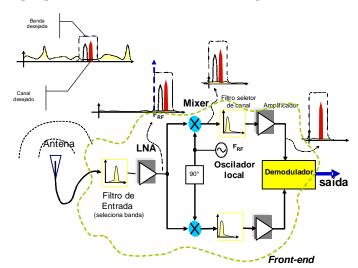


Figura 3 - Circuito receptor para RF com conversão direta. Em vários pontos é mostrado o espectro do sinal.

Podemos seguir detalhando e aprofundando cada um dos blocos, filtros, *mixer*, oscilador, etc., mas neste trabalho nos focaremos no circuito integrado de alta frequência responsável por amplificar o sinal no receptor, o LNA.

Geralmente, um circuito LNA é o primeiro circuito do bloco receptor ou, em alguns casos como descrito acima, está precedido de um filtro passa faixas. Este circuito é utilizado para amplificar sinais fracos, da ordem de microvolts (normalmente a ordem de grandeza dos sinais que chegam aos receptores de RF), garantindo a menor inserção de ruído possível ao sistema (LEE, 1998) (RAZAVI, 1998).

Além de prover suficiente ganho junto com uma baixa inserção de ruído, caracterizado pela figura de ruído que será descrita mais adiante, um LNA também é caracterizado por outros parâmetros igualmente importantes: a frequência de operação, o consumo de potência (que se deseja baixo), o casamento da impedância na entrada e, em alguns casos, na saída, a baixa distorção harmônica e a estabilidade. Na literatura são propostas diversas figuras de

mérito (FOM) (LINTEN, ASPEMYR, *et al.*, 2004) para caracterizar amplificadores de baixo consumo de potência e que são estendidas para os LNAs.

Há entre estes parâmetros, em geral, interdependências sendo a mais importante aquela que ocorre entre a figura de ruído e o consumo de potência (RAZAVI, 1998) (LEE, 1998), onde um baixo consumo de potência causa a degradação no desempenho de ruído.

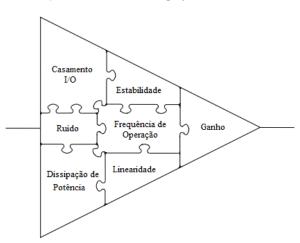


Figura 4 - Parâmetros de projeto de um LNA

Um sério problema em projetos de LNA´s, como ilustrado na Figura 4 (ROA, 2003) e como reportado na literatura, é obter um bom compromisso (*trade off*) entre os parâmetros de projeto (ALLSTOT, LI e SHEKHAR, 2004) (RAZAVI, 1998) (LEE, 1998). SHAEFFER e LEE (1997) propõem contornar o problema através de uma otimização da figura de ruído que permite a seleção do melhor dispositivo para duas restrições simultâneas: casamento da impedância de entrada e ganho específico ou casamento da impedância de entrada e consumo de potência específica. ROA (2003) propõe uma metodologia de projeto que otimiza o desempenho de ruído e linearidade para consumo de potência e ganho de potência específicos. VAROTTO (2004) propõe uma metodologia diferente baseada no projeto com transistores operando na inversão moderada para alcançar um ótimo desempenho no quesito de figura de ruído.

Todos os trabalhos acima tentam encarar o problema do compromisso dos parâmetros de projeto por diferentes metodologias. Este trabalho tem como objetivo contornar o problema usando uma nova ferramenta que vem sendo estudada para resolver problemas de otimização:

algoritmos de otimização ou algoritmos metaheurísticos. Nosso objetivo é projetar amplificadores de baixo ruído, usando algoritmos de otimização (nosso caso, algoritmos genéticos e *simulated annealing*) para atingir um conjunto de especificações estabelecidas. Na Tabela 1 estão contidas as especificações desejadas, estabelecidas no começo do projeto. Os valores foram determinados como uma média do estado da arte; mas para a frequência de operação se pensou em nossos LNAs como possível bloco de uma das aplicações que operam nessa frequência, 1,8 GHz, por exemplo, como bloco de uma etiqueta *RF-ID*.

Tabela 1 - Especificações de projeto

Especificaçõo	es
Figura de Ruído [dB]	< 3,2
Ganho [dB]	> 15
Consumo de Potência [mW]	< 10
Coeficientes de reflexão [dB]	< -20
OPC1dB [dBm]	> 0
OIP3 [dBm]	> 0
Frequência [GHz]	1,8

A motivação para este estudo está em dois aspectos:

- A equipe de pesquisa do LµS (Laboratório de microsistemas) da SEL EESC USP tem como objetivo obter o conhecimento integral dos algoritmos metaheurísticos para desenvolver métodos de projeto de diferentes circuitos analógicos, entre eles circuitos para as aplicações acima ditas.
  - 2. A grande quantidade de aplicações, tanto na área profissional como de entretenimento, onde há a presença de LNAs, por exemplo (RAZAVI, 1998):
    - WLAN's: As redes locais sem fio são aplicações para prover comunicação móvel em escritórios, hospitais, fábricas, etc. Operam na banda de 900 MHz até 2,4 GHz. Portabilidade e reconfiguração são características das WLAN's.
    - GPS: O sistema de posicionamento global é um sistema de navegação por satélite que fornece a um aparelho receptor móvel a sua posição e a direção a qualquer momento. O GPS é uma aplicação útil para trabalhos de exploração

na terra ou no oceano e para traçar percursos e rotas para veículos terrestres, de voo e navegação. A faixa de operação do GPS é de 1,17 GHz até 1,57 GHz.

- RF-ID's: Sistemas de identificação por radiofrequência são aplicações para identificação automática através de sinais de rádio, recuperando e armazenando dados por meio de etiquetas RFID. Uma etiqueta RFID é um dispositivo transceptor (dispositivo transmissor e receptor) que pode ser colocada em objetos, animais ou pessoas. Estes dispositivos operam na faixa de 900 MHz até 2,4 GHz.
- GSM: Sistema Global para Comunicações Móveis é o padrão mais popular para telefones celulares do mundo. Permite, além da comunicação de voz, a troca de dados entre telefones, acesso a internet e serviço de *roaming* internacional.
- **Bluetooth**: Esta aplicação permite comunicação rápida, segura e barata entre computadores, *smartphone*, telefones celulares, mouses, teclados, impressoras e outros dispositivos, utilizando ondas de rádio no lugar de cabos. É um padrão de comunicação sem fio e de baixo consumo de energia. O alcance é curto e depende da potência de transmissão, sendo de 1 metro (Classe 3), 10 metros (Classe 2) ou até 100 metros (Classe 1). O *Bluetooth* opera na faixa de 2,4 até 2,5 GHz.

Neste trabalho, com auxílio de algoritmos genéticos e *simulated annealing* (recozimento simulado), foram projetados três LNA, dois (LNA1 e LNA2) para sistemas com arquitetura *homódine* (LNA com carga capacitiva) e um (LNA3) para sistemas com arquitetura *heteródine* (LNA com carga resistiva) (RAZAVI, 1998). O trabalho foi desenvolvido na tecnologia AMS (*Austria Micro Systems*) CMOS (*Complementary Metal Oxide Silicon*) 0,35 µm e com o auxílio da ferramenta de simulação de circuitos elétricos ELDO da Mentor Graphics (versão 2009.1 patch1 64 bits), da ferramenta ASITIC (versão 03.19.00.0.0.0) para projetar os indutores passivos e da ferramenta que fornece os algoritmos metaheurísticos, MATLAB (versão 7.9.0.529 R2009b). Para executar essas ferramentas foi utilizado um computador com processador Intel(R) Core(TM) i3 @2,5 GHz, Memória RAM de 3,0 Gb e o sistema operativo foi Linux Open SUSE v11.3.

O trabalho faz parte do projeto de blocos para sistemas de comunicação RF, desenvolvida pela equipe de pesquisa do  $L\mu S$  (Laboratório de microsistemas) da SEL EESC USP.

Este documento está organizado da seguinte forma: no Capítulo dois trata-se do transistor MOS, se faz um percurso sobre sua estrutura, equações características na região de saturação, as capacitâncias intrínsecas e finalmente chegar-se ao modelo de pequeno sinal. Em seguida trata-se do LNA com os parâmetros de projeto, as arquiteturas disponíveis, a arquitetura escolhida e analise detalhado da mesma. No capítulo três se faz uma resenha dos algoritmos genéticos e *simulated annealing* e é apresentada a função objetivo usada na ferramenta *CircuitOp*. Os resultados são apresentados no Capítulo 4 e finalmente as conclusões são apresentadas.

### Capítulo 2 Revisão Teórica

Neste capítulo se tratam basicamente dois assuntos: o transistor como dispositivo componente de circuitos de RF, neste caso de um LNA, e uma breve análise do circuito LNA. Após tratar dos transistores MOS se discute os parâmetros de projeto e os tipos de ruído presentes em LNAs. Em seguida são apresentadas as topologias mais comunmente usadas, vantagens e desvantagens que cada uma tem. Por fim se determina a topologia usada neste estudo com a respectiva justificativa para tal escolha. O objetivo deste capítulo é mostrar a complexidade que envolve o projeto de um LNA.

#### 2.1. Transistor MOS

Esta seção aborda os conceitos gerais do transistor MOS (*metal-oxide semiconductor*). Começamos dizendo que há dois tipos de transistor MOS: NMOS, onde a condução é feita por elétrons, e PMOS, onde a condução é feita por lacunas. A tecnologia CMOS (tecnologia que permite a construção tanto de transistores NMOS como de PMOS) passou, a partir dos anos 80, a ser dominante na fabricação de circuitos integrados devido às vantagens sem igual que ela oferece: altos níveis de integração, baixo consumo de potência e simplicidade de projeto. Nos últimos anos, 75% dos circuitos semicondutores (tanto em quantidade como em valor) foram produzidos em CMOS, fato que adiciona outra vantagem à tecnologia: redução de custos devido à escala de produção. Este quadro não deve ser alterado nos próximos anos (ITRS, 2009).

Circuitos usados em radiofrequência foram, tradicionalmente, implementados com componentes discretos de Arseneto de Gálio (GaAs) ou de Silício na tecnologia BIPOLAR. A partir de meados da década de 90, alternativas tecnológicas têm sido testadas tais como BiCMOS, (MEYER e MACK, 1994), SOA (*Silicon-On-Anything*), (BALTUS e DEKKER, 2000), e CMOS (ABIDI, POTTIE e KAISER, 2000), (LEE e WONG, 2000), (RAZAVI, 1998). Neste tipo de aplicação, a tecnologia CMOS se destaca pelas vantagens já mencionadas e ainda pela possibilidade de obter a integração de todo um sistema num único *chip*: o *front end*, tipicamente analógico e em alta frequência, e o *back end*, tipicamente digital e em baixa frequência. A integração completa de um sistema reduz custos e dimensões e

aumenta a confiabilidade. Em vista disto, a tecnologia CMOS é uma opção viável para implementação de transceptores RF integrados funcionando em frequências de até 5,0 GHz e será utilizada aqui.

Focamos a apresentação feita aqui no transistor NMOS, mas todos os conceitos vistos se aplicam de forma análoga para o transistor PMOS. Na Figura 5(a) (RAZAVI, 2001) se ilustra uma estrutura simplificada de um transistor NMOS, fabricado sobre substrato tipo P (para PMOS seria sobre substrato tipo N). O dispositivo consiste de duas difusões fortemente dopadas tipo N (tipo P para PMOS) que formam a fonte (S) e o dreno (D) respectivamente, uma região condutora, que pode ser metal ou silício policristalino fortemente dopado, geralmente chamada de poly, que opera como porta (G) e uma delgada capa isolante, por exemplo, óxido de silício (SiO<sub>2</sub>), que isola a porta do substrato (GREGORIAN e TEMES, 1986) (RAZAVI, 2001).

O acrônimo MOS, como já dito *metal-oxide semiconductor*, corresponde a porta (metal), ao isolante (óxido) e ao material para formar o canal (semiconductor).

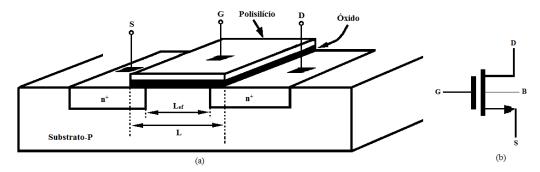


Figura 5 - Transistor NMOS: (a) Estrutura física (b) Símbolo elétrico

Para um transistor MOS fonte e dreno são fisicamente iguais, é dizer, o dispositivo é simétrico; do ponto de vista elétrico, o terminal fonte (*source*) nos transistores NMOS é aquele que é conectado ao menor potencial, e nos transistores PMOS é aquele que está conectado ao maior potencial.

Voltando à Figura 5(a), temos que a distância entre a fonte (*source*) e o dreno (*drain*) é o comprimento de canal, *L*, mas devido à difusão (durante a fabricação as regiões de dreno e fonte avançam sob a área coberto pela porta) o comprimento real ou efetivo de um transistor é

menor que L. Neste trabalho a tecnologia utilizada permite um comprimento de canal mínimo de  $0.35 \ \mu m$ .

A Figura 5 apresenta o transistor NMOS como um dispositivo de três terminais, mas realmente o dispositivo tem quatro terminais porque o substrato - *Bulk* (*B*) - é outro terminal. Na Tabela 2 apresentam-se as tensões que se podem estabelecer nos terminais do transistor e que serão usadas na frente deste estudo.

 Tensão
 Descrição

  $V_{GS}$  Diferença de potencial entre a porta e a fonte

  $V_{GD}$  Diferença de potencial entre a porta e dreno

  $V_{DS}$  Diferença de potencial entre o dreno e a fonte

  $V_{BS}$  Diferença de potencial entre o substrato e a fonte

  $V_{RD}$  Diferença de potencial entre o substrato e o dreno

Tabela 2 - Tensão associadas ao transistor MOS

Um transistor MOS pode estar operando, de acordo com a concentração de portadores no canal, em três regiões distintas que são:

- i. Inversão Forte ( $Strong\ Inversion$ ): a tensão  $V_{GS}$  é suficiente para formar um canal com concentração de portadores igual ou superior à concentração de portadores intrínseca do substrato. Observemos que o tipo de portador no canal é diferente do portador intrínseco do substrato. É esta a região de operação estudada normalmente.
- ii. Inversão Fraca (*Weak Inversion*): a tensão  $V_{GS}$  está próxima à tensão de *threshold* do transistor, formando um canal com concentração de portadores inferior a concentração intrínseca de portadores do substrato. Utilizada para circuitos de baixíssimo consumo de potência.
- iii. Inversão Moderada (Moderate Inversion): é uma região de transição, não muito bem definida, entre as regiões de inversão forte e inversão fraca. Equações que descrevem o transistor nesta faixa não são muito precisas.

Caso consideremos apenas a chamada forte inversão, podemos dizer que o transistor estará em corte, triodo ou saturação. Quando  $V_{GS}$  de um transistor NMOS é menor que a tensão de limiar –  $voltage\ threshold$  - da tecnologia ( $V_{TH}$ ) a quantidade de cargas móveis é muito pequena e, portanto, não há praticamente corrente fluindo entre dreno e fonte. Neste

caso se diz que o transistor está na região de corte. O dispositivo está na região do triodo quando a tensão  $V_{GS} \ge V_{TH}$  e a tensão  $V_{DS}$  é tal que  $V_{DS} < V_{GS}$  -  $V_{TH}$ . Neste caso é possível modelar o dispositivo como uma resistência controlada por tensão. A região de saturação é atingida pelo dispositivo quando  $V_{GS} \ge V_{TH}$  e a tensão  $V_{DS}$  é tal que  $V_{DS} > V_{GS}$  -  $V_{TH}$  (RAZAVI, 2010).

Neste trabalho os transistores irão operar apenas em forte inversão, saturação, portanto em seguida serão apresentadas as equações associadas a esta região. Na saturação a corrente do dreno-fonte torna- se quase constante e pode-se expressar, em primeira ordem, como:

$$I_D = \frac{1}{2} \mu_0 C_{ox} \frac{W}{I} (V_{GS} - V_{TH})^2 \tag{1}$$

onde W é a largura do transistor,  $\mu_0$  é a mobilidade dos elétrons para os transistores NMOS (mobilidade das lagunas nos transistores PMOS),  $C_{ox}$  é uma constante que representa a capacitância por unidade de área da tecnologia associada à porta e é igual a  $C_{ox} = \frac{k_{ox}\varepsilon_0}{t_{ox}}$ ,  $k_{ox}$  é a constante dielétrica do óxido de silício (aproximadamente 3,9),  $\varepsilon_0$  é a permeabilidade no vácuo (8.85x10<sup>-12</sup> F/m) e  $t_{ox}$  representa a espessura do óxido de silício.

O transistor da tecnologia utilizada neste trabalho tem uma espessura de óxido de silício de 7,57 nm (75,7  $\check{A}$ ) e, portanto, o  $C_{ox}$  é aproximadamente 4,56 fF/ $\mu$ m<sup>2</sup>. Esse valor é usado nos cálculos.

Na Eq.1 o projetista tem controle das dimensões do dispositivo e da tensão  $V_{GS}$ . Assim se para uma relação W/L fixa se varia a tensão  $V_{GS}$  se obtém diferentes respostas de corrente do dreno, como mostrado na Figura 6. Essas curvas foram traçadas para um transistor da tecnologia CMOS  $0.35~\mu m$  (modelo MOS BSIM3v3) com dimensões  $35~\mu m$  e  $1~\mu m$  (W e L respectivamente) através do simulador elétrico ELDO.

É interessante observar na Eq.1 que se os valores de W e L forem dobrados, a razão W/L permanecendo igual,  $I_D$  permanece inalterada, mas as capacitâncias, associadas ao tamanho do dispositivo (como se verá adiante), aumentam. Isto modifica o comportamento da resposta em frequência do transistor.

A tensão limiar ( $V_{TH}$ ),  $C_{ox}$  e a mobilidade ( $\mu_0$ ) são parâmetros que dependem da tecnologia e, como consequência, o projetista não tem controle sobre eles.

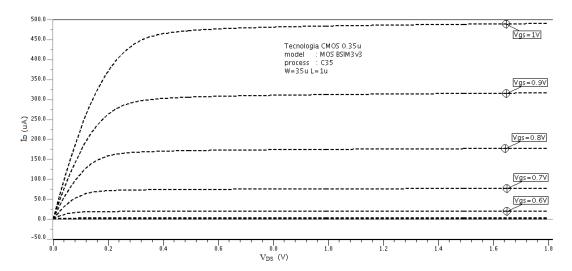


Figura 6 -  $I_{DS}$  versus  $V_{DS}$  para diferentes valores de  $V_{GS}$ 

## 2.1.1. Efeito do corpo

Um fenômeno interessante ocorre quando a diferença de potencial fonte-substrato ( $V_{SB}$ ) passa a ser diferente de zero. Nesse caso a tensão de limiar ( $V_{TH}$ ) do dispositivo é aumentada à medida que a fonte se torna mais positiva em relação ao substrato, como se pode observar pela Eq.(2) (RAZAVI, 2010).

$$V_{TH} = V_{TH0} + \gamma (\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|})$$
 (2)

onde  $V_{TH0}$  é a tensão de limiar quando  $V_{SB}=0$ ,  $\gamma$  é o coeficiente de efeito de corpo e  $\Phi_F$  é o chamado potencial de junção.  $\gamma$  e  $\Phi_F$  são parâmetros que dependem da tecnologia e, portanto, estão fora do controle do projetista.

## 2.1.2. Modulação de comprimento de canal

A medida que  $V_{DS}$  aumenta, quando o transistor está em saturação, aumenta a corrente de dreno, pois o comprimento de canal ( $L_{eff}$ ) diminui ( $I_D \alpha I/L_{eff}$ ). Esta variação do comprimento de canal é chamada de modulação de comprimento de canal e para modelar este efeito é inserido na Eq.1 um fator de correção, assim a nova equação é:

$$I_D = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$
 (3)

onde  $\lambda$  é o coeficiente de modulação de comprimento de canal.

A modulação de comprimento de canal está sob controle do projetista porque  $\lambda$  é inversamente proporcional a L (ALLEN e HOLBERG, 2002). Uma expressão para  $\lambda$  é (JOHNS e MARTIN, 1996):

$$\lambda = \frac{k_{ds}}{2L\sqrt{V_{DS} + (-V_{eff}) + \Phi_F}} \tag{4}$$

onde  $V_{eff} = V_{GS} - V_{TH}$ ,  $k_{ds} = \sqrt{\frac{2k_{si}\mathcal{E}_0}{qN_A}}$ ,  $k_{si}$  é a constante dielétrica do silício (igual a 11,8), q é a carga do elétron (1,602x10<sup>-19</sup> C) e  $N_A$  é a concentração da dopagem no substrato.

Na Figura 7 é ilustrada a modulação do comprimento de canal para um transistor na tecnologia CMOS  $0.35~\mu m$ , polarizado com  $0.9~\rm V$  de tensão  $V_{GS}$  e  $0~\rm V < V_{DS} < 1.8~\rm V$ . O comprimento do dispositivo foi alterado de  $0.35~\mu m$  até  $0.7~\mu m$  e  $W=35~\mu m$ . A figura 7 aponta que  $\lambda$  é inversamente proporcional a L, como já dito.

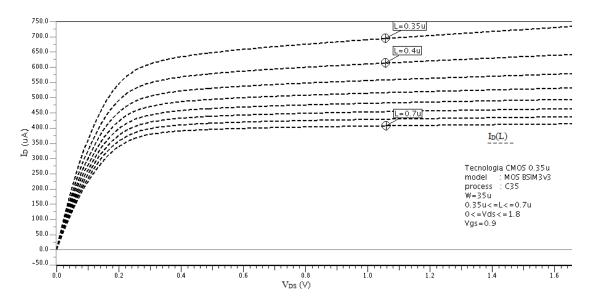


Figura 7 - Modulação do Comprimento de Canal

#### 2.1.3. Transcondutância

A transcondutância é a relação entre a variação da corrente de dreno e a variação de tensão  $V_{GS}$  ou:

$$g_m = \frac{\partial I_D}{\partial V_{GS}}$$

Para a região de saturação, derivando a Eq.1 obtém se:

$$g_m = \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \tag{5}$$

A Eq.5 revela que  $g_m$  é linearmente proporcional a W/L para um valor fixo de  $(V_{GS}-V_{TH})$  e vice-versa, ou seja, é linearmente proporcional a  $(V_{GS}-V_{TH})$  para um valor fixo de W/L. Também pode ser expressado como uma função da corrente; da Eq.1 temos que se isolamos a diferença de tensões obtemos:

$$V_{GS} - V_{TH} = \sqrt{\frac{2I_D}{\mu_0 C_{ox} \frac{W}{L}}}$$
 (6)

Agora, substituindo Eq.6 na Eq.5 e agrupando obtemos:

$$g_m = \sqrt{2\mu_0 C_{ox} \frac{w}{L} I_D} \tag{7}$$

A Eq.7 revela que  $g_m$  é proporcional à  $\sqrt{\frac{w}{L}}$  para um valor fixo de  $I_D$ , e também  $g_m$  é proporcional  $\sqrt{I_D}$  para um valor fixo de W/L. Caso dividimos a Eq.5 pela Eq.1 e reagrupemos novamente temos:

$$\frac{g_m}{I_D} = \frac{\mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{TH})}{\frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2}$$

$$g_m = \frac{2I_D}{V_{GS} - V_{TH}} \tag{8}$$

Neste caso  $g_m$  é linearmente proporcional a  $I_D$ , quando  $(V_{GS} - V_{TH})$  é fixo, também se pode observar que para um dado  $I_D$ ,  $g_m$  é inversamente proporcional a  $(V_{GS} - V_{TH})$ .

## 2.1.4. Capacitâncias intrínsecas

Nos circuitos de RF é importante considerar as capacitâncias intrínsecas do transistor MOS porque elas têm direta participação no comportamento da resposta em frequência do circuito. Na Figura 8 são ilustradas as capacitâncias (LAKER e SANSEN, 1994) (JOHNS e MARTIN, 1996) e na Tabela 3 se apresenta a descrição delas.

Figura 8 - Capacitâncias intrínsecas de um transistor NMOS

Tabela 3 - Capacitâncias Intrínsecas do transistor MOS

Capacitância	Descrição
$C_1$	Capacitância entre a porta e o canal, $C_1 = WLC_{ox}$
$C_2$	Capacitância entre o canal e o substrato, $C_2 = WL\sqrt{q\varepsilon_{si}N_A/4\Phi_F}$
$C_3$ e $C_4$	Capacitância devida à área de sobreposição entre a porta sobre a fonte ou dreno
$C_5$ e $C_6$	Capacitância entre o dreno e fonte e o substrato

As capacitâncias  $C_3$  e  $C_4$  são chamadas na literatura de capacitâncias de *overlap* e para obter uma expressão delas se requer cálculos mais elaborados (RAZAVI, 2001). A capacitância  $C_5$  e  $C_6$  são geralmente compostas em duas componentes: uma capacitância de junção de área ( $C_j$ ) e outra capacitância de junção de perímetro ( $C_{jsw}$ ) (RAZAVI, 2001).

É de nosso interesse conhecer as equações das capacitâncias entre os terminais do dispositivo (Figura 9) na saturação. Equações aproximadas são apresentadas na Tabela 4. Nessa tabela  $C_{ov}$  é a capacitância de *overlap* por unidade de comprimento. Ela depende do quanto as difusões de dreno ou fonte avançaram para baixo da região de porta.

Figura 9 - Capacitâncias entre os terminais do NMOS

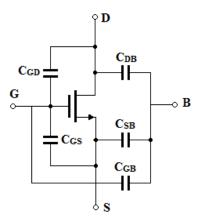


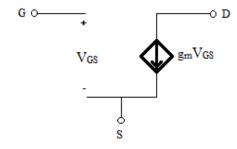
Tabela 4 - Capacitâncias dos terminais na saturação

$C_{GS} = 2/3 \ WLC_{ox} + WC_{ov}$
$C_{GD} = WC_{ov}$
$C_{GB} = Desprezada$
$C_{SB} = C_5 + 2/3 C_2$
$C_{DB} = C_6$

# 2.1.5. Modelo de pequeno sinal

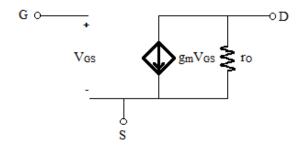
Caso as correntes e as tensões do transistor sejam perturbadas por pequenas variações, a representação do dispositivo pelo modelo de pequeno sinal é importante para que se possam realizar análises no circuito. Observemos que a relação não linear entre  $I_D$  e  $V_{DS}$  revela que o transistor não pode ser modelado por um simples resistor linear (RAZAVI, 2010). Novamente, para este trabalho, a região de operação de interesse é a região de saturação, assim o modelo de pequenos sinais estudado é dessa região. O modelo mais simples do transistor na região de saturação é uma fonte de corrente controlada por tensão como apresentado na Figura 10.

Figura 10 - Modelo de pequenos sinais simples



A figura revela que a corrente de dreno é controlada pela tensão de entrada assim  $I_D = g_m V_{GS}$ . A porta permanece aberta o que implica, neste modelo, uma corrente de entrada nula. Agregando um resistor, como mostrado na Figura 11, se representa a modulação de comprimento de canal, ou seja, a variação de  $I_D$  com respeito à  $V_{DS}$ .

Figura 11 - Modelo de pequenos sinais com resistor



onde  $r_o$  é a resistência de saída do transistor para análise de pequenos sinais. Essa resistência é definida como  $r_0 = \left(\frac{\partial I_D}{\partial V_{DS}}\right)^{-1}$  e usando a Eq.(2) (porque nela está presente o efeito de modulação de comprimento de canal) temos que:

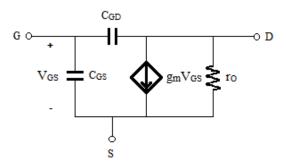
$$r_0 = \frac{1}{\frac{1}{2}\mu_0 C_{ox} \frac{W}{I} (V_{GS} - V_{TH})^2 \lambda}$$
 (9)

A literatura ilustra que  $r_0$  pode ser aproximado assim (LAKER e SANSEN, 1994):

$$r_0 \cong \frac{1}{\lambda I_D} \tag{10}$$

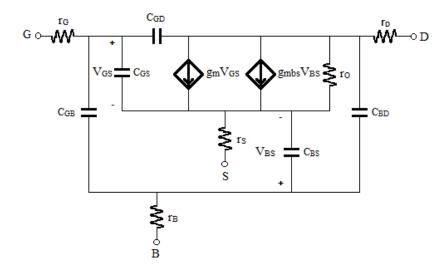
Um modelo um pouco mais complexo do modelo de pequenos sinais é ilustrado na Figura 12, onde se acrescentam as capacitâncias  $C_{GS}$  e  $C_{GD}$  que se formam entre a porta e as difusões de fonte e dreno, como já dito.

Figura 12 - Modelo pequenos sinais com capacitores



O modelo de pequenos sinais pode ser ainda mais complexo, que alias é utilizado por simuladores para obter resultados mais próximos dos resultados reais. Um modelo mais complexo teria, por exemplo, as capacitâncias  $C_{SB}$  e  $C_{DB}$ , teria outra fonte de corrente dependente controlada pela tensão  $V_{SB}$ , modelando o efeito de corpo. Na Figura 13 se ilustra um modelo mais detalhado do que aquele da Figura 12.

Figura 13 - Modelo de pequenos sinais Completo



Os resistores  $r_D$ ,  $r_S$  e  $r_B$  modelam os contatos ôhmicos dos terminais dreno, fonte e substrato respectivamente. O resistor  $r_G$ , modela além do contacto ôhmico da porta e também a resistência do material de porta. O substrato junto com as difusões de porta e dreno contribuem à formação das capacitâncias  $C_{SB}$  e  $C_{DB}$ .

Para as análises teóricas geralmente são utilizados os modelos das figuras Figura 11, em baixas frequências, e Figura 12, em altas frequências, pela simplicidade destes modelos. Neste caso os resultados obtidos servem como uma primeira aproximação do projeto, que, com ajuda de ferramentas de simulações, podem ser refinados posteriormente.

Por fim, é bom lembrar que os transistores em geral estão caracterizados pela frequência de ganho unitário (BEVILACQUA e NIKNEJAD, 2004) (TSIVIDIS, 2010) que indica para qual frequência o ganho de corrente, entre corrente de porta e corrente de dreno, é unitário. Esta frequência é aproximadamente dada por:

$$\omega_T \approx \frac{g_{m1}}{c_{GS1}} \tag{11}$$

# 2.2. Amplificadores de Baixo Ruído – LNA

Nesta seção são abordados brevemente os conceitos relacionados aos LNAs. O objetivo é apresentar uma discussão dos parâmetros de projeto e as topologias frequentemente usadas, com suas vantagens e desvantagens. Segue uma breve descrição de indutores passivos e indutores ativos e, após isso, se discute qual a topologia escolhida para realizar o projeto deste trabalho. Finalmente são ilustradas as dificuldades no projeto de LNAs e se fornece uma previa de uma possível solução, ou seja, de como contornar as dificuldades.

### 2.2.1. Parâmetros de projeto

Como já foi dito no projeto de amplificador de baixo ruído o problema é obter um bom compromisso entre os parâmetros de projeto. Em seguida serão definidos esses parâmetros.

#### 2.2.1.1. Fator de ruído/Figura de ruído

O fator de ruído é a medida da degradação na relação sinal ruído - SNR ( $Signal\ to\ Noise\ Ratio$ ) - que um bloco do circuito introduz (GONZALEZ, 1997). O SNR é definido como a relação entre a potência do sinal e a potência de ruído. Assim, um bloco tem na sua entrada uma relação sinal ruído  $SNR_{in}$  e na sua saída outra relação sinal ruído  $SNR_{out}$ , define-se fator de ruído F como:

$$F = \frac{SNR_{in}}{SNR_{out}} \tag{12}$$

O ideal seria que o  $SNR_{in}$  fosse igual ao  $SNR_{out}$ , mas na realidade circuitos com componentes ativos, e.g. transistores, sempre acrescentarão ruído.

A figura de ruído, *NF* (*Noise figure*), é a transformação à escala logarítmica do fator de ruído (Eq. 12), ou seja:

$$NF = 10\log_{10}(F) \tag{13}$$

Neste trabalho será empregado o conceito de figura de ruído, ou seja, os resultados das simulações elétricas para as medições de ruído são transformadas na escala logarítmica.

Antes de seguir com a descrição dos outros parâmetros será exposta uma definição de ruído e os tipos de ruído presentes nos dispositivos ativos e passivos de nosso interesse.

#### 2.2.1.2. Ruído

Na literatura pode-se observar que com frequência a figura de mérito no projeto de LNA é o ruído que ele introduz (ALLSTOT, LI e SHEKHAR, 2004). O ruído pode ser definido como qualquer sinal de interferência aleatória e que não tem relação com o sinal de interesse. Essas interferências em resistores e transistores MOS, na forma de correntes ou tensões, são de três tipos diferentes: ruído térmico, ruído *flicker* e ruído *shot* (GREGORIAN e TEMES, 1986). Este último não será considerado, pois não aparece nos dispositivos empregados aqui.

• Ruído térmico: É aquele gerado, como sinais aleatórios, devido ao movimento térmico aleatório dos portadores. Por ser um processo aleatório não é possível

identificar um valor específico de tensão (ou da corrente) em um instante particular, portanto é caracterizado com medidas estatísticas como o valor quadrático médio (LEE, 1998). Para um resistor o ruído térmico pode ser expresso em termos de tensão como:

$$\overline{v_n^2} = 4kTR\Delta f \tag{14}$$

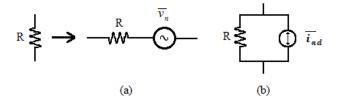
onde  $\overline{v_n^2}$  é o valor quadrático médio da tensão de ruído, R o valor da resistência, k a constante de Boltzmann (1,38x10<sup>-23</sup>J/K), T a temperatura absoluta em Kelvins e  $\Delta f$  é a largura de banda do ruído. Em termos de corrente o ruído térmico no resistor é dado por:

$$\overline{i_{nT}^2} = 4kTG\Delta f \tag{15}$$

onde  $\overline{i_n^2}$  é o valor quadrático médio da corrente de ruído e G=1/R.

Para a análise de ruído, um resistor pode ser modelado com um resistor ideal mais uma fonte de ruído em tensão ou em corrente como mostra a Figura 14.

Figura 14 - Modelo do ruído térmico para um resistor: (a) tensão (b) corrente



Nos transistores MOS o ruído térmico também está presente. A corrente no dreno contribui com o chamado ruído da corrente de dreno. Considerações teóricas fornecem a seguinte expressão (LEE, 1998):

$$\overline{i_{nd}^2} = 4kTg_{d0}\gamma\Delta f$$

onde  $\overline{i_{nd}^2}$  é o valor quadrático médio da corrente de ruído,  $g_{d0}$  é a condutância quando  $V_{DS}=0$ ,  $\gamma$  é o coeficiente de ruído no dreno (tem um valor de um quando  $V_{DS}=0$  e decresce até 2/3 na saturação). Observe que em baixas frequências é possível desprezar esse ruído, mas em altas frequências ele se torna considerável.

Adicionalmente, a agitação térmica no canal gera o chamado ruído de porta. Este ruído também é desprezível em baixas frequências, mas não em altas frequências. Este tipo de ruído pode ser expresso como (VAN DER ZIEL, 1986):

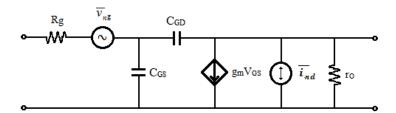
$$\overline{i_{ng}^2} = 4kTg_g\delta\Delta f \tag{16}$$

onde  $\delta$  é o coeficiente de ruído da porta,  $g_g$  é a condutância formada entre porta e fonte e se expressa como:

$$g_g = \frac{\omega^2 C_{GS}^2}{5g_{d0}} \tag{17}$$

Na Figura 15 é ilustrado o modelo do transistor MOS com fontes de ruído para uso em análises de ruído.

Figura 15 - Modelo de ruído do transistor MOS



• Ruído Flicker: também é conhecido como ruído 1/f devido ao fato de que sua densidade espectral de potência é inversamente proporcional á frequência. Este ruído tem sido estudado fortemente, porém não é claro qual o origem dele (LEE, 1998). Nenhum mecanismo universal foi provado como causa do ruído flicker (GREGORIAN e TEMES, 1986). Uma das teorias atribui a origem às flutuações aleatórias do número de portadores no canal do transistor (TSIVIDIS, 2010). Apesar de não ser conhecida a sua origem, é possível modela-lo como uma fonte de tensão em série com a porta com tensão quadrática média representada por (RAZAVI, 2001):

$$\overline{v_n^2} = \frac{K}{fWLC_{ox}} \tag{18}$$

onde  $\overline{v_n^2}$  é a tensão quadrática média do ruído *flicker*, K é uma constante que depende da temperatura e dos processos de fabricação (um valor típico é  $3x10^{-24}~V^2F$ ), e f é a frequência onde o ruído é avaliado.

Como o ruído *flicker* é inversamente proporcional à frequência, ele tem um valor elevado apenas em frequências baixas.

#### 2.2.1.3. Ganho

Inicialmente vamos diferenciar ganho de tensão de ganho de potência ( $S_{21}$ ). Em amplificadores de baixo ruído o ganho de tensão é utilizado quando na saída do LNA a carga é capacitiva, onde não é preciso realizar casamento da impedância de saída. Por outro lado quando na saída do LNA a carga é resistiva é necessário realizar casamento da impedância de saída e, nesse caso, o ganho de potência é mais interessante de ser aplicado (GOLIO, 2008). Neste segundo caso, quando o casamento é perfeito ou quase perfeito o ganho de potência coincide com o ganho de tensão.

O ganho é definido como a razão entre a amplitude do sinal da saída pela amplitude do sinal da entrada. Portanto o ganho de tensão  $(A_v)$  é:

$$A_{v} = \frac{v_o}{v_i} \tag{19}$$

Observe que o ganho é uma medida sem dimensão, porém se torna em decibéis (dB) quando a Eq.19 é expressa na escala logarítmica, assim:

$$A_{v_{dR}} = 20\log\left(|A_v|\right) \tag{20}$$

Para o ganho de potência é conveniente primeiro escrever a definição de potência:

$$P = VI = \frac{V^2}{R}$$

Agora e pela definição de ganho temos que o ganho de potência  $(A_p)$  é:

$$A_p = \frac{P_o}{P_i}$$

onde  $P_o$  e  $P_i$  correspondem às potência fornecida à saída e a potência recebida na entrada do amplificador respectivamente. Pela definição de ganho temos que o ganho de potência é:

$$A_p = \frac{V_o^2 / R_o}{V_i^2 / R_i}$$

$$A_p = \frac{V_o^2 R_i}{V_i^2 R_o} \tag{21}$$

Da Eq.21 temos que quando as resistências da entrada  $(R_i)$  e da saída  $(R_o)$  são iguais o ganho de potência é igual ao quadrado do ganho de tensão:

$$A_{\mathcal{V}} = A_{\mathcal{V}}^2 \tag{22}$$

Transformando em decibéis a Eq.22 temos:

$$A_{p_{dB}} = 10\log\left(A_{v}^{2}\right)$$

$$A_{p_{dB}} = 20\log\left(A_v\right)$$

ou seja:

$$A_{p_{dB}} = A_{v_{dB}}$$

É por isso que quando as impedâncias de entrada e da saída são iguais o ganho de tensão coincide com o ganho de potência.

#### 2.2.1.4. Coeficiente de reflexão

LNAs são projetados normalmente para ter uma impedância de entrada de  $50\,\Omega$  de forma a casar com a impedância de saída da antena, tipicamente de  $50\,\Omega$  (LEE, 1998). Por essa razão é preciso projetar uma rede que faça o casamento da impedância de entrada do LNA com a impedância da antena. Para algumas arquiteturas a impedância de saída do LNA também deve ser de  $50\,\Omega$ .

O coeficiente de reflexão é utilizado para determinar o grau de casamento de impedâncias. É definido como a razão entre o sinal refletido e o sinal incidente e pode se escrever assim (GONZALEZ, 1997):

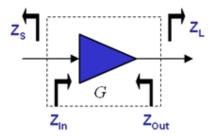
$$\Gamma = \frac{v^-}{v^+}$$

Na entrada de um LNA o coeficiente pode ser expresso, em termos das impedâncias associadas, por:

$$\Gamma_{in} = \frac{Z_s - Z_{in}}{Z_s + Z_{in}} \tag{23}$$

onde  $Z_{in}$  é a impedância de entrada do amplificador e  $Z_s$  é a impedância da fonte de sinal (antena). Na Figura 16 se apresentam as impedâncias ditas acima e associadas ao LNA.

Figura 16 - Impedâncias do LNA



Da Eq.23 se pode observar que quando se têm valores próximos de impedâncias  $Z_s$  e  $Z_{in}$ , o coeficiente de reflexão é baixo (o ideal é  $\Gamma$ =0). De forma similar se calcula o coeficiente de reflexão na saída do amplificador, dado por:

$$\Gamma_{out} = \frac{Z_L - Z_{out}}{Z_L + Z_{out}} \tag{24}$$

onde  $Z_L$  é a impedância da carga, que no caso da figura 2 é a impedância de entrada do circuito demodulador, e  $Z_{out}$  é a impedância de saída do amplificador.

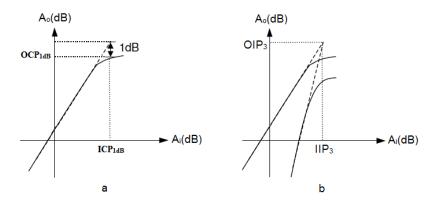
#### 2.2.1.5. Linearidade

Um LNA deve fazer mais que amplificar sem acrescentar ruído. Ele deve manter um comportamento linear tanto na presença de sinais fracos como de sinais fortes (LEE, 1998). Um LNA de ganho de tensão  $A_{\nu}$  tem um comportamento linear quando para um sinal de entrada com tensão  $v_i$  o sinal de saída  $v_0$  é igual a  $A_{\nu}*v_i$ , qualquer que seja a amplitude de  $v_i$ . Claro que isso não ocorre para amplificadores reais.

As medidas de linearidade mais utilizadas são o ponto de compressão de 1 dB (compression point 1dB - CP 1dB) e o ponto de interseção de terceira ordem (IP3) (Figura

17). O ponto de compressão de 1 dB referido na entrada,  $ICP_{1dB}$  ( $OCP_{1dB}$  quando referido na saída), é definido como a amplitude do sinal de entrada que faz com que o ganho tenha uma queda de 1 dB (TREVISAN, 2008) (Figura 17(a)). Com o ponto de compressão de 1 dB se calcula a faixa dinâmica (FD) do circuito. A FD é a diferença entre o a máxima amplitude do sinal de entrada ( $ICP_{1dB}$ ) e a mínima amplitude do sinal de entrada que pode ser detectada.

Figura 17 - Amplitude de saída, Ao, versus amplitude de entrada, Ai; a. ponto de compressão de 1dB; b. ponto de interseção de 3a ordem



O ponto *IP3* (Figura 17(b)) é um parâmetro para medir a influência das componentes de intermodulação de terceira ordem. Essas componentes de terceira ordem, geradas por tons com frequências próximas, podem alterar o sinal original. O *IIP3* (*IP3* referido a entrada) é a amplitude do sinal na entrada  $v_i = A[cos(\omega_1 t) + cos(\omega_2 t)]$ , onde  $\omega_1 \approx \omega_2$ , para o qual os sinais de saída na frequência  $\omega_1$  ou  $\omega_2$  e as componentes de intermodulação de terceira ordem, nas frequências  $(2\omega_1 - \omega_2)$  ou  $(2\omega_2 - \omega_1)$  tem amplitudes iguais. Caso aproximemos o comportamento do ganho do LNA por (CAMPOS RIBEIRO, 2004):

$$v_0 = a_0 + a_1 v_i + a_2 v_i^2 + a_3 v_i^3 + \dots$$

onde  $v_o$  é o sinal de saída e  $a_0$ ,  $a_1$ , ... são constantes, pode-se mostrar que (RAZAVI, 1998):

$$IIP_3 = \sqrt{\frac{4|a_1|}{3|a_3|}} \tag{25}$$

Os parâmetros  $CP_{IdB}$  e  $IP_3$  podem ser referenciados à entrada, como descrito acima, ou na saída como mostrado na Figura 17.

Pode-se mostrar que os parâmetros  $ICP_{1dB}$  e  $IIP_3$  estão relacionados por (RAZAVI, 1998):

$$20\log(\frac{IIP_3}{ICP_{1dB}}) \approx 9,6dB$$

#### 2.2.1.6. Fator de Estabilidade

Um LNA projetado pode oscilar inesperadamente em baixas ou em altas frequências para alguma combinação de impedâncias de fonte e carga. Para determinar a estabilidade do amplificador é preciso medir os seus parâmetros  $S(S_{11}, S_{12}, S_{21}, S_{22}, scattering parameters)$ . O parâmetro  $S_{21}$  é chamado na literatura de ganho direto (HALIM, AZIZ, *et al.*, 2008) (SHAEFFER e LEE, 1997) (DEBONO, MALOBERTI e MICALLEF, 2001). Outros autores, por exemplo (BEVILACQUA e NIKNEJAD, 2004) (HUANG, HUANG, *et al.*, 2008), chamam o parâmetro  $S_{21}$  de ganho de potência e geralmente aqueles utilizam essa nomenclatura quando a saída do amplificado está casada com a entrada do seguinte estágio. O parâmetro  $S_{12}$ , por sua vez, é o coeficiente de ganho inverso. Em amplificadores de baixo ruído este parâmetro mede o grau de isolamento entre a saída e a entrada.

O coeficiente de estabilidade pode ser calculado através da seguinte expressão (GONZALEZ, 1997) (POZAR, 2005):

$$K = \frac{1+|\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|}$$
 (26)

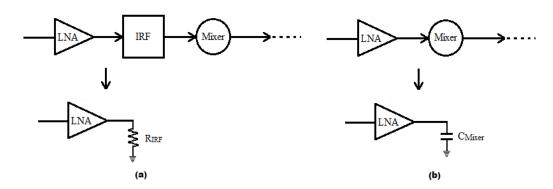
onde  $\Delta = S_{11}S_{22} - S_{12}S_{21}$ .

Se os coeficientes K e  $\Delta$  obedecerem as relações K>1 e  $|\Delta|<1$ , o LNA é incondicionalmente estável para qualquer combinação de impedâncias de fonte e carga. Da Eq.26 observa-se que a estabilidade melhora se o parâmetro  $S_{12}$  diminui, ou seja, são desejáveis valores baixos para o coeficiente de ganho inverso.

### 2.2.2. Arquiteturas de LNAs

Como já dito o LNA é primeiro circuito do bloco receptor quando não é precedido de um filtro. O circuito subseguinte ao LNA pode ser outro filtro (IRF *Image Reject Filter*) ou o mixer como ilustra a Figura 18. É necessário que o projetista conheça o tipo de circuito subseguinte ao LNA para assim realizar os cálculos e simulações. Ele deve considerar uma carga resistiva quando um filtro segue ao LNA, ou considerar uma carga capacitiva quando é um mixer o estágio seguinte. Na literatura estas possibilidades são nomeadas de arquiteturas heteródine (heterodyne) (Figura 18(a)) e arquiteturas homódine (homodyne) (Figura 18(b)) (RAZAVI, 1998).

Figura 18 - Arquiteturas (a) Heteródine (carga resistiva) (b) Homódine (carga capacitiva)



O receptor homódine converte o sinal que chega à antena para a frequência de interesse diretamente, sem passar por filtros de frequências intermediárias. Por outro lado, o receptor heteródine converte o sinal que chega à antena a frequências de interesse através de um ou mais estágios de filtros de frequências intermediárias. Esse filtro ou filtros a mais, no receptor heteródine, ocasionam um maior consumo de potência que em receptores homódine. Outra desvantagem do receptor heteródine é a necessidade de um alto fator de qualidade (Q) para esses filtros, o que os faz difíceis de serem integrados junto ao circuito. Em compensação, o receptor heteródine tem maior largura de faixa de frequência e boa seletividade de canal de rádio. O receptor homódine possui baixo consumo de potência e maior possibilidade de integração, reduzindo o tamanho do receptor, devido a que não necessita de filtros de frequências intermediárias. Por outro lado, a conversão direta ocasiona o surgimento de alguns problemas que não existem nos receptores heteródine, por exemplo, o *offsets* de DC, distorção de ordem par, ruído *flicker*, etc. (RAZAVI, 1998).

Em geral um LNA consiste de três estágios: a rede de casamento da entrada (*Input Matching Network*), o amplificador propriamente dito e a rede de casamento da saída (*Output Matching Network*) (HALIM, AZIZ, *et al.*, 2008). Para projetar o estágio amplificador

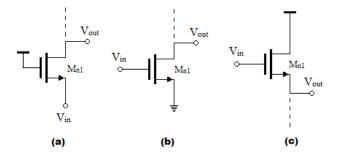
propriamente dito se utilizam duas configurações ou alguma combinação delas: Porta Comum e Fonte Comum. Há outra configuração, Dreno comum, geralmente usada com intuito de fornecer o casamento da impedância da saída ou como estágio de saída para medições. Estas configurações podem ser usadas na forma de terminação simples ou na forma diferencial, segundo as exigências de projeto (VAROTTO, 2004).

Cada uma delas apresenta vantagens e desvantagens nos parâmetros de projeto, ou seja, melhores ou piores desempenhos nos parâmetros podem ser obtidos de acordo com a escolha da arquitetura. Em seguida se dá uma breve descrição de cada arquitetura (RAZAVI, 2010).

- Porta Comum (PC): Na topologia porta comum mostrada na Figura 19(a), o sinal de entrada é aplicado à fonte e a saída colhida no dreno do transistor. Esta topologia fornece ganho de tensão moderado, baixa impedância de entrada e moderada impedância de saída;
- Fonte Comum (FC): Na topologia fonte comum ilustrada na Figura 19b, o sinal de entrada é aplicado à porta e a saída colhida no dreno. Provê ganho de tensão moderado, alta impedância de entrada e moderada impedância de saída;
- Dreno comum (DC): Nesta topologia, também chamada Seguidor de Fonte, o sinal de entrada é aplicado na porta do transistor e a saída colhida na fonte como se pode observar na Figura 19c. O seguidor de Fonte provê ganho de tensão menor que a unidade, alta impedância de entrada e baixa impedância de saída.

Para que o LNA atinja suas especificações se utilizam duas das configurações acima, a PC ou a FC, normalmente sós, mas podem também vir combinadas. A configuração Seguidor de Fonte geralmente é usada com intuito de fornecer o casamento da impedância da saída.

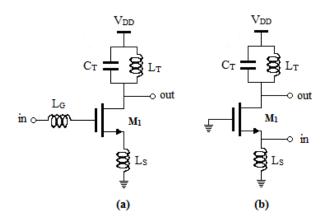
Figura 19 - Topologias: (a) Porta Comum (PC), (b) Fonte Comum (FC), (c) Dreno comum (DC).



As arquiteturas mais utilizadas no projeto de amplificador de baixo ruído são aquelas com degeneração na fonte, onde um resistor ou indutor é ligado em serie à fonte, servindo para melhorar a linearidade, aumentar a impedância da saída (RAZAVI, 2010) e casar a impedância de entrada. Assim por exemplo temos:

- Configuração FC com degeneração indutiva (DI) na fonte: Nesta configuração, desenhada na Figura 20(a), se utiliza um amplificador FC. Os indutores aplicados na fonte e na porta servem para cancelar a capacitância de entrada e ajustar a impedância. Comparada com a seguinte configuração, esta apresenta maior dificuldade para fazer o casamento da impedância de entrada, mas em compensação apresenta uma melhor figura de ruído.
- Configuração PC com degeneração indutiva (DI) na fonte: Nesta configuração, ilustrada na Figura 20(b), se utiliza um amplificador PC. O indutor aplicado na fonte serve para cancelar a capacitância de entrada a fim de obter uma impedância resistiva. O principal problema com esta configuração PC é a mínima figura de ruído (NF), tipicamente maior que 3,0 dB, mas ela oferece, como compensação, uma maior facilidade para a realização do casamento da impedância de entrada (KAUKOVUORI, KALTIOKALLIO e RYYNÄNEN, 2007).

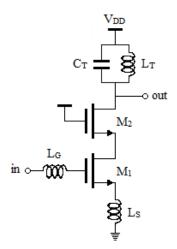
Figura 20 - (a) Configuração FC com DI, (b) PC com DI



• FC Cascode com degeneração indutiva na fonte (FCCDI) (Figura 21): Esta arquitetura utiliza um amplificador fonte comum com transistor cascode em série. A configuração em cascode com degeneração indutiva na fonte se caracteriza por

garantir que o amplificador apresente ganho consideravelmente alto. O transistor  $M_2$  é utilizado como *cascode* ainda para melhorar o isolamento entre entrada e saída, ou seja, isola a entrada das variações de tensões da saída (BEVILACQUA e NIKNEJAD, 2004) (SHAEFFER e LEE, 1997). Com isto se garante também maior estabilidade no amplificador.

Figura 21 - Configuração Fonte Comum Cascode com degeneração indutiva (FCCDI)



As indutâncias  $L_G$  e  $L_S$  são utilizadas para fazer o casamento da impedância da entrada.

Nas três arquiteturas a capacitância  $C_T$  e indutância  $L_T$  servem para sintonizar o estágio na frequência de operação e dar ganho.

Observemos que a degeneração indutiva na fonte é o método mais usado em amplificadores CMOS de RF porque oferece a possibilidade de alcançar o melhor desempenho de ruído.

Com auxílio da Tabela 5 vemos de forma resumida as características (vantagens e desvantagens) das configurações para LNA com degeneração indutiva.

Tabela 5 - Resumo das configurações com DI

Configuração	Vantagens	Desvantagens	
PC com Degeneração Indutiva (PCDI)	Simples casamento da impedância de entrada	Figura de ruído elevada	
FC com Degeneração Indutiva (FCDI)	bom ganho e boa figura de ruído	Casamento da impedância da entrada.	
FC Cascode com degeneração Indutiva (FCCDI)	Maior ganho, melhor isolamento da entrada à saída, portanto maior estabilidade, e aceitável figura de ruído.	Casamento da impedância da entrada.	

Na Tabela 5 pode-se observar que a configuração FCCDI oferece além do melhor ganho o melhor isolamento, o que garante valores baixos para o coeficiente de ganho inverso e um melhor comportamento no quesito da estabilidade como será visto mais na frente, porém degrada a figura de ruído por causa do transistor cascode.

É pelas características ditas da configuração FCCDI (Figura 21) que neste trabalho se fez a escolha por ela para realizar os projetos.

Observe que no circuito de LNA, Figura 21, indutores são aplicados tanto na rede de entrada como no amplificador propriamente dito. Por isto segue uma resenha deste dispositivo.

#### 2.2.3. Indutores

A função dos indutores nos LNAs é cancelar capacitâncias, sintonizar o LNA para certa frequência de operação, além de servir de carga para dar ganho. Esses indutores podem ser fabricados no mesmo substrato junto com todos dispositivos do LNA. Quando fabricados em espiral com as camadas de metal disponíveis, são chamados de indutores passivos; quando o equivalente comportamento indutivo é obtido através de transistores, são chamados de indutores ativos.

#### 2.2.3.1. Indutores Passivos

Na Figura 22 (REBELLO GUERREIRO, 2011) é ilustrado um indutor passivo, construído com a camada de metal quatro com a saída feita em metal três. Também são indicadas as dimensões relevantes para sua construção.

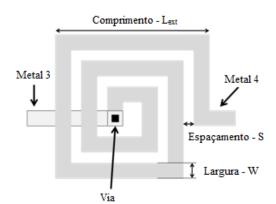


Figura 22 - Indutor passivo: parâmetros de construção

Os indutores passivos se caracterizam geralmente por ter baixo fator de qualidade e ocupar grande espaço na pastilha de silício. Em compensação consomem relativa baixa potência e introduzem pouco ruído ao circuito. O projetista precisa, na hora de projetar um circuito que utiliza indutores, calcular o valor da indutância e ter um modelo para fazer as análises elétricas. O valor da indutância, para um indutor em espiral, pode ser calculado aproximadamente pela seguinte relação empírica com menos de 10% de erro (RAZAVI, 2010):

$$L \approx 1.3e^{-7} \frac{A_m^{\frac{5}{3}}}{A_{tot}^{\frac{1}{6}}(W+s)^{0.25}}$$
 (27)

onde  $A_m$  é a área de metal (a região cinza na Figura 23),  $A_{tot}$  é a área total ( $\approx (L_{ext})^2$ ), W e S são a largura e o espaçamento como mostrado na Figura 23.

Além do valor da indutância é preciso modelar em altas frequências efeitos importantes dos indutores passivos, por exemplo, as capacitâncias parasitas, efeitos de correntes eddy, efeito pelicular e perdas por acoplamento eletromagnético. Para modelar os indutores passivos neste trabalho utilizou-se a ferramenta ASITIC (*Analysis and Simulation of Inductors and* 

*Transformers in Integrated Circuits*) (ASITIC) (NIKNEJAD, 2002). Essa ferramenta ajuda no projeto de indutores além de capacitores e transformadores.

Para o funcionamento da ferramenta ASITIC é necessário fornecer a geometria do indutor (quadrado, circular, hexagonal), dimensões (comprimento externo  $L_{ext}$ , largura da trilha W, e espaçamento entre trilhas S e número de voltas n como mostrado na Figura 22) e o arquivo com a descrição da tecnologia (resistividades e espessuras das camadas de substrato e metais, constantes dielétricas e espessuras das camadas de isolante). O arquivo da tecnologia utilizado neste trabalho é apresentado no anexo B.

Na Figura 23 é apresentado um indutor passivo com o modelo PI equivalente e na Tabela 6 estão contidas as descrições dos componentes do modelo.

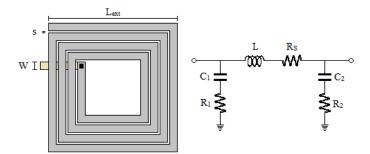


Figura 23 - Parâmetros do indutor e seu modelo PI

Tabela 6 - Descrição dos componentes do modelo PI

Componente	Descrição
L	Corresponde ao valor da indutância
$R_{\rm s}$	Resistência série dos segmentos
C <sub>1</sub> e C <sub>2</sub>	Capacitância entre o indutor e o substrato
R <sub>1</sub> e R <sub>2</sub>	Resistência do substrato

Um exemplo de indutor gerado com a ferramenta é apresentado na Figura 24, na Tabela 7 estão contidos os valores das dimensões e na Tabela 8 estão os valores fornecidos pela ferramenta ASITIC para os componentes elétricos do modelo PI (para uma frequência de operação de 1,8 GHz).

Figura 24 - Modelo de indutor passivo gerado com ASITIC

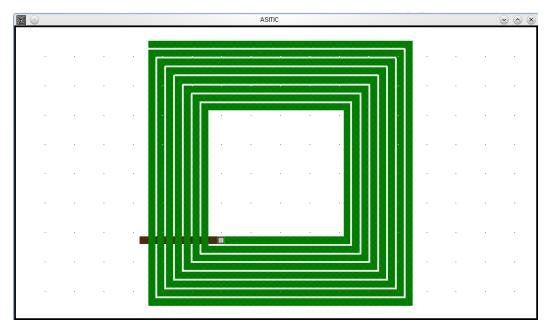


Tabela 7 - Dimensões do indutor da Figura 24

Dimensão	Valor		
L <sub>ext</sub> [µm]	180		
W [µm]	5		
s [µm]	1		
n [voltas]	7,75		

Tabela 8 - Valores obtidos com ASITIC

Componente	Valor
L [nH]	12,4
$\mathbf{R}_{\mathrm{s}}\left[\Omega\right]$	32,5
C <sub>1</sub> e C <sub>2</sub> [fF]	65,7 e 62,4
$R_1 e R_2 [K\Omega]$	1,39 e 1,69

O valor da indutância obtido segundo a Eq.27 foi de 16,1 nH. Observe que o erro entre o valor teórico e o valor prático é de 23%, maior ao 10% dito na literatura. Essa diferença pode ser causada porque a Eq.27 só considera as dimensões e não propriedades físicas da tecnologia de construção. Com tudo como uma primeira aproximação pode ser aceita.

### 2.2.3.2. Indutores ativos

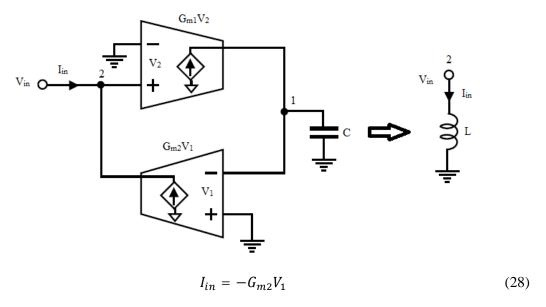
As dimensões físicas dos circuitos integrados para aplicações móveis são sempre uma preocupação. Duas desvantagens dos indutores passivos são suas dimensões, grandes mesmo para pequenas indutâncias, e o baixo fator de qualidade (PASCHT, FISCHER e BERROTH, 2001) (YANG, LEE, *et al.*, 2007). Uma alternativa para contornar estas desvantagens é o uso de indutores ativos. Um indutor ativo (IA) é um circuito construído com transistores (por isto é chamado de ativo) que apresenta um comportamento indutivo numa faixa específica de frequências. Ele requer transistores e capacitores para emular o comportamento indutivo e seu projeto está baseado no bloco *gyrator* (PASCHT, FISCHER e BERROTH, 2001).

Os indutores ativos, comparados com os passivos, apresentam algumas desvantagens como introdução de maior ruído, maior consumo de potência, faixa dinâmica limitada (comportamento não linear) e menor estabilidade (YUAN, 2008). Em compensação (em comparação com indutores passivos) utilizar indutores ativos, no projeto de circuitos de RF fornece:

- Menor área utilizada na pastilha;
- Maior indutância e fator de qualidade Q;
- O ajuste da indutância e do fator de qualidade Q;
- O ajuste da frequência de ressonância.

Como já dito, um indutor ativo baseia sua operação no bloco *gyrator*. Este é formado pela conexão de transcondutores (dispositivo conversor de tensão a corrente). Quando uma porta do *gyrator* é conectada a um capacitor, observar a Figura 25, o circuito é chamado *gyrator*-C (YUAN, 2008). Para um *gyrator* ideal, as impedâncias de entrada e saída dos transcondutores são de valor infinito e os valores das transcondutâncias dos transcondutores são constantes (YUAN, 2008). Assim da Figura 25 podem-se obter as seguintes expressões:

Figura 25 - Indutor Ativo e sua Indutância equivalente



onde  $G_{m2}$  é a transcondutância do *gyrator* 2 (localizado na parte inferior) e  $V_1$  é a tensão no nó um. Assim, temos que tensão no nó 1 é:

$$V_1 = -\frac{G_{m1}V_2}{sC} {29}$$

onde  $Gm_1$  é a transcondutância do *gyrator 1*. Observe que a tensão no nó 2,  $V_2$ , é igual à tensão de entrada,  $V_{in}$ , assim e substituindo a Eq.29 na Eq.28 obtemos:

$$I_{in} = \frac{G_{m1}G_{m2}V_{in}}{sC}$$

$$Y = \frac{I_{in}}{V_{in}} = \frac{G_{m1}G_{m2}}{sC}$$
(30)

A Eq.30 corresponde à admitância do IA, portanto a impedância é:

$$Z = \frac{V_2}{I_{in}} = S \frac{C}{G_{m1}G_{m2}} \tag{31}$$

Da Eq.31 pode-se observar que o *gyrator-C* se comporta como um indutor (*sL*) com valor de indutância igual a:

$$L = \frac{C}{G_{m1}G_{m2}}$$

Um indutor ativo precisa, para ser implementado, de uma transcondutância positiva e outra negativa para que possa apresentar o atraso de fase necessário para emular a impedância indutiva. Estas transcondutâncias podem ser fornecidas pelas mesmas configurações apresentadas na Figura 19: a configuração fonte comum (FC) apresenta transcondutância

negativa enquanto as configurações dreno comum (DC) e porta comum (PC) apresentam transcondutância positiva. Diferentes configurações de indutores ativos podem ser realizadas utilizando os estágios FC, DC e PC, tanto com transistores NMOS como PMOS. Na Figura 26 (REBELLO GUERREIRO, 2011) é apresentado um indutor ativo simples com transistores NMOS.

 $V_{DD}$   $M_1$   $M_2$   $I_2$ 

Figura 26 - Indutor Ativo Simples

Neste trabalho utilizamos os indutores passivos porque desejamos aproveitar suas qualidades para obter baixo consumo de potência e baixa figura de ruído.

A seguir é feita a análise da topologia de circuito escolhida.

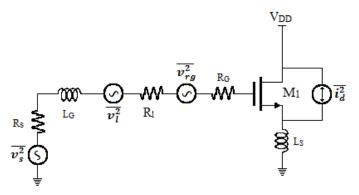
### 2.2.4. Considerações de projeto da topologia FCCDI

O circuito da Figura 21 foi o escolhido para desenvolver este trabalho, portanto vale detalha-lo. Nesta seção são apresentadas as expressões para o fator de ruído, o ganho de tensão e para as impedâncias da entrada e da saída. As análises para encontrar aquelas expressões são desenvolvidas nos apêndices.

### 2.2.4.1. Fator de ruído

A Figura 27 apresenta o modelo equivalente do circuito da Figura 21 para a análise de ruído. Podem-se observar as diversas fontes de ruído do transistor de entrada do circuito,  $M_l$ , e dos componentes passivos. Nesta figura temos que  $R_l$  corresponde a resistência série do indutor  $L_G$  e  $R_G$ , a resistência do contato da porta;  $\overline{\iota}_d^2$  representa o ruído térmico do canal mais o ruído flicker (em alta frequência esse último pode ser desprezado) e  $\overline{v_l^2}$  e  $\overline{v_{rg}^2}$ , as fontes de ruído térmico das resistências  $R_l$  e  $R_G$  (SHAEFFER e LEE, 1997).

Figura 27 - Modelo para análise de ruído



A configuração FCCDI pode ser vista como um amplificador de dois estágios. Se o ganho do primeiro estágio, transistor  $M_1$ , é suficientemente alto podemos desprezar a contribuição de ruído do segundo estágio, transistor  $M_2$ , como foi feito. A análise de ruído nesta configuração é apresentada no apêndice A. Por enquanto nos interessa conhecer o resultado final para o fator de ruído que é dado pela expressão (SHAEFFER e LEE, 1997):

$$F = 1 + \frac{R_l}{R_S} + \frac{R_G}{R_S} + \gamma g_{d0} R_S (\frac{\omega_0}{\omega_T})^2$$
 (32)

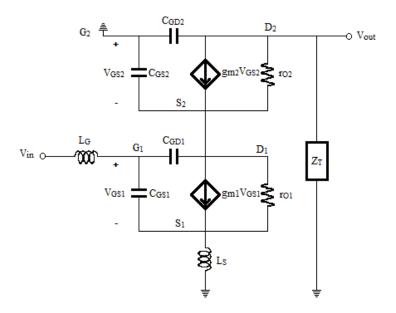
onde  $\omega_0$  é a frequência de resonância,  $g_{d0}$  é a condutância quando  $V_{DS}=0$ ,  $\gamma$  é o coeficiente de ruído no dreno (tem um valor de um quando  $V_{DS}=0$  e decresce até 2/3 na saturação).

#### 2.2.4.2. Ganho de tensão

Para determinar a equação do ganho de tensão para o LNA da Figura 21 foi utilizado o modelo de pequenos sinais como desenhado na Figura 28. Na figura,  $Z_T$  representa a rede  $L_TC_T$  tanque que determina a frequência de resonância de saída do LNA dada por:

$$\omega_0 = \frac{1}{\sqrt{L_T C_T}} \tag{33}$$

Figura 28 - Modelo de pequeno sinal da Figura 21 para calcular o ganho de tensão



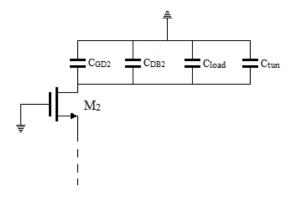
A frequência de ressonância da saída deve ser ajustada para ser igual a frequência de operação do LNA.

Para o circuito da Figura 21 vamos assumir uma carga capacitiva ( $C_{load}$ ). Essa carga capacitiva junto com outras capacitâncias (como mostrado na Figura 29) são representadas na Figura 21 pelo capacitor

$$C_T = C_{GD2} + C_{DB2} + C_{load} + C_{tun}$$
(34)

onde  $C_{tun}$  representa um capacitor de ajuste fino da frequência de resonância.

Figura 29 -  $C_T = C_{GD2} + C_{DB2} + C_{load} + C_{tun}$ 



Desprezando alguns elementos do modelo da Figura 21, como por exemplo  $L_s$ , que na pratica geralmente é muito pequeno (menor que um nH), se chega à expressão (ver no apêndice B o desenvolvimento matemático e a analise do circuito):

$$A_v \approx -\frac{Z_T g_{m1} g_{m2}}{(s^2 C_{GS1} L_G + 1)[Z_T g_{O2} (s C_{GS2} + g_{O1}) + s C_{GS2} + g_{m2}]}$$
(35)

onde  $Z_T$  pode-se escrever como:

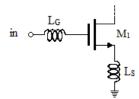
$$Z_T = \frac{sL_T}{1 + s^2 L_T C_T} \tag{36}$$

Para a arquitetura de nossa escolha o transistor *cascode*  $M_2$  além de contribuir com o ganho, melhora o isolamento entre a porta de saída e da entrada, garantindo baixos valores para o ganho inverso ( $S_{2I}$ ). LAVASANI (2003) propõe conectar um indutor de baixo valor na porta do transistor *cascode* ( $M_2$ ) para melhor a estabilidade. Os resultados deste trabalho permitem prescindir dessa solução.

# 2.2.4.3. Impedância de entrada

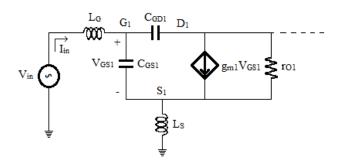
O intuito de realizar o casamento da impedância da fonte de sinal com a impedância de entrada do LNA é minimizar os sinais refletidos e garantir transferência máxima de potência. A rede de casamento da entrada da Figura 21 é bem mais fácil de ser observada com auxílio da Figura 30. Nelas se observa os indutores  $L_G$  e  $L_S$  conectados à porta e à fonte respectivamente.

Figura 30 - Circuito para o casamento da impedância de entrada



Para calcular a impedância vista na entrada do LNA é preciso aterrar a saída do circuito e substituir os transistores por os modelos de pequenos sinais. A Figura 31 ilustra como foi feito. Observe que se utilizou o modelo de pequenos sinais da Figura 12 onde se consideram as capacitâncias  $C_{GS}$  e  $C_{GD}$ . Esse circuito é equivalente ao modelo de pequenos sinais do circuito da Figura 30.

Figura 31 - Modelo de pequenos sinais simplificado da Figura 30



Agora, com auxílio da Figura 31, procedemos com o calculo da impedância de entrada que é dada por:

$$Z_{in} = \frac{V_{in}}{I_{in}}$$

Considerando que  $C_{GD} \ll C_{GS}$ , que  $r_{OI}$  é muito grande e, que o ganho entre nós  $G_I$  e  $S_I$  é baixo, teremos que:

$$V_{in} \cong I_{in} \left( sL_G + \frac{1}{sC_{GS1}} \right) + sL_S (I_{in} + g_{m1}V_{GS1})$$

A tensão  $V_{GSI}$  é a queda de tensão entre a porta e a fonte do transistor  $M_I$ , ou seja:

$$V_{GS1} = \frac{I_{in}}{sC_{GS1}}$$

Substituindo e agrupando temos:

$$V_{in} \cong I_{in}(sL_G + \frac{1}{sC_{GS1}} + sL_S + \frac{g_{m1}}{C_{GS1}}L_S)$$

E assim temos que a impedância de entrada é aproximadamente:

$$Z_{in} \cong s(L_G + L_S) + \frac{1}{sC_{GS1}} + \frac{g_{m1}}{C_{GS1}} L_S$$
ou  $Z_{in} \cong j\omega(L_G + L_S) - j\omega\frac{1}{C_{GS1}} + \frac{g_{m1}}{C_{GS1}} L_S$ 

$$(37)$$

onde  $\omega$  é a frequência angular do sinal.

Os valores de  $L_G$  e  $L_S$  devem ser ajustados para que a impedância de entrada seja puramente resistiva na frequência operação do LNA. Isso ocorrerá quando a frequência de ressonância da rede de entrada  $\omega_0$ , dado por

$$\omega_0 = \frac{1}{\sqrt{(L_G + L_S)C_{GS1}}} \tag{38}$$

for igual à frequência de operação. Na frequência de resonância a impedância na entrada será:

$$Z_{in} = \frac{g_{m1}}{c_{GS1}} L_S \tag{39}$$

Substituindo a Eq.11 na Eq. 39 temos que a impedância de entrada na resonância pode se escrever em função da frequência de ganho unitário do transistor ( $\omega_T$ ), assim:

$$Z_{in} = \omega_T L_S \tag{40}$$

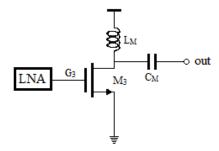
Determinadas as dimensões de  $M_I$  e seu estado de polarização estarão fixos os valores da capacitância  $C_{GSI}$  (ver Tabela 3) e da transcondutância  $g_{mI}$  (Eq.5 ou Eq.6). O valor da impedância de entrada será então determinado pelo valor do indutor  $L_S$  (Eq.39). O valor do indutor  $L_G$  poderá ser encontrado pela Eq.38.

# 2.2.4.4. Impedância de saída

Neste projeto para realizar o casamento da impedância de saída, quando exigido, se utilizou um estágio FC na saída do circuito da Figura 21. O custo deste casamento será a deterioração da figura de ruído, mas em compensação o estágio garante, por causa do casamento na porta de saída, a máxima transferência de potência ao estágio seguinte do LNA

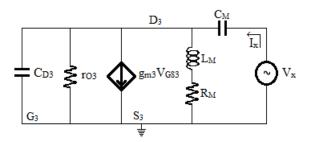
(um filtro rejeita imagem, por exemplo (RAZAVI, 1998)). Outras redes de casamento, com indutores e capacitores, são propostas na literatura (LEE, 1998) (redes PI, redes T, etc). A Figura 32 ilustra o estágio para fornecer o casamento na rede de saída.

Figura 32 - Estágio FC para rede da saída



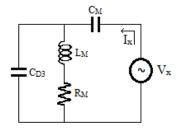
A impedância da saída será determinada a partir do circuito de pequenos sinais. Para obtê-lo, primeiro é preciso substituir o transistor  $M_3$  pelo seu modelo de pequeno sinal, depois se aterra a entrada (nó  $G_3$ ) e, por fim aplica-se uma fonte de tensão na saída (no nó out). Desta forma obtém se o circuito da Figura 33. Nesta figura  $R_M$  é o valor da resistência série do modelo do indutor  $L_M$  e seu valor depende das dimensões do indutor.

Figura 33 - Modelo de pequenos sinais para calcular a impedância de saída



A capacitância  $C_{D3}$  corresponde ao paralelo das capacitâncias  $C_{GD3}$  e  $C_{DB3}$  do transistor e das capacitâncias parasitas do indutor. Observe que  $V_{GS3}=0$  e, portanto, o gerador vinculado de corrente não contribuiu com corrente. Vamos desconsiderar  $r_{O3}$  pois tem valores elevados. Assim, o circuito se reduz a aquele apontado na Figura 34.

Figura 34 - Circuito final para calcular a impedância de saída



Da Figura 34 e pela definição de impedância de saída temos que:

$$Z_{out} \approx \frac{R_M + sL_M}{sC_{D3}(R_M + sL_M) + 1} + \frac{1}{sC_M}$$
(41)

Com alguma manipulação podemos reescrever a equação para

$$Z_{out} \approx \frac{1}{s} \frac{s^2 (C_{D3} + C_M) L_M + s (C_{D3} + C_M) R_M + 1}{s^2 C_{D3} C_M L_M + s C_{D3} C_M R_M + C_M}$$

Considerando que  $Z_{out}$  seja bem maior do que um e que  $R_m$  seja pequeno, na frequência de ressonância do estágio

$$\omega_0 = \frac{1}{\sqrt{L_M c_{D3}}} \tag{42}$$

teremos

$$Z_{out} \approx \frac{(C_{D3} + C_M)L_M}{C_{D3}C_MR_M}$$

Ajustando  $\omega_0$  para que seja igual a frequência de operação do LNA, podemos ajustar os outros parâmetros de forma a obter qualquer impedância desejada.

Antes de encerrar seção, onde calculamos algumas expressões para a topologia de LNA que utilizaremos, é importante observar que foram feitas diversas simplificações durante as derivações. Como consequência, as expressões mostradas são aproximadas e servem muito mais para direcionar um projeto do que para serem aplicadas no cálculo das dimensões dos dispositivos.

# 2.3. Complexidade do projeto de um LNA

Projetar um amplificador de baixo ruído aparenta ser uma tarefa simples pelo reduzido número de componentes que o compõem, mas é complexa devido aos compromissos existentes entre as especificações dos parâmetros. Uma dificuldade adicional é a grande quantidade de varáveis envolvida no projeto. Na Tabela 9 são apresentadas todas as variáveis do projeto de um LNA com arquitetura mostrada na Figura 21 e com estágio FC para rede de saída. Para o caso de um LNA com carga capacitiva requerem-se 18 variáveis. Este número é aumentado para 25 para um LNA com carga resistiva. No caso de serem usados um ou mais indutores ativos para substituir indutores passivos, haverá um número ainda maior de variáveis.

A quantidade de variáveis que o projetista necessita dominar é considerável e também o número de equações, que são apenas aproximadas, além da interdependência entre parâmetros ou especificações de projeto. O problema é complexo, o que torna desejável a aplicação de uma metodologia que permita encontrar a melhor resposta ou alguma próxima a ela.

Tabela 9 - Dispositivos e variáveis de projeto

	Variáveis							
Dispositivo	W <sub>M</sub>	$\mathbf{L}_{\mathbf{M}}$	L <sub>ext</sub>	W	S	n	C	I
$M_1$	Х	Х						
$M_2$	Х	Х						
I <sub>REF</sub>								Х
$\mathbf{L}_{\mathbf{g}}$			Х	Х	Х	Х		
$L_{\rm s}$			Х	Х	Х	Х		
L <sub>t</sub>			Х	Х	Х	Х		
Ct							Х	
M <sub>3</sub>	Х	Х						
L <sub>m</sub>			Х	Х	Х	Х		
C <sub>m</sub>							Х	

Como já dito, outros autores propõem diferentes metodologias para superar os problemas de projeto. Neste trabalho propomos contorná-los usando um método que vem

sendo estudado e desenvolvido nos últimos anos para resolver problemas de otimização: a aplicação de algoritmos metaheurísticos.

Segue no próximo capítulo uma resenha dos algoritmos metaheurísticos usados nesta pesquisa para encarar o problema exposto.

## Capítulo 3 Algoritmos metaheurísticos

Os algoritmos metaheurísticos são também chamados de algoritmos de otimização de alto nível. A característica principal destes algoritmos está nas soluções satisfatórias e em tempo razoável que eles fornecem para problemas de otimização com alto nível de complexidade.

Os problemas de otimização podem ser classificados segundo a complexidade em tipo P (Polinomial, problemas que podem ser resolvidos por algoritmos determinísticos) e tipo NP (Não polinomial, problemas que podem ser resolvidos por algoritmos não determinísticos). Esses tipos de problemas (P e NP) podem ser resolvidos por métodos exatos ou por métodos aproximados. Então, caracterizada a complexidade do problema podemos orientar à sua solução por um ou outro método. Problemas do tipo P geralmente são resolvidos por métodos exatos e os problemas de tipo NP são mais bem tratados com métodos aproximados. Para conhecer mais dos métodos exatos pode se consultar (TALBI, 2009).

Os algoritmos aproximados classificam-se em duas classes: algoritmos de aproximação e algoritmos heurísticos. Dentre os algoritmos heurísticos se encontram os algoritmos metaheurísticos, e neste ponto vale dizer que eles são os que representam de forma mais geral os métodos aproximados.

A otimização de um sistema é o processo pelo qual se minimiza seu esforço, tempo de execução, consumo de potência e custo, e se maximiza seu benefício, a qualidade e a eficiência dos resultados gerados. O esforço requerido e o benefício desejado podem ser quantificados com uma função objetivo (RAO, 2009). Essa função determina a qualidade da solução encontrada. Uma solução ótima é aquela que tem o melhor valor de função objetivo dentre todas as soluções de sua vizinhança. Quando este valor é o melhor dentre todas as soluções do espaço de busca, esta solução é um ótimo global. Caso contrário é um ótimo local. Portanto, para o sucesso da otimização é essencial que a função objetivo esteja bem definida.

Os primeiros métodos de otimização começaram nos dias de Newton, Lagrange e Cauchy. Mas os maiores avanços nos métodos se deram em 1960 no Reino Unido. Em 1975, John Holland propõe os **algoritmos genéticos** e em 1983 S. Kirkpatrick propõe o algoritmo

*simulated annealing* (recozimento simulado). Emergem depois outros algoritmos como *tabu search* (TS) e *smooth search* (SS) em 1986, *threshold accepting* (TA) em 1990 e *particle swarm* (PS) em 1995 (TALBI, 2009).

Voltando ao nosso problema, o projeto de um LNA com o melhor desempenho referente a especificações exigidas, é basicamente um problema de otimização com um alto nível de complexidade (pela grande quantidade de variáveis que envolve). Por isto, consideramos que ele é um problema candidato a ser resolvido com auxílio de algoritmos metaheurísticos. Dentre os algoritmos metaheurísticos explorados neste trabalho estão os algoritmos genéticos (GA genetic algorithm) e simulated annealing (SA).

O projeto do LNA envolve a determinação das dimensões de todos os dispositivos que o compõe. Assim, uma solução ótima é aquele conjunto de dimensões que farão com que o circuito satisfaça da melhor forma especificações exigidas.

Um aspecto fundamental na aplicação que faremos dos algoritmos metaheurísticos é que o valor da função objetivo utilizada por eles será calculado não por meio de equações, mas sim por meio de simulações elétricas dos circuitos. Dessa forma, não haverá limitações devido a aproximações aplicadas em derivações de equações e os resultados serão mais realistas.

Segue uma descrição dos algoritmos: GAs e SA.

### 3.1. Algoritmos Genéticos (GAs)

Os organismos vivos da natureza são ótimos na arte de encontrar soluções de problemas. Eles exibem uma versatilidade que deixaria envergonhados os melhores programadores, que podem gastar meses e até anos de esforço no desenvolvimento de algoritmos, enquanto os organismos utilizam apenas mecanismos de seleção natural e reprodução (HOLLAND, 1992). Foi Holland em 1975 quem propus pela primeira vez os GAs, baseado na ideia de emular os processos primários que envolvem os organismos: seleção natural e reprodução sexual. O primeiro processo determina quais indivíduos de uma população são aptos para se reproduzir e o segundo processo garante a mistura e recombinação entre os genes de suas descendências.

O algoritmo GA pode ser descrito da seguinte forma: inicialmente é gerada uma população formada por um conjunto aleatório de indivíduos que podem ser vistos como possíveis soluções do problema que se deseja otimizar. Durante o processo evolutivo, esta população é avaliada (pela função objetivo): para cada indivíduo é dada uma nota, ou índice, refletindo sua habilidade de adaptação a determinado ambiente. Uma porcentagem dos indivíduos mais adaptados é mantida, enquanto os outros são descartados. Este processo é chamado de seleção. Os indivíduos mantidos pela seleção podem sofrer modificações em suas características fundamentais através de cruzamentos ou recombinações e mutações gerando descendentes, ou seja, novas soluções, formando uma nova população, chamada de geração. Este processo de geração de novas populações, chamado de reprodução, é repetido até que uma solução satisfatória seja encontrada. Na Tabela 10 são sumarizados os conceitos gerais dos algoritmos genéticos.

Tabela 10 - Conceitos gerais dos algoritmos genéticos

Conceito	Descrição		
Indivíduo	É uma possível solução para o problema		
População	Conjunto de indivíduos		
Genes	Valores das variáveis que caracterizam uma solução		
Função objetivo	Avalia a aptidão dos indivíduos		
Seleção	Os melhores indivíduos são escolhidos como pais		
Cruzamento	É uma parte do processo de reprodução entre pais		
Mutação	Parte do processo de reprodução: variação de poucos genes		
Geração	Uma população		

Na Figura 35 corresponde ao diagrama de fluxo do GA.

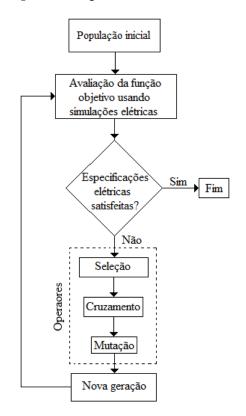


Figura 35 - Diagrama de fluxo de GA

O principio básico nos métodos de seleção é: quanto melhor for um indivíduo, maior deve ser a probabilidade de ele ser pai. O método de seleção também determina quantos indivíduos são escolhidos para se reproduzir e quantos descendentes podem produzir. Entre os métodos de seleção estão: seleção por roleta, amostragem estocástica, seleção por torneio e seleção baseada em *ranking* (TALBI, 2009).

Na fase de reprodução operadores de variação, como cruzamento e mutação, são aplicados ao grupo de indivíduos escolhidos na seleção. O processo de cruzamento consiste na criação de cópias de genes dos pais e estes são recombinados formando os genes dos novos indivíduos. O cruzamento é responsável pelo descente herdar algumas características dos pais.

O operador de mutação é responsável por pequenas trocas nos valores dos genes dos indivíduos. Uma probabilidade  $p_m$  define a probabilidade de mudança em cada gene. Valores pequenos são recomendados na literatura para essa probabilidade ( $p_m \, \epsilon \, [0,001 \, 0,01]$ ) para não prejudicar a convergência do algoritmo.

Por fim, em geral, os GAs se caracterizam por:

- 1. trabalharem com uma população e não com um único indivíduo.
- utilizarem informações de custo ou recompensa e não derivadas ou outros conhecimentos auxiliares.
- 3. utilizarem regras de transição probabilísticas e não determinísticas.

Algoritmos Genéticos são muito eficientes para busca de soluções ótimas, ou aproximadamente ótimas em uma grande variedade de problemas, pois não tem muitas das limitações encontradas nos métodos de busca tradicionais.

### 3.2. Simulated Annealing (SA)

O algoritmo *simulated annealing* (SA) (recozimento simulado) surge como uma generalização do método proposto por METROPOLIS *et al* (1953). Eles propuseram calcular a distribuição de equilíbrio de um sistema de partículas aquecido usando métodos de simulação em computador. Nestes métodos, um estado de partículas com energia  $E_1$  é comparado com outro estado gerado pelo movimento das partículas. Este novo estado, com energia  $E_2$ , é aceito se  $\Delta E = E_2 - E_1 < 0$ , i.e., se o movimento leva o sistema para um estado de menor energia. Por outro lado, se  $\Delta E = E_2 - E_1 \ge 0$ , o novo estado não é rejeitado mas aceito com probabilidade  $P = exp(-\Delta E/kT)$ , onde k é a constante de Boltzman e T a temperatura atual do sistema. Assim, um movimento a um estado de maior energia é aceito de forma limitada (METROPOLIS, ROSENBLUTH, *et al.*, 1953).

O SA fundamenta-se num princípio físico da termodinâmica. A termodinâmica diz que um sistema com uma temperatura dada atinge espontaneamente um estado de equilíbrio e esse estado se caracteriza por um valor de energia que depende da temperatura (CERNY, 1985). Esse princípio pode ser aplicado em metais para obter estados de menor energia e estruturas mais fortes. O processo consiste de duas etapas: na primeira, a temperatura do sólido é aumentada, na segunda o esfriamento deve ser realizado lenta e controladamente até que o material se solidifique. Nesta segunda fase, executada lentamente, os átomos que compõem o material organizam-se numa estrutura uniforme e que possui mínima energia. O processo de annealing, aquecer e esfriar lenta e controladamente, faz com que os átomos do sólido ganhem energia para se movimentarem livremente para assim formarem uma estrutura

cristalina forte e reduzirem os defeitos do material. Se a temperatura inicial não é suficientemente alta ou se o esfriamento é muito rápido então, a prática mostra que são gerados defeitos (TALBI, 2009).

CERNY (1985) disse que a analogia com a termodinâmica poderia ser usada como uma estratégia geral para resolver problemas de otimização, mas os primeiros autores que relacionaram o SA da termodinâmica com problemas de minimização foram (KIRKPATRIK, GELATT e VECCHI, 1983). Eles substituíram o estado atual do sistema da termodinâmica pela solução atual do problema, a equação de energia do sistema da termodinâmica por uma função objetivo e o estado de baixa energia corresponde ao mínimo local (DEKKERS e AARTS, 1991).

Conhecendo as analogias dentre o sistema físico e o problema, podemos descrever um algoritmo para tentar resolver o problema. A descrição do algoritmo SA pode ser sumarizado assim (RAO, 2009): o primeiro passo é encontrar uma solução inicial, iniciar com um valor alto o parâmetro que controla a temperatura; dessa solução inicial o algoritmo procede iterativamente. Para cada iteração se gera uma solução vizinha da solução corrente (atual). Sempre que uma destas soluções melhorar a função objetivo ela será aceita, tornando-se a nova solução corrente. Caso contrário a aceitação terá uma probabilidade que depende da temperatura atual e da quantidade de degradação  $\Delta E$  ( $\Delta E$  representa a diferença do função objetivo para a solução vizinha e para a solução corrente). Na medida em que o SA progride a temperatura é reduzida e a probabilidade de aceite, para soluções que não trazem melhora, decresce (TALBI, 2009).

Na Figura 36 é apresentado o diagrama do fluxo do algoritmo segundo sua descrição.

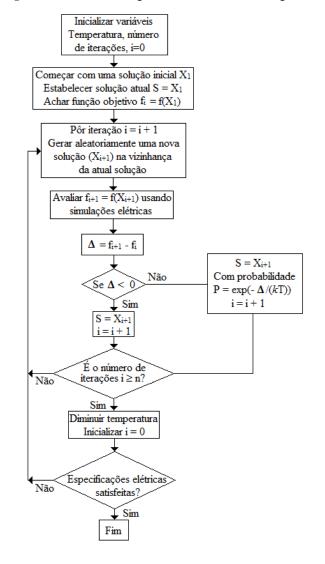


Figura 36 - Processo do algoritmo Simulated Annealing.

No algoritmo SA as seguintes questões merecem especial cuidado:

- A função de aceitação: é o elemento de SA que habilita soluções, mesmo que não melhoram o estado de energia, para serem escolhidas.
- A função resfriamento: determina o tamanho do decremento da temperatura em cada passo do progresso do algoritmo e é essencial na eficácia e efetividade do algoritmo. Quatro parâmetros devem ser considerados na hora de elaborar o plano de resfriamento: a temperatura inicial, a função de resfriamento propriamente dita, o estado de equilíbrio e a temperatura final. Se a temperatura inicial é muito alta ou muito baixa a busca será no entorno de uma solução local. Para alcançar um estado de equilíbrio a cada temperatura se deve executar um

número suficiente de iterações. A função de resfriamento decresce a temperatura gradualmente. Melhores soluções são atingidas quando a temperatura decresce lentamente. Há diferentes tipos de funções para realizar esta tarefa:

• Linear: como seu nome indica a temperatura é atualizada assim:

$$T_i = T_0 - i\beta$$

onde  $\beta$  é uma constante e  $T_i$  representa a temperatura na iteração i.

Geométrica: A temperatura segue esta relação:

$$T = \alpha^i T$$

onde  $0 < \alpha < 1$ . A experiência tem mostrado que  $\alpha$  deve estar entre 0,5 e 0,99 (TALBI, 2009).

Logarítmica: A seguinte expressão pode ser usada:

$$T_i = \frac{T_0}{log_i}$$

Decremento muito devagar: Pode ser usada a expressão:

$$T_{i+1} = \frac{T_i}{1 + \beta T_i}$$

onde  $\beta$  é uma constante que é definida segundo a temperatura inicial e final.

A condição ou critério de parada: Para o SA teoricamente a parada acontece quando a temperatura final é zero. Contudo, os seguintes critérios são válidos: atingir uma temperatura final diferente de zero, atingir um número máximo de iterações ou atingir o intervalo máximo de execução do algoritmo.

Até aqui fizemos uma resenha teórica dos algoritmos GA e SA para entender como eles operam. Neste trabalho auxiliamo-nos do *toolbox* de matlab. Esse toolbox fornece os algoritmos de otimização, mas a função objetivo deve ser desenvolvida pelo usuário. Neste caso a função objetivo foi desenvolvida como parte da ferramenta *CircuitOp* (ferramenta que está sendo desenvolvida pela equipe de pesquisa do laboratório de microsistemas  $L\mu S$ , por enquanto não tem referência bibliográfica). *CircuitOp* está sendo desenvolvida na plataforma de Matlab mas opera em conjunto com as ferramentas ELDO e ASITIC.

Para nosso trabalho foram desenvolvidas duas funções objetivo. Para o LNA com carga capacitiva utilizou-se a seguinte função:

$$SC = [p_1FFreq + p_2FGain + p_3FZin + p_4FZinIm + p_5FPower + p_6FNF]^2$$

Para o LNA com carga resistiva a função foi:

 $SC = [p_1FFreq + p_2FGain + p_3FZin + p_4FZinIm + p_5FPower + p_6FNF + p_7FZout + p_8FZoutIM]^2$  onde os  $p_i$  representam os pesos utilizados na ferramenta e cada uma das variáveis da função objetivo representa:

• FFreq é a diferença normalizada entre o ganho máximo,  $gF_{meas}$ , e o ganho na frequência de operação,  $gF_{req}$ , ambos medidos por simulação, sendo este termo calculado por:

$$FFreq = \begin{cases} \frac{gF_{meas} - gF_{req}}{gF_{meas}} & if > 0.02\\ 0 & Otherwise \end{cases}$$

 FGain é a diferença normalizada entre o ganho requerido, Gain<sub>req</sub>, e o ganho máximo medido por simulação, Gain<sub>meas</sub>, sendo este termo calculado por:

$$FGain = \begin{cases} | & Gain_{meas} - Gain_{req} \\ \hline & Gain_{meas} | & if Gain_{meas} < Gain_{req} \\ \hline & 0 & Otherwise \end{cases}$$

FZin é a diferença normalizada entre a impedância de entrada requerida, Zin, e a
magnitude da impedância medida por simulação, Zavg, sendo este termo calculado
por:

$$FZin = \begin{cases} \left| \frac{Zin - Zavg}{Zin} \right| & if FZin > acc \\ 0 & Otherwise \end{cases}$$

onde acc é um valor de precessão fornecido pelo usuário.

 FZinIm é o valor normalizado da impedância de entrada imaginária medida por simulação, ImZin<sub>meas</sub>, sendo este termo calculado por:

$$FZinIm = \left\{ egin{array}{c|c} \left| \dfrac{ImZin_{meas}}{Zin} 
ight| & if \ FZinIm > acc \\ 0 & Otherwise \end{array} 
ight.$$

• FNF é a diferença normalizada entre figura de ruído requerida,  $NF_{req}$ , e a figura de ruído medida por simulação,  $NF_{meas}$ , sendo este termo calculado por:

$$FNF = egin{cases} \left| rac{NF_{meas} - NF_{req}}{NF_{req}} 
ight| & if \ NF_{meas} > NF_{req} \ 0 & Otherwise \end{cases}$$

- FZout e FZoutIm são definições equivalentes a FZin e FZinIm respectivamente mas referidas às impedâncias (magnitude e imaginária) da saída.
- FPower é o valor normalizado da potência medida por simulação, P<sub>meas</sub>, sendo este termo calculado por:

$$FPower = \frac{P_{meas}}{P_{ref}}$$

onde  $P_{ref}$  é uma potência de referência.

A interface de operação com a ferramenta *CircuitOp* é ilustrada na Figura 37. Uma descrição de como operar com essa ferramenta é apresentada no apêndice C.

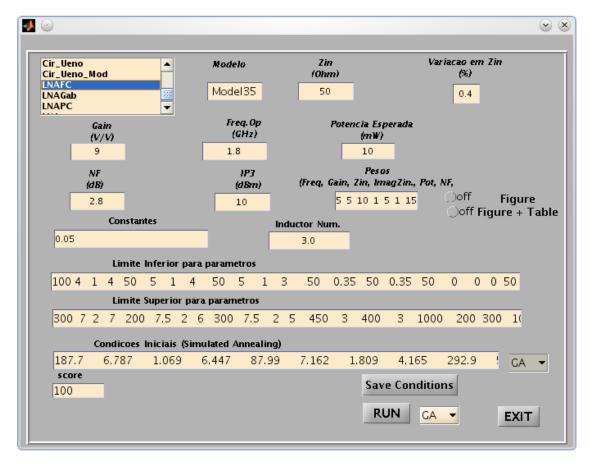


Figura 37 - Interface de operação da ferramenta CircuiOp

# Capítulo 4 Resultados

No presente capítulo se apresentam os resultados das simulações elétricas obtidas depois de otimizar os circuitos com os algoritmos SA e GAs. Neste trabalho foram projetados três LNAs com o intuito de avaliar a efetividade da aplicação de algoritmos metaheurísticos. Dois LNAs (LNA1 e LNA2) foram projetados para sistemas com arquitetura homódine (carga capacitiva) e um (LNA3) para sistemas com arquitetura heteródine (carga resistiva de 50  $\Omega$ ). A Figura 38 apresenta o circuito esquemático para os LNA1 e LNA2, e a Figura 39 representa o circuito esquemático do LNA3. Os circuitos foram alimentados com uma tensão DC de 2,0 V e para polarizar o transistor amplificador ( $M_I$ ) foi utilizado uma fonte de corrente  $I_{REF}$  espelhada (como ilustrado nas figuras).

Figura 38 - Esquemático para os LNA1 e LNA2

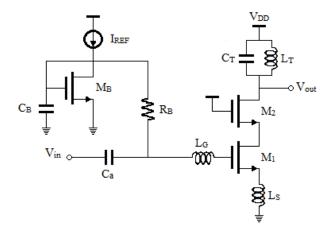
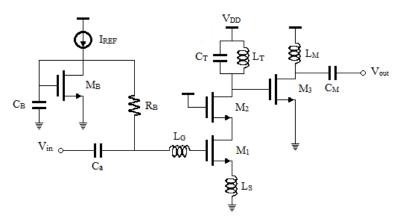


Figura 39 - Esquemático para o LNA3



Nestes circuitos os transistor  $M_B$  e  $M_1$  são casados, tendo os mesmo valores de L, mas o W do  $M_B$  é vinte vezes menor. Dessa foram, a corrente  $I_{REF}$  é vinte vezes menor do que a corrente que passa por  $M_1$ . A função do resistor  $R_B$  (100 K $\Omega$ ) é isolar o LNA do circuito de polarização para entrada AC. O capacitor  $C_B$  (500 fF) ajuda a manter estável o nível de tensão DC gerado pela fonte de corrente. O capacitor  $C_a$  (20  $\mu$ F) é usado para acoplar (desacoplar) o sinal AC (nível DC). As variáveis que devem ser dimensionadas no projeto estão indicadas na Tabela 9. A faixa de variação das dimensões para cada variável aparece na Tabela 11.

Tabela 11 - Faixa de variação das dimensões

		Variáveis							
Dispositivo	W <sub>M</sub> [μm]	L <sub>M</sub> [μm]	L <sub>ext</sub> [µm]	W [µm]	s [µm]	n [voltas]	C [μ <b>F</b> ]	Ι [μΑ]	
$\mathbf{M_1}$	50-450	0,35-3							
$\mathbf{M}_2$	50-450	0,35-3							
$I_{REF}$								100-1000	
$\mathbf{L}_{\mathrm{g}}$			100-300	4-8	0,1-2	1-10			
$\mathbf{L}_{\mathbf{s}}$			50-100	5-8	0,1-2	1-5			
$L_{t}$			100-300	4-8	0,1-2	1-10			
C <sub>t</sub>							0-1000		
$M_3$	50-300	0,35-3							
$\mathbf{L}_{\mathbf{m}}$			100-300	0,5-5	0,1-2	1-10			
C <sub>m</sub>							50-800		

Como já dito foram utilizadas as ferramentas ELDO da Mentor Graphics (versão 2009.1 patch1 64 bits) para realizar as simulações elétricas, ASITIC (versão 03.19.00.0.0.0) para projetar os indutores e MATLAB (versão 7.9.0.529 R2009b) que fornece o *toolbox* de algoritmos de otimização. O modelo da tecnologia fornecido para projetar os indutores é apresentado no anexo B. Trabalhou-se com a tecnologia AMS CMOS 0,35 µm e com o modelo do transistor BSIM3v3 (Anexo A). Para executar essas ferramentas foi utilizado um computador com processador *Intel(R) Core(TM) i3 @2,5 GHz*, Memória *RAM* de *3,0 Gb* e o sistema operativo foi Linux Open *SUSE v11.3*.

As especificações estabelecidas para este trabalho estão contidas na Tabela 1, que são trazidas de novo na Tabela 12.

Tabela 12 - Especificações de projeto para os LNAs

Especificações						
Figura de Ruído [dB]	< 3,2					
Ganho [dB]	> 15					
Consumo de Potência [mW]	< 10					
Coeficientes de reflexão [dB]	< -20					
OPC1dB [dBm]	> 0					
OIP3 [dBm]	> 0					
Frequência [GHz]	1,8					

Das simulações elétricas, se obtiveram medidas do ganho máximo (de tensão e/ou potência), da figura de ruído, das impedâncias de entrada e saída, dos coeficientes de reflexão de entrada e saída, além de se extraírem gráficos para cálculos dos parâmetros de linearidade, ponto de compressão de 1dB (CP 1dB) e ponto de intersessão de terceira ordem (IP3). As medidas foram utilizadas para o cálculo do valor da função objetivo. No apêndice D se apresentam o conteúdo dos arquivos utilizados para realizar as simulações, medições e gráficos.

Os pesos da função objetivo utilizados nas otimizações, LNA1, LNA2 e LNA3, são apresentados na Tabela 13. Observe que a única diferença entre os projetos LNA1 e LNA2 são estes pesos.

Tabela 13 - Pesos da função objetivo.

	$p_1$	$p_2$	$p_3$	$p_4$	$p_5$	$p_6$	<b>p</b> <sub>7</sub>	$p_8$
LNA1	5	5	10	1	5	10	-	-
LNA2	5	10	10	1	10	10	-	-
LNA3	5	15	10	1	10	15	10	1

O projeto do circuito da Figura 38 foi otimizado utilizando o GA e, a partir de uma solução inicial gerada por ele, o SA. Para o algoritmo GA foram utilizadas quatro populações de 50 indivíduos cada. Na Tabela 14 são sumarizados todos os parâmetros e os valores do algoritmo GA utilizados pela ferramenta *CircuitOp*.

**Tabela 14** - Parâmetros do algoritmo GA utilizados pela ferramenta *CircuiOp* 

Parâmetro	Valor	Explicação
Número de populações	4	Quantidade de populações entre as quais haverá migração.
Tamanho da população	50	Quantidade de indivíduos em cada população.
Função de seleção	Amostragem universal estocástica	Algoritmo para seleção dos indivíduos.
Indivíduos da elite	5	Quantidade dos melhores indivíduos da geração atual que sobreviverá para a geração seguinte.
Fração de crossover	0,8	Fração das populações da geração seguinte que será gerada por reprodução. O restante da nova geração é composto, necessariamente, por indivíduos da elite e indivíduos escolhidos aleatoriamente da geração anterior.
Função de crossover	Scattered	Algoritmo do operador de <i>crossover</i> . Esta função compõe o cromossomo do indivíduo filho a partir de genes escolhidos aleatoriamente de cada um dos pais.
Taxa de migração	0,1	Fração da população que passa para outra população durante uma migração.
Período de migração	5	Número de iterações entre uma migração e outra.
Critério de parada - Número máximo de gerações	200	Número máximo de gerações.
Critério de parada - Número máximo de gerações estagnadas	50	Número máximo de gerações sem que haja melhoria significativa do valor da função objetivo.

A experiência mostrou que apenas duas gerações foram suficientes para determinar uma boa solução inicial para o SA. Em média, essas duas gerações foram geradas em dez e oito minutos para os circuitos que envolveram dez e oito variáveis e foram geradas em vente minutos para o circuito de vente e cinco variáveis.

Os parâmetros e valores configurados no algoritmo SA e utilizado pela ferramenta CircuiOp estão na Tabela 15, a seguir

**Tabela 15** - Parâmetros do algoritmo SA utilizados pela ferramenta CircuiOp

Parâmetro	Valor	Explicação				
Função de annealing	Fast annealing	Algoritmo para geração de novas soluções a cada iteração. <i>Fast annealing</i> gera soluções equidistantes da solução atual em direções aleatórias uniformes. A distância é diretamente proporcional à temperatura.				
Temperatura inicial	10	Valor inicial da temperatura.				
Função de atualização da temperatura	Customizada: $T \leftarrow T_0 \ 0.8^k$	Algoritmo para cálculo do valor da temperatura para a próxima iteração. $T_0$ é a temperatura inicial e $k$ é o número de iterações desde o último <i>reannealing</i> .				
Critério de parada: - Número máximo de iterações	1000	Número máximo de iterações.				

Tanto para LNA1 quanto para LNA2 se assumiu uma carga capacitiva de 200 fF (possível valor da capacitância de entrada de um *mixer*, por exemplo). Os valores do dimensionamento obtidos para o LNA1 e LNA2 estão nas Tabela 16 e Tabela 17 respectivamente.

Tabela 16 - Dimensões dos dispositivos do LNA1

Dispositivo	$W_{M}$	$L_{M}$	$\mathbf{L}_{\mathrm{ext}}$	W	S	n	C	I
	[µm]	[µm]	[µm]	[µm]	[µm]	[voltas]	[ <b>fF</b> ]	[µA]
$M_1$	412	0,38						
$M_2$	211	0,45						
$M_{B}$	20,6	0,38						
$I_{REF}$								191
$L_{\rm g}$			261	7,5	1,0	5		
$\mathbf{L_s}$			78	7,1	2	3,5		
$\mathbf{L_{t}}$			261	5,3	2	5,3		
C <sub>tun</sub>							166	
C <sub>load</sub>							200	

**Tabela 17** - Dimensões dos dispositivos do LNA2

Dispositivo	$W_{M}$	$L_{M}$	Lext	W	S	n	C	Ι
	[µm]	[µm]	[µm]	[µm]	[µm]	[voltas]	[ <b>fF</b> ]	[µA]
$M_1$	270	0,7						
M <sub>2</sub>	129	0,35						
M <sub>B</sub>	13,5	0,7						
$\mathbf{I}_{ ext{REF}}$								65
$L_{\rm g}$			225	7,2	0,85	7,5		
$L_{\rm s}$			60	7,5	1,5	2		
$\mathbf{L}_{t}$			278	5,5	1,3	7		
C <sub>tun</sub>							3	
C <sub>load</sub>							200	

Na Figura 40 pode-se observar a resposta do ganho de tensão versus frequência para os LNA1 e LNA2. Na frequência de operação, 1,8 GHz, o ganho atingiu 22 dB e 24 dB, respectivamente.

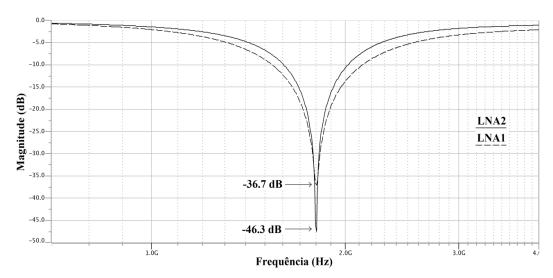
25.0 20.0 20.0 20.0 20.0 20.0 LNA2 LNA1 LNA1

 ${\bf Figura~40}\ \hbox{-}\ Ganho\ de\ tens\~ao\ versus\ Frequência,\ LNA1\ e\ LNA2.$ 

Na Figura 41 são apresentados os módulos dos coeficientes de reflexão na entrada versus a frequência do sinal de entrada para os dois LNAs. O valor do módulo do coeficiente de reflexão na entrada, na frequência de 1,8 GHz, é de -36,7 dB para o LNA1 e de -46,3 dB para o LNA2. Esses valores indicam que na resonância as perdas por reflexão são baixas para as duas soluções.

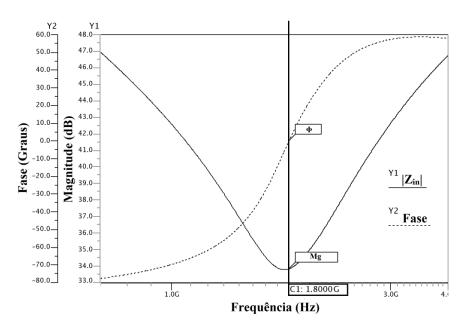
Frequência (Hz)

Figura 41 - Coeficiente de reflexão  $S_{11}$ 



Na resonância o objetivo para a impedância de entrada é atingir um valor puramente resistivo de 50  $\Omega$  e zero graus (ou seja, 33,98 dB@0°). Na Figura 42 é apresentada a gráfica da magnitude e da fase da impedância versus a frequência (corresponde ao LNA2). Assim, idealmente, um LNA com impedância puramente resistiva de 50  $\Omega$  na resonância terá valores Mg=33,98 dB e  $\Phi=0^{\circ}$ . Para LNA1, na resonância, os valore foram: Mg=34,2 dB e  $\Phi=0,1^{\circ}$  ( $\approx 51,3~\Omega$ ). Para o LNA2 os valores foram: Mg=34,08 dB e  $\Phi=0,1^{\circ}$  ( $\approx 50,6~\Omega$ ).

**Figura 42** - Magnitude da impedância e fase versus Frequência. A resposta ideal na frequência de operação é 50  $\Omega@0^\circ$ 



O LNA1 tem figura de ruído de 2,8 dB e consumo de potência de 6,8 mW. Com o intuito de reduzir o consumo de potência desse LNA foi feita a segunda otimização com pesos distintos, como pode ser visto na Tabela 13. Observe que a única diferença entre os projetos LNA1 e LNA2 são estes pesos, para o LNA2 aumentou-se o valor de  $p_5$ , que foi de 5 para 10, dando-se então maior importância à potência consumida. Com isso, o LNA2 teve um menor consumo de potência, 2,7 mW, mas a figura de ruído cresceu, 3,17 dB, evidenciando, como dito na literatura, o compromisso que existe entre esses dois parâmetros de projeto.

Uma figura de mérito aplicada (*Figure of Merit FOM*) em amplificadores de baixo consumo de potência é a razão entre ganho e consumo de potência. Essa FOM pode ser estendida para amplificadores de baixo ruído incluindo a figura de ruído do LNA (LINTEN, ASPEMYR, *et al.*, 2004). Uma possível relação para o FOM de LNAs é:

$$FOM[mW^{-1}] = \frac{Ganho [abs]}{(NF-1)[abs]P_{DC}[mW]}$$

onde *abs* significa valor absoluto. Nesta FOM, quanto melhor o desempenho do LNA, maior será seu valor.

Os resultados de consumo de potência obtidos nas simulações permite-nos calcular a FOM. Substituindo os valores na equação acima temos FOMs de 1,5  $mW^1$  e 4,5  $mW^1$  para o LNA1 e o LNA2 respectivamente.

A linearidade foi medida usando dois tons de igual magnitude e frequências próximas. A Figura 43 ilustra a potência na saída versus a potência na entrada do LNA1. Nesta figura também estão indicados os valores para o ponto de compressão de 1dB (CP 1dB) e o ponto de interseção de terceira ordem (IP3) para LNA1. Na Figura 44 vemos a potência na saída versus a potência na entrada do LNA2, onde também são indicados o CP 1dB e o IP3.

Figura 43 - Potência na saída versus Potência na entrada: LNA1

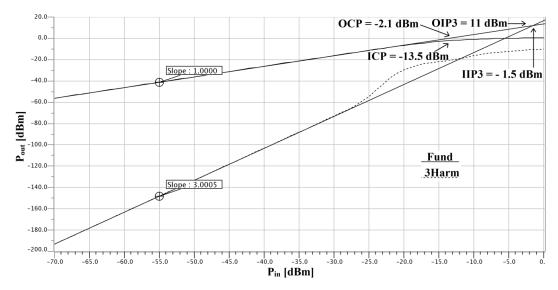
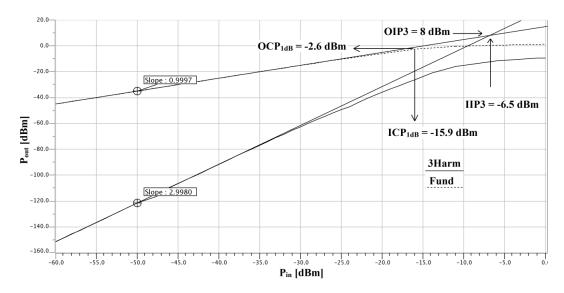


Figura 44 - Potência na saída versus Potência na entrada: LNA2



Para o projeto do LNA na arquitetura heteródine, com carga resistiva, se utilizou, inicialmente, o mesmo procedimento aplicado ao projeto dos LNA1 e LNA2. Executou-se SA após previamente ter-se determinado uma solução inicial com GA. Após várias tentativas, a melhor resposta obtida apresentou o desempenho mostrado na Tabela 18. Vemos que o ganho de tensão está baixo e a potência consumida está muito alta, ou seja, os valores estão notavelmente fora das especificações exigidas.

Tabela 18 - Melhores resultados para LNA3 com GA+SA

Especificação	Valor
Figura de ruído [dB]	3,6
Ganho de tensão [dB]	13,6
Consumo de potência [mW]	18
$Z_{in}\left[\Omega ight]$	49,7
$\mathbf{Z}_{out}\left[\Omega ight]$	49,9

Decidimos testar a fundo o algoritmo GA, permitindo que ele executasse um número grande de gerações. Assim, o LNA3 foi otimizado usando apenas o GA. GA foi configurado para executar com quatro populações de 50 indivíduos cada e 200 gerações foram executadas, isto é, 40000 soluções foram testadas.

A exigência do casamento da impedância de saída faz com que haja a necessidade de um número maior de pesos para a função objetivo, como mostrado na Tabela 13. Os valores do dimensionamento obtidos para o LNA3 estão contidos na Tabela 19.

Tabela 19 - Dimensões dos dispositivos do LNA3

Dispositivo	$\mathbf{W}_{\mathbf{M}}$	$L_{M}$	L <sub>ext</sub>	W	S	n	C	I
	[µm]	[µm]	[µm]	[µm]	[µm]	[voltas]	[ <b>fF</b> ]	[µA]
M <sub>1</sub>	260	0,47						
$M_2$	77	0,35						
M <sub>B</sub>	13	0,47						
$I_{REF}$								99
$L_{\rm g}$			170	5,0	0,3	8		
$L_{\rm s}$			61	8,0	0,9	1,4		
$L_{t}$			165	3,0	0,4	8,5		
M <sub>3</sub>	34	1,8						
L <sub>m</sub>			160	3,6	0,3	8		
C <sub>m</sub>							509	
Cload							96	

Na Figura 45 pode-se observar a resposta do ganho de tensão versus frequência para o LNA3. Na frequência de operação, 1,8 GHz, o LNA3 atingiu 15,5 dB tanto para o ganho de tensão quanto para o ganho de potência – como esperado quando há um bom casamento na impedância de saída.

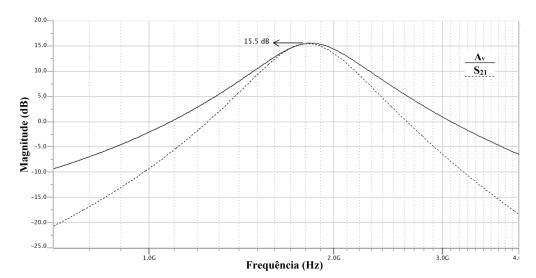


Figura 45 - Ganhos de tensão e potência versus frequência: LNA3

A Figura 46 ilustra os módulos dos coeficientes de reflexão na entrada e na saída versus a frequência para o LNA3. Os valores na frequência de operação para os coeficientes de reflexão da entrada e da saída foram de -51,9 dB e -43,2 dB respectivamente. Os valores obtidos, referidos à Figura 42, para a impedância de entrada foram: Mg=34,03 dB e  $\Phi=-0.8^{\circ}$  (  $\approx 50,3~\Omega$ ). Para a impedância de saída foram: Mg=34,1 dB e  $\Phi=-0.8^{\circ}$  (  $\approx 50,7~\Omega$ ).

O LNA3 consome 7,8 mW (4 mW no primeiro estágio e 3,8 mW no segundo) e sua figura de ruído é de 3,5 dB – o transistor  $M_3$  é o responsável pelo incremento, com relação aos LNA1 e LNA2, nos dois parâmetros. O *FOM* neste caso foi de 0,6  $mW^1$ .

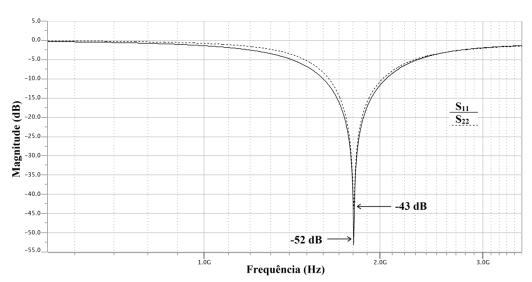


Figura 46 - Coeficientes de reflexão S<sub>11</sub> e S<sub>22</sub>

A linearidade foi medida novamente usando dois tons de igual magnitude e frequências próximas. Na Figura 47 é ilustrada a potência na saída versus a potência na entrada do LNA3. Nesta figura também estão indicados os valores para o ponto de compressão de 1dB e o ponto de intersessão de terceira ordem.

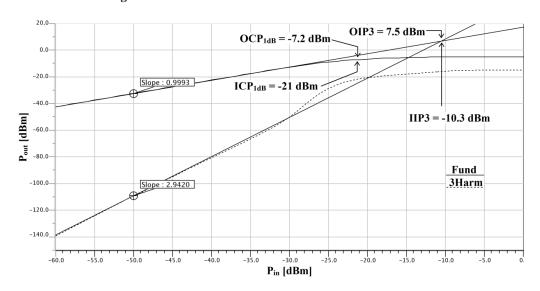


Figura 47 - Potência na saída versus Potência na entrada: LNA3

Finalmente na Tabela 20 sumariza-se todos os resultados obtidos para os circuitos otimizados com os algoritmos SA e GAs.

Tabela 20 - Resumo dos LNA

Circuito	LNA1	LNA2	LNA3
Topologia	CFCDI	CFCDI	CFCDI+FC
Algoritmo	SA+GA	SA+GA	GA
NF [dB]	2,8	3,2	3,5
Consumo de Potência [mW]	6,8	2,7	7,8
A <sub>v</sub> [dB]	22	24	15,5
S <sub>11</sub> [dB]	-36,7	-46,3	-51,9
S <sub>21</sub> [dB]	-	-	15,5
S <sub>12</sub> [dB]	-55,3	-48	-75
S <sub>22</sub> [dB]	-	-	-43,2
OPC <sub>1dB</sub> [dBm]	-2,1	-2,6	-7,2
OIP3 [dBm]	11	8	7,5
FOM [mW <sup>-1</sup> ]	1,5	4,5	0,6

Na Tabela 21 são apresentados os resultados de medidas de diversos LNAs da literatura além dos projetados neste trabalho. Observe que é difícil realizar comparações entre os circuitos, pois há diferenças de tecnologia de fabricação, de frequência de operação e da tensão de alimentação.

Contudo, comparando a figura de ruído, o consumo de potência e o ganho (de tensão ou de potência), especificações que todos os autores reportam, podemos observar que os valores dos resultados atingidos por nossos LNAs estão no nível do estado da arte. Por exemplo, (ROA, 2003) conseguiu um melhor resultado neste quesito, mas em compensação o nosso LNA2 atingiu o melhor valor entre todos no quesito do consumo de potência. (TREVISAN, 2008) também conseguiu um bom valor para a figura de ruído, em compensação nossos LNAs atingiram melhores valores para o ganho de tensão. Os valores atingidos por o LNA3 para a figura de ruído, consumo de potência e ganho (de tensão e potência) são aceitáveis.

Tabela 21 - Comparação com outros LNAs (Todos FCCDI)

Circuito	[1]	[2]	[3]	[4]	[5]	LNA1	LNA2	LNA3
Tecnologia (CMOS) [μm]	0,6	0,35	0,09	0,25	0,35	0,35	0,35	0,35
Frequência [GHz]	1,5	2,4	5,5	2,4	2,4	1,8	1,8	1,8
Fonte de alimentação [V]	1,5	3,3	0,8	2,5	3,3	2,0	2,0	2,0
Potência [mW]	30	4,5	5,4	13,5	14,8	6,8	2,7	7,8
NF [dB]	3,5	2	2,9	2,8	2,2	2,8	3,2	3,5
Av [dB]	-	-	-	-	11,6	22	24	15,5
S <sub>11</sub> [dB]	-	-11,1	-13,4	-	-18,2	-36,7	-46,3	-51,9
S <sub>21</sub> [dB]	22	20	14,4	17,1	-	-	-	15,5
S <sub>12</sub> [dB]	-	-42	-	-	-	-53,3	-48	-75
S <sub>22</sub> [dB]	-	-13	-	-	-16,3	-	-	-43,2
CP1dB [dBm] ( out )	0	-4,6	18,4*	-	-1,9	-2,1	-2,6	-7,2
IP3 [dBm] (out)	12,7	-18,5	-6,2*	-5,1*	-9	11	8	7,5
FOM [1/mW]	0,34	1,98	1,02	0,59	0,22	1,5	4,5	0,6
K (Δ)	-	2,5(-)	-	-	-	31(0,04)	5(0,09)	255(0,01)

<sup>\*</sup> Referidos na entrada

[1] (SHAEFFER e LEE, 1997); [2] (ROA, 2003); [3] (LINTEN, ASPEMYR, et al., 2004); [4] (WEN-QI, LIANG, et al., 2005); [5] (TREVISAN, 2008)

Para a figura de mérito FOM, vemos que os LNAs projetados para cargas capacitivas apresentam os valores mais altos. Este resultado decorre da menor potência consumida por eles. O valor do FOM do LNA3 está dentro do razoável. Por outro lado o coeficiente de reflexão deste LNA, tanto na entrada ( $S_{II}$ ) como na saída ( $S_{22}$ ), é bastante bom, o que mostra que os algoritmos metaheurísticos fornecem soluções que procuram respeitar todas as especificações.

## CONCLUSÃO

No projeto de amplificadores de baixo ruído (LNA) atingir um bom conjunto de especificações (baixa figura de ruído, baixa dissipação de potência, ganho suficiente, casamento da impedância na entrada, e na saída quando exigido, baixa distorção harmônica, estabilidade, e operando numa dada frequência) é uma tarefa laboriosa, que pode tomar muito tempo de trabalho sem resultados satisfatórios. O projeto se torna complexo quando o número de variáveis é maior que o número de equações do sistema. Matematicamente haveria infinitas soluções, a tecnologia empregada para fabricar limitaria o conjunto de soluções e restaria encontrar a solução ótima. Para encarar a complexidade do problema e achar uma solução que satisfaça todas ou maioria das especificações requeridas nossa proposta é usar algoritmos metaheurísticos. Em nosso estudo utilizamos algoritmos genéticos (GA) e simulated annealing (SA).

Para demonstrar a eficácia dos algoritmos metaheurísticos projetaram-se três LNAs, dois (LNA1 e LNA2) para sistemas com carga capacitiva (receptores tipo homódine) e um (LNA3) para sistemas com carga resistiva (receptores tipo heteródine). As especificações de projeto foram definidas assim: figura de ruído menor que 3,2 dB, ganho maior que 15 dB, consumo de potência menor que 10 mW, frequência de operação de 1,8 GHz, fonte de alimentação de 2,0 V e coeficientes de reflexão menores que -20 dB.

Os LNA1 e LNA2 foram projetados com SA que foi auxiliado com uma solução inicial gerada por GA. GA foi configurado com quatro populações de 50 indivíduos cada e duas gerações foi suficiente para achar uma boa solução inicial para o SA. Os LNAs otimizados, LNA1 e LNA2, atingiram uma figura de ruído de 2,8 dB e 3,2 dB com um consumo de potência de 6,8 mW e 2,7 mW enquanto o ganho de tensão foi de 22 dB e 24 dB respectivamente. Nestes dois primeiros LNAs se evidenciou o compromisso entre os parâmetros de projeto figura de ruído e consumo de potência: a melhora de um implica na deterioração do outro. Importante observar que a alteração dos pesos aplicados à função objetivo, como ocorreu com o LNA2, permite priorizar diferentes parâmetros e assim podemse obter soluções variadas. Os resultados obtidos para os coeficientes de reflexão na entrada,  $S_{II}$  (-36,7 dB e -46,3 dB respectivamente), mostram que os LNAs teriam perdas baixas devido a reflexões na entrada.

Observe-se que todas as especificações exigidas foram atingidas ou superadas por LNA1 e LNA2.

Após varias tentativas de otimização com o mesmo procedimento aplicado aos LNA1 e LNA2 (ou seja GA+SA) o LNA3 foi projetado apenas com GA. Neste caso o GA também foi configurado com quatro populações de 50 indivíduos cada e 200 gerações foram executadas. Este LNA obteve uma figura de ruído no valor de 3,5 dB, um consumo de potência de 7,8 mW e ganho de tensão igual a 15,5 dB (neste caso também podemos falar de ganho de potência). Observe-se a deterioração na figura de ruído e no consumo de potência de LNA3 com relação aos LNA1 e LNA2. Esta deterioração ocorre devido ao estágio fonte comum adicionado necessário para fornecer o casamento da impedância na saída. Por outro lado, este estágio permite um excelente casamento de impedância de saída como evidencia o coeficiente de reflexão na saída de -43,2 dB. Na entrada as perdas por reflexão são também baixas devido ao coeficiente de reflexão de -51,9 dB. Para LNA3 também se atingiram as especificações exigidas com exceção da figura de ruído.

Nossos resultados e os de outros autores demonstraram que os melhores *FOM* foram obtidos pelos LNAs que dissiparam menor potência. No quesito consumo de potência e figura de ruído, os resultados obtidos pelos LNAs projetados neste trabalho estão dentro da faixa do estado da arte.

A comparação das soluções obtidas no projeto de amplificadores de baixo ruído demonstram a viabilidade e eficácia da aplicação de algoritmos metaheurísticos no projeto de circuitos complexos como LNAs.

Como sugestão para dar sequência nesta área de aplicação de algoritmos metaheurísticos, recomenda-se como trabalho futuro explorar outros algoritmos como, por exemplo, *patterm search*, *scatter search*, *smoothing method*, *particle swarn*.

Das dimensões obtidas para os diferentes LNAs pode-se observar que os indutores são os dispositivos de maior tamanho, portanto recomenda-se também como trabalho futuro o projeto de amplificadores de baixo ruído com indutores ativos usando os algoritmos metaheurísticos usados neste trabalho ou outros. Com indutores ativos é muito provável que se deteriore a figura de ruído e se incremente o consumo de potência, porém, como compensação o circuito terá um menor tamanho físico.

Assim como se sugeriu outros algoritmos também seria interessante testar outras topologias para amplificadores de baixo ruído como, por exemplo, porta comum cascode com degeneração indutiva ou FCCDI implementando o estágio cascode com transistor PMOS (LINTEN, ASPEMYR, *et al.*, 2004).

Finalmente se sugere completar o ciclo do projeto para os LNAs projetados neste trabalho, ou seja, realizar os *layouts* dos LNA1, LNA2 e LNA3, realizar extração de parasitas, para novas simulações, envia-los para fabricação e testá-los posteriormente.

#### Referências

ABIDI, A. A.; POTTIE, G. J.; KAISER, W. J. Power-conscious design of wireless circuits and systems. **Proceedings of the IEEE**, Oct 2000. 1528-1545.

ALLEN, P. E.; HOLBERG, D. R. **CMOS Analog Circuit Design**. Second. ed. New York: Oxford University Press, 2002.

ALLSTOT, D. J.; LI, X.; SHEKHAR, S. Design Considerations for CMOS Low Noise Amplifier. **IEEE Radio Frequency Integrated Circuits Symposium**, 2004. 97-100.

ASITIC. Analysis and Simulation of Spiral Inductors and Transformers for ICs. **http:** //rfic.eecs.berkeley.edu/~niknejad/asitic.html. Acesso em: abr. 2013.

BALTUS, P. G. M.; DEKKER, R. Optimizing RF front end for low power. **Proceedings of the IEEE**, Oct 2000. 1546-1559.

BEVILACQUA, A.; NIKNEJAD, A. M. A Ultrawideband CMOS Low-Noise Amplifier for 3.1-10.6-GHz Wireless Receivers. **IEEE Journal of Solid State circuits**, fev. 2004. 382-383.

CAMPOS RIBEIRO, F. **Dissertação: Desenvolvimento de um amplificador CMOS totalmente integrado para operar em 1.8 GHz**. Universidade Federal de Itajubá. Itajubá. 2004.

CERNY, V. Thermodynamical approach to the traveling salesman problem: an efficient simulation algorithm. **Optimizationtheory and applications**, January 1985. 41-51.

CHENG, Y. et al. **BSIM 3v3 Manual**. University of California. Berkeley. 1996.

DEBONO, C. J.; MALOBERTI, F.; MICALLEF, J. A 1.8 GHz CMOS Low- Noise Amplifier. **The 8th IEEE ICECS**, 2001. 1111-1114.

DEKKERS, A.; AARTS, E. Global optimization and simulated annealing. **Mathematical programming**, Hollan, v. 50, p. 367-393, 1991.

FOTY, D. Mosfet Modeling with Spice: Principles and Practice. New York: Prentice Hall, 1997.

GOLIO, M. **RF and Microwave:** Circuits, Measurements, and Modeling. Second. ed. Phoenix: CRC Press, 2008.

GONZALEZ, G. **Microwave Transistor Amplifiers:** analysis and design. Second. ed. New York: Prentice Hall, 1997.

GREGORIAN, R.; TEMES, G. C. **Analog MOS integrated circuits for signal processing**. Canada: John Wiley & Sons, 1986.

HALIM, M. H. C. et al. Low Noise Amplifier for Front End Transceiver at 5.8 GHZ. **International Conference on Electronic Design**, 1-3 dez. 2008. 1-4.

HOLLAND, J. H. Computer programs that evolve in ways that resemble natural selection can solve complex problems even their creators do no fully understand. **Scient American**, p. 66-72, July 1992.

HOLLAND, J. H. Computer programs that evolve in ways that resemble natural selection can solve complex problems even their creators do no fully understand. **Scient American**, July 1992.

HUANG, Z. Y. et al. Design Considerations on Input Impedance Matching for Ultra-Wideband Low-Noise Amplifier. **IEEE-International Conference on Microwave and Millimeter Wave Technology (ICMMT)**, 2008. 245-248.

ITRS. International technology roadmap for semiconductors, 2005 edition. **ITRS**, 2009. Disponivel em: <a href="http://www.itrs.net/Links/2009ITRS/Home2009.htm">http://www.itrs.net/Links/2009ITRS/Home2009.htm</a>>. Acesso em: abr. 2013.

JOHNS, D. A.; MARTIN, K. **Analog Integrated Circuits Design**. Second. ed. Canada: John Wiley & Sons, 1996.

KAUKOVUORI, J.; KALTIOKALLIO, M.; RYYNÄNEN, J. Analysis and Design of Common-Gate Low-Noise Amplifier for Wideband Applications. **IEEE 18th European Conference on Circuit Theory and Design (ECCTD)**, 2007. 64-67.

KIRKPATRIK, S.; GELATT, C. D.; VECCHI, M. P. Optimization by simulated annealing. **Sciencie**, v. 220, p. 671-680, May 1983.

LAKER, K. R.; SANSEN, W. M. C. **Design of analog integrated circuits and systems**. 1st. ed. [S.I.]: McGraw-Hill, 1994.

LAVASANI, S. H. M. A New Method To Stabilize High Frequency High Gain CMOS LNA. **IEEE-International Conference on Electronics, Circuits and Systems (ICECS)**, 2003. 982-985.

LEE, T. H. **The Design of CMOS Radio Frequency Integrated Circuits**. Second. ed. Cambridge: Cambridge University Press, 1998.

LEE, T. H.; WONG, S. S. CMOS RF integrated circuits at 5 GHz and beyond. **Proceedings of the IEEE**, Oct 2000. 1560-1571.

LINTEN, D. et al. Low-power 5 GHz LNA and VCO in 90 nm RF CMOS. **VLSI circuits Symposium**, 2004. 372-375.

LOCATELLI, M. Simulated annealing algorithms for continuos global optimization: convergence conditions. **Optimization theory and applications**, 2000. 87-102.

MATLAB. MathWorks. **Global Optimization Toolbox**, 2013. Disponivel em: <a href="https://www.mathworks.com/products/global-optimization/">www.mathworks.com/products/global-optimization/</a>>. Acesso em: jan. 2013.

METROPOLIS, N. et al. Equation of state by fast computing machines. **Chemical physics**, v. 21, p. 1087-1092, june 1953.

MEYER, R. G.; MACK, W. D. A 1-GHz BICMOS RF front-end IC. Solid-state circuits, Mar 1994. 350-355.

NIKNEJAD, A. M. Modeling of Passive Elements with ASITIC. **IEEE MTT-S International Microwave Symposium Digest**, 2002. 149-152.

OZDAMAR, L.; DEMIRHAN, M. Experiments with new stochastic global optimitation search techniques. **Computers and operations research**, 2000. 841-865.

PASCHT, A.; FISCHER, J.; BERROTH, M. A CMOS Low Noise Amplifier at 2.4 GHz with Active Inducor Load. **Silicon Monolithic Integrated Circuits in RF Systems**, 2001. 1-5.

POZAR, D. M. Microwave Engineering. Third. ed. [S.I.]: John Wiley and Sons Inc, 2005.

RAO, S. S. **Engineering Optimization:** Theory and Practice. Fourth. ed. Canada: John Wiley and Sons, 2009.

RAZAVI, B. RF Microelectronics. California: Prentice Hall, 1998.

RAZAVI, B. Design of Analog CMOS Integrated Circuits. New York: McGraw-Hill, 2001.

RAZAVI, B. Fundamentos de Microeletrônica. [S.I.]: LTC, 2010.

REBELLO GUERREIRO, G. Dissertação: Projeto de Indutores Ativos para RF. USP. São Carlos. 2011.

ROA, E. F. **Dissertação: Metodologia de Projeto para Amplificadores de Baixo Ruído em CMOS**. Escola Politécnica da USP. São Paulo. 2003.

SHAEFFER, D. K.; LEE, T. H. A 1.5 V, 1.5 GHz CMOS Low Noise Amplifier. **IEEE Journal of Solid-State Circuits**, 32, May 1997. 745-759.

TALBI, E.-G. **MetaHeuristic:** From Design to Implementation. New Jersey: John Wiley and Sons Inc, 2009.

TREVISAN, P. H. **Dissertação: Projeto de um amplificador de baixo ruído em CMOS considerando o ruído e a potência**. Escola politécnica da USP. São Paulo. 2008.

TSIVIDIS, Y. **Operarion and Modeling of the MOS transistor**. Second. ed. Oxford: Oxford University Press, 2010.

VAN DER ZIEL, A. Noise in solid state devices and circuits. New York: Wiley & Sons, 1986.

VAROTTO, V. H. Dissertação: Projeto de Amplificadores de Baixo Ruído de RF em Tecnologia CMOS Usando um Modelo Baseado em Corrente. Universidade Federal do Paraná. Curitiba. 2004.

WEN-QI, W. et al. A Fully Integrated 2,4 GHz 0,25 um CMOS Low Noise Amplifier. **IEEE Asia Pacific Microwave Conference (APMC)**, 4-7 dez. 2005.

YANG, J.-T. et al. A 0.18um CMOS Using High-Q Acitve Inductors for Multi-band Low Noise Amplifier. **IEEE Conference on Electron Devices and Solid-State Circuits**, 2007. 1001-1004.

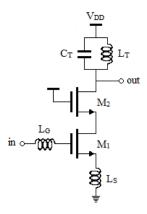
YUAN, F. CMOS Active Inductors and Transformers. Toronto: Springer, 2008.

# **APÊNDICES e ANEXOS**

## Apêndice A - Fator de ruído

Neste apêndice se mostra a análise do ruído do circuito da Figura 21, repetido aqui na Figura 48 para encontrar a expressão do fator de ruído. A análise foi feita segundo o trabalho de (SHAEFFER e LEE, 1997).

Figura 48 - Configuração FCCDI

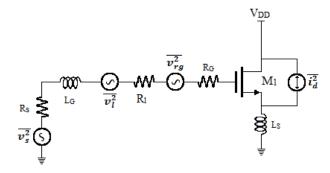


A configuração FCCDI pode ser vista como um amplificador de dois estágios. Se o ganho do primeiro estágio, transistor  $M_1$ , é suficientemente alto podemos desprezar a contribuição de ruído do segundo estágio, transistor  $M_2$ . Isto é mais bem observado com o auxílio da expressão para o fator de ruído:

$$F_T = F_1 + \frac{F_2 - 1}{A_1}$$

onde  $F_1$  é o fator de ruído do primeiro estágio (transistor  $M_1$ ),  $F_2$  é o fator de ruído do segundo estágio (transistor  $M_2$ ) e  $A_1$  é o ganho fornecido pelo primeiro estágio. Assim, vamos assumir que o ganho que fornece o primeiro estágio é suficientemente alto para desprezar a contribuição de ruído gerada pelo segundo estágio. A Figura 49 revela por fim o modelo para análise de ruído.

Figura 49 - Modelo para análise de ruído



O fator de ruído pode ser escrito como (GONZALEZ, 1997):

$$F = \frac{Ruido total na saida}{Ruido total na saida devido à fonte}$$

Assim, precisamos avaliar o ruído total na saída e o ruído devido à fonte. O ruído total será a contribuição de ruído dos resistores  $R_S$ ,  $R_l$ ,  $R_G$  e a contribuição de ruído térmico do canal,  $\overline{\iota}_d^2$ . A contribuição de ruído devido qualquer dos resistores é (na Eq.13  $\Delta f = 1$  Hz):

$$\overline{v_n^2} = 4kTR \tag{A1}$$

Agora, a densidade de potência de ruído devida ao resistor R é

$$S_n = \overline{v_n^2} G_m^2 \tag{A2}$$

onde  $G_m$  é a transcondutância do estágio de entrada e é igual a:

$$G_m = g_{m1}Q_{in} \tag{A3}$$

onde  $Q_{in}$  é o fator de qualidade efetivo do circuito de entrada.

Precisamos encontrar uma expressão para  $Q_{in}$  do circuito de entrada. Esse circuito de entrada é uma rede RLC série (Eq.37), que corresponde neste caso, onde R é  $R_s+g_{ml}L_s/C_{GSI}$ , o L é  $L_s$  e o C é  $C_{GSI}$ . O fator de qualidade de um circuito RLC série é (LEE, 1998):

$$Q = \frac{1}{\omega_0 RC}$$

portanto a expressão para  $Q_{in}$  é:

$$Q_{in} = \frac{1}{\omega_0 C_{GS1} (R_S + \frac{g_{m1} L_S}{C_{GS1}})}$$

ou  $(\omega_{T} \approx g_{ml}/C_{GS1})$ :

$$Q_{in} = \frac{1}{\omega_0 C_{GS}(R_S + \omega_T L_S)} \tag{A4}$$

 $\omega_0$  é a frequência de resonância do circuito e  $\omega_T$  é frequência de ganho unitário do transistor. Assim, substituindo A4 em A3 e depois em A2 temos as seguintes contribuições de ruído:

$$S_{n,R_S} = \overline{v_n^2} G_m^2 = \frac{4kT\omega_T^2}{\omega_0^2 R_S (1 + \frac{\omega_T L_S}{R_S})^2}$$
 (A5)

$$S_{n,R_G,R_l} = \frac{4kT\omega_T^2(R_G + R_l)}{\omega_0^2 R_S^2 (1 + \frac{\omega_T L_S}{R_S})^2}$$
 (A6)

$$S_{n,i_d} = \frac{4kT\gamma g_{d0}}{(1 + \frac{\omega_T L_S}{R_S})^2}$$
 (A7)

Então, o ruído total é igual a:

$$S_{n,T} = S_{n,R_S} + S_{n,R_G,R_l} + S_{n,i_d}$$
 (A8)

Substituindo A5, A6 e A7 em A8 obtemos:

$$S_{n,T} = \frac{4kT\omega_T^2}{\omega_0^2 R_S (1 + \frac{\omega_T L_S}{R_S})^2} \left(1 + \frac{R_G + R_l}{R_S} + \gamma g_{d0} R_S (\frac{\omega_0}{\omega_T})^2\right)$$
(A9)

Finalmente o fator de ruído é:

$$F = \frac{s_{n,T}}{s_{n,R_S}} = 1 + \frac{R_G + R_l}{R_S} + \gamma g_{d0} R_S (\frac{\omega_0}{\omega_T})^2$$
 (A10)

# Apêndice B - Ganho de tensão

Neste apêndice é apresentado o desenvolvimento analítico para encontrar uma expressão aproximada do ganho de tensão para o circuito LNA (Figura 21) escolhido para realizar este trabalho. O circuito esquemático e seu correspondente modelo para análise de pequeno sinal são novamente ilustrados na Figura 50.

 $C_{T} = \begin{bmatrix} V_{DD} & & & & & & \\ & & & & & \\ & & & & & \\ & & & & & \\ & & & & & \\ & & & & & \\ & & & & & \\ & & & & \\ & & & & \\ & & & & \\ & & & & \\ & & & & \\ & & & & \\ & & & & \\ & & & & \\ & & & & \\ & &$ 

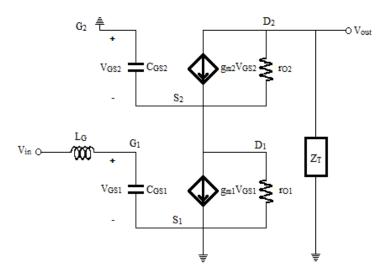
Figura 50 - FCCDI: (a) Esquemático elétrico (b) Modelo de pequeno sinal

Lembrando que o intuito é encontrar uma expressão aproximada para o ganho vamos fazer as seguintes considerações:

- Na pratica se observa que as capacitâncias  $C_{GD}$  são de valor muito baixo, portanto vamos desconsiderar elas.
- O indutor  $L_S$  também é de valor baixo, por exemplo, no nosso caso o maior deu  $0.7 \, nH$  (observar Tabela 16, Tabela 17 e Tabela 19) portanto, podemos desprezar ele.
- $g_{mx} >> g_{Ox}$

Assim a Figura 50(b) se reduz aquele apontado na Figura 51.

Figura 51 - Modelo de pequenos sinais reduzido da configuração FCCDI



Com auxílio de análise nodal temos:

No nó  $V_{out}$ :

$$\frac{V_{out}}{Z_T} + (V_{out} - V_{S2})g_{O2} - g_{m2}V_{S2} = 0$$
 (B1)

No nó  $V_{S2}$ :

$$(V_{S2} - V_{out})g_{O2} - g_{m2}V_{GS2} + sC_{gs2}V_{S2} + V_{S2}g_{O1} + g_{m1}V_{GS1} = 0$$
 (B2)

Observe-se que  $V_{GS2}$  é a queda de tensão no  $C_{GS2}$ , mas  $V_{G2}=0$ , portanto temos que:

$$V_{GS2} = -V_{S2} \tag{B3}$$

Substituindo B3 em B2 e ordenando os termos obtemos:

$$(V_{S2} - V_{out})g_{O2} + V_{S2}(g_{m2} + sC_{gs2} + g_{O1}) + g_{m1}V_{GS1} = 0$$
 (B4)

E no nó  $G_1$ :

$$\frac{v_{G1} - v_{in}}{sL_G} + sC_{GS1}V_{G1} = 0 (B5)$$

Pela definição de ganho temos que:

$$A_{v} = \frac{v_{out}}{v_{in}} \tag{B6}$$

Portanto precisamos resolver o sistema das equações B1, B2 e B5 para as variáveis  $V_{out}$ ,  $V_{S2}$  e  $V_{G1}$ . Esse sistema de equações foi resolvido utilizando a ferramenta matemática  $Derive^{TM}$  6. O resultado para o ganho de tensão foi:

$$A_v \approx -\frac{Z_T g_{m1} (g_{m2} + g_{02})}{(s^2 C_{GS1} L_G + 1)[Z_T g_{02} (s C_{GS2} + g_{01}) + s C_{GS2} + g_{m2} + g_{01} + g_{02}]}$$
(B7)

B7 ainda pode ser simplificada considerando que o  $g_{\theta}$  de um transistor é muito menor que  $g_m$  desse mesmo transistor. Assim:

$$A_v \approx -\frac{Z_T g_{m1} g_{m2}}{(s^2 C_{GS1} L_G + 1)[Z_T g_{O2} (s C_{GS2} + g_{O1}) + s C_{GS2} + g_{m2}]}$$
(B8)

com

$$Z_T = \frac{sL_T}{1 + s^2 L_T C_T} \tag{B9}$$

## Apêndice C - Interface da ferramenta CircuicOp

Neste apêndice é apresentado uma resenha da forma de operar da ferramenta *CircuicOp*. Essa ferramenta foi desenvolvida na plataforma de matlab, mas opera em conjunto com as ferramentas ELDO e ASITIC. Vale dizer que, por enquanto, a ferramenta segue em desenvolvimento com a inclusão de novos algoritmos, novos circuitos e parâmetros de projeto.

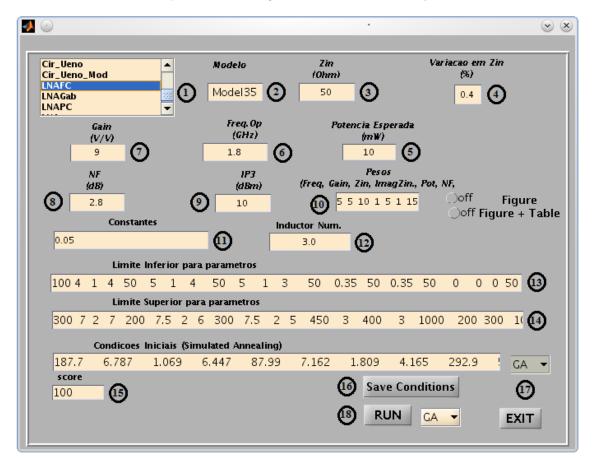


Figura 52 - Interface gráfica da ferramenta CircuicOp.

A Figura 52 revela a aparência da interface gráfica da ferramenta. Cada campo foi numerado e têm as seguintes funções:

- 1. Nesta caixa se elege o tipo circuito (LNA, fonte de referência) a otimizar.
- Caixa para escolher o modelo de transistor usado. Atualmente se trabalha com o modelo BSIM3v3 0,35 μm da AMS.

- Impedância da entrada requerida para o circuito. No caso do LNA3 se usou também para a impedância da saída.
- 4. Aqui se pode definir uma taxa de tolerância na impedância. Nosso caso foi de 0,4%, ou seja, para uma impedância de 50  $\Omega$  há uma tolerância entre 48  $\Omega$  ate 52  $\Omega$ .
- 5. Nesta caixa escreve-se a potência de referência para o LNA. O valor já está normalizado em *mW*.
- 6. Definir a frequência de operação; a ferramenta trabalha com GHz.
- Neste caixa se escreve o valor de ganho desejado para o circuito. Observe que está na forma adimensional, portanto o valor desejado em dB deve ser transformado a esta forma.
- 8. A máxima figura de ruído requerida para o circuito
- 9. Esse parâmetro por enquanto não está sendo empregado nesta versão. O valor do parâmetro *IP3* é medido depois de otimizado o circuito.
- 10. Aqui se definem os pesos da função objetivo. Para os LNA1 e LNA2 se definiram seis pesos, no caso do LNA3 foram oito pesos por causa da impedância de saída.
- 11. Esta caixa é para definir o valor da constante que define o tamanho do transistor  $M_B$  em relação a  $M_I$ . Neste trabalho a constante usada é para um transistor de polarização 20 vezes menor que o transistor  $M_I$ .
- 12. Número de indutores usados no circuito.
- 13. É necessário fornecer a faixa de variação das dimensões dos dispositivos. Nesta caixa se fornecem os limites inferiores da faixa. A ordem depende de como se defina o circuito (observar apêndice D). Para nosso trabalho os primeiros valores correspondem aos indutores, então, para *i* indutores as dimensões devem se escrever nesta ordem:  $L_{ext1}$   $W_1$   $s_1$   $n_1$   $L_{ext2}$   $W_2$   $s_2$   $n_2$ ...  $L_{exti}$   $W_i$   $s_i$   $n_i$ . Os seguintes campos correspondem às dimensões (W e L) dos transistores  $M_1$ ,  $M_2$  e  $M_3$ . Finalmente os dois últimos valores representam os valores da fonte de corrente e do capacitor de ajuste.
- 14. Aqui se escrevem os limites superiores na mesma ordem de acima.
- 15. Valor do score obtido.
- 16. Com este botão se podem salvar os valores antes inicializados.

- 17. Esta caixa indica que serão utilizadas como condições iniciais o melhor resultado obtido por algum dos algoritmos disponíveis na ferramenta.
- 18. Determina a execução de um dos algoritmos disponíveis.

# Apêndice D – Código para simulações e medições dos parâmetros

Neste apêndice são apresentados os códigos (ELDO) desenvolvidos para realizar as simulações, medições e extração das gráficas. Este primeiro código representa o circuito elétrico esquemático dos amplificadores LNA1 e LNA2.

Código 1 – Representação em código do esquemático elétrico de LNA1 e LNA2

```
Circuito para simular um LNA FCCDI e com carga capacitiva
.option SST_MTHREAD=1
*.option NOASCII NOMOD NOOP NOPAGE NOTRC NOTRCLIB NODCINFOTAB Aex=1
.OPTIONS NEWTON
* Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-4 RELTOL=1.0e-4
    TRANSIENT OPTIONS
* Set LTE time-step control:
.OPTIONS QTRUNC
* Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
* Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3
.include param
***** Transistores do LNA ******
      5 2 1 0 MODn W='X13*1u' L= 'X14^1u Au= (A15 1u 6.666). _ ...

PD= '1.7u' PS= 'X13*1u+1.7u'

vout vd 5 0 MODn W='X15*1u' L= 'X16*1u' Ad= '(X15*1u*0.85u)/2' As= 'X15*1u*0.85u'

PD= '1.7u' PS= '(X15*1u+1.7u)'
Mn1 5
      ** Indutor 1
      3 3i L1
3 a1 Ca1
2 b1 Cb1
L1
Ra1 a1 0 10Meg AC Ra1
Rb1 b1 0 10Meg AC Rb1
Rs1 3i 2 Rs1
***** Indutor 2
                            *****
                  Ĺ2
L2
            1i
Ca2
                  Ca2
Cb2
      0 b2
Ra2 a2 0
Rb2 b2 0
                  10Meg AC Ra2
10Meg AC Rb2
            0 Rs2
***** Indutor 3
              vdi L3
a3 Ca3
L3
Ca3
       vd
       vout b3 Cb3
Cb3
                O 10Meg AC Ra3
O 10Meg AC Rb3
Ra3
       а3
       b3
Rb3
        vdi vout Rš3
***** circuito de polarizacao ******
Ib vd 4
Rb 4 3
                 100K0hn
    4
           0
                  500fF
**** entradas
Vdd vd 0 2V
       vout
                        200fF
                        'abs(X18)*1f'
       vout
<u>Cin</u> VIN
                        20u
```

```
R1 VIN VINS 50
VAC VINS 0 AC 1
. end
```

Seguem os arquivos "param" (Código 2 e Código 3) gerados com o algoritmo SA (a primeira solução foi gerada com GA) para os amplificadores LNA1 e LNA2. Esses arquivos contêm as dimensões dos dispositivos encontradas pelo algoritmo, ou seja, é a solução achada.

Código 2 – Solução para LNA1 (observar Tabela 16)

```
* Gerado com GA+AS

*sq name=ind1:len=261.1:w=7.5:s=1.0:n=4.9:xorg=381.4:yorg=381.4:metal=MET4:exit=MET3
.param L1=10.10nH Rs1= 20.500hm Ca1=110.00fF Ra1=584.000hm Cb1=96.00fF Rb1=740.000hm
*sq name=ind1:len=78.2:w=7.1:s=1.9:n=3.5:xorg=472.9:yorg=472.9:metal=MET4:exit=MET3
.param L2=0.69nH Rs2= 4.350hm Ca2=22.90fF Ra2=1580.000hm Cb2=16.50fF Rb2=2350.000hm
*sq name=ind1:len=261.2:w=5.3:s=1.8:n=5.3:xorg=381.4:yorg=381.4:metal=MET4:exit=MET3
.param L2=0.69nH Rs2= 4.350hm Ca2=22.90fF Ra2=1580.000hm Cb2=16.50fF Rb2=2350.000hm
*sq name=ind1:len=261.2:w=5.3:s=1.8:n=5.3:xorg=381.4:yorg=381.4:metal=MET4:exit=MET3
.param L3=13.10nH Rs3= 31.700hm Ca3=102.00fF Ra3=597.000hm Cb3=92.40fF Rb3=727.000hm
.param X1= 261.100 X2= 7.466 X3=1.037 X4= 4.915 X5= 78.210 X6= 7.148
.Param X1= 261.100 X2= 7.466 X3=1.037 X4= 4.915 X5= 78.210 X6= 7.148
.Param X1= 261.100 X2= 7.466 X3=1.037 X4= 4.915 X5= 78.210 X6= 7.148
.Param X1=0.377 X15= 210.800 X16= 0.450 X17= 191.500 X18= 165.900

* (261.100 7.466 1.037 4.915 78.210 7.148 1.948 3.549 261.200 5.268 1.779 5.329
412.200 0.377 210.800 0.450 191.500 165.900 )
.Param M1= 0.05
.AC DEC 1000 0.540GHz 5.400GHz *sweep wbf_val 370u 420u 5u

.noise v(vout) VAC 1000
.meas ac ganhomax max VM(vout) from=0.540GHz to=5.400GHz
.meas ac ruido find onoise at=1.800GHz
.meas ac zin.i find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.meas ac zin.i find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.meas ac rin.i find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.meas ac rin.i find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.meas ac rin.ac find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.meas ac rin.ac find 'Real (-V(VIN)/I (VAC))' at=1.800GHz
.meas ac rin.ac find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.meas ac rin.ac find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.meas ac rin.ac find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.include -/work/Otimizador_v2/Start/Model 35

*Score=0.55 GainMax=13 (FFreq=1e-08) Gain=13 (FGain=1e-08) Zin=51.420hm (FZin=0.03) (FZin=0.00) NF=2.80 (FNF=0.00) Pot.=7.1mW (Fpot=0.71)
.probe ac Zin=par('v(VIN)/I (VAC)')
```

**Código 3** - Solução para LNA2 (observar Tabela 17)

```
* Gerado com GA+AS

*sq name=i nd1: I en=225: w=7. 2; s=0. 85: n=7. 5: xorg=400. 1: yorg=400. 1: metal =MET4: exi t=MET3
. param L1=14. 2nH Rs1= 26. 10hm Ca1=96. 300FF Ra1=1. 14k Cb1=87. 8FF Rb1=1. 51k
*sq name=i nd1: I en=60: w=7. 5: s=1. 5: n=2. 0: xorg=476. 6: yorg=476. 6: metal =MET4: exi t=MET3
. param L2=0. 26nH Rs2= 2. 210hm Ca2=13. 90FF Ra2=2. 44k Cb2=9. 30FF Rb2=3. 45k
*sq name=i nd1: I en=278. 8: w=5. 5: s=1. 3: n=7. 1: xorg=372. 6: yorg=372. 6: metal =MET4: exi t=MET3
. param L3=22. 10nH Rs3= 31. 500hm Ca3=129. 00fF Ra3=550. 000hm Cb3=114. 00fF Rb3=702. 000hm
. Param X1= 223. 809 X2= 7. 012 X3= 1. 020 X4= 7. 322 X5= 70. 842 X6= 7. 447
. Param X7= 1. 462 X8= 2. 037 X9= 278. 832 X10= 5. 490 X11= 1. 323 X12= 7. 059 X13= 270. 173
. Param X14= 0. 423 X15= 128. 987 X16= 0. 354 X17= 65. 233 X18= 3. 086 X19= 8. 368
* (223. 809 7. 012 1. 020 7. 322 70. 842 7. 447 1. 462 2. 037 278. 832 5. 490 1. 323 7. 059
. Param M1= 0. 05

. AC DEC 1000 0. 7GHz 4GHz
. noi se v(vout) vac 1000
. meas ac ganhomax max VM(vout) from=0. 7GHz to=4. 00GHz
. meas ac zin. i find 'Real (-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find 'Real (-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find 'Imag(-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find | Imag(-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find | Imag(-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find | Imag(-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find | Imag(-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find | Imag(-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find | Imag(-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find | Imag(-V(VIN)/I (vac))' at=1. 800GHz
. meas ac zin. i find | Imag(-V(VIN)/I (vac))' at=1. 800GHz
```

```
.include ~/work/Otimizador_v2/Start/Model 35

*Score=1.9 GainMax=15 (FFreq=1e-08) Gain=15 (FGain=1e-08) Zin=49.860hm (FZin=0.00) (Fzinreal=0.00) NF=3.21 (FNF=0.00) Pot.=2.7mW (Fpot=0.27)

.plot ac vdb(vout)
.probe ac Zin=par('v(VIN)/i (VAC)')
```

O Código 4 representa o esquemático do circuito elétrico do LNA3. O transistor  $M_{n4}$  no código é conectado em estágio FC na saída do LNA para casamento da impedância da saída. Pode-se observar o indutor a mais respeito das soluções anteriores e o incremento no número de variáveis. No Código 5 está a solução encontrada com GA.

Código 4 - Representação em código do esquemático elétrico de LNA3

```
*Circuito LNA CFCDI e estágio fonte comum na saída para casamento da carga resistiva.
 * Set Newton accuracy options:
.OPTIONS VNTOL=1.e-6 ITOL=0.1e-4 RELTOL=1.0e-4
* TRANSLENT OPTIONS
* Set LTE time-step control: OPTIONS CONTROL :
* Set Gear integration with LTE time-step control:
.OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
* Set Accuracy options for LTE time-step control
.OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-14 FLXTOL=10.e-12 RELTRUNC=1.e-3
***** Transistores do LNA *****
        5 2 1 0 MODn W='X17*1u' L= 'X18*1u' Ad= '(X17*1u*0.85u)/2'
As= 'X17*1u*0.85u' PD= '1.7u' PS= 'X17*1u+1.7u'
D2 vd 5 0 MODn W='X19*1u' L= 'X20*1u' Ad= '(X19*1u*0.85u)/2'
As= 'X19*1u*0.85u' PD= '1.7u' PS= 'X19*1u+1.7u'
vout D2 0 0 MODn W='X21*1u' L= 'X22*1u' Ad= '(X21*1u*0.85u)/2'
As= 'X21*1u*0.85u' PD= '1.7u' PS= 'X21*1u+1.7u'
Mn1
       5
Mn2
       D2
Mn4
       vout
***** Indutor 1
       3 3i
3 a1
2 b1
          3i L1
a1 Ca1
L1
Ca1
Cb1
                  Cb1
       a1 0 10Meg AC Ra1
b1 0 10Meg AC Rb1
Ra1
Rb1
              2 Rs1
Rs1
***** Indutor 2
L2 1 1i L2
                              *****
L2
Ca2
                  Ca2
       1
            a2
            b2
0
Cb2
       Ω
                  Cb2
       a2
b2
                  10Meg AC Ra2
10Meg AC Rb2
Ra2
             Õ
Rs2
       1i
             0
                  Rs2
       * Indutor 3
                      L3
Ca3
L3
Ca3
       vd
                vdi
       vd
                а3
                       Cb3
Cb3
       D2
                b3
                     10Meg AC Ra3
10Meg AC Rb3
Ra3
       а3
Rb3
Rs3
       vdi
                 D2
                      Rs3
       * Indutor 4
L4
                  4i
                            L4
       vd
Ca4
       vd
                            Ca4
                  a4
Cb4
                            Cb4
       vout
                  b4
Ra4
       a4
                  0
                            10Meg AC Ra4
Rb4
       b4
                  0
                            10Meg AC Rb4
Rs4
       4i
               vout
                            Rs4
***** circui to de polarizacao ******
        4 0 0 MODn W='X17*1u' L= 'X18*1u' M= M1 Ad= '(X17*1u*0.85u)/2' As= 'X17*1u*0.85u' PD= '1.7u' PS= 'X17*1u+1.7u'
```

```
X23*1u
              100K0hn
Rb 4
Ch
             500fF
                  *****
**** entradas
Vdd vd
                 'abs(X24)*1f'
CI
     D2
            0
Cin VIN
           3
                  20u
R1 VIN
VAC VINS
           VINS
                  50
                       'abs(X25)*1f'
Cout
       vout
R2
V0
       VX
                 VOS
                        50
                        0 AC 0
       VOS
                 Ω
include param
```

Código 5 - Solução para LNA3 (observar Tabela 19)

```
*Gerado com GA
*sq name=i nd1: I en=170: w=4. 9: s=0. 3: n=8.0: xorg=429. 9: yorg=429. 9: metal =MET4: exi t=MET3
*.param L1=10. 50nH Rs1= 26. 200hm Ca1=69. 10fF Ra1=831. 000hm Cb1=58. 60fF Rb1=1190. 000hm
param L1=12. 9nH Rs1= 31. 40hm Ca1=65. 2fF Ra1=1. 31K Cb1=57. 40fF Rb1=1. 75K
*sq name=i nd1: I en=60. 5: w=8.0: s=0. 9: n=1. 4: xorg=481. 7: yorg=481. 7: metal =MET4: exi t=MET3
param L2=0. 18nH Rs2= 1. 520hm Ca2=12. 80fF Ra2=2010. 000hm Cb2=8. 39fF Rb2=2450. 000hm
*sq name=i nd1: I en=164. 9: w=3. 0: s=0. 4: n=8. 5: xorg=429. 5: yorg=429. 5: metal =MET4: exi t=MET3
param L3=18. 50nH Rs3= 57. 900hm Ca3=55. 80fF Ra3=855. 000hm Cb3=48. 00fF Rb3=1120. 000hm
*sq name=i nd1: I en=159. 9: w=4. 4: s=0. 3: n=8. 0: xorg=432. 1: yorg=432. 1: metal =MET4: exi t=MET3
param L4=12. 50nH Rs4= 34. 300hm Ca4=59. 50fF Ra4=877. 000hm Cb4=52. 30fF Rb4=1170. 000hm
*param L4=12. 40nH Rs4= 34. 700hm Ca4=55. 60fF Ra4=1. 36K Cb4=48. 6fF Rb4=1. 79K
Param X1= 164. 106 X2= 5. 562 X3= 0. 304 X4= 7. 962 X5= 60. 549 X6= 7. 977
Param X7= 0. 881 X8= 1. 435 X9= 164. 924 X10= 2. 984 X11= 0. 438 X12= 8. 486 X13=
159. 864
                     159. 864
 . Param
                              X14= 4.406 X15= 0.320 X16= 7.965 X17= 259.952 X18= 0.470 X19= 77.168 X20=
   Param X21= 33.983 X22= 1.841 X23= 98.839 X24= 96.360 X25= 582

* (170 4.9 0.304 7.962 60.549 7.977 0.881 1.435 164.924 2.984 0.438 8.486 159.864 4.406 0.320 7.965 259.952 0.470 77.168 0.351 33.983 1.841 98.839 96.360 565.994 )
                   0.351
                           M1 = 0.05
 . Param
 .include ~/work/Otimizador_v2/Start/Model35
 . AC DEC 1000 0.7GHz 4.0GHz
. noi se v(vout) VAC 1000
 .noise v(vout) VAC 1000
.meas ac ganhomax max VM(vout) from=0.7GHz to=4.0GHz
.meas ac ganho find VM(vout) at=1.800GHz
.meas ac ruido find onoise at=1.800GHz
.meas ac zin.r find 'Real (-V(VIN)/I (VAC))' at=1.800GHz
.meas ac zin.i find 'Imag(-V(VIN)/I (VAC))' at=1.800GHz
.meas ac nf param '20*log10(ruido/0.911e-9)-20*log10(ganho)'
.meas dcac ivdd find I (Vdd) at=1.800GHz
.meas dc id4 find I (Mn4.D) at=1.8GHz
 .plot ac Zin=par('v(VIN)/i(VAC)')
.plot ac vdb(vout)
 . al ter
 VAC VINS
                                                                                      AC 0
                vout
                                             Vos
                                                                 50
 VO VOS 0 , 0 AC 1

.AC DEC 1000 0.8GHz 2.8GHz

.meas ac zout.r find 'Real(-V(vout)/I(V0))' at=1.800GHz

.meas ac zout.i find 'Imag(-V(vout)/I(V0))' at=1.800GHz
 *Score=35 GainMax=9.1 (FFreq=0) Gain=9 (FGain=4.4e-05) Zin=49.850hm (FZin=0.00) (FzinImag=0.36) Zout=50.670hm (FZout=0.01) (FzoutImag=0.04) NF=3.40 (FNF=0.21)
                     Pot. = 9. 1mW (Fpot=0. 91) Areal = 0. 01
 .plot ac Zout=par('v(vout)/i(V0)')
```

Para fazer as medições dos parâmetros *S*, o ponto de compressão de 1dB e o ponto de interseção de terceira ordem (*IP3*) foram desenvolvidos os códigos apresentados no Código 6.

Código 6 - Código para as medições dos parâmetros S, CP<sub>1dB</sub> e IP3

#### ANEXO A - Parâmetros do modelo BSIM3v3

A seguir é apresentado o conteúdo do modelo BSIM3v3 para o transistor NMOS. Na Tabela 22 está a descrição dos parâmetros mais representativos. Para uma descrição total pode se consultar (FOTY, 1997) ou (CHENG, CHANG, *et al.*, 1996).

```
MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
      ******** SIMULATION PARAMETERS *****************
  format : ELDO, AccusimII, Continuum model : MOS BSIM3v3
                 MOS BSI M3v3
  process
                 C35
  revision
                 4.0;
  extracted: B10866; 2002-12; ese(5487) doc#: ENG-182 REV_5
                              TYPICAL MEAN CONDITION
+THMLEV =0
*** Flags ***
+NOI MOD =3 FLKLEV =0
+MOBMOD = 1.000e+00 CAPMOD = 2.000e+00 VERSION= 3.240e+00 NQSMOD = 0.000e+00
+DERIV =1
           *** Threshold voltage related model parameters ***
+K1
          =5.0296e-01
+K2
          =3.3985e-02 K3
                                 =-1.136e+00 K3B
                                                        =-4.399e-01
         =2.611e+17 VTH0
=-8.925e-02 DVT0
=-8.375e-03 KETA
                               =4. 979e-01
+NPEAK
                                =5.000e+01 DVT1
=2.032e-02
+V0FF
                                                       =1.039e+00
+DVT2
+PSCBE1 =1.000e+30 PSCBE2 =1.000e-06
+DVTOW
         =1.089e-01 DVT1W =6.671e+04 DVT2W =-1.352e-02
         *** Mobility related model parameters
=4.705e-12 UB =2.137e-18 UC =1.
                                                      =1.000e-20
+UA
+U0
         =4.758e+02
*** Subth
               Subthreshold related parameters ***
+DSUB
          =5.000e-01 ETA0
                               =1. 415e-02 ETAB
                                                     =-1.221e-01
+NFACTOR=4.136e-01

* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =6.948e-01
+PDI BLC1=3.571e-01 PDI BLC2=2.065e-03 DROUT =5
                                                      =5.000e-01
                               =0.000e+00 A2
=1.338e+05 AGS
+A0
         =2.541e+00 A1
                                                      =1.000e+00
+PVAG
          =0.000e+00 VSAT
                                                      =2.408e-01
         =4.301e-09 B1
                               =0.000e+00 DELTA =1.442e-02
+R0
+PDI BLCB=3.222e-01

* *** Geometry modulation related parameters ***

+WO =2.673e-07 DLC =3.0000e-08
+DWC
          =9.403e-08 DWB
                               =0.000e+00 DWG
                                                      =0.000e+00
          =0.000e+00 LW
                               =0.000e+00 LWL
                                                      =0.000e+00
+LL
+LLN
          =1.000e+00 LWN
                               =1.000e+00 WL
                                                      =0.000e+00
          =-1.297e-14 WWL
                                 =-9.411e-21 WLN
+WW
                                                        =1.000e+00
+WWN
          =1.000e+00
         *** Temperature effect parameters ***
=3.300e+04 UTE =-1.800e+00
+AT
         =-3. 302e-01 KT2
=0. 000e+00 UB1
                                =2. 200e-02 KT1L
                                                      =0.000e+00
+KT1
+UA1
                                =0. 000e+00 UC1
                                                      =0.000e+00
+PRT
          =0.000e+00
               Overlap capacitance related and dynamic model parameters
          =1. 200e-10 CGD0
+CGSO
                               =1. 200e-10 CGB0
                                                    =1, 100e-10
          =1.310e-10 CGSL
                                =1. 310e-10 CKAPPA =6. 000e-01
+CGDL
+CF
+XPART
         =0.000e+00 ELM
=1.000e+00 CLC
                                =5.000e+00
                                =1.000e-15 CLE
                                                      =6.000e-01
         =1.000e+00 VOFFCV =0.000e+00

*** Parasitic resistance and capacitance related model parameters ***
+NOFF
+RDSW
          =3.449e+02
          =0.000e+00 CDSCB =1.500e-03 CDSCD
+CDSC
                                                    =1.000e-03
          =-2. 416e-01 PRWG
                                =0.000e+00 CIT
+PRWB
                                                       =4.441e-04
```

```
*** Process and parameters extraction related model parameters *** =7.575e-09 NGATE =0.000e+00
 +TOX
+NLX
            =1.888e-07
+XL
            =0.000e+00 XW =0.000e+00

*** Substrate current related model parameters ***
+ALPHA0 = 2.600e-06 ALPHA1 = 5.000e+00 BETA0 = 2.100e+01

* *** Noi se effect related model parameters ***

+AF = 1.507e+00 KF = 2.170e-26 EF = 1.000e+00

+N0I A = 1.121e+19 NOI B = 5.336e+04 NOI C = -5.892e-1
                                                                =1.000e+00
+NOI A
             *** Common extrinsic model parameters ***

RLEV = 2
+ALEV
            =2
            =0.000e+00 RS
+RD
                                      =0.000e+00 RSH
                                                                =7.000e+01
+RDC
            =0.000e+00 RSC
                                      =0.000e+00 LD
                                                                =-5.005e-08
            =9. 403e-08
=0. 000e+00 HDI F
+WD
+LDI F
                                      =8.000e-07 WMLT
                                                                =1.000e+00
                                      =0.000e+00 XJ
+LMLT
            =1.000e+00 DEL
                                                                =3.000e-07
                                     =5. 100e-07 JSW
=1. 000e+00
+ IS = 0.
+ DCAPLEV=2
+ CJ = 9
                                                                =0.600e-12
                            JS
            =0.000e+00 N
            /=2 CBD
=8.400e-04 CJSW
                                      =0.000e+00 CBS
                                                                =0.000e+00
                                                                =0.000e+00
                                      =2.500e-10 FC
            =3.400e-01 MJSW
+MJ
                                      =2. 300e-01 TT
                                                                =0.000e+00
 +XTI
            =2.026e+00 PB
                                      =6. 900e-01 PBSW
                                                                =6.900e-01
```

Tabela 22 - Descrição dos parâmetros do modelo BSIM3v3

Parâmetro	Unidade	Descrição
Parâmetros de processo		
TOX	m	Espessura do óxido
NGATE	cm <sup>-3</sup>	Concentração de dopagem no gate
Parâmetros elétricos		
K1	$V^{1/2}$	Efeito do corpo na voltagem umbral (1 <sup>ro</sup> ordem)
K2		Efeito do corpo na voltagem umbral (2 <sup>do</sup> ordem)
K3		Coeficiente de largura estreita
MOBMOD		Parâmetro para seleção do tipo de movilidade
KETA	V <sup>-1</sup>	Efeito do substrato na carga do bulk
VOFF	V	Voltagem offset
VTH0	V	Voltagem umbral quando o substrato tem 0V
NSUB	cm <sup>-3</sup>	Concentração de dopagem no substrato
DVT0		Coeficiente 1 para efeito do canal estreito
DVT1		Coeficiente 2 para efeito do canal estreito
U0	cm <sup>2</sup> /V.s	Mobilidade para baixo campo elétrico
UA	m/V	Parâmetro de redução da mobilidade (1 <sup>ro</sup> ordem)
UB	$m^2/V^2$	Parâmetro de redução da mobilidade (2 <sup>do</sup> ordem)
UC	m/V <sup>2</sup>	Parâmetro de redução da mobilidade dependiente
VSAT	m/s	Velocidade de saturação quando a temperatura=T <sub>0</sub>
RDSW	Ω-μm	Resistência serie por unidade de largura
PCLM		Parâmetro para modular o comprimento de canal
NFACTOR		Coeficiente da inclinação do sob-umbral
CGS0	F/m	Quando I <sub>D</sub> =0 capacitância porta-fonte
CGD0	F/m	Quando I <sub>D</sub> =0 capacitância porta-drain
CGB0	F/m	Quando I <sub>D</sub> =0 capacitância porta-bulk
Parâmetros de temperatura		
KT1	V	Efeito da temperatura para canal estreito
KT2		Efeito da temperatura sobre o substrato
UA1	m/V	Coeficiente da temperatura para U <sub>a</sub> (T)
UB1	$m^2/V^2$	Coeficiente da temperatura para U <sub>b</sub> (T)
UC1	m/V <sup>2</sup>	Coeficiente da temperatura para U <sub>c</sub> (T)
PRT	Ω-μm	Temperatura dependente de RDSW

### Anexo B - Tecnologia usada por ASITIC

Neste anexo é apresentado o conteúdo do arquivo da tecnologia fornecido a ASITIC para o projeto dos indutores passivos deste trabalho. Pode-se encontrar uma planilha deste arquivo em (ASITIC).

```
C35B4C3 O. 35um CMOS technology file
 Based on documentation of AMS - Austria Micro Systeme International AG
 Document ENG-182 Rev 2
DMPSV - LSI - USP
Last changed on 27/02/2006
 Typical Pamemeters
 Angel i ca/Navarro/Andres/Eduard
; Revisado por Paulo e Armando em 10/7/2007 - utilizar para estruturas com diâmetros ou extensão de (chipx*chipy)/4; atualizar campos 'TechFile' e 'TechPath' para seu 'tech file' e sua área de
      trabalho respecti vamente
;Revisado por Fabian em 2010, atualizado "eddy=0" para indicar que a corrente
de eddy é cal cul ada no substrato
;Last changed on 05/02/2013 por João Navarro e César Vera
<chi p>
      chi px=512
                                        ; dimensions of the chip in x direction
                                        ; dimensions of the chip in y direction
; x-fft size (must be a power of 2)
      chi py=512
fftx=512
      ffty=512
                                        ; y-fft size
      TechFile=tipico. tek
      TechPath=.
                                        ;?? frequency of operation ;layer for eddy-current calculation
      freq=2.45
eddy=0
< layer> 0
                                        ; P-SUBSTRATE
      rho=19
                                        ; ohm-cm
      t=725
                                        ; microns, media entre minimo e maximo
      eps=11.9
<layer> 1
                                        : FOX
      rho=1e10
                                        ; ohm-cm
      t=0.290
      eps=3.9
<layer> 2
                                        ; I LDFOX
      rho=1e10
                                        ; ohm-cm
      t=0. 927
                                        ; t=TILDF0X+TP0LY1 (0.645+0.282)
      eps=4
<metal > 0
                                        ; POLY1
      layer=2
      rsȟ=8000
                                        ; sheet resistance Mili-Ohms/Square
      t=0. 282
                                         thickness (microns)
                                        ; dist from bottom of layer (at surface)
      d=0.01
      name=P0LY1
      col or=red
<vi a> 0
                                        ; metal 1 to poly 1 (CONT)
      top=1
                                        ; via connects up to this metal layer
      bottom=0
                                        ; via connects down to this metal layer
                                        ; resistance per via
      r=2
      width=0.4
                                        ; width of via
      space=0.4
                                        ; minimum spacing between vias
      overpl ot1=0. 2
                                        ; minimum dist to bottom layer
      overplot2=0.15
name=CONT
                                        ; minimum dist to top layer
      col or=bl ue
<layer> 3
                                        ; IMD1 (TIMD1+TMETAL)
      rho=1e10
                                        ; ohm-cm
      t=1.665
```

```
eps=4.1
< metal > 1
      layer=3
                                       ; METAL1
                                       ; sheet resistance Mili-Ohms/Square
      rsh=70
                                       ; thickness (microns); dist from bottom of layer (at surface)
      t=0.665
      d=0. 01
      name=MET1
      color=light blue
<vi a> 1
                                       ; metal 2 to metal 1 (VIA)
                                       ; via connects up to this metal layer
      top=2
                                       ; via connectsdown to this metal layer
      bottom=1
                                       resistance per via
width of via
      r=1.2
      width=0.5
      space=0.45
                                       ; minimum spacing between vias
                                       ; minimum dist to bottom
; minimum dist to top
      overplot1=0.2
      overplot2=0. 15
name=VIA
      color=magenta
<l ayer> 4
                                       : IMD2
      rho=1e10
t=1.640
                                       ; ohm-cm
                                       ; TI MD2+TMET2=1+0. 640
      eps=4.1
< metal > 2
                                       ; METAL2
      I ayer=4
      rsh=70
                                       ; sheet resistance Mili-Ohms/Square
      t = 0.640
                                       thickness (microns)
                                       ; dist from bottom of layer (at surface)
      d=0. 01
      name=MET2
      color=dark blue
                                      ; metal 3 to metal 2 (VIA2)
; via connects up to this metal layer
<via> 2
      top=3
                                       ; via connectsdown to this metal layer
      bottom=2
                                       ; resistance per via
; width of via
      r=1. 2
wi dth=0. 5
                                      minimum spacing between vias
minimum dist to bottom
minimum dist to top
      space=0.45
      overplot1=0.2
      overplot2=0. 15
      name=VI A2
      col or=cyan1
<layer> 5
                                       ; I MD3
      rho=1e10
                                       ; ohm-cm
                                       : TI MD3+TMET3=1+0. 640
      t=1.640
      eps=4.1
<metal > 3
      layer=5
                                      : METAL3
      rsȟ=70
                                       ; sheet resistance Mili-Ohms/Square
                                       ; thickness (microns)
; dist from bottom of layer (at surface)
      t = 0.640
      d=0. 01
      name=MET3
      col or=Si enna
                                       ; metal 4 to metal 3 (VIA3)
<vi a> 3
      top=4
                                       ; via connects up to this metal layer
      bottom=3
                                       ; via connects down to this metal layer
      r=1.2
                                       resistance per via
                                       ; width of via
      width=0.5
      space=0.45
                                       ; minimum spacing between vias
      overplot1=0.2
                                      ; minimum dist to bottom
      overplot2=0. 15
name=VI A3
                                      ; minimum dist to top
      col or=gray
                                       ; PROT1
<layer> 6
      rho=1e10
                                       ohm-cm
      t=1.955
                                       ; mi crons (TPROT1+TMET4=1.030+0.925)
      eps=3.9
<metal > 4
      l ayer=6
rsh=40
                                       : metal 4
                                        sheet resistance Mili-Ohms/Square
```

t=0.925 ; thickness (microns)
d=0.01 ; dist from bottom of layer (at surface)

name=MET4
color=Green

<layer> 7 ; PROT2
rho=1e10 ; ohm-cm
t=1 ; microns
eps=7.9