

**UNIVERSIDADE DE SÃO PAULO**

Escola de Engenharia de São Carlos

# **Modelagem Compacta para Transistores MOS: Nanofios sem Junções e Canais Bidimensionais**

Adelcio Marques de Souza

UNIVERSIDADE DE SÃO PAULO  
ESCOLA DE ENGENHARIA DE SÃO CARLOS  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E COMPUTAÇÃO  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**Adelcio Marques de Souza**

**Modelagem Compacta para Transistores MOS:  
Nanofios sem Junções e Canais Bidimensionais**

SÃO CARLOS – SP  
2024



UNIVERSIDADE DE SÃO PAULO  
ESCOLA DE ENGENHARIA DE SÃO CARLOS  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E COMPUTAÇÃO  
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

**Adelcio Marques de Souza**

**Modelagem Compacta para Transistores MOS:  
Nanofios sem Junções e Canais Bidimensionais**

Tese de doutorado apresentada ao Programa de Engenharia Elétrica da Escola de Engenharia de São Carlos como parte dos requisitos para a obtenção do título de Doutor em Ciências.

Área de Concentração: Telecomunicações  
Orientador: Murilo Araújo Romero

SÃO CARLOS - SP  
2024

**Trata-se da versão corrigida da tese. A versão original se encontra disponível na EESC/USP que aloja o Programa de Pós-Graduação de Engenharia Elétrica.**

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO,  
POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS  
DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

Ficha catalográfica elaborada pela Biblioteca Prof. Dr. Sérgio Rodrigues Fontes da  
EESC/USP com os dados inseridos pelo(a) autor(a).

D278m de Souza, Adelcio Marques  
Modelagem Compacta para Transistores MOS: Nanofios  
sem Junções e Canais Bidimensionais / Adelcio Marques  
de Souza; orientador Murilo Araújo Romero. São Carlos,  
2024.

Tese (Doutorado) - Programa de Pós-Graduação em  
Engenharia Elétrica e Área de Concentração em  
Telecomunicações -- Escola de Engenharia de São Carlos  
da Universidade de São Paulo, 2024.

1. Modelagem compacta. 2. Nanoeletrônica. 3.  
Nanotransistores. 4. Transistores de Nanofio sem  
Junções. 5. Transistores baseados em Materiais  
Bidimensionais. I. Título.

## FOLHA DE JULGAMENTO

Candidato: Mestre **ADELICIO MARQUES DE SOUZA**.

Título da tese: "Modelagem Compacta para Transistores MOS: Nanofios sem Junções e Canais Bidimensionais".

Data da defesa: 15/02/2024.

### Comissão Julgadora

### Resultado

Prof. Titular **Murilo Araujo Romero**  
(Orientador)

(Escola de Engenharia de São Carlos - EESC/USP)

Aprovado

Prof. Dr. **Gilson Inácio Wirth**

(Universidade Federal do Rio Grande do Sul - UFRGS)

Aprovado

Prof. Dr. **João Antonio Martino**

(Escola Politécnica - EP/USP)

Aprovado

Prof. Dr. **Marcelo Antonio Pavanello**

(Centro Universitário da FEI)

Aprovado

Prof.<sup>a</sup> Dr.<sup>a</sup> **Michelly de Souza**

(Centro Universitário da FEI)

Aprovado

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica:

Prof. Associado **Marcelo Andrade da Costa Vieira**

Presidente da Comissão de Pós-Graduação:

Prof. Titular **Carlos De Marqui Junior**



## **Agradecimentos**

Para além de um título acadêmico, este doutorado também laureia três décadas de aprendizado constante. Tenho imensa gratidão por aqueles que sempre incentivaram a minha jornada educacional e formaram meu caráter. Com meu pai aprendi a resiliência. Com minha mãe aprendi a compaixão. Agradeço profundamente a Antônio Santana de Souza e Marieta Santos de Souza, os primeiros professores da minha vida.

Agradeço às pessoas que estiveram diretamente envolvidas no desenvolvimento deste trabalho e desempenharam papéis fundamentais: meu orientador, professor Murilo Araújo Romero; a pesquisadora Regiane Ragi, que auxiliou na minha orientação; e os colegas de pós-graduação Daniel Ricardo Celino e Caio L. M. P. Plazas, que colaboraram em diversas discussões e publicações. Agradeço também aos meus professores da Escola de Engenharia de São Carlos, do Instituto de Física de São Carlos e da Escola Politécnica da Universidade de São Paulo.

Meus anos de doutorado foram permeados por inúmeros desafios, sobretudo ao lidar com as adversidades impostas pela pandemia de Covid-19. Durante esse período, contei com o apoio fundamental de diversos amigos, aos quais sou profundamente grato: Marco Antônio de Moraes, Ana Beatriz Silva de Moura, Daniel Ricardo Celino, Daniela M. C. Celino, Caio L. M. P. Plazas, Ariana Ramos Tiburcio, Luanna de Luna Sena e Sâmara Chebli Baptista. A presença deles em vários momentos e de múltiplas formas foi essencial para que eu chegasse até aqui. Agradeço também aos amigos, colegas e mentores do Instituto de Pesquisas Eldorado, em especial Deborah Mascaroz Ciriaco, Raphael Moratta Vieira Rocha e André Neves Sapper, companheiros de sala limpa.



Expresso também profunda gratidão e afeto à minha namorada Alice Caires Lima da Silva, que além de cuidar de mim com todo carinho também revisou atenciosamente este texto. Amor, respeito e cumplicidade.

Por fim, expresso meu reconhecimento à Fundação de Amparo à Pesquisa do Estado de São Paulo (FAPESP), que financiou este trabalho por meio da bolsa de doutorado, processo nº 2018/13537-6. Destaco ainda a compreensão apresentada durante a pandemia, principalmente ao flexibilizar compromissos e oferecer uma extensão no financiamento do projeto.

Adelcio Marques de Souza

*Oh, I know that it's only gold  
And I come slow now for everything  
The heavy wing*



## Resumo

DE SOUZA, A. M. **Modelagem Compacta para Transistores MOS: Nanofios sem Junções e Canais Bidimensionais**. 2024. 244 f. Tese de Doutorado – Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2024.

Diante da iminente saturação da Lei de Moore, a comunidade acadêmica se empenha na exploração de alternativas ao MOSFET convencional de silício, seja inovando nos princípios de funcionamento dos transistores ou adotando materiais recém-descobertos. Diante desse cenário, esta tese apresenta uma análise aprofundada e uma proposta de modelagem compacta para dois tipos de nanodispositivos emergentes: os transistores de nanofio sem junções (JLNWFETs) e os transistores baseados em materiais bidimensionais (2DFETs).

Na primeira parte do trabalho, uma investigação detalhada dos JLNWFETs é conduzida, abrangendo desde os princípios de funcionamento até a análise minuciosa dos regimes de operação e de suas características específicas. Ato contínuo, é proposta uma modelagem compacta para JLNWFETs cilíndricos, centrada na descrição intuitiva do dispositivo como um resistor cuja resistividade é controlada pela porta. Incluindo efeitos de canal-curto e outras não-idealidades, são obtidas expressões totalmente analíticas e explícitas para descrever as características de carga, capacitância e corrente destes transistores.

A segunda parte deste trabalho explora os 2DFETs, destacando as propriedades fundamentais dos semicondutores bidimensionais e as características ímpares que introduzem à nanoeletrônica. Inicialmente, é feita uma análise crítica do estado-da-arte e da perspectiva futura de emprego destes transistores emergentes. Na sequência, modelos compactos são desenvolvidos para as características de corrente dos 2DFETs, abrangendo desde o transporte de portadores por difusão-deriva até o limite balístico, e incorporando diversas não-idealidades.

Em suma, este trabalho apresenta uma contribuição para a modelagem compacta de nanotransistores avançados, oferecendo tanto análises detalhadas quanto abordagens totalmente analíticas e explícitas para descrever estes dispositivos, antecipando as demandas da indústria de semicondutores.

**Palavras-chave:** Modelagem compacta, Nanoeletrônica, Nanotransistores, Transistores de Nanofio sem Junções, Transistores baseados em Materiais Bidimensionais.



# Abstract

DE SOUZA, A. M. **Compact Modeling for MOS Transistors: Junctionless Nanowires and Bidimensional Channels**. 2024. 244 p. Doctoral Thesis – São Carlos School of Engineering, University of São Paulo, São Carlos, 2024.

Facing the imminent saturation of Moore's Law, the academic community has been exploring alternatives to the conventional silicon MOSFET, either by innovating on the operating principles of transistors or by adopting newly discovered materials. In this context, this thesis provides an in-depth analysis and proposes a compact modeling approach for two emerging nanodevices: Junctionless Nanowire Field-Effect Transistors (JLNWFETs) and Field-Effect Transistors based on Two-Dimensional Materials (2DFETs).

In the first part of the thesis, a detailed investigation of JLNWFETs is conducted, spanning from operational principles to a meticulous analysis of their operating regimes and specific characteristics. Subsequently, a compact modeling approach is proposed for cylindrical JLNWFETs, centered on the intuitive description of the device as a resistor whose resistivity is controlled by the gate contact. Including short-channel effects and other non-idealities, fully analytical and explicit expressions are derived to describe the charge, capacitance, and electric current characteristics of these transistors.

The second part of this work explores 2DFETs, highlighting the fundamental properties of two-dimensional semiconductors and the unique characteristics they bring to nanoelectronics. Initially, a critical analysis of the state-of-the-art and future prospects for adopting these emerging transistors is conducted. Subsequently, compact models are developed for the electric current characteristics of 2DFETs, covering carrier transport from diffusion-drift to ballistic limits and incorporating various non-idealities.

In summary, this work contributes to the compact modeling of advanced nanotransistors, providing both detailed analyses and fully analytical and explicit approaches to describe these devices, anticipating the demands of the semiconductor industry.

**Keywords:** Compact Modeling, Nanoelectronics, Nanotransistors, Junctionless Nanowire Transistors, Transistors based on Two-Dimensional Materials.



## Lista de Figuras

|  |    |
|--|----|
| Figura 1.1 – Primeiro transistor de contato pontual, construído em 1947 (Licença: Unitronic, 1st-Transistor, CC BY-SA 3.0). .....  | 4  |
| Figura 1.2 – Esquemático do primeiro transistor de contato pontual. ....   | 5  |
| Figura 1.3 – Esquemático e símbolo do transistor bipolar de junção tipo n-p-n. .   | 7  |
| Figura 1.4 – Esquemático e símbolo do MOSFET tipo-n (n-MOS).....   | 8  |
| Figura 1.5 – Memórias de computador ( <i>chips</i> ) com circuito integrado exposto (ampliado no detalhe). (Licença: Zephyris, Microchips, modificado, CC BY-SA 3.0). .....  | 10 |
| Figura 1.6 – Número de transistores por microprocessador, considerando o melhor de cada ano [15]. Essa relação exemplifica lei de Moore, a qual preconiza que o número de transistores em um circuito integrado denso dobra aproximadamente a cada dois anos. ....   | 11 |
| Figura 1.7 – Alguns exemplos de dispositivos multiporta, representados por um corte transversal entre fonte e dreno: (a) porta dupla (em inglês, <i>double gate</i> ), (b) porta tripla (em inglês, <i>trigate</i> ), (c) FinFET, (d) porta tipo $\Pi$ (em inglês, <i><math>\Pi</math>-gate</i> ), (e) porta tipo $\Omega$ (em inglês, <i><math>\Omega</math>-gate</i> ), (f) <i>gate-all-around</i> ..... | 14 |
| Figura 1.8 – MBCFET de três nanofolhas conforme proposta da fabricante Samsung para o nó tecnológico de 3 nm.....  | 15 |
| Figura 1.9 – Transistor de nanofio sem junções, conforme apresentado pelo grupo de pesquisa liderado por Jean-Pierre Colinge [25].....   | 21 |
| Figura 1.10 – Transistores baseados em semicondutores bidimensionais. (a) configuração convencional para MOSFETs. (b) configuração tipo <i>back-gate</i> . ....  | 25 |
| Figura 1.11 – MOSFET convencional representado em três dimensões. ....   | 28 |
| Figura 2.1 – JLNWFET cilíndrico com um nanofio de raio $R$ altamente dopado com uma concentração de doadores $N_D$ . O comprimento de porta é $L$ e a espessura do óxido é $t_{ox}$ .....  | 37 |
| Figura 2.2 – NWFET de inversão tipo-n. a) esquemático destacando as junções p-n. b) comportamento da corrente em função da tensão de porta. c) diagrama de bandas na condição de banda plana. d) diagrama de bandas na condição de inversão.....   | 39 |



Figura 2.3 – NWFET de acumulação tipo-n. a) esquemático destacando as junções  $n^+-n$ . b) comportamento da corrente entre fonte e dreno em função da tensão de porta. c) diagrama de bandas na condição de banda plana. d) diagrama de bandas na condição de acumulação. .... 40

Figura 2.4 – NWFET sem junções tipo-n. a) esquemático destacando o nanofio uniformemente dopado. b) comportamento da corrente entre fonte e dreno em função da tensão de porta. c) diagrama de bandas na condição de limiar. d) diagrama de bandas na condição de banda plana. .... 42

Figura 2.5 – Diagrama de bandas do capacitor n-MOS a) antes de atingir o equilíbrio térmico e b) em equilíbrio térmico. .... 44

Figura 2.6 – Potencial eletrostático no regime de depleção total: a) energia potencial no centro do nanofio ao longo do canal como função da tensão de porta. b) potencial eletrostático no centro do nanofio em função da tensão de porta, variando o potencial de Fermi. c) potencial eletrostático ao longo da direção radial variando a tensão de porta e considerando  $V = 0$  V. Análise feita a partir de simulações TCAD (*Technology Computer-Aided Design*) usando o software Sentaurus [59], [60]..... 47

Figura 2.7 – Comportamento do JLNWFET em regime de depleção parcial. a) Densidade de elétrons por unidade de comprimento em função da tensão de porta, destacando o trecho entre  $V_t$  e  $V_{FB}$ . b) Ilustração do canal de condução e da região de depleção em três situações distintas durante o regime de depleção parcial. Análise feita a partir de simulações TCAD usando o software Sentaurus [59], [60]..... 49

Figura 2.8 – Comportamento do JLNWFET em regime acumulação. a) Ilustração de um capacitor cilíndrico ideal. b) Densidade de elétrons por unidade de comprimento em função da tensão de porta, destacando o trecho acima de  $V_{FB}$ . Na inserção, estão ilustrados os canais de condução no interior e na superfície do nanofio. Análise feita a partir de simulações TCAD usando o software Sentaurus [59], [60]..... 50

Figura 2.9 – Exemplo das diferentes características de corrente que podem ocorrer no JLNWFET. A primeira linha mostra a formação do canal de condução no interior do nanofio. A segunda linha mostra a formação do canal de condução superficial. .... 52

Figura 2.10 – Exemplo de características de corrente do JLNWFET. a) Características  $I_{ds} - V_{gs}$  para tensão de fonte-dreno baixa ( $V_{ds} = 0,2$  V) e alta ( $V_{ds} = 2$  V). b) Características  $I_{ds} - V_{ds}$  para os regimes de depleção parcial ( $V_{gs} =$

1 V) e acumulação ( $V_{gs} = 2$  V). Análise feita a partir de simulações TCAD usando o software Sentaurus [59], [60]..... 54

Figura 2.11 – Exemplo de características de cargas espaciais e móveis no JLNWFET para  $V_{ds} = 0$  V. Na escala logarítmica, as cargas espaciais em módulo,  $Q_{sc}$ , possuem uma descontinuidade em  $V_{gs} = V_{FB}$  porque ocorre uma inversão de sinais. Análise feita a partir de simulações TCAD usando o software Sentaurus [59], [60]..... 54

Figura 2.12 – Exemplo de características de capacitância do JLNWFET em escala logarítmica para  $V_{ds} = 0.05$  V. A capacitância total ( $C_{total}$ ) parte de um valor fixo, correspondente à capacitância intrínseca de origem geométrica ( $C_{int}$ ), e segue crescendo de acordo com a capacitância devido às cargas móveis ( $C_m$ ) até atingir o valor da capacitância do óxido ( $C_{ox}$ ). Análise feita a partir de simulações TCAD usando o software Sentaurus [60]..... 55

Figura 3.1 – Diagrama de bandas de um JLNWFET. Neste exemplo ilustrativo para evidenciar o encurvamento das bandas de energia, o dispositivo está polarizado na condição de depleção total e a tensão de porta é negativa. .... 63

Figura 3.2 – Potencial eletrostático em função da tensão de porta ( $V_{gs}$ ): a) no centro do nanofio ( $\varphi_c$ ), delineando os três primeiros intervalos da solução analítica. No primeiro intervalo,  $\varphi_c = V_{gs} - V_t$ . No segundo intervalo, há uma transição suave até o início do terceiro intervalo, onde  $\varphi_c = 0$ . b) na superfície do nanofio, delineando os dois últimos intervalos da solução analítica. No intervalo III,  $\varphi_s < 0$ . No intervalo IV,  $\varphi_s$  excede levemente zero e estabiliza para  $V_{gs} \gg V_{FB}$ . Análise feita a partir de simulações TCAD usando o software Sentaurus [59], para  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V e  $V_{ds} = 0$  V..... 66

Figura 3.3 – Raio do canal de condução em função da tensão de porta calculado a partir da solução exata da eq. 3.32 e das aproximações 3.33 e 3.34. Os parâmetros dos dispositivos são: a) nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup> e  $\phi_{MS} = 1,12$  V; b) nanofio de GaN com óxido de Al<sub>2</sub>O<sub>3</sub> e porta de Ni com  $R = 73$  nm,  $t_{ox} = 16$  nm,  $N_D = 1 \times 10^{18}$  cm<sup>-3</sup> e  $\phi_{MS} = -0,7$  V. Todas as curvas estão limitadas em  $V_t < V_{gs} < V_{FB}$ ..... 70

Figura 3.4 – Potencial no centro do nanofio ( $\varphi_c$ ) em função da tensão de porta aplicada ( $V_{gs}$ ), delineando os três primeiros intervalos da solução aproximada. No intervalo II, onde  $n$  é comparável a  $N_D$  em  $r = 0$ , ocorre uma transição suave de  $\varphi_c = V_{gs} - V_t$  para  $\varphi_c = 0$ . Análise feita a partir de simulações TCAD usando o software Sentaurus [59], para  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V e  $V_{ds} = 0$  V..... 73

Figura 3.5 – Raio efetivo do canal de condução em função da tensão de porta calculado a partir da eq. 3.40. Os parâmetros de fabricação são: a) nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup> e  $\phi_{MS} = 1,12$  V; b) nanofio de GaN com óxido de Al<sub>2</sub>O<sub>3</sub> e porta de Ni com  $R = 73$  nm,  $t_{ox} = 16$  nm,  $N_D = 1 \times 10^{18}$  cm<sup>-3</sup> e  $\phi_{MS} = -0,7$  V..... 75

Figura 3.6 – Densidade linear de carga em função da tensão de porta, calculada a partir da eq. 3.47 e da aproximação 3.49 retendo até o termo quadrático e até o termo cúbico. Parâmetros de fabricação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup> e  $\phi_{MS} = 1,12$  V.. 77

Figura 3.7 – Visão lateral do nanofio. A depender dos valores de  $V_{gs}$  e  $V_{ds}$ , diferentes trechos do nanofio podem estar operando nos regimes de acumulação (intervalo IV) e de depleção (intervalos III, II e/ou I) simultaneamente. Os valores  $z_{FB}$ ,  $z_{t1}$  e  $z_{t0}$  denotam os limites entre estes trechos dentro dos intervalos definidos no presente modelo..... 80

Figura 3.8 – Potencial eletrostático mínimo no centro do nanofio considerando a expressão para canal longo (eq. 3.60) e canal curto (3.65). Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V,  $V_{ds} = 0,2$  V e  $L = 25$  nm..... 83

Figura 3.9 – Tensão de limiar em função do comprimento do canal. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V e  $V_{ds} = 0,1$  V..... 84

Figura 3.10 – Análise dos efeitos decorrentes da presença de armadilhas de interface. a) Potencial eletrostático no centro do nanofio. b) Tensão de limiar. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V,  $V_{ds} = 0$  V..... 87

Figura 3.11 – Validação do modelo compacto para as características Q–V (linhas) com simulações TCAD (símbolos) [74] variando a espessura do óxido. a) Curva linear. b) Curva logarítmica. Parâmetros de fabricação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V,  $V_{ds} = 0$  V e  $L = 1$  μm. .... 90

Figura 3.12 – Validação do modelo compacto para as características Q–V (linhas) com simulações TCAD (símbolos) [74] variando a dopagem. a) Curva linear. b) Curva logarítmica. Parâmetros de fabricação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 3$  nm,  $\phi_{MS} = 1,12$  V,  $V_{ds} = 0$  V e  $L = 1$  μm..... 91

Figura 3.13 – Validação do modelo compacto para as características Q–V (linhas) com simulações TCAD (símbolos) [74] variando o raio do nanofio. a) Curva

linear. b) Curva logarítmica. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 3 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $V_{ds} = 0 \text{ V}$  e  $L = 1 \text{ }\mu\text{m}$ . ..... 91

Figura 3.14 – Validação do modelo compacto para as características I–V (linhas) com simulações TCAD (símbolos) [59]. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros de fabricação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10 \text{ nm}$ ,  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 2 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $\mu = 200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  e  $L = 200 \text{ nm}$ . ..... 94

Figura 3.15 – Validação do modelo compacto para as características I–V (linhas) com simulações TCAD (símbolos) [74]. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros de fabricação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 5 \text{ nm}$ ,  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 5 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $\mu = 100 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  e  $L = 1 \text{ }\mu\text{m}$ . ..... 94

Figura 3.16 – Validação do modelo compacto (linha sólida) com simulações TCAD (símbolo) [87] considerando canal curto e a região de sublimiar. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de material não especificado com  $R = 5 \text{ nm}$ ,  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 1 \text{ nm}$ ,  $\phi_{MS} = 0,7 \text{ V}$ ,  $\mu = 300 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  e  $L = 20 \text{ nm}$ . ..... 95

Figura 3.17 – Validação do modelo compacto para as características I–V (linhas) com simulações TCAD (símbolos) [82] considerando diferentes valores de  $R$ . a) Escala linear. b) Escala logarítmica. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 5 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $L = 1 \text{ }\mu\text{m}$  e  $V_{ds} = 1 \text{ V}$ . ..... 97

Figura 3.18 – Validação do modelo compacto para as características C–V (linhas sólidas) com simulações TCAD (símbolos) [60] em escala logarítmica. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 25 \text{ nm}$ ,  $N_D = 1,6 \times 10^{18} \text{ cm}^{-3}$ ,  $t_{ox} = 4,5 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $L = 200 \text{ nm}$  e  $V_{ds} = 0,05 \text{ V}$ . ..... 98

Figura 3.19 – Validação do modelo compacto para as características C–V (linhas) com simulações TCAD (símbolos) [86] em escala linear variando os parâmetros: a)  $R = 5 \text{ nm}$  e  $N_D = 2 \times 10^{19} \text{ cm}^{-3}$ . b)  $R = 10 \text{ nm}$  e  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ . Demais parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $t_{ox} = 1,5 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $L = 100 \text{ nm}$ . ..... 98

Figura 3.20 – Representação do diagrama de bandas considerando os efeitos de confinamento quântico modelados por: a) Oscilador harmônico b) Poço de potencial. .... 100

|  |     |
|--|-----|
| Figura 3.21 – Energia correspondente ao potencial eletrostático e auto-energias considerando: a) $R = 5$ nm e $N_D = 1 \times 10^{19}$ cm <sup>-3</sup> , eq. 3.91. b) $R = 3$ nm e $N_D = 1 \times 10^{19}$ cm <sup>-3</sup> , eq. 3.92.....  | 102 |
| Figura 3.22 – Comparação entre o valor do nível de energia fundamental calculado pelas eqs. 3.91 e 3.92 e a estimativa empírica do deslocamento da banda de condução em decorrência do confinamento quântico, eq. 3.93. Nanofio de silício com $N_D = 1 \times 10^{19}$ cm <sup>-3</sup> ..... | 103 |
| Figura 4.1 – Fragmento de grafite, suporte com fita adesiva e transistores de grafeno doados ao Museu Nobel de Estocolmo (Suécia) por Andre Geim e Konstantin Novoselov. ....  | 112 |
| Figura 4.2 – Características do grafeno. a) estrutura cristalina. b) diagrama de bandas (relação de dispersão). c) diagramas de banda tridimensional realçando os cones de Dirac.....  | 114 |
| Figura 4.3 – Estrutura cristalina típica dos X-anos. a) vista superior. b) vista lateral.....  | 116 |
| Figura 4.4 – Estrutura cristalina do fosforeno. a) vista superior realçando as direções da rede cristalina. b) vista lateral de duas camadas.....  | 117 |
| Figura 4.5 – Estrutura cristalina típica dos dicalcogenetos de metais de transição. a) vista superior. b) vista lateral de duas camadas, onde M é um átomo de metal de transição e X é um átomo de calcogeneto. ....   | 118 |
| Figura 4.6 – Estrutura cristalina típica dos calcogenetos de semimetais. a) vista superior. b) vista lateral, onde M é um átomo de semimetal e X é um átomo de calcogeneto. ....   | 120 |
| Figura 4.7 – Representação do arranjo experimental comumente utilizado para estudar as características eletrônicas de materiais bidimensionais. ....   | 132 |
| Figura 4.8 – Estruturas de bandas de TMDs monocamadas calculadas a partir de métodos <i>ab initio</i> [121], [122]. a) MoS <sub>2</sub> . b) WSe <sub>2</sub> . ....   | 137 |
| Figura 4.9 – Análise da anisotropia do fosforeno. a) Estrutura de bandas do fosforeno monocamada calculada a partir de métodos <i>ab initio</i> [121], [122]. b) Convenção da orientação cristalina e da direção de transporte de portadores. ....   | 138 |
| Figura 4.10 – Análise da não-parabolicidade da relação da dispersão do InSe. a) Estrutura de bandas do InSe monocamada calculada a partir de métodos <i>ab initio</i> [121], [122]. b) Comparação entre o topo da banda de valência calculado numericamente e aproximado por uma parábola..... | 140 |

|   |     |
|---|-----|
| Figura 5.1 – Esquemático do 2D-FET em três dimensões.....   | 152 |
| Figura 5.2 – Diagrama de bandas de um 2D-FET. Neste exemplo ilustrativo, assume-se um substrato de silício altamente dopado tipo-n. O dispositivo está polarizado com $V_{gs} > V_{FB}$ , como evidenciado pelo encurvamento das bandas na região do canal semiconductor.....   | 155 |
| Figura 5.3 – Esquemático de um 2D-FET para a análise eletrostática. Em destaque, uma região de largura infinitesimal no canal onde é aplicada a lei de Gauss..  | 157 |
| Figura 5.4 – Análise da aproximação de Boltzmann no cálculo do potencial eletrostático para 2D-FETs com: a) $t_{ox} = 5$ nm. b) $t_{ox} = 1$ nm. SiO <sub>2</sub> é usado como referência tanto para o óxido quanto para o isolante, que possui 90 nm. Demais especificações: canal de MoS <sub>2</sub> monocamada dopado com $N_D = 3,5 \times 10^{11}$ cm <sup>-2</sup> , porta de Al e substrato de n <sup>++</sup> Si.....  | 159 |
| Figura 5.5 – Análise dos comportamentos assintóticos do potencial eletrostático abaixo e acima do limiar. Especificações: canal de MoS <sub>2</sub> monocamada com $N_D = 3,5 \times 10^{11}$ cm <sup>-2</sup> , óxido e isolante de SiO <sub>2</sub> com $t_{ox} = 5$ nm e $t_i = 90$ nm, porta de Al e substrato de n <sup>++</sup> Si.....   | 162 |
| Figura 5.6 – Comparação entre a solução exata e a expressão aproximada para o potencial eletrostático considerando: a) 2D-FET com porta-única, canal de MoS <sub>2</sub> monocamada com $N_D = 3,5 \times 10^{12}$ cm <sup>-2</sup> , óxido de HfO <sub>2</sub> ( $t_{ox} = 2,8$ nm), isolante de SiO <sub>2</sub> ( $t_i = 270$ nm), porta de Cr e substrato de n <sup>++</sup> Si. b) 2D-FET com porta-dupla, canal de BP monocamada com $N_D = 3,5 \times 10^{11}$ cm <sup>-2</sup> , óxido de HfO <sub>2</sub> ( $t_{ox} = 2$ nm) e porta de Au. Também são mostradas as respectivas funções de mapeamento $\Phi$ utilizadas para o cálculo das aproximações..... | 164 |
| Figura 5.7 – Comparação entre o valor mínimo potencial eletrostático determinado pela eq. 5.19 (canal longo) e pela eq. 5.31 (canal curto) considerando um 2D-FET com porta-única. Parâmetros: canal de MoS <sub>2</sub> monocamada com $N_D = 3,5 \times 10^{11}$ cm <sup>-2</sup> e $L = 12$ nm, $V_{ds} = 0,5$ V, óxido de SiO <sub>2</sub> ( $t_{ox} = 5$ nm), isolante de SiO <sub>2</sub> ( $t_i = 90$ nm), porta de Al e substrato de n <sup>++</sup> Si.....  | 166 |
| Figura 5.8 – Comparação entre a solução exata e a expressão aproximada para o potencial eletrostático do canal considerando um 2D-FET com porta-única. Parâmetros: canal de MoS <sub>2</sub> monocamada com $N_D = 3,5 \times 10^{11}$ cm <sup>-2</sup> e $L = 12$ nm, $V_{ds} = 0,5$ V, óxido de SiO <sub>2</sub> ( $t_{ox} = 5$ nm), isolante de SiO <sub>2</sub> ( $t_i = 90$ nm), porta de Al e substrato de n <sup>++</sup> Si.....  | 167 |
| Figura 5.9 – Aplicação da lei de Gauss considerando o campo elétrico lateral no óxido.....  | 168 |

Figura 5.10 – Comparação entre a expressão para o potencial eletrostático com e sem a inclusão do campo lateral do óxido considerando um 2D-FET com porta-única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$  e  $L = 12 \text{ nm}$ ,  $V_{ds} = 0,5 \text{ V}$ , óxido de HfO<sub>2</sub> ( $t_{ox} = 5 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 90 \text{ nm}$ ), porta de Al e substrato de n<sup>++</sup> Si. Um fator de proporcionalidade  $\alpha = 0,96\epsilon_{ox}/\epsilon_{SiO_2}$  foi considerado, em consonância com a ref. [183]. ..... 169

Figura 5.11 – Validação da expressão para a distribuição dos estados de interface com dados experimentais [209] considerando um 2D-FET com porta-única, canal de MoS<sub>2</sub> monocamada, óxido de Al<sub>2</sub>O<sub>3</sub>, isolante de SiO<sub>2</sub>, porta de Al e substrato de n<sup>++</sup> Si. Parâmetros:  $D_{it0} = 4,15 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$ ,  $D_{it1} = 2,9 \times 10^{13} \text{ eV}^{-1}\text{cm}^{-2}$  e  $\mathcal{E}_\sigma = 0,07 \text{ eV}$ . ..... 171

Figura 5.12 – Comparação entre as capacitâncias  $C_Q$  e  $C_{it}$  considerando um 2D-FET com porta-única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2} \text{ nm}$ ,  $V_{ds} = 0 \text{ V}$ , óxido de Al<sub>2</sub>O<sub>3</sub> ( $t_{ox} = 5 \text{ nm}$ , efetivo), isolante de SiO<sub>2</sub> ( $t_i = 90 \text{ nm}$ ), porta de Al e substrato de n<sup>++</sup> Si,  $D_{it0} = 4,15 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$ ,  $D_{it1} = 2,9 \times 10^{13} \text{ eV}^{-1}\text{cm}^{-2}$  e  $\mathcal{E}_\sigma = 0,07 \text{ eV}$ . ..... 173

Figura 5.13 – Validação das características I–V ideais com dados de simulação [182] considerando um transistor de porta-dupla. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$  para vários valores de  $V_{gs}$ . Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ , óxido de SiO<sub>2</sub> ( $t_{ox} = 2 \text{ nm}$ ), porta de Al,  $\mu_0 = 50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 10 \text{ }\mu\text{m}$ . As curvas rotuladas como “solução exata” correspondem à solução numérica da eq. 5.25 enquanto as rotuladas como “modelo” são provenientes das eqs. 5.26 e 5.24 ..... 176

Figura 5.14 – Validação das características I–V ideais com dados de simulação [182] considerando um transistor de porta-dupla. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$  para vários valores de  $V_{gs}$ . Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ , óxido de SiO<sub>2</sub> ( $t_{ox} = 2 \text{ nm}$ ), porta de Al,  $\mu_0 = 50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 10 \text{ }\mu\text{m}$ . As curvas rotuladas como “solução exata” correspondem à solução numérica da eq. 5.25 enquanto as rotuladas como “modelo” são provenientes das eqs. 5.26 e 5.24. ..... 177

Figura 5.15 – Validação das características  $I_{ds} - V_{gs}$  com dados de simulação TCAD [193] considerando um transistor de porta-única e canal curto. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ ,  $\mu_0 = 320 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  e  $L = 5,9 \text{ nm}$ ,  $V_{ds} = 0,64 \text{ V}$ , óxido de HfO<sub>2</sub> ( $t_{ox} = 2,6 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 270 \text{ nm}$ ) e substrato de n<sup>++</sup> Si. A tensão de limiar foi atribuída como  $V_t = 0,7 \text{ V}$  para adequar aos dados. Um fator de proporcionalidade  $\alpha = 0,96\epsilon_{ox}/\epsilon_{SiO_2}$  foi considerado para a correção devido ao campo lateral no óxido. .... 178

Figura 5.16 – Validação das características  $I_{ds} - V_{gs}$  com dados experimentais de [144] considerando um transistor de porta-única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ ,  $\mu_0 = 47 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 0,5 \text{ }\mu\text{m}$ ,  $W = 4 \text{ }\mu\text{m}$ ,  $V_{ds} = 0,01 \text{ V}$ , óxido de HfO<sub>2</sub> ( $t_{ox} = 30 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 270 \text{ nm}$ ) e substrato de n<sup>++</sup> Si. A tensão de limiar foi atribuída como  $V_t = 0,23 \text{ V}$ . Uma densidade de estados de interface  $D_{it} = 4 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$  é empregada para reproduzir os dados experimentais..... 179

Figura 5.17 – Validação das características I–V incluindo a degradação da mobilidade com dados de simulação [182] considerando um transistor de porta-única. a)  $I_{ds} - V_{gs}$ . b)  $\mu - V_{gs}$ . Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ , óxido de SiO<sub>2</sub> ( $t_{ox} = 2 \text{ nm}$ ), isolante de Al<sub>2</sub>O<sub>3</sub> ( $t_i = 90 \text{ nm}$ ), porta de Al, substrato de n<sup>++</sup> Si,  $\mu_0 = 50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 10 \text{ }\mu\text{m}$ .  $E_{zC} = 21 \times 10^7 \text{ V/m}$  e  $\zeta = 1,3$  são utilizados como parâmetros de ajuste. .... 181

Figura 5.18 – Validação das características  $I_{ds} - V_{ds}$  incluindo a saturação de velocidade com dados de simulação [215] considerando um transistor de porta-única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3 \times 10^{12} \text{ cm}^{-2}$ , óxido de HfO<sub>2</sub> ( $t_{ox} = 13 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 270 \text{ nm}$ ), porta de Al, substrato de n<sup>++</sup> Si,  $\mu_0 = 50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 100 \text{ nm}$  e  $v_{sat} = 3 \times 10^6 \text{ cm/s}$ . .... 183

Figura 5.19 – Validação das características I–V com dados experimentais [216] considerando um transistor de porta-única. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$  para vários valores de  $V_{gs}$ . Parâmetros: canal de MoS<sub>2</sub> com  $t_s = 5 \text{ nm}$  e  $N_D = 5 \times 10^{11} \text{ cm}^{-2}$ , óxido de ZrO<sub>2</sub> ( $t_{ox} = 20 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 260 \text{ nm}$ ), porta de Ni, substrato de n<sup>++</sup> Si,  $\mu_0 = 38 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 2 \text{ }\mu\text{m}$  e  $W = 3,3 \text{ }\mu\text{m}$ . Um fator constante de 0,375 foi utilizado para ajustar a amplitude da corrente aos dados experimentais. Este fator pode ser atribuído ao efeito da resistência de acesso de 1,3 k $\Omega$ - $\mu\text{m}$  reportada pelos autores. .... 184

Figura 5.20 – Validação das características I–V com dados de simulação [219] considerando um transistor de porta-única e transporte balístico. a)  $I_{ds} - V_{gs}$ . b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de MoS<sub>2</sub> monocamada, óxido de HfO<sub>2</sub> ( $t_{ox} = 2,8 \text{ nm}$ ) e isolante de SiO<sub>2</sub> ( $t_i = 270 \text{ nm}$ ). A tensão de limiar foi atribuída como  $V_t = 0,275 \text{ V}$ . Fator de ajuste:  $\beta = 7$ . .... 188

Figura 5.21 – Validação das características  $I_{ds} - V_{gs}$  em escala logarítmica com dados de simulação [218] considerando um transistor de porta-única e transporte balístico. Parâmetros: canal de MoS<sub>2</sub> monocamada, óxido de HfO<sub>2</sub> ( $t_{ox} = 2,8 \text{ nm}$ ) e isolante de SiO<sub>2</sub> ( $t_i = 270 \text{ nm}$ ). A tensão de limiar foi atribuída como  $V_t = 0,275 \text{ V}$ . Fatores de ajuste:  $\eta = 1,18$ ,  $\Delta V_t = 0,02 \text{ V}$  e  $\beta_{sub} = 2$ . .... 189

Figura 5.22 – Validação das características I–V com dados de simulação [146] considerando um transistor de porta-dupla e transporte balístico. a)  $I_{ds} - V_{gs}$  em



escala linear e logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de  $WS_2/MoSe_2$  monocamada, óxido de  $HfO_2$  ( $t_{ox} = 3$  nm). A tensão de limiar foi atribuída como  $V_t = 0,375$  V. Fatores de ajuste:  $\beta = \beta_{sub} = 2$ ,  $\eta = 1,15$ ,  $\Delta V_t = 0$  V e  $2 \times I_{dssat}$ . 190

Figura 5.23 – Validação das características I–V com dados de simulação [218] considerando um transistor de porta-dupla e transporte balístico na direção de armchair. a)  $I_{ds} - V_{gs}$  em escala logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de fosforeno monocamada, óxido de  $HfO_2$  ( $t_{ox} = 2$  nm). Tensão de limiar atribuída:  $V_t = 0,78$  V. Fator de ajuste:  $\beta = 3$ . ..... 191

Figura 5.24 – Validação das características I–V com dados de simulação [219] considerando um transistor de porta-dupla e transporte balístico na direção de zig-zag. a)  $I_{ds} - V_{gs}$  em escala logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de fosforeno monocamada, óxido de  $HfO_2$  ( $t_{ox} = 2$  nm). Tensão de limiar atribuída:  $V_t = 0,78$  V. Fator de ajuste:  $\beta = 3$ . ..... 191

Figura 5.25 – Validação das características I–V com dados de simulação [220] considerando um transistor de porta-dupla e transporte balístico na direção de armchair. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de siliceno monocamada, óxido de  $SiO_2$  ( $t_{ox} = 0,5$  nm). A tensão de limiar foi atribuída como  $V_t = 0,265$  V. Fatores de ajuste:  $\beta = 2,4$  e  $2 \times I_{dssat}$ . ..... 192

Figura 5.26 – Validação das características I–V com dados experimentais [37] considerando um transistor de porta-única. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$  para vários valores de  $V_{gs}$ . Parâmetros: canal de InSe com  $t_s = 2,4$  nm e  $N_D = 3,5 \times 10^{11}$  cm<sup>-2</sup>, óxido de  $HfO_2$  ( $t_{ox} = 2,6$  nm), isolante idêntico ao óxido, porta de Ti, substrato de n<sup>++</sup> Si,  $L = 10$  nm. A tensão de limiar foi atribuída como  $V_t = 0,5$  V. Fatores de ajuste:  $\beta = 5$ . ..... 193

Figura 5.27 – Validação das características C–V com dados de simulação [222] considerando um transistor de porta-dupla. Parâmetros: canal de InSe com  $t_s = 0,8$  nm e  $N_D = 3,5 \times 10^{11}$  cm<sup>-2</sup> e óxido de  $SiO_2$  ( $t_{ox} = 0,5$  nm). A tensão de limiar foi atribuída como  $V_t = 0,2$  V. .... 195

Figura 5.28 – Disposições diferentes que podem ser utilizadas para realizar o contato metal-semicondutor: a) metal no topo. b) metal na extremidade. c) mista. .... 197

Figura 5.29 – Considerando o contato com o metal no topo, tem-se dois casos distintos com características relevantes para a modelagem: a) O metal e o semicondutor são separados por um recesso devido às forças de van der Waals. b) O metal e o semicondutor fazem uma ligação covalente e o trecho do canal sob o contato se torna metalizado. .... 198

Figura 5.30 – Mecanismos de injeção de portadores nos contatos entre metal e semiconductor. Em diferentes regiões de operação, o mecanismo dominante pode ser: a) emissão termiônica; b) emissão de campo assistida termicamente ou; c) tunelamento direto..... 199



## **Lista de Tabelas**

|  |     |
|--|-----|
| Tabela 1.1 – Evolução dos MOSFETs.....   | 13  |
| Tabela 2.1 – Características de corrente no JLNWFET.....   | 52  |
| Tabela 4.1 – Propriedades e comprimentos característicos de MOSFETs de Si e MoS <sub>2</sub> . ..... | 124 |
| Tabela 4.2 – Banda proibida dos principais semicondutores bidimensionais. .                          | 125 |
| Tabela 4.3 – Mobilidade e massa efetiva dos principais semicondutores bidimensionais .....           | 128 |



## Lista de Abreviaturas e Siglas

|         |   |
|---------|---|
| 1DEG    | One-Dimensional Electron Gas                                |
| 2DEG    | Two-Dimensional Electron Gas                                |
| 2D-FETs | Field-Effect Transistors based on Two-Dimensional Materials |
| 5G      | Fifth Generation of Mobile Communications                   |
| ALD     | Atomic Layer Deposition                                     |
| BJT     | Bipolar Junction Transistor                                 |
| C2DB    | Computational 2D Materials Database                         |
| CMOS    | Complementary Metal-Oxide-Semiconductor                     |
| CVD     | Chemical Vapor Deposition                                   |
| DFT     | Density Functional Theory                                   |
| DG      | Double-gate   |
| DIBL    | Drain-Induced Barrier Lowering                              |
| ENIAC   | Electronic Numerical Integrator and Computer                |
| EOT     | Equivalent Oxide Thickness                                  |
| FinFETs | Fin Field-Effect Transistor                                 |
| GAA     | Gate-All-Around   |
| HEMT    | High-Electron-Mobility Transistor                           |
| HKMG    | High- $\kappa$ / Metal Gate                                 |
| IC      | Integrated Circuit  |
| IRDS    | International Roadmap for Devices and Systems               |
| ITRS    | International Technology Roadmap for Semiconductors         |
| IoT     | Internet of Things  |
| JFET    | Junction Field-Effect Transistor                            |
| JL-FET  | Junctionless Field-Effect Transistor                        |
| JLNWFET | Junctionless Nanowire Field-Effect Transistor               |
| VLSI    | Very Large-Scale Integration                                |
| MBCFET  | Multi-Bridge Channel Field-Effect Transistor                |
| MBE     | Molecular-Beam Epitaxy                                      |
| MESFET  | Metal-Semiconductor Field-Effect Transistor                 |
| MIGS    | Metal-Induced Gap States                                    |
| MOSFET  | Metal-Oxide-Semiconductor Field-Effect Transistor           |
| MVS     | MIT Virtual Source model                                    |
| NC-FET  | Negative Capacitance Field-Effect Transistor                |
| NWFET   | Nanowire Field-Effect Transistor                            |
| PO-FET  | Pinch-Off Field-Effect Transistor                           |
| RTD     | Resonant-Tunneling Diode                                    |
| S2DS    | Stanford 2D Semiconductor                                   |
| SB-FET  | Schottky-Barrier Field-Effect Transistor                    |
| SCE     | Short-Channel Effects                                       |
| SCTD    | Surface Charge Transfer Doping                              |

|         |                                       |
|---------|---------------------------------------|
| SMC     | Semi-Metal Chalcogenide               |
| SOI     | Silicon on Insulator                  |
| SS      | Subthreshold Slope                    |
| TFET    | Tunnel Field-Effect Transistor        |
| TFT     | Thin-Film Transistors                 |
| TMD     | Transition Metal Dichalcogenide       |
| VeS-FET | Vertical-Slit Field-Effect Transistor |
| TCAD    | Technology Computer-Aided Design      |
| UTB     | Ultra-Thin Body                       |

## Lista de Símbolos

|                        |  |
|------------------------|--|
| $\alpha$               | Fator de proporcionalidade entre o campo elétrico no semicondutor e no óxido             |
| $\beta$                | Fator de ajuste para incluir o impacto da resistência de contato                         |
| $\beta_{sub}$          | Fator de redução da barreira devido à tensão de dreno (DIBL)                             |
| $\alpha_n$             | $n$ -ésimo zero da função de Bessel de primeira ordem, $J_0(r)$                          |
| $\Delta V_t$           | Deslocamento da tensão de limiar   |
| $\Delta \mathcal{E}_c$ | Deslocamento da banda de condução devido ao confinamento quântico                        |
| $\delta \mathcal{E}_c$ | Diferença de energia entre os dois principais vales dentro da primeira zona de Brillouin |
| $\Delta x$             | Largura infinitesimal  |
| $\epsilon_i$           | Permissividade elétrica do isolante  |
| $\epsilon_{ox}$        | Permissividade elétrica do óxido   |
| $\epsilon_s$           | Permissividade elétrica no semicondutor  |
| $\zeta_s$              | Constante de Schottky  |
| $\eta$                 | Fator de degradação da inclinação de sublimiar   |
| $\theta$               | Ângulo da direção de transporte em relação à direção armchair                            |
| $\kappa$               | Constante dielétrica   |
| $\lambda$              | Comprimento característico   |
| $\lambda_D$            | Comprimento de Debye   |
| $\lambda_L$            | Caminho livre médio dos portadores   |
| $\mu$                  | Mobilidade dos portadores  |
| $\mu_0$                | Mobilidade de portadores independente do campo elétrico                                  |
| $\mu_{bulk}$           | Mobilidade dos portadores no interior do nanofio   |
| $\mu_e$                | Mobilidade dos portadores (elétrons)   |
| $\mu_{deg}$            | Mobilidade dos portadores incluindo efeito de degradação                                 |
| $\mu_h$                | Mobilidade dos portadores (lacunas)  |
| $\mu_{sup}$            | Mobilidade dos portadores na superfície do nanofio                                       |
| $\nu$                  | Expoente da dependência com a temperatura na corrente termiônica                         |
| $\xi$                  | Argumento da função especial integral de Fermi-Dirac                                     |
| $\rho_m$               | Densidade volumétrica de carga livre no semicondutor                                     |
| $\rho_t$               | Densidade volumétrica de carga total no semicondutor                                     |
| $\sigma_{acc}$         | Densidade linear de carga na condição de acumulação                                      |
| $\sigma_{it}$          | Densidade linear de carga devido a armadilhas de interface                               |
| $\sigma_t$             | Densidade linear de carga total no semicondutor  |
| $\varsigma$            | Parâmetro de ajuste para a degradação da mobilidade                                      |
| $\tau$                 | Atraso intrínseco  |
| $\phi_B$               | Altura da barreira de Schottky   |
| $\phi_M$               | Potencial associado a função-trabalho do metal   |



|                     |  |
|---------------------|--|
| $\phi_{CNL}$        | Nível de neutralidade de carga                                       |
| $\phi_S$            | Potencial associado a função-trabalho do semiconductor               |
| $\phi_T$            | Tensão térmica   |
| $\phi$              | Variável potencial eletrostático                                     |
| $\phi_{aprox}$      | Potencial eletrostático aproximado                                   |
| $\phi_c$            | Potencial no centro do nanofio                                       |
| $\phi_{cl}$         | Potencial no centro do nanofio considerando canal longo              |
| $\phi_{cmin}$       | Valor mínimo do potencial no centro do nanofio                       |
| $\phi_d$            | Potencial eletrostático no contato de dreno                          |
| $\phi_{d,sat}$      | Potencial eletrostático no contato de dreno em condição de saturação |
| $\phi_\ell$         | Variável potencial considerando canal longo                          |
| $\phi_{ox}$         | Queda de potencial no óxido  |
| $\phi_s$            | Potencial eletrostático no contato de fonte (Cap. 5)                 |
| $\phi_s$            | Potencial de superfície (Caps. 2 e 3)                                |
| $\Phi$              | Função de mapeamento   |
| $\psi$              | Função de onda   |
| $\chi_s$            | Afinidade eletrônica do semiconductor                                |
| $A_{2D}$            | Constante de Richardson bidimensional                                |
| $c_{eff}$           | Capacitância efetiva por unidade de comprimento                      |
| $c_{ox}$            | Capacitância do óxido por unidade de comprimento                     |
| $c_s$               | Capacitância do semiconductor por unidade de comprimento             |
| $C_{gg}$            | Capacitância de porta  |
| $C_i$               | Capacitância do isolante   |
| $C_{int}$           | Capacitância intrínseca  |
| $C_{it}$            | Capacitância devido às armadilhas de interface                       |
| $C_m$               | Capacitância devido às cargas móveis                                 |
| $C_{ox}$            | Capacitância do óxido  |
| $C_Q$               | Capacitância quântica  |
| $C_{total}$         | Capacitância total   |
| $d$                 | Parâmetro fixo da função de mapeamento                               |
| $d_B$               | Largura da barreira de potencial                                     |
| $D_{it}$            | Densidade de estados de interface                                    |
| $\overline{D_{it}}$ | Densidade efetiva de estados de interface                            |
| $D_{it0}$           | Valor constante da densidade de estados de interface                 |
| $D_{it1}$           | Valor de pico da densidade de estados de interface                   |
| $erfc(\cdot)$       | Função-erro complementar   |
| $\vec{E}$           | Vetor campo elétrico   |
| $E_{ox}$            | Campo elétrico no óxido  |
| $E_s$               | Campo elétrico na superfície do semiconductor                        |
| $E_x$               | Campo elétrico horizontal  |
| $E_z$               | Campo elétrico vertical  |
| $E_{zC}$            | Valor crítico do campo elétrico vertical                             |

|                    |   |
|--------------------|---|
| $f(\mathcal{E})$   | Distribuição de Fermi-Dirac   |
| $f_d(\mathcal{E})$ | Distribuição de Fermi-Dirac no contato de dreno   |
| $f_s(\mathcal{E})$ | Distribuição de Fermi-Dirac no contato de fonte   |
| $g_{1D}$           | Densidade de estados unidimensional   |
| $g_\ell$           | Fator degenerescência de vale   |
| $g_m$              | Transcondutância  |
| $g_s$              | Fator degenerescência de spin   |
| $g_v$              | Fator degenerescência de vale   |
| $h$                | Constante de Planck   |
| $H(\cdot)$         | Função de Heaviside   |
| $I_0$              | Amplitude da corrente de dreno  |
| $I_{0sub}$         | Amplitude da corrente de dreno na condição de sublimiar                                 |
| $I_{bulk}$         | Corrente no interior do nanofio   |
| $I_C$              | Corrente de coletor   |
| $I_E$              | Corrente de emissor   |
| $I_{ds}$           | Corrente de dreno   |
| $I_{dsat}$         | Corrente de dreno na condição de saturação  |
| $I_{ds_{sub}}$     | Corrente de dreno na condição de sublimiar  |
| $I_{injeção}$      | Corrente calculada pela injeção de portadores nos contatos                              |
| $I_{OFF}$          | Corrente de dreno no estado desligado   |
| $I_{ON}$           | Corrente de dreno no estado ligado  |
| $I_{sup}$          | Corrente na superfície do nanofio   |
| $I_{transporte}$   | Corrente calculada pelo transporte de portadores no canal                               |
| $\vec{J}$          | Vetor densidade de corrente   |
| $J_0(\cdot)$       | Função de Bessel de primeira ordem  |
| $\vec{k}$          | Vetor de onda associado à rede recíproca  |
| $k_B$              | Constante de Boltzmann  |
| $L$                | Comprimento do canal  |
| $L_{eff}$          | Comprimento efetivo do canal  |
| $m^*$              | Massa efetiva da partícula  |
| $m_{AC}^*$         | Massa efetiva na direção de armchair  |
| $m_{A-B}^*$        | Massa efetiva na direção definida de "A" para "B"                                       |
| $m_{DOS}^*$        | Massa efetiva utilizada para o cálculo da densidade de estados                          |
| $m_e^*$            | Massa efetiva do elétron  |
| $m_h^*$            | Massa efetiva da lacuna   |
| $m_\ell^*$         | Massa efetiva correspondente ao $\ell$ -ésimo vale dentro da primeira zona de Brillouin |
| $m_m^*$            | Massa efetiva do elétron no metal   |
| $m_t^*$            | Massa efetiva utilizada para o cálculo do transporte de portadores                      |
| $m_s^*$            | Massa efetiva do elétron no semicondutor  |
| $m_{ZZ}^*$         | Massa efetiva na direção de zig-zag   |
| $n$                | Concentração de portadores (elétrons)   |
| $n_s$              | Concentração de portadores no semicondutor (elétrons)                                   |

|                                  |   |
|----------------------------------|---|
| $n_i$                            | Concentração intrínseca de portadores                               |
| $n_{it}$                         | Concentração de portadores ocupando armadilhas de interface         |
| $N_A$                            | Concentração de aceitadores   |
| $N_A^-$                          | Concentração de aceitadores ionizados                               |
| $N_c$                            | Densidade de estados efetiva no fundo da banda de condução          |
| $N_{DoS}$                        | Densidade de estados efetiva bidimensional                          |
| $N_D$                            | Concentração de doadores  |
| $N_D^+$                          | Concentração de doadores ionizados                                  |
| $p$                              | Concentração de portadores (lacunas)                                |
| $q$                              | Carga elementar   |
| $Q_{bulk}$                       | Carga contida no canal de condução delimitado por $r_c$             |
| $Q_m$                            | Carga móvel   |
| $Q_{sc}$                         | Carga espacial do semicondutor                                      |
| $Q_{sup}$                        | Carga contida na superfície do nanofio                              |
| $r_c$                            | Raio do canal de condução   |
| $r_{c_{sub}}$                    | Raio do canal de condução na condição de sublimiar                  |
| $R$                              | Raio do nanofio   |
| $R_c$                            | Resistência de contato  |
| $S$                              | Fator de fixação do nível de Fermi                                  |
| $t_i$                            | Espessura do isolante   |
| $t_{ox}$                         | Espessura do óxido  |
| $t_s$                            | Espessura do canal semicondutor                                     |
| $T$                              | Temperatura   |
| $\vec{v}$                        | Vetor velocidade de deriva  |
| $\langle v(\mathcal{E}) \rangle$ | Distribuição média de velocidade de portadores na banda de condução |
| $v_{sat}$                        | Velocidade de saturação dos portadores                              |
| $V_0$                            | Parâmetro fixo da função de mapeamento                              |
| $V_{bs}$                         | Tensão entre fonte e substrato                                      |
| $V_C$                            | Tensão de coletor   |
| $V_d$                            | Tensão aplicada ao dreno  |
| $V_{dd}$                         | Tensão de alimentação   |
| $V_{ds}$                         | Tensão entre fonte e dreno  |
| $V_{ds_{sat}}$                   | Tensão entre fonte e dreno em que ocorre a saturação                |
| $V_E$                            | Tensão de emissor   |
| $V_{FB}$                         | Tensão de banda plana   |
| $V_{gc}$                         | Tensão entre canal e porta  |
| $V_{gs}$                         | Tensão entre fonte e porta  |
| $V_i$                            | Diferença entre as funções trabalho do semicondutor e do substrato  |
| $V_s$                            | Tensão aplicada à fonte   |
| $V_t$                            | Tensão de limiar  |
| $V_t'$                           | Tensão de limiar deslocada  |
| $V_{t\ell}$                      | Tensão de limiar considerando canal longo                           |

|   |   |
|---|---|
| $x_{\min}$                                    | Posição do canal onde ocorre o mínimo do potencial          |
| $w_{dep}$                                     | Largura da região de depleção                               |
| $W$   | Largura do canal  |
| $z_{FB}$                                      | Limite entre as regiões em depleção parcial e acumulação    |
| $z_{t_0}$                                     | Limite inferior da transição entre depleção parcial e total |
| $z_{t_1}$                                     | Limite superior da transição entre depleção parcial e total |
| $\mathcal{E}$                                 | Variável energia  |
| $\mathcal{E}_\sigma$                          | Taxa de decaimento da exponencial                           |
| $\mathcal{E}_c$                               | Energia do fundo da banda de condução                       |
| $\mathcal{E}_n$                               | Auto-energias de poço quântico                              |
| $\mathcal{E}_{n,\nu}$                         | Auto-energias de um oscilador harmônico circular            |
| $\mathcal{E}_F$                               | Energia do nível de Fermi                                   |
| $\mathcal{E}_{FM}$                            | Energia do nível de Fermi no metal                          |
| $\mathcal{E}_{Fd}$                            | Energia do nível de Fermi no contato de dreno               |
| $\mathcal{E}_{Fs}$                            | Energia do nível de Fermi no contato de fonte               |
| $\mathcal{E}_{FS}$                            | Energia do nível de Fermi no semiconductor                  |
| $\mathcal{E}_g$                               | Energia da banda proibida                                   |
| $\mathcal{E}_i$                               | Energia do nível de Fermi no semiconductor intrínseco       |
| $\mathcal{E}_{it}$                            | Energia associada a armadilha de interface                  |
| $\mathcal{E}_v$                               | Energia do topo da banda de valência                        |
| $\mathcal{E}_{v\underline{a}c\underline{u}o}$ | Energia associada ao vácuo                                  |
| $\mathcal{A}$                                 | Constante da corrente termiônica                            |
| $\mathcal{F}_{1/2}(\cdot)$                    | Integral de Fermi-Dirac de índice 1/2                       |
| $\hbar$                                       | Constante reduzida de Planck                                |
| $\mathcal{M}$                                 | Distribuição dos modos de transmissão do canal              |
| $\mathcal{T}$                                 | Coefficiente de transmissão                                 |
| $\mathcal{T}_0$                               | Valor efetivo do coeficiente de transmissão                 |



# Sumário

|  |           |
|--|-----------|
| <b>CAPÍTULO 1: INTRODUÇÃO</b> .....  | <b>1</b>  |
| 1.1 – A INVENÇÃO DO TRANSISTOR .....   | 2         |
| 1.2 – O MOSFET E SUA EVOLUÇÃO .....  | 7         |
| 1.3 – EFEITOS DELETÉRIOS AO DESEMPENHO DOS MOSFETs .....                             | 16        |
| 1.4 – ERA PÓS-MOORE .....  | 19        |
| 1.4.1 – JL-FETs .....  | 21        |
| 1.4.2 – 2D-FETs.....   | 23        |
| 1.5 – MODELAGEM COMPACTA .....   | 26        |
| 1.6 – ORGANIZAÇÃO DA TESE .....  | 31        |
| <br>   |           |
| <b>CAPÍTULO 2: TRANSISTORES DE NANOFIO SEM JUNÇÕES</b> .....                         | <b>35</b> |
| 2.1 – O DISPOSITIVO .....  | 36        |
| 2.2 – PRINCÍPIOS DE OPERAÇÃO.....  | 38        |
| 2.2.1 – NWFETs DE INVERSÃO .....   | 38        |
| 2.2.2 – NWFETs DE ACUMULAÇÃO .....   | 40        |
| 2.2.3 – NWFETs SEM JUNÇÕES .....   | 41        |
| 2.3 – REGIMES DE OPERAÇÃO.....   | 46        |
| 2.3.1 – REGIME DE DEPLEÇÃO TOTAL.....  | 46        |
| 2.3.2 – REGIME DE DEPLEÇÃO PARCIAL .....   | 48        |
| 2.3.3 – REGIME DE ACUMULAÇÃO .....   | 50        |
| 2.4 – CARACTERÍSTICAS DE OPERAÇÃO .....  | 51        |
| 2.5 – CONCLUSÃO .....  | 55        |
| <br>   |           |
| <b>CAPÍTULO 3: MODELAGEM COMPACTA PARA TRANSISTORES DE NANOFIO SEM JUNÇÕES</b> ..... | <b>57</b> |
| 3.1 – BREVE REVISÃO DA LITERATURA .....  | 59        |
| 3.2 – MODELAGEM ELETROSTÁTICA .....  | 60        |
| 3.2.1 – CONCENTRAÇÃO DE PORTADORES.....  | 61        |
| 3.2.2 – DIAGRAMA DE BANDAS .....   | 62        |
| 3.2.3 – EQUAÇÃO DE POISSON.....  | 64        |
| 3.2.4 – SOLUÇÕES RADIAIS APROXIMADAS DA EQUAÇÃO DE POISSON .....                     | 65        |
| 3.2.4.1 – Solução do intervalo I.....  | 66        |
| 3.2.4.2 – Solução do intervalo III.....  | 68        |
| 3.2.4.3 – Solução do intervalo II.....   | 72        |
| 3.2.4.4 – Solução do intervalo IV.....   | 75        |
| 3.2.5 – SOLUÇÕES LONGITUDINAIS APROXIMADAS DA EQUAÇÃO DE POISSON .....               | 78        |
| 3.2.5.1 – Solução considerando canal longo .....                                     | 79        |
| 3.2.5.2 – Solução considerando canal curto.....                                      | 80        |
| 3.2.6 – CONSIDERAÇÕES SOBRE ARMADILHAS DE INTERFACE .....                            | 84        |
| 3.3 – MODELAGEM DAS CARACTERÍSTICAS DE CARGA ( $Q-V$ ) .....                         | 88        |
| 3.4 – MODELAGEM DAS CARACTERÍSTICAS DE CORRENTE ( $I-V$ ) .....                      | 91        |
| 3.5 – MODELAGEM DAS CARACTERÍSTICAS DE CAPACITÂNCIA ( $C-V$ ) .....                  | 96        |
| 3.6 – CONSIDERAÇÕES SOBRE A EXTENSÃO DO MODELO .....                                 | 99        |

|  |            |
|--|------------|
| 3.6.1 – EFEITOS DE CONFINAMENTO QUÂNTICO ..... | 99         |
| 3.6.2 – TRANSPORTE BALÍSTICO .....             | 104        |
| 3.6.3 – NANOFIOS DE SEÇÃO-RETA QUADRADA.....   | 106        |
| <b>3.7 – CONCLUSÃO .....</b>                   | <b>108</b> |

## **CAPÍTULO 4: TRANSISTORES BASEADOS EM MATERIAIS BIDIMENSIONAIS .....**

|  |            |
|--|------------|
| <b>4.1 – MATERIAIS BIDIMENSIONAIS .....</b>                            | <b>110</b> |
| 4.1.1 – X-ENOS E SEUS DERIVADOS.....                                   | 113        |
| 4.1.2 – DICALCOGENETOS DE METAIS DE TRANSIÇÃO .....                    | 118        |
| 4.1.3 – CALCOGENETOS DE SEMIMETAIS .....                               | 120        |
| <b>4.2 – PROPRIEDADES DE 2D-FETs .....</b>                             | <b>121</b> |
| 4.2.1 – ESPESSURA DO CANAL .....                                       | 122        |
| 4.2.2 – BANDA PROIBIDA .....   | 124        |
| 4.2.3 – MOBILIDADE E MASSA EFETIVA .....                               | 126        |
| <b>4.2.4 – DOPAGEM E RESISTÊNCIA DE CONTATO.....</b>                   | <b>130</b> |
| <b>4.3 – CONSIDERAÇÕES PARA A MODELAGEM COMPACTA DE 2D-FETs .....</b>  | <b>134</b> |
| 4.3.1 – RELAÇÃO ENTRE A BANDA PROIBIDA E A ESPESSURA DO MATERIAL ..... | 134        |
| 4.3.2 – INFLUÊNCIA DE MÚLTIPLOS VALES DA BANDA DE CONDUÇÃO .....       | 136        |
| 4.3.3 – ANISOTROPIA DA ESTRUTURA DE BANDAS .....                       | 137        |
| 4.3.4 – NÃO-PARABOLICIDADE DA RELAÇÃO DE DISPERSÃO.....                | 139        |
| <b>4.4 – ESTADO-DA-ARTE E PERSPECTIVAS FUTURAS.....</b>                | <b>141</b> |
| <b>4.5 – CONCLUSÃO .....</b>   | <b>145</b> |

## **CAPÍTULO 5: MODELAGEM COMPACTA PARA TRANSISTORES BASEADOS EM MATERIAIS BIDIMENSIONAIS .....**

|  |            |
|--|------------|
| <b>5.1 – BREVE REVISÃO DA LITERATURA .....</b>                   | <b>148</b> |
| <b>5.2 – MODELAGEM ELETROSTÁTICA .....</b>                       | <b>151</b> |
| 5.2.1 – CONCENTRAÇÃO DE PORTADORES.....                          | 152        |
| 5.2.2 – DIAGRAMA DE BANDAS .....                                 | 154        |
| 5.2.3 – EQUAÇÃO DE POISSON.....                                  | 156        |
| 5.2.4 – SOLUÇÃO ANALÍTICA APROXIMADA DA EQUAÇÃO DE POISSON ..... | 160        |
| 5.2.4.1 – Solução considerando canal longo .....                 | 160        |
| 5.2.4.2 – Solução considerando canal curto.....                  | 165        |
| 5.2.5 – CONSIDERAÇÕES SOBRE ARMADILHAS DE INTERFACE .....        | 169        |
| <b>5.3 – MODELAGEM DAS CARACTERÍSTICAS I–V PARA 2DFETs.....</b>  | <b>173</b> |
| 5.3.1 – TRANSPORTE POR DIFUSÃO-DERIVA .....                      | 174        |
| 5.3.2 – TRANSPORTE BALÍSTICO .....                               | 185        |
| <b>5.4 – MODELAGEM DAS CARACTERÍSTICAS C–V PARA 2DFETs .....</b> | <b>194</b> |
| <b>5.5 – CONSIDERAÇÕES SOBRE A MODELAGEM DOS CONTATOS .....</b>  | <b>195</b> |
| 5.5.1 – FORMAÇÃO DA BARREIRA DE SCHOTTKY .....                   | 196        |
| 5.5.2 – MECANISMOS DE INJEÇÃO DE PORTADORES .....                | 199        |
| <b>5.4 – CONCLUSÃO .....</b>                                     | <b>201</b> |

## **CAPÍTULO 6: CONCLUSÕES .....**

|  |            |
|--|------------|
| <b>6.1 – TRANSISTORES DE NANOFIO SEM JUNÇÕES .....</b>               | <b>203</b> |
| <b>6.2 – TRANSISTORES BASEADOS EM MATERIAIS BIDIMENSIONAIS .....</b> | <b>204</b> |

|   |     |
|---|-----|
| 6.3 – SUGESTÕES DE TRABALHOS FUTUROS .....                          | 206 |
| 6.4 – DECLARAÇÃO DE RESPONSABILIDADE .....                          | 207 |
| APÊNDICE I: COEFICIENTES E CONSTANTES UTILIZADAS NO CAPÍTULO 3..... | 209 |
| LISTA DE PUBLICAÇÕES.....   | 213 |
| REFERÊNCIAS .....   | 215 |





## Capítulo 1: Introdução

---

*Transistor. Esta é uma combinação abreviada das palavras "transcondutância" ou "transferência" e "varistor". O dispositivo logicamente pertence à família do varistor e tem a transcondutância ou impedância de transferência de um dispositivo que possui ganho, de modo que a combinação é descritiva.*

*Bell Telephone Laboratories  
28 de maio de 1948*

Em meados do século XX, o transistor emergiu como uma inovação tecnológica que gradualmente substituiu a válvula eletrônica e desempenhou um papel fundamental na condução da Terceira Revolução Industrial, também chamada de Revolução Digital. Esse marco deu início à Era da Informação, na qual o uso de computadores conectados à internet transformou radicalmente as estruturas sociais e as formas de comunicação. Na alvorada da década de 2020, o transistor certamente continua sendo a pedra angular do avanço tecnológico, de modo que é imprescindível que o meio acadêmico proponha, desenvolva e aperfeiçoe os diversos aspectos que dão suporte à indústria de semicondutores.

Um desses aspectos, tema proposto para esta tese de doutoramento, é a modelagem compacta — ponte entre os complexos fenômenos físicos que compõem o funcionamento de um único dispositivo semicondutor e o projeto de circuitos eletrônicos integrados, nos quais bilhões destes dispositivos são combinados para realizar tarefas igualmente complexas.

Este capítulo introdutório proporciona um breve resumo histórico e teórico da evolução dos transistores, com destaque especial para os MOSFETs (*Metal-Oxide-Semiconductor Field-Effect Transistors*), a classe de transistores mais empregada em circuitos eletrônicos integrados. Em seguida, os fundamentos e a evolução da modelagem compacta também são abordados, enfatizando sua

importância para a indústria de semicondutores. Por fim, é apresentada a proposta desenvolvida neste trabalho de doutoramento.

## **1.1 – A invenção do transistor**

No fim do século XIX, a mecânica clássica estava consolidada o suficiente para dar conta da maioria dos problemas macroscópicos; a termodinâmica e a física estatística dominavam o estudo de problemas microscópicos; e a teoria eletromagnética fora unificada pelas mãos de James Clerk Maxwell, de modo que fenômenos elétricos, magnéticos e ópticos eram casos particulares de um sistema de equações diferenciais. A completude do conhecimento científico era um sentimento bastante difundido no fim da Era Vitoriana, resumido nas palavras atribuídas ao físico experimentalista Albert Michelson: “as verdades da Física deveriam ser procuradas na sexta casa decimal” [1]. Não obstante, fenômenos como a radiação de corpo negro e o efeito fotoelétrico ainda desafiavam a física clássica e não encontravam explicação plausível em nenhuma de suas vertentes.

Nesse sentido, fez-se necessário reformular o entendimento de energia, em grande parte nos trabalhos Max Planck e Albert Einstein, para introduzir o conceito de quantização e inaugurar um novo campo de estudo — a física moderna. Já nas décadas de 1920 e 1930, grandes físicos como Louis de Broglie, Werner Heisenberg, Paul Dirac e Erwin Schrödinger estabeleceram as bases do que veio a ser a chamada mecânica quântica. Mais adiante, na década de 1940, o desenvolvimento científico foi altamente impulsionado pelos interesses geopolíticos devido à Segunda Guerra Mundial (1939-1945), com destaque neste período para a física nuclear.

Paralelamente a esses avanços científicos, a indústria de telecomunicações se consolidava com a substituição do telégrafo pelo telefone e o advento do rádio e da televisão. Dois dispositivos exerceram um papel fundamental nesse processo: o diodo de válvula termiônica, desenvolvido por John Ambrose

Fleming em 1904, e o triodo, inventado por Lee de Forest em 1907. Ambos eram aparatos capazes de controlar, manipular e amplificar o fluxo de corrente de acordo com a diferença de potencial aplicada. Isso possibilitou a fabricação de chaves eletrônicas, retificadores de onda, moduladores, amplificadores, reguladores de tensão, entre outros elementos vitais aos sistemas de telecomunicações.

Esse estágio inicial da eletrônica e das comunicações via rádio foi altamente impulsionado por investimentos militares durante a Primeira Guerra Mundial (1914-1917). Já no fim da Segunda Guerra, surgiram os primeiros computadores eletrônicos de propósito geral. Um exemplo notável desta época foi o pioneiro ENIAC (*Electronic Numerical Integrator and Computer*), desenvolvido para realizar cálculos balísticos e viabilizar as armas termonucleares. No entanto, devido ao estresse térmico, diversas das 17.000 válvulas termiônicas presentes no ENIAC queimavam quase todos os dias e precisavam ser trocadas manualmente, o que deixava o computador inoperante por bastante tempo nos primeiros anos [2].

Em 1925, o físico austro-húngaro Julius Edgar Lilienfeld registrou a patente CA272437A no Canadá, que descrevia um “mecanismo para o controle de correntes elétricas” visando substituir as válvulas termiônicas em amplificadores de comunicações via rádio [3]. Esse dispositivo é considerado o primeiro transistor de efeito de campo. Contudo, ele jamais publicou um artigo científico sobre o assunto e não havia tecnologia à época para obter um material semicondutor de alta pureza, de modo que sua invenção não pôde ser implementada. Nos anos 50, quando os pesquisadores do Bell Labs buscaram registrar suas próprias patentes, algumas delas foram rejeitadas por conta deste trabalho pioneiro.

Uma década após as contribuições de Lilienfeld, o engenheiro eletricitista alemão Oskar Heil também registrou uma patente no Reino Unido descrevendo um dispositivo semelhante. Nessa patente, ele mencionava a possibilidade de

controlar a resistência de um material semicondutor por meio da aplicação de uma diferença de potencial [4].

Em 1945, um grupo de pesquisadores do Bell Labs foi formado sob a direção do físico americano William Shockley para desenvolver um dispositivo triodo baseado em material semicondutor. A ideia inicial proposta por Shockley era justamente controlar a condutividade do material induzindo uma carga de superfície por meio da aplicação de um campo elétrico. Porém, as tentativas experimentais resultaram em um controle bem menor do que o esperado, inviabilizando momentaneamente a proposta.

O projeto só progrediu efetivamente a partir de 1947, quando William Shockley, John Bardeen e Walter Brattain publicaram uma série de importantes artigos acerca dos estados de superfície em um sólido e suas implicações [5]–[7]. Com sugestões de Shockley, embora este não esteja incluído na patente submetida pelo Bell Labs, Bardeen e Brattain construíram o primeiro transistor de contato pontual (Fig. 1.1) [8]. Em 16 de dezembro de 1947, a dupla obteve sucesso em amplificar um sinal de voz captado por um microfone e inaugurou uma nova era na história da tecnologia.

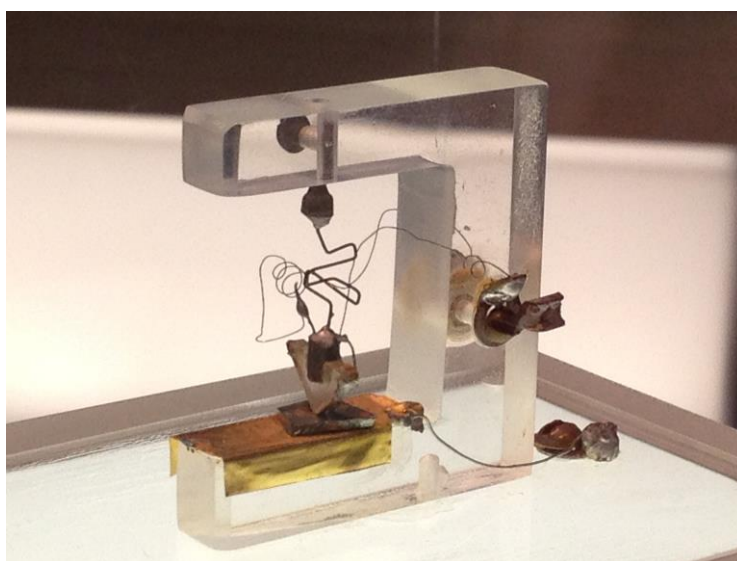


Figura 1.1 – Primeiro transistor de contato pontual, construído em 1947 (Licença: [Unitronic](#), [1st-Transistor](#), [CC BY-SA 3.0](#)).

Conforme ilustrado na Fig. 1.2, este primeiro transistor consistia em uma peça triangular de poliestireno coberta lateralmente por folhas de ouro e com a sua ponta pressionada por uma mola contra um bloco de germânio, material semiconductor. Os dois contatos de ouro, isolados eletricamente, eram denominados emissor e coletor, uma vez que um “emitia” e o outro “coletava” os portadores de carga. Na parte superior do bloco de germânio era formada uma pequena camada de inversão (tipo-p), enquanto o restante era dopado tipo-n. Uma superfície de cobre abaixo deste bloco formava a base, assim denominada devido à sua localização.

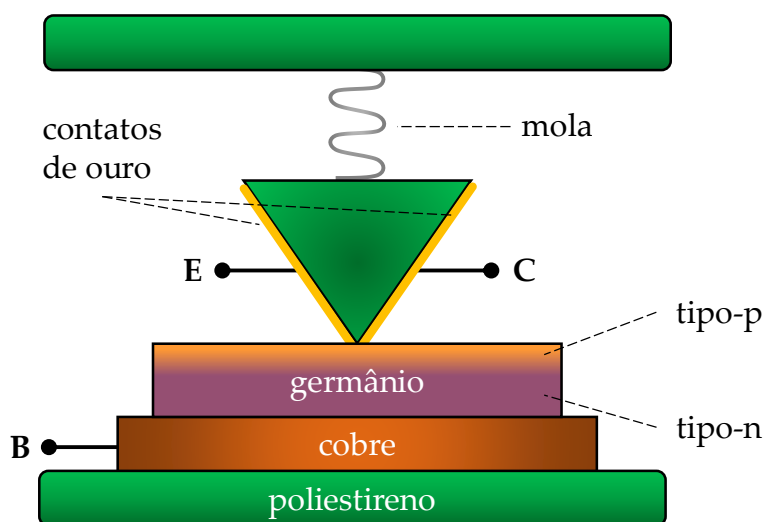


Figura 1.2 – Esquemático do primeiro transistor de contato pontual.

Tomando como referência a ponta do triângulo de poliestireno, o lado esquerdo do semiconductor estava polarizado diretamente entre emissor e base, resultando em um fluxo de corrente. Já o lado direito estava polarizado reversamente entre coletor e base, de modo que não deveria haver corrente significativa. Contudo, em consequência da pequena distância, de 0,005 a 0,025 cm, entre os contatos, lacunas (portadores de carga positiva) eram injetadas do lado esquerdo para o lado direito, iniciando também um fluxo de corrente entre base e coletor. As duas correntes eram quase equivalentes, mas a tensão de polarização aplicada no lado direito era muito maior que no lado esquerdo,

$I_C V_C > I_E V_E$ . Logo, a potência do sinal aplicado no emissor era amplificada no coletor.

Após não ter seu nome incluído nessa primeira patente, Shockley passou os três anos seguintes trabalhando em um novo tipo de transistor, desta vez baseado em junções de semicondutores. Em 1948 ele concebeu a ideia, patenteando, já em 1951, o transistor bipolar de junção ou BJT (*Bipolar Junction Transistor*) [9].

Como pode ser visto na Fig. 1.3, ao contrário do transistor de contato pontual, o BJT é um dispositivo bidimensional, com duas junções de diferentes dopagens de semicondutores (n-p-n ou p-n-p). Essa característica por si só já fazia dele um produto bem mais viável em termos de comercialização.

O BJT opera através da modulação da corrente que flui entre coletor e emissor por meio da aplicação de uma corrente de base. Essa modulação é possibilitada pela injeção e recombinação de portadores majoritários e minoritários no material semiconductor, justificando o termo "bipolar".

Em um BJT do tipo n-p-n, a aplicação de uma corrente de base injeta lacunas na região da base. Essas lacunas recombina-se com elétrons na junção base-coletor, permitindo que uma corrente de portadores majoritários (elétrons) flua do emissor para o coletor, amplificando a corrente original. No BJT do tipo p-n-p, o processo é similar, com a injeção de elétrons na base e o fluxo de lacunas como corrente amplificada.

O BJT do tipo n-p-n também pode ser representado pelo símbolo na Fig. 1.3. A seta no símbolo indica a junção p-n entre a base e o emissor, e aponta no sentido convencional da corrente.

Em decorrência da importância destes dois dispositivos e da revolução na física do estado sólido, em 1956, John Bardeen, Walter Brattain e Willian Shockley foram laureados com o Prêmio Nobel da Física "por suas pesquisas em semicondutores e pela descoberta do efeito transistor".

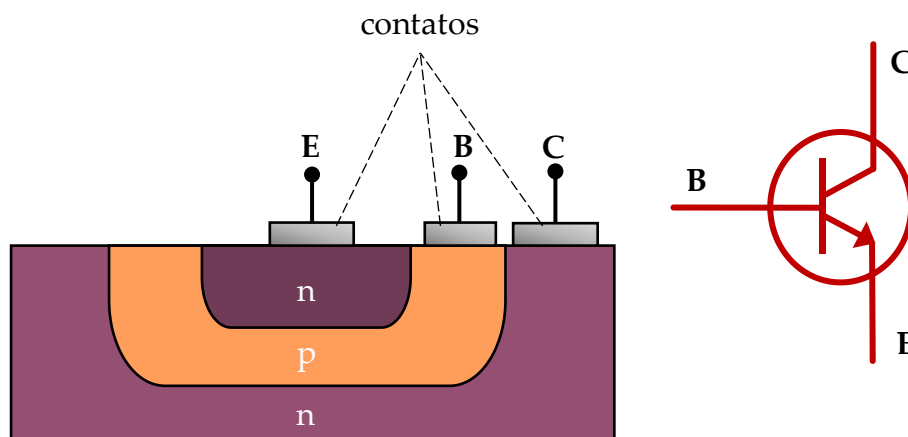


Figura 1.3 – Esquemático e símbolo do transistor bipolar de junção tipo n-p-n.

## 1.2 – O MOSFET e sua evolução

Apesar dos esforços de Bardeen, Brattain e Shockley, que previram o efeito de campo nos semicondutores em suas tentativas frustradas de fabricação de um transistor baseado neste princípio, o primeiro JFET (*Junction Field-Effect Transistor*) só veio a ser construído por George Dacey e Ian Ross em 1953, 28 anos após a patente de Lilienfeld [10]. No entanto, as dificuldades de fabricação e o volume dos dispositivos fizeram com que os transistores de efeito de campo fossem preteridos em relação aos concorrentes bipolares até o fim da década de 1950. O mesmo ocorria com o silício em relação ao germânio.

Essa realidade começou a mudar quando o engenheiro egípcio Mohamed Atalla propôs uma técnica de fabricação denominada passivação de superfície. Essa técnica consistia em crescer uma camada de dióxido de silício sobre a pastilha de silício, de modo a reduzir a quantidade de estados de superfície e permitir que o campo elétrico atingisse a camada semicondutora de forma eficiente. Além disso, este revestimento dielétrico ajudava a preservar as características elétricas das junções p-n. Com base nesse processo, Atalla e seu colega coreano Dawon Kahng inventaram o MOSFET, um transistor de efeito de



campo cujo controle é feito através de uma interface de metal, óxido e semiconductor [11].

O MOSFET, em seu formato mais básico, está ilustrado na Fig. 1.4. Neste exemplo, o MOSFET é tipo-n, também chamado de n-MOS ou n-FET. Caso todas as dopagens estivessem invertidas, ele seria um MOSFET tipo-p (p-MOS ou p-FET), e seu funcionamento se daria da mesma forma que o descrito a seguir, bastando substituir elétrons por lacunas e inverter a polaridade das tensões aplicadas.

O dispositivo é formado por duas regiões de semiconductor dopado tipo-n, chamadas fonte (em inglês, *source*) e dreno (em inglês, *drain*), separadas por um substrato de semiconductor dopado tipo-p. No topo deste substrato está um material dielétrico denominado óxido de porta (em inglês, *gate oxide*) e sobre ele um contato de metal denominado porta (em inglês, *gate*). O MOSFET tipo-n também pode ser representado pelo símbolo na Fig. 1.4, semelhante a uma chave em que a porta (G) controla o fluxo de corrente entre a fonte (S) e o dreno (D).

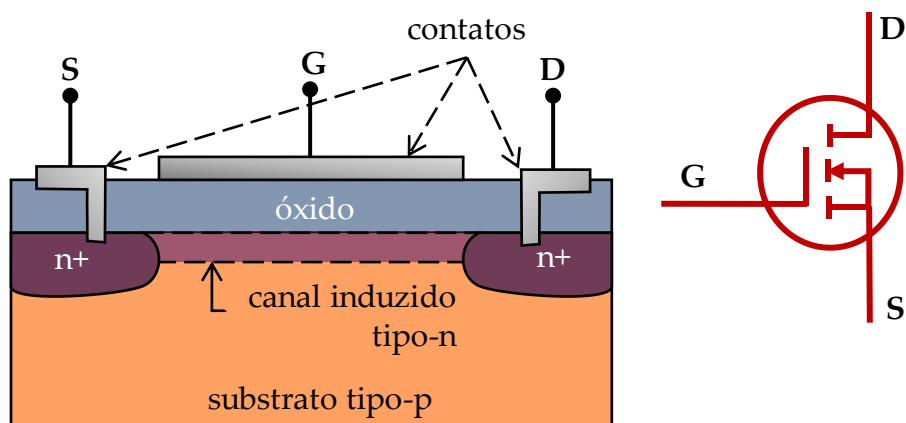


Figura 1.4 – Esquemático e símbolo do MOSFET tipo-n (n-MOS).

Se nenhuma tensão é aplicada à porta, temos duas junções p-n opostas entre fonte e dreno. Deste modo, mesmo havendo uma diferença de potencial entre elas, não há fluxo de corrente e o dispositivo está desligado. Porém, se uma

tensão positiva suficientemente alta é aplicada à porta, o efeito de campo forma um canal rico em elétrons logo abaixo do óxido, conectando fonte e dreno. Em consequência, qualquer diferença de potencial entre eles pode resultar em um fluxo de corrente e o dispositivo está ligado. Em outras palavras, a tensão de porta controla a formação de um canal de condução no semicondutor que, ato contínuo, permite o fluxo de corrente entre fonte e dreno.

A invenção do MOSFET revolucionou a indústria de circuitos integrados (ICs, *integrated circuits*). Estes, popularmente conhecidos como *chips* ou *microchips*, são circuitos eletrônicos construídos sobre um substrato de material semicondutor, geralmente silício. Esse arranjo permite a fabricação de circuitos integrados, contendo de dezenas a bilhões de MOSFETs e operando em conjunto e de maneira extremamente rápida, se comparados a equivalentes discretos. O circuito integrado é a peça-chave de praticamente todos os aparelhos, componentes e funções eletrônicas atuais, desde simples controles remotos, passando por *smartphones* e computadores pessoais, até os mais avançados veículos de exploração espacial. A Fig. 1.5 apresenta um exemplo de circuito integrado.

Jack Kilby da Texas Instruments, laureado com o Prêmio Nobel em Física de 2000, e Robert Noyce, cofundador da Fairchild Semiconductor e da Intel, são comumente creditados como os inventores do circuito integrado [12]. Embora vários trabalhos tenham contribuído para este processo, Kilby foi o primeiro a demonstrar que resistências, capacitâncias, indutâncias e componentes ativos poderiam ser fabricados e integrados diretamente no semicondutor. Porém, as conexões eram feitas através de fios de ouro, o que inviabilizava a produção em massa. Já Noyce aperfeiçoou o processo de fabricação de dispositivos planares de Jean Hoerni e introduziu uma técnica para efetivamente interconectar todos os elementos em um circuito integrado monolítico, empregando linhas de

alumínio depositadas sobre o óxido através de um processo denominado metalização.

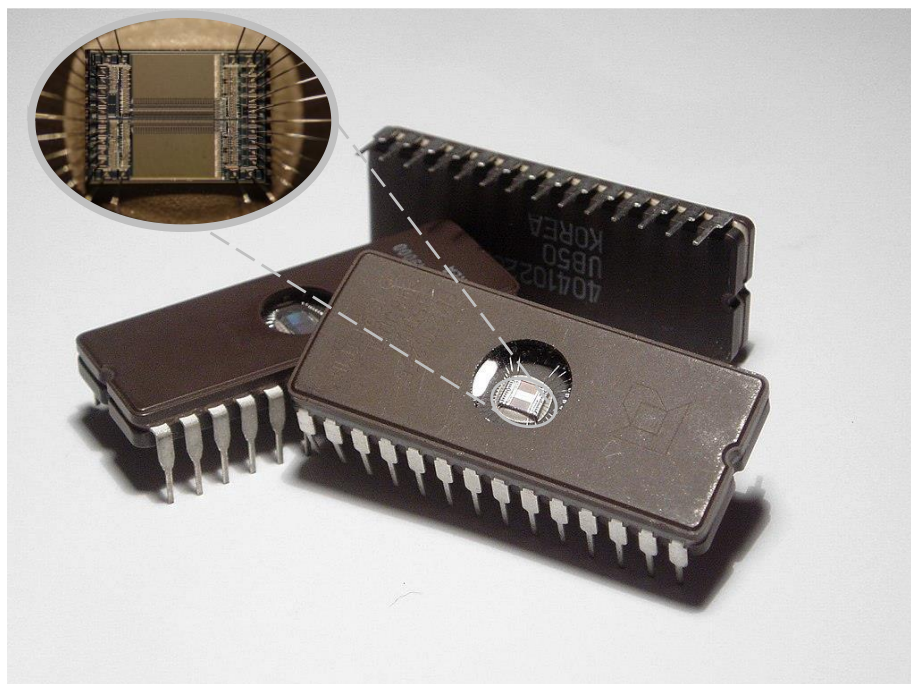


Figura 1.5 – Memórias de computador (*chips*) com circuito integrado exposto (ampliado no detalhe). (Licença: [Zephyris](#), [Microchips](#), modificado, [CC BY-SA 3.0](#)).

O aperfeiçoamento dos processos de fabricação do MOSFET e de circuitos integrados baseados em silício deu início a uma revolução na indústria eletrônica, a chamada Revolução MOS. Os *microchips* se popularizaram rapidamente e o escalamento (ou miniaturização) dos transistores se tornou a prioridade para os fabricantes. O MOSFET se tornava cada vez menor para que um único *chip* acomodasse um número cada vez maior de dispositivos e aumentasse sua capacidade e velocidade de processamento. Conseqüentemente, o mundo viveu o início da Era Digital na década de 60 e tem visto um crescimento exponencial do avanço tecnológico até hoje, tendo o MOSFET como alicerce deste processo.

Em 1965, outro cofundador da Fairchild e da Intel, Gordon Moore, previu em um editorial para a revista *Electronics*, que o número de componentes em um circuito integrado dobraria a cada ano, por pelo menos uma década [13]. Dez anos depois, durante a *IEEE International Electron Devices Meeting*, ele revisou sua

previsão para uma taxa de crescimento menor, dessa vez dobrando a cada dois anos, a partir da década de 80 [14]. Seu colega da Intel, David House, complementou explicando que essa previsão implicaria em dobrar a capacidade de processamento de um *chip* a cada 18 meses para um mesmo consumo de energia. A previsão de Moore ficou conhecida informalmente como Lei de Moore devido à sua relativa precisão ao longo de várias décadas. O gráfico da Fig. 1.6 mostra uma comparação entre a previsão de Moore e a evolução do número de transistores presentes nos melhores microprocessadores das últimas cinco décadas, de 1971 a 2021 [15].

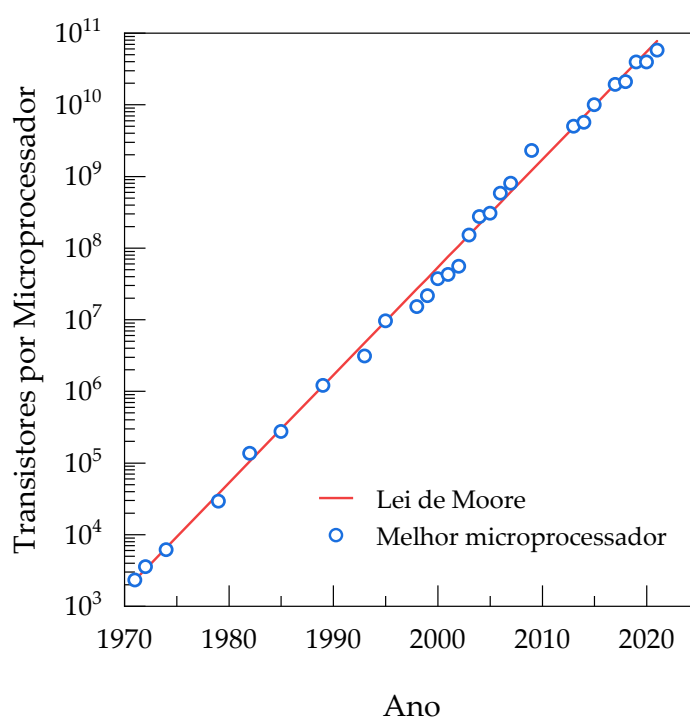


Figura 1.6 – Número de transistores por microprocessador, considerando o melhor de cada ano [15]. Essa relação exemplifica lei de Moore, a qual preconiza que o número de transistores em um circuito integrado denso dobra aproximadamente a cada dois anos.

Em 1974, Robert Dennard *et al.* [16] publicaram outro artigo seminal sobre o escalamento de MOSFETs. Eles observaram que, mantendo a densidade de potência constante, a área do transistor poderia ser reduzida em 50% a cada geração, o que sugeria que cada dimensão linear do dispositivo planar poderia ser reduzida por  $\sqrt{2}$ . Como consequência, o atraso do circuito diminuiria em aproximadamente 30% e a frequência de operação aumentaria em cerca de 40%.

Em suma, a cada geração de tecnologia, se a densidade de transistores dobra, o circuito se torna 40% mais rápido para o mesmo consumo de energia. Essa observação ficou conhecida como Lei de Dennard. É importante destacar que, até o início da década de 1990, o conceito de nó tecnológico costumava coincidir com o comprimento de porta do transistor. Porém, este conceito atualmente já não guarda relações diretas com as dimensões físicas dos dispositivos [17]. Para efeitos de ilustração, o nó tecnológico de 2 nm na verdade possui um comprimento de porta de aproximadamente 14 nm [18].

O escalamento, segundo a lei de Dennard, consistia em basicamente reduzir pela metade o comprimento de porta do MOSFET convencional a cada 18 meses. Ele foi seguido pela indústria de semicondutores por aproximadamente 30 anos, no período conhecido como “escalamento feliz” (em inglês, *happy scaling*) [16]. A partir de meados de 2005, esse processo atingiu a saturação devido a fatores que serão discutidos posteriormente, e alternativas como os FinFETs passaram a ser adotadas pela indústria. A Tabela 1 mostra como o MOSFET evoluiu comercialmente ao longo dos anos, destacando alguns marcos históricos para referência.

As portas lógicas que compõem os circuitos digitais integrados podem ser construídas com MOSFETs de ambas as polaridades, ou seja, podem ser baseadas nas tecnologias p-MOS ou n-MOS. Até metade da década de 80, os microprocessadores eram fabricados utilizando p-MOS, uma vez que era mais viável produzir componentes utilizando essa tecnologia. Posteriormente, passou-se a empregar n-MOS para produzir circuitos menores e mais rápidos, embora persistissem alguns problemas de fabricação.

Por fim, em 1984, uma nova tecnologia denominada MOS complementar (CMOS, *Complementary-MOS*) passou a ser utilizada comercialmente. Neste caso, pares complementares e aproximadamente simétricos de MOSFETs tipo-n e tipo-p são utilizados para implementar as funções lógicas. Como um transistor do par

está sempre desligado, a combinação em série consome energia apenas durante a alternância entre estados. Conseqüentemente, a tecnologia CMOS apresenta maior eficiência energética que seus antecessores.

Tabela 1.1 – Evolução dos MOSFETs.

| Ano  | Nó Tecnológico    | Comentário   |
|------|-------------------|--|
| 1971 | 10 $\mu\text{m}$  |  |
| 1974 | 6 $\mu\text{m}$   |  |
| 1977 | 3 $\mu\text{m}$   | n-MOS substitui p-MOS.   |
| 1981 | 1.5 $\mu\text{m}$ |  |
| 1984 | 1 $\mu\text{m}$   | CMOS substitui n-MOS.  |
| 1987 | 800 nm            |  |
| 1990 | 600 nm            |  |
| 1993 | 350 nm            |  |
| 1996 | 250 nm            |  |
| 1999 | 180 nm            |  |
| 2001 | 130 nm            | Início do uso de silício sobre isolante (SOI – <i>silicon on insulator</i> ).                              |
| 2003 | 90 nm             | Início do uso de silício tensionado (em inglês, <i>strained silicon</i> ).                                 |
| 2005 | 65 nm             |  |
| 2007 | 45 nm             | Início do uso de óxido de alta constante dielétrica e porta de metal (HKMG - <i>high-k / metal gate</i> ). |
| 2009 | 32 nm             |  |
| 2012 | 22 nm             | Início do uso de FinFETs.  |
| 2014 | 14 nm             |  |
| 2016 | 10 nm             |  |
| 2018 | 7 nm              |  |
| 2020 | 5 nm              |  |
| 2022 | 3 nm              | Início do uso de GAA-FETs ( <i>Gate-All-Around FETs</i> ).   |

Embora o CMOS tenha sido inventado por Chih-Tang Sah e Frank Wanlass da Fairchild Semiconductor já em 1963 [12], esta tecnologia só passou a ser utilizado comercialmente com a introdução dos circuitos integrados VLSI (*Very Large-Scale Integration*). Desde então, a tecnologia CMOS baseada em transistores planares domina o mercado de eletrônica digital.

Mais recentemente, com o esgotamento de recursos tecnológicos para reduzir a tensão de alimentação enquanto se mantém baixos níveis de corrente de fuga nos transistores modernos, a busca por alternativas além do CMOS (em

inglês, *beyond CMOS*) tem crescido significativamente. Entretanto, a tendência é que tecnologias alternativas, tais como a spintrônica e os transistores baseados em tunelamento quântico, sejam utilizadas de forma complementar ao CMOS [19].

Os MOSFETs planares, dispositivos nos quais a porta, com o óxido associado, e os contatos de fonte e dreno são depositados logo acima do semicondutor “*bulk*”, dominaram o mercado de aplicações comerciais até o início da década de 2010. Para contornar os problemas relacionados ao escalamento, que serão detalhados posteriormente, vários artifícios precisaram ser empregados, como a utilização de silício tensionado, onde é induzida uma distorção na rede cristalina, e de óxidos com alta constante dielétrica.

Além destas técnicas, um terceiro impulsionador da evolução dos MOSFETs foi a melhora do controle eletrostático do canal, por meio do uso de novas arquiteturas de dispositivo com múltiplas portas ou portas em mais de um plano (em inglês, *multigate*). Alguns exemplos destes dispositivos estão ilustrados na Fig. 1.7. Dentre eles, se destacam o FinFET e os MOSFETs do tipo *gate-all-around*.

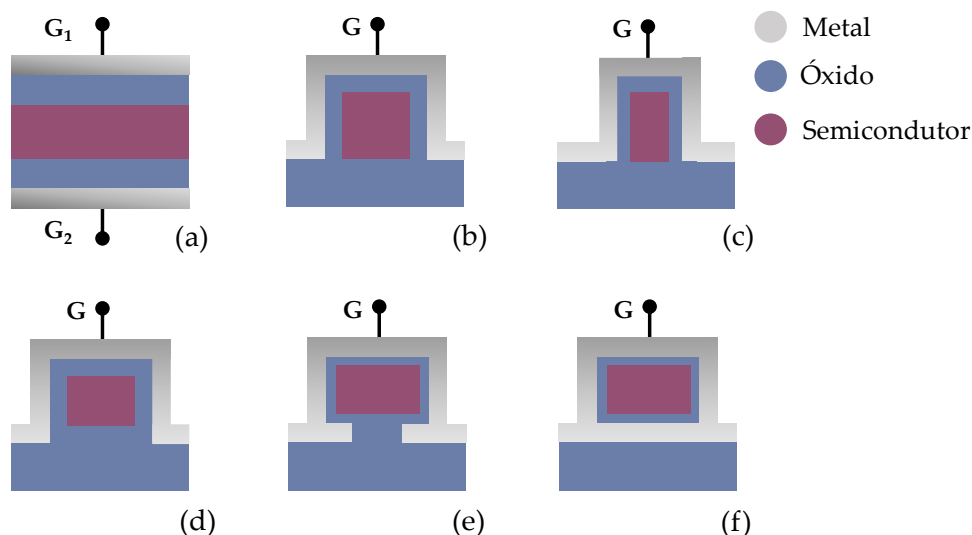


Figura 1.7 – Alguns exemplos de dispositivos multiporta, representados por um corte transversal entre fonte e dreno: (a) porta dupla (em inglês, *double gate*), (b) porta tripla (em inglês, *trigate*), (c) FinFET, (d) porta tipo  $\Pi$  (em inglês,  $\Pi$ -gate), (e) porta tipo  $\Omega$  (em inglês,  $\Omega$ -gate), (f) *gate-all-around*.

A partir do nó de 22 nm em 2012, a indústria de fabricação de semicondutores adotou os FinFETs como alternativa aos MOSFETs planares. O FinFET é um MOSFET tridimensional construído sobre um substrato e que possui uma porta que abrange três lados do canal. Esses dispositivos receberam este nome porque as regiões de fonte e dreno formam uma espécie de aleta (em inglês, *fin*) na superfície do silício. Os nós de 22, 14, 10, 7 e 5 nm fazem uso majoritário de FinFETs.

Já em 2018, pesquisadores da Samsung propuseram a estrutura *gate-all-around* para o nó de 3 nm [20], visando melhorar o controle eletrostático e combater os efeitos de canal curto. Conforme ilustrado na Fig. 1.8, a estratégia de escalamento proposta pela Samsung emprega múltiplas pontes (em inglês, *bridges*) em forma de nanofolhas (em inglês, *nanosheets*) empilhadas sobre o substrato, em uma arquitetura patentada como MBCFET (*Multi-Bridge Channel FET*). As demais fabricantes devem seguir a mesma tendência, cada uma apresentando uma versão própria de GAA-FET para os próximos nós tecnológicos.

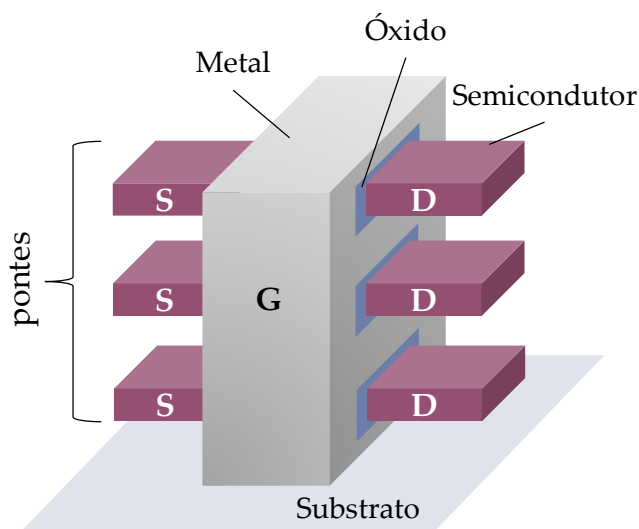


Figura 1.8 – MBCFET de três nanofolhas conforme proposta da fabricante Samsung para o nó tecnológico de 3 nm.



### 1.3 – Efeitos deletérios ao desempenho dos MOSFETs

A necessidade de reduzir as dimensões dos MOSFETs presentes em circuitos integrados esbarra em limites físicos e em percalços nos processos de fabricação dos dispositivos. Os impeditivos mais perniciosos para o avanço da tecnologia MOS estão relacionados aos efeitos de canal-curto (SCE, *short-channel effects*).

Estes efeitos ocorrem essencialmente quando comprimento do canal do MOSFET é comparável com a largura da camada de depleção da fonte e do dreno. Surgem então diversas características indesejadas, como a redução da barreira de potencial induzida pelo dreno, o espalhamento de superfície, a saturação de velocidade e o tunelamento da fonte para o dreno. Além disso, as regiões de depleção induzidas pelos contatos de fonte e dreno invadem grande parte do canal e reduzem o controle exercido pela porta ou, em outros termos, o canal aparenta ser efetivamente mais curto do que seu comprimento nominal.

Alguns dos efeitos deletérios com os quais a indústria tem se deparado estão descritas a seguir, com ênfase naqueles relacionados ao encurtamento do canal [21]:

- a. **Elevada corrente de sublimiar:** as diferenças de potencial aplicadas aos dispositivos precisam ser reduzidas conforme as dimensões físicas são encurtadas, de modo a evitar que o campo elétrico seja excessivamente elevado, o que poderia levar à ruptura do dispositivo. Consequentemente, a tensão de limiar, a partir da qual o dispositivo passa ao estado ligado, também precisa ser escalada. Porém, essa redução faz com que a corrente não cesse totalmente para tensão de porta nula e o dispositivo consome energia mesmo no estado desligado. Essa característica está relacionada à inclinação de sublimiar (SS, *subthreshold slope*), uma métrica que define a taxa com que a corrente

pode ser suprimida à medida que a tensão de porta é reduzida abaixo do limiar. Atualmente, a inclinação de sublimiar da tecnologia MOS esbarra no limite termiônico de  $\sim 60$  mV/década em temperatura ambiente, o que tem restringido a redução da tensão de limiar. Os efeitos de canal-curto acabam agravando este problema, uma vez que causam valores mais altos de  $SS$  e, conseqüentemente, também de corrente de sublimiar.

- b. Menor transcondutância:** a transcondutância, ou seja, em última instância, o ganho do dispositivo, é proporcional à mobilidade dos portadores, a qual, por sua vez, está intrinsecamente relacionada ao campo elétrico aplicado e ao espalhamento dos portadores por impurezas. Conforme as dimensões diminuem e a dopagem aumenta, a presença dessas impurezas passa a ser mais relevante e afeta negativamente a transcondutância. Para melhorar a mobilidade dos portadores, uma das técnicas empregadas pela indústria é o tensionamento mecânico do canal semiconductor. No caso do silício, por exemplo, uma compressão do material aumenta a mobilidade das lacunas enquanto uma expansão melhora a mobilidade dos elétrons [22].
- c. Corrente de fuga no óxido da porta:** outra forma de diminuir a corrente de sublimiar e aumentar a transcondutância seria reduzir a espessura do óxido de porta. Entretanto, a redução requerida na espessura pode ser tamanha que o tunelamento quântico passa a ser um efeito não desprezível, acarretando uma corrente de fuga através da barreira de potencial do óxido. Conforme mencionado anteriormente, uma maneira encontrada pela indústria de semicondutores para contornar esse problema foi substituir o dióxido de silício, amplamente usado como isolante nos MOSFETs, por outros materiais que apresentam uma

constante dielétrica mais elevada, como o dióxido de háfnio. Essa substituição produz um efeito análogo à redução da espessura do dióxido de silício, o que faz com que estes óxidos sejam comumente caracterizados por uma espessura equivalente (EOT, *equivalent oxide thickness*).

- d. **Dificuldades em relação à dopagem:** conforme o comprimento de porta diminui, também é necessário que o gradiente de dopagem entre regiões semicondutoras de polaridade diferentes seja maior, ocasionando um aumento da corrente de fuga através das junções. Além disso, evidentemente, transições abruptas entre dopagens tipo-n e tipo-p representam um enorme desafio para o processo de fabricação de transistores, sendo notadamente um gargalo para a continuidade da lei de Moore.
- e. **Redução de barreira induzida pelo dreno:** a chamada DIBL (*drain-induced barrier lowering*) é um efeito de canal curto que resulta na redução indesejada da tensão de limiar do MOSFET quando uma alta tensão de dreno é aplicada. Em outras palavras, como o canal do dispositivo torna-se muito curto, o contato de dreno pode permitir condução de corrente mesmo que a tensão de porta esteja abaixo do limiar nominal. Além disso, a DIBL também expressa um menor controle da corrente pela porta e uma restrição da frequência de operação máxima do dispositivo.
- f. **Saturação de velocidade:** com o escalamento do comprimento de porta, a saturação da velocidade dos portadores no canal passa a ocorrer para valores cada vez menores de  $V_{ds}$ . Isto é, como o canal é menor, o campo elétrico horizontal atinge rapidamente o valor crítico para saturação de velocidade. Com isso, a região onde a corrente cresce linearmente com a tensão de porta é restringida e o dispositivo apresenta um menor valor de corrente de saturação.

- g. Tunelamento entre fonte e dreno:** a redução da distância entre fonte e dreno também pode ser drástica o suficiente para que probabilidade de tunelamento dos portadores através da barreira de potencial do canal seja significativa. Embora este efeito quântico seja o cerne do princípio de funcionamento de dispositivos como o diodo de tunelamento ressonante (RTD, *Resonant-Tunneling Diode*), ele se traduz em um menor controle da porta no caso do MOSFET, uma vez que o transistor pode ser ligado por altos valores de  $V_{ds}$  independentemente do valor de  $V_{gs}$ .

É notório que a maior parte dos efeitos de canal-curto está, de forma direta ou indireta, relacionada à perda de controle das cargas no canal por parte da tensão de porta. Conforme exposto, a solução adotada pela indústria foi substituir os dispositivos planares por arquiteturas multiportas. A melhora do controle eletrostático resultante deste arranjo pode ser entendida por meio de breve inspeção da equação de Poisson.

Essa equação dita que a taxa de variação do campo elétrico em cada direção é proporcional à carga enclausurada na região sob análise. Logo, se o campo elétrico é causado por eletrodos que envolvem todo o canal, como no caso da arquitetura *gate-all-around*, a influência do campo e, conseqüentemente, o controle sobre as cargas é maior do que na arquitetura planar que possui apenas um eletrodo de porta no topo do dispositivo.

## 1.4 – Era pós-Moore

A despeito dos tremendos esforços da indústria para manter o MOSFET de silício como a base da evolução tecnológica, por meio de sucessivas melhorias graduais, a saturação da lei de Moore é iminente. Ainda que o conceito de nó tecnológico não esteja mais diretamente relacionado com as dimensões do transistor, os limites físicos e de fabricação estão cada vez mais próximos. Mesmo recorrendo ao FinFET e ao *gate-all-around*, alguns problemas como a degradação

da mobilidade com a redução extrema da espessura do silício ainda persistem [23]. Por conseguinte, diversas alternativas, baseadas em princípios de funcionamento e/ou materiais diferentes dos tradicionais, têm sido investigadas para proporcionar uma sobrevida ao escalamento dentro da lei de Moore.

Em 2005, o ITRS (*International Technology Roadmap for Semiconductors*) cunhou os termos Mais Moore (em inglês, *More Moore*) e Além de Moore (em inglês, *More than Moore*) para descrever a miniaturização e a diversificação de dispositivos para além da lei de Moore [24]. Especificamente, na linha Mais Moore, o objetivo é incrementar a capacidade de processamento computacional dando continuidade à prática de ampliar a densidade de transistores por *chip* enquanto é mantida a lógica CMOS. Por outro lado, a linha Além de Moore visa desenvolver dispositivos para aplicações e demandas específicas, como sensoriamento, biointegração, radiofrequência etc.

Como ficou evidente durante as discussões para estabelecer os padrões da quinta geração de comunicações móveis (5G), além do habitual aumento da velocidade de transmissão, de processamento, e redução da latência, há uma crescente demanda pela diversificação das aplicações dentro do conceito de Internet das Coisas (IoT, *Internet of Things*). Portanto, a expectativa para a era pós-Moore é integrar as duas vertentes, de modo que os *chips* se tornem cada vez mais heterogêneos, coligando diversos materiais, arquiteturas e princípios de funcionamento para executar funções de elevada complexidade.

Neste âmbito, dentre os diversos candidatos para substituir a forma convencional do MOSFET de silício na era pós-Moore, duas classes de dispositivos foram selecionados para estudo nesta tese: os transistores de efeito de campo sem-junção (JL-FETs, *Junctionless FETs*) e os transistores de efeito de campo que empregam como canal os novos materiais bidimensionais, aqui denominados 2D-FETs.

### 1.4.1 – JL-FETs

O transistor sem junções foi desenvolvido inicialmente no Instituto Nacional Tyndall (Irlanda) pelo grupo de pesquisa liderado por Jean-Pierre Colinge [25]. O dispositivo é formado por um nanofio de silício altamente dopado de maneira uniforme, sem nenhuma junção ou gradiente de dopagem, conforme mostrado na Fig. 1.9.

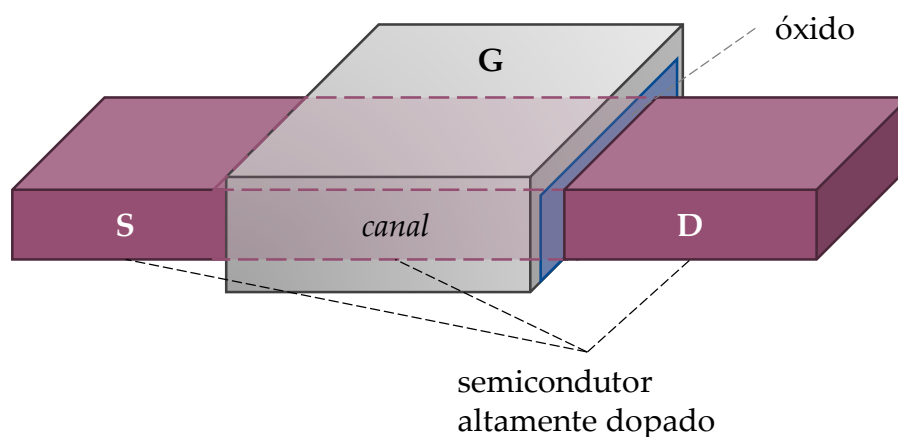


Figura 1.9 – Transistor de nanofio sem junções, conforme apresentado pelo grupo de pesquisa liderado por Jean-Pierre Colinge [25].

Todos os transistores MOS existentes até então eram baseados em junções semicondutoras formadas pela introdução de átomos dopantes no material intrínseco, tipicamente silício. Na medida em que a distância entre as junções em dispositivos modernos se aproxima de 10 nm, gradientes de concentração de dopagem extraordinariamente altos tornam-se necessários. Devido às leis de difusão e à natureza estatística da distribuição dos átomos de dopagem, essas junções representam um desafio de fabricação cada vez maior para a indústria de semicondutores. Além disso, conforme mencionado anteriormente, essas junções se tornam uma fonte significativa de corrente de fuga, prejudicando a eficiência energética do dispositivo, de modo que eliminá-las se torna uma opção interessante para circuitos integrados cada vez mais densos.

O princípio de funcionamento desse transistor consiste em fabricar um nanofio semiconductor que seja fino e estreito o suficiente para permitir a depleção total dos portadores quando no estado desligado [26]. Para aplicações em eletrônica digital, é desejável que o transistor esteja desligado quando  $V_{gs} = 0$  V. Portanto, a depleção total dos portadores deve acontecer somente pela influência da diferença entre as funções trabalho do material de porta e do semiconductor. Além disso, o canal também precisa ser altamente dopado, na ordem de  $10^{19}$  cm<sup>-3</sup>, para permitir uma densidade de corrente adequada quando o dispositivo estiver no estado ligado, conforme será demonstrado mais à frente.

Respeitados esses requisitos de fabricação, o dispositivo estará no estado desligado quando houver o pinçamento total do canal de condução, idealmente já em  $V_{gs} = 0$  V. No caso de um JL-FET tipo-n, a aplicação de uma tensão  $V_{gs}$  positiva gradualmente reduz a largura da região de depleção. Ou, dito de forma alternativa, abre o canal de condução, elevando gradualmente a densidade de portadores a partir do interior do nanofio. Logo, se for aplicada uma tensão  $V_{ds}$ , ocorre o fluxo de corrente nesta região. Em contraste, no caso do JL-FET tipo-p, uma tensão negativa é necessária para ligar o dispositivo.

O primeiro JL-FET (Fig. 1.9), proposto por Colinge et. al [25], é formado basicamente por um nanofio de silício retangular altamente dopado depositado sobre um isolante e envolto por uma porta tripla, eletricamente isolada do nanofio pelo óxido. A porta de 1 µm de comprimento está disposta de modo a cobrir o topo e as laterais do nanofio, que possui 10 nm de altura e 30 nm de largura.

Posteriormente, outras geometrias de nanofio, estruturas de porta e materiais foram propostos e demonstrados experimentalmente, como os *gate-all-around* de seção reta cilíndrica ou retangular e os dispositivos baseados em compostos III-V [27]. As características e o princípio de funcionamento dos transistores sem junções serão discutidos em maiores detalhes no Capítulo 2.

### 1.4.2 – 2D-FETs

Os aspectos da teoria de bandas referentes ao grafite já eram conhecidos desde 1947, através do trabalho pioneiro de Philip Russell Wallace [28]. A possibilidade de isolar uma única camada da espessura de um átomo de carbono também foi prevista por Hanns-Peter Boehm ainda em 1962 [29]. Entretanto, foi apenas em meados de 2004 que a dupla Konstantin Novoselov e Andre Geim conseguiu obter experimentalmente o material hoje conhecido como grafeno [30]. A descoberta foi prontamente laureada com o Prêmio Nobel de Física em 2010, dada sua importância e impacto nas mais diversas áreas da ciência e tecnologia.

A intensa pesquisa que se seguiu confirmou diversas propriedades notáveis deste novo material. Dentre elas, destaca-se a altíssima mobilidade de portadores do grafeno, mesmo quando comparada com aquela dos compostos III-V [31]. Imediatamente ele se tornou um forte candidato para substituir o silício como matéria-prima de transistores de alta performance.

Contudo, mesmo antes de sua descoberta, estudos teóricos já previam que o grafeno possuía banda proibida nula [32], o que depois foi confirmado experimentalmente (ver nota 18 de [30]). A existência de uma banda proibida é essencial para aplicações em eletrônica digital, uma vez que determina, por exemplo, a razão entre as correntes para os estados ligado e desligado (razão ON-OFF). Por outro lado, o grafeno continua sendo bastante explorado para aplicações em outras áreas, como amplificadores de radiofrequência [33].

A descoberta do grafeno estimulou centros de pesquisa do mundo a buscarem outros materiais, além do carbono, que também pudessem ser isolados em uma ou poucas camadas [34]. O que se viu nos anos 2010 foi a descoberta e síntese de diversos materiais, principalmente os denominados X-enos (em inglês, *X-enes*), em que *X* é um radical definido pela forma *bulk* do material. Exemplos são germaneno, borofeno, siliceno e fosforeno, dentre outros. Há também



variantes destes materiais, como os X-anos (em inglês, *X-anes*), que possuem uma ligação fora do plano com hidrogênio. Exemplos são grafano, germanano e silicano, dentre outros. Essas variantes resultam em diferentes características, como o surgimento de uma banda proibida em alguns casos.

Em outra vertente, foram sintetizados dicalcogenetos de metais de transição (TMD, *Transition Metal Dichalcogenides*) no formato de uma ou poucas camadas. TMDs são materiais lamelares do tipo  $MX_2$ , onde  $M$  é um átomo de metal de transição e  $X$  é um átomo de calcogênio. Uma camada do material  $M$  é inserida entre as duas camadas do material  $X$ . Dentre estes, se destacam dissulfeto de molibdênio ( $MoS_2$ ), dissulfeto de tungstênio ( $WS_2$ ), disseleneto de molibdênio ( $MoSe_2$ ), disseleneto de tungstênio ( $WSe_2$ ) e ditelureto de molibdênio ( $MoTe_2$ ). Há também variações com estruturas parecidas, como os calcogenetos de semimetais, nos quais se destaca a versão bidimensional do seleneto de índio ( $InSe$ ).

De forma geral, estes materiais serão referidos neste texto como materiais bidimensionais. Na literatura, os materiais que possuem algumas poucas camadas bidimensionais empilhadas também são conhecidos como estruturas Van der Waals devido ao tipo de ligação química que une uma camada à outra. Os transistores de efeito de campo que possuem canal baseado em semicondutores bidimensionais, como os ilustrados na Fig. 1.10, serão denominados 2D-FETs.

Para fins de eletrônica digital, os semicondutores bidimensionais de maior interesse até o momento são o fosforeno — forma bidimensional do fósforo negro (em inglês, *black phosphorus*) —, os TMDs [35], [36] e o seleneto de índio [37]. Os transistores baseados em TMD têm uma razão ON-OFF significativa, com valores relatados experimentalmente da ordem de  $10^8$ . No entanto, os TMDs têm baixa mobilidade de portadores, gerando maior atraso de comutação em comparação com o grafano. Por outro lado, o fosforeno apresenta uma mobilidade de

portadores satisfatória e uma banda proibida sintonizável, entre 0,3 e 2,0 eV, a depender do número de camadas do material, o que o torna um ótimo candidato para aplicações em optoeletrônica. Por fim, o seleneto de índio com três camadas proporcionou a melhor performance experimental de um 2D-FET até o momento da escrita desta tese [37].

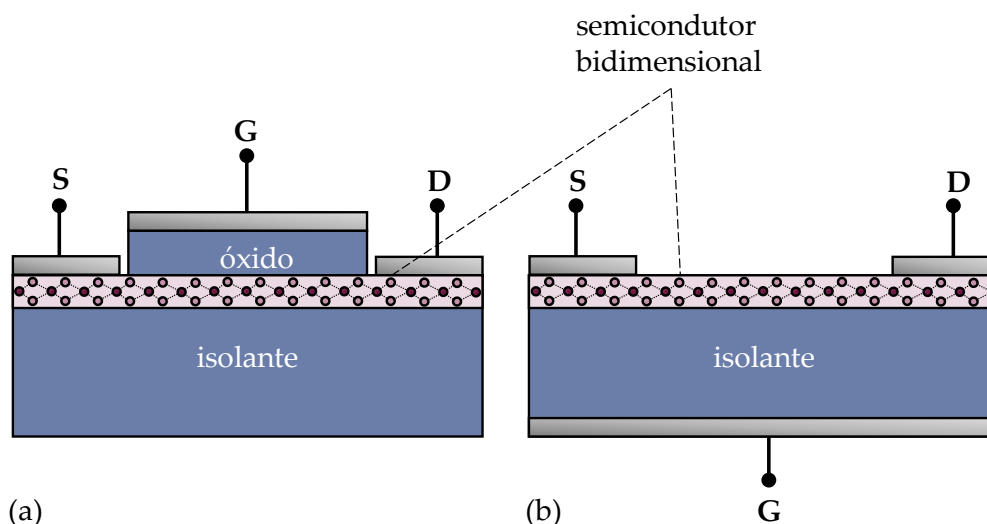


Figura 1.10 – Transistores baseados em semicondutores bidimensionais. (a) configuração convencional para MOSFETs. (b) configuração tipo *back-gate*.

O primeiro MOSFET baseado em TMD ( $\text{MoS}_2$ ) foi investigado em 2011 [38] e o primeiro MOSFET de fosforeno foi fabricado em 2014 [39]. Desde então, a pesquisa em 2D-FETs se tornou altamente frutífera [33]. Boa parte dos transistores reportados na literatura é do tipo *back-gate* (Fig. 1.10-b) e o material bidimensional é obtido por exfoliação mecânica, o que evidencia a imaturidade dos processos de fabricação.

Contudo, notáveis avanços nas técnicas de crescimento destes materiais têm sido observados [40][41] e diversos circuitos integrados baseados em 2D-FETs começaram a ser demonstrados recentemente [42], de modo que a projeção no meio acadêmico é de que eles passem a compor soluções Mais Moore e Além de Moore já na próxima década [43], [44]. As características e os princípios de

funcionamento destes transistores baseados em materiais bidimensionais serão discutidos detalhadamente no Capítulo 4.

## 1.5 – Modelagem compacta

A modelagem compacta estabelece um elo fundamental entre o processo de fabricação na indústria de semicondutores e o projeto de circuitos eletrônicos integrados. Seu objetivo principal é reproduzir com precisão as características físicas do dispositivo em um ambiente virtual enquanto mantém o esforço computacional em um nível mínimo. Em outros termos, um modelo compacto precisa prover ao projetista de circuitos expressões matemáticas simples e eficientes para a comportamento de cada elemento do circuito, de modo que ele possa simular um projeto que integra até bilhões destes elementos em um tempo viável.

Consequentemente, embora técnicas de natureza numérica e/ou estatística sejam mais precisas para caracterizar a complexidade de um transistor moderno, o alicerce da modelagem compacta é o tratamento analítico. Busca-se, portanto, aplicar métodos e aproximações rigorosas para obter expressões totalmente explícitas e constituídas apenas de funções elementares, evitando rotinas numéricas e funções especiais.

Um exemplo bastante ilustrativo deste tema são as equações transcendentais pois elas não possuem soluções exatas expressas através de funções elementares. Para resolvê-las, é comum recorrer a algum algoritmo de cálculo numérico, como o método de Newton-Raphson ou o método da bissecção, processos iterativos que buscam raízes de funções através da minimização do erro. A depender da complexidade da equação, tais métodos podem ser muito laboriosos e improdutivos, elevando muito o custo computacional. Em outros casos, as soluções podem ser escritas através de funções especiais, como a função  $W$  de Lambert. Entretanto, estas funções são

difíceis de manipular, nem sempre tem assegurada disponibilidade nativa em simuladores comerciais e usualmente tornam obscuras as relações entre as variáveis do problema, o que pode dificultar o trabalho de otimização de dispositivos. Uma solução mais conveniente neste caso, no âmbito da síntese e análise de circuitos eletrônicos, é tentar aproximar esta equação transcendental para uma ou mais equações explícitas, mantendo a precisão dentro do intervalo de interesse.

Em termos de natureza descritiva, os modelos compactos podem ser divididos em duas categorias: modelos empíricos e modelos baseados em física (em inglês, *physics-based models*). O primeiro grupo emprega técnicas de ajuste de curvas e tabelamento de parâmetros. Em outras palavras, o comportamento de um dado dispositivo é conhecido *a priori*, através de medidas experimentais, e posteriormente são encontradas funções ou parâmetros de ajuste que reproduzam este comportamento. No segundo caso, a análise é feita com base nas leis da física que governam o dispositivo. Com isto, as características de interesse, como a corrente de dreno e as capacitâncias dos terminais, são escritas sempre em termos de parâmetros de fabricação dos dispositivos, como a espessura do óxido, o comprimento de porta, propriedades físico-químicas do material etc. Esta segunda categoria de modelos desperta maior interesse porque permite um entendimento preciso do princípio de operação do dispositivo e quais são os fatores que influenciam seu funcionamento. Ademais, modelos empíricos geralmente estão limitados ao dispositivo sob análise ou a uma gama de dispositivos, como alguns transistores de um determinado nó tecnológico, não podendo, portanto, ser generalizados com precisão.

Atualmente, dada a elevada complexidade dos transistores e circuitos, nem sempre é possível modelar todas as características recorrendo apenas ao tratamento baseado na física do dispositivo, de modo que os modelos modernos podem ser classificados como híbridos, ou seja, possuem um núcleo

fundamentado em física e algumas relações empíricas que simplificam a análise de primeiros princípios. Por exemplo, é possível modelar o fluxo de corrente através dos tratamentos de eletromagnetismo e física do estado sólido, mas a relação entre a mobilidade dos portadores e o campo elétrico aplicado pode ser descrita por uma formulação empírica.

No caso do MOSFET convencional, um modelo analítico e baseado na física do dispositivo começa geralmente como um problema em duas dimensões. Conforme ilustrado na Fig. 1.11, essas dimensões são  $x$  e  $z$ . Isso porque se assume não haver campo elétrico aplicado na direção  $y$ , o que deixa de ser válido no caso de algumas estruturas multiportas, como em configurações de porta tripla ou *gate-all-around*. O primeiro passo, portanto, é separar este problema bidimensional em duas equações unidimensionais, em  $z$  e em  $x$ , acopladas por uma variável independente, em geral, o potencial eletrostático de superfície ( $\varphi_s$ ) ou a carga no canal ( $Q$ ).

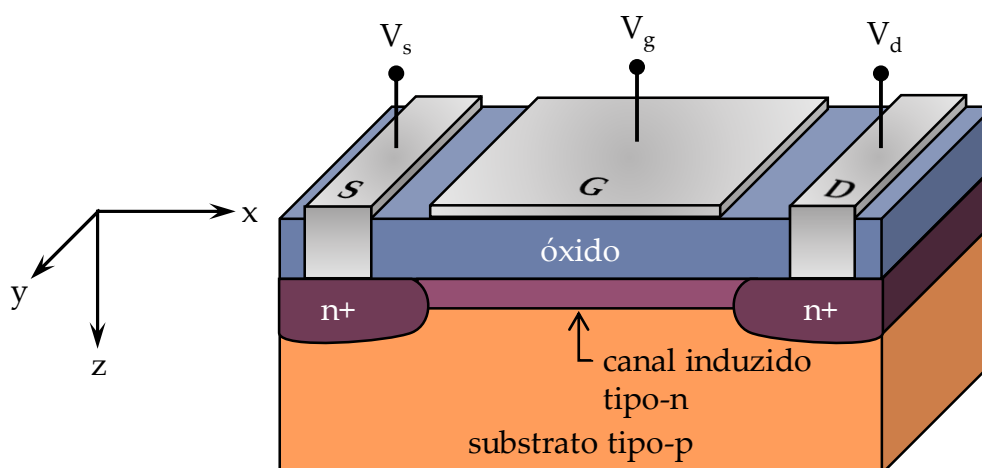


Figura 1.11 – MOSFET convencional representado em três dimensões.

Ao longo da direção  $z$ , a tensão de porta estabelece um campo elétrico através do óxido que controla a condutividade do canal, a região de cargas estabelecida no plano  $x$ - $y$  do semiconductor. Dessa forma, a equação ao longo da direção  $z$  é chamada equação de controle de carga. A solução é uma expressão

para  $Q(V_g)$  ou  $\varphi_s(V_g)$ . Já ao longo da direção  $x$ , a tensão aplicada entre fonte e dreno estabelece uma corrente, ou seja, um fluxo de portadores no canal. Portanto, a equação ao longo de  $x$  é denominada equação de transporte de cargas e sua solução é uma expressão para  $I_{ds}(Q, V_s, V_d)$  ou  $I_{ds}(\varphi_s, V_s, V_d)$ .

Uma vez estabelecida a descrição do problema, pode-se adotar diversas estratégias de solução e incorporar especificidades e efeitos deletérios particulares a cada tipo de dispositivo. Por exemplo, uma primeira estratégia é fazer uma aproximação no potencial de superfície de modo a obter uma relação entre  $I_{ds}$  e  $V_{gs}$  que seja direta e por partes: a corrente cessa totalmente abaixo de um valor de limiar ( $V_t$ ) e tem um comportamento quadrático em  $V_{gs}$ , caso contrário. De maneira similar, a relação  $I_{ds} - V_{ds}$  é descrita por uma função linear abaixo de um valor saturação ( $V_{dsat}$ ) e por uma constante acima deste valor. Também pode ser incluída uma modelagem para a região de sublimiar, onde a corrente é dominada pelo mecanismo de difusão de portadores [45]. Para evitar descontinuidades, podem ser propostas funções de suavização (em inglês, *smoothing functions*) que conectem as diferentes regiões. Esta é a fundamentação dos modelos baseados na tensão de limiar (em inglês, *threshold-voltage-based models*), que foram utilizados nas versões iniciais dos simuladores de circuitos eletrônicos.

Outra possibilidade é escrever as relações mencionadas anteriormente em função da carga de inversão (no caso do MOSFET convencional) [46] e aplicar aproximações para obter expressões fechadas, como nos chamados modelos baseados em carga (em inglês, *charge-based models*). Estes modelos são mais precisos que os anteriores e foram gradualmente adotados pela indústria até meados dos anos 2000.

Por fim, o método mais utilizado atualmente para modelar transistores MOS consiste em determinar o potencial de superfície nas terminações de fonte e dreno e então derivar as características do dispositivo a partir dele [47]. Em geral, é necessário resolver uma equação transcendental através de um algoritmo

iterativo, combinado com aproximações e relações semi-empíricas. Este procedimento é o alicerce dos modelos baseados em potencial de superfície (em inglês, *surface-potential-based models*). Com efeito, a precisão é melhorada às custas de um maior esforço computacional.

Os efeitos de canal-curto e as demais não-idealidades, como as capacitâncias parasitas, podem ser introduzidos nestes modelos como adendos na formulação principal e alterações nas características nominais do dispositivo, seja por um comprimento efetivo do canal, uma perturbação no perfil do potencial de superfície, uma degradação na mobilidade dos portadores etc. Dessa maneira, um modelo compacto completo consiste em um módulo principal, centrado nas características  $I-V$  e  $C-V$ , e vários módulos complementares, responsáveis por incluir as peculiaridades presentes em dispositivos reais.

Em suma, há um arsenal de estratégias e métodos para trabalhar este problema, cada qual com suas vantagens e intuítos. Independente da estratégia utilizada, a espinha dorsal de qualquer modelo compacto baseado em física consiste basicamente em propor expressões analíticas para descrever as características do dispositivo sob análise. Os requisitos conflitantes de precisão, generalidade e eficiência computacional tornam esta empreita particularmente desafiadora. Com os transistores se tornando menores e complexos, um tratamento analítico simples e baseado inteiramente em princípios físicos também se torna cada vez mais laborioso.

Paradoxalmente, a frenética multiplicação do número de transistores em um único microprocessador aumenta a relevância da temática de modelagem compacta, a despeito do rápido desenvolvimento da capacidade computacional. Isso porque a modelagem compacta sempre trabalha na vanguarda do avanço tecnológico. Portanto, para que novos dispositivos como os transistores sem junções e os transistores baseados em materiais bidimensionais sejam adotados

pela indústria de semicondutores, é imprescindível que primeiro se desenvolvam modelos compactos adequados.

Em linha com essa necessidade, na presente tese de doutorado, são estudadas abordagens analíticas e baseadas em física para modelar as diversas características destes novos nanotransistores pretendidos para nós avançados.

## 1.6 – Organização da tese

Diante do exposto anteriormente, esta tese de doutorado apresenta contribuições inéditas para a modelagem compacta de dois tipos de MOSFETs: os transistores sem junções (JL-FETs) e os transistores com canal baseado em materiais bidimensionais (2D-FETs).

Neste capítulo introdutório, foi apresentada uma introdução abrangente que destaca a importância histórica do transistor, desde sua invenção até os dias atuais. O ponto fulcral desta discussão foi a necessidade contínua de avanços na indústria de semicondutores e o papel desempenhado pela modelagem compacta na síntese de circuitos eletrônicos integrados.

Cabe destacar que, uma vez que esta tese aborda duas classes de dispositivos bastante distintas, a estruturação também se dá em duas partes: os capítulos 2 e 3 correspondem, respectivamente, a revisão da literatura e modelagem de JL-FETs, enquanto os capítulos 4 e 5 fazem o mesmo com os 2D-FETs. Embora pouco convencional para textos desta natureza, esta sequência permite uma melhor compreensão individual dos dispositivos e dos modelos.

O restante do texto está estruturado como se segue:

O **Capítulo 2** discute as características físicas e os princípios de funcionamento do JL-FET. Também são apresentados de forma didática os regimes de operação, a composição da corrente elétrica e a disposição de cargas



no dispositivo. O objetivo deste capítulo é estabelecer os fundamentos que servirão como alicerce para a modelagem compacta subsequente.

O **Capítulo 3** apresenta as contribuições para a modelagem de JL-FETs, particularmente os do tipo *gate-all-around* utilizando nanofio com seção reta circular. De forma pertinente, são incorporadas as principais não-idealidades, como efeitos de canal-curto e armadilhas de interface. As expressões obtidas são totalmente analíticas e explícitas, descrevendo corretamente as características de carga, corrente e capacitância destes dispositivos. Em seguida, é feita a validação dos modelos com dados de simulação obtidos da literatura. Por fim, são discutidas extensões do modelo, incluindo efeitos quânticos, transporte balístico e nanofios com seção-reta retangular.

O **Capítulo 4** discorre sobre as propriedades dos materiais semicondutores bidimensionais e as principais características dos 2D-FETs. Novamente, o objetivo é fundamentar e dar suporte à modelagem compacta desenvolvida em sequência. Por fim, também é apresentada uma discussão acerca do estado-da-arte e das perspectivas futuras em relação aos 2D-FETs.

O **Capítulo 5** apresenta o desenvolvimento de modelos compactos para 2D-FETs, considerando tanto o transporte de portadores por difusão-deriva quanto o limite balístico dentro do formalismo de Landauer. Ambos os modelos estão centrados na descrição do potencial eletrostático do canal bidimensional, que é obtido de forma analítica e explícita. Não-idealidades como efeitos de canal curto, armadilhas de interface e degradação da mobilidade também são considerados, assim como uma proposta de modelagem dos contatos heterodimensionais de fonte e dreno. Os modelos descritos neste capítulo são validados com dados de simulação e também dados experimentais, todos obtidos da literatura. São considerados diversos materiais bidimensionais e transistores com porta-única e porta dupla.

O capítulo de **Conclusão** sintetiza as contribuições da tese de doutorado, além de apontar para novas direções de pesquisa no âmbito da modelagem compacta destes nanotransistores.



## Capítulo 2: Transistores de nanofio sem junções

---

Como mencionado no capítulo introdutório, antes mesmo da invenção do transistor por William Shockley, Walter Brattain e John Bardeen em 1947, Julius Lilienfeld já havia concebido a ideia de um aparato para o controle de corrente que era muito semelhante a um transistor. Ao contrário do dispositivo do trio dos Laboratórios Bell, o conceito descrito por Lilienfeld não incluía junções de dois semicondutores com dopagens de polaridades opostas. A proposta consistia apenas em um aparato para o controle do fluxo de corrente entre dois terminais de um sólido condutor (equivalente a um semicondutor altamente dopado) através de um terceiro contato entre estes terminais [3]. Embora tal aparato jamais tenha sido fabricado no tempo de vida do inventor, falecido em 1963, algumas reivindicações de patente por parte dos Laboratórios Bell chegaram a ser negadas por serem muito similares à patente de Lilienfeld.

Invariavelmente, desde sua invenção, todos os transistores foram baseados na formação de junções. Elas são empregadas primariamente para barrar ou deixar fluir a corrente de acordo com uma tensão ou corrente de controle. As junções entre semicondutores podem ser classificadas em homojunções e heterojunções. As homojunções são formadas por dopantes de polaridades opostas, *i.e.*, doadores e aceitadores, em um mesmo material, como o silício ou o germânio. Esse é o caso da maioria dos transistores em nanoeletrônica. Em aplicações especiais, como circuitos de radiofrequência, é comum o emprego de heterojunções, onde dois materiais semicondutores diferentes são utilizados. Um exemplo destes são os transistores tipo HEMT (*High-Electron-Mobility Transistor*) formados tipicamente por ligas AlGaAs/(InGaAs)/GaAs, AlGaN/GaN e variantes no sistema de materiais de InP. Há ainda um terceiro tipo de junção, entre um semicondutor e um metal, que é denominada junção Schottky. Esta é empregada

em transistores do tipo MESFET (*Metal-Semiconductor FET*) e também está presente no HEMT.

Atualmente, a constante necessidade de redução das dimensões dos transistores impõe um grande desafio na fabricação de junções. Em um caso típico de nanoeletrônica, é necessário um gradiente de dopagem abrupto, podendo ir de uma concentração de doadores de  $1 \times 10^{19} \text{ cm}^{-3}$  a uma concentração de aceitadores de  $1 \times 10^{18} \text{ cm}^{-3}$  em poucos nanômetros [25]. Logo, a fim de evitar complexas e caras técnicas de recozimento na ordem de milissegundos (em inglês, *millisecond annealing*), um novo transistor sem junções foi proposto em meados de 2010 [25].

Genericamente, o JL-FET pode ser descrito como um resistor feito de uma estrutura semicondutora uniformemente dopada e um contato metálico servindo de porta, ambos separados por uma camada de óxido. A aplicação de uma tensão ao terminal de porta controla a resistividade do nanofio. A seguir, neste capítulo, serão apresentados as características e o princípio de operação deste novo tipo de transistor, com foco naqueles dispositivos feitos a partir de nanofios semicondutores (JLNWFETs, *Junctionless Nanowire FETs*).

## 2.1 – O dispositivo

O primeiro JL-FET foi fabricado em 2010 pelo grupo do Instituto Nacional Tyndall (Irlanda) liderado por Jean-Pierre Colinge [25]. Entre 2008 e 2010, outros grupos também investigaram este dispositivo, dentre eles a Universidade Técnica de Munique (Alemanha) em parceria com a Universidade Carnegie Mellon (EUA) [48] e o Centro Interuniversitário de Microeletrônica (IMEC, Bélgica) [49], além do Laboratório de Eletrônica e Tecnologia da Informação (CEA-Leti, França). Na literatura, o JL-FET pode ser encontrado como *Vertical-Slit FET* (VeS-FET) e *Pinch-Off FET* (PO-FET), a despeito destas nomenclaturas terem caído em desuso.

Desde 2010, diversas variações deste dispositivo sem junções têm sido apresentadas. Entre elas, FinFETs, *thin film transistors* (TFT), *nanowire* FETs (NWFETs) e *tunnel* FETs (TFETs) [27] se destacam, embora este último funcione a partir de um efeito distinto dos demais, o tunelamento quântico. Há também transistores com variadas disposições de porta, como porta única, porta dupla, tri-porta e *gate-all-around* [27], e diversos materiais semicondutores, como o tradicional silício (Si), germânio (Ge) [50], arseneto de gálio (GaAs) [51]–[53], nitreto de gálio (GaN) [54], [55], arseneto de índio (InAs) [56] e o composto ternário alumínio-gálio-arsênio (AlGaAs) [57]. Dentre as possíveis configurações, o transistor de nanofio sem junções do tipo *gate-all-around* foi escolhido como objeto de modelagem na presente tese dado o atual interesse da indústria de semicondutores nesta disposição de porta, como evidenciado pelos MBCFETs.

Um JLNWFET é baseado em um nanofio semiconductor altamente e uniformemente dopado da fonte até o dreno. A alta dopagem é necessária, a princípio, para garantir um contato ôhmico entre o nanofio e as regiões de fonte e dreno. Em outras palavras, é desejado impedir a formação de uma barreira Schottky nestes contatos, de forma a evitar a obstrução da corrente quando o dispositivo estiver ligado. Por consequência, uma vez que tanto o nanofio quanto os contatos são semicondutores altamente dopados com uma mesma polaridade, não há formação de junções nas regiões de fonte e dreno deste dispositivo.

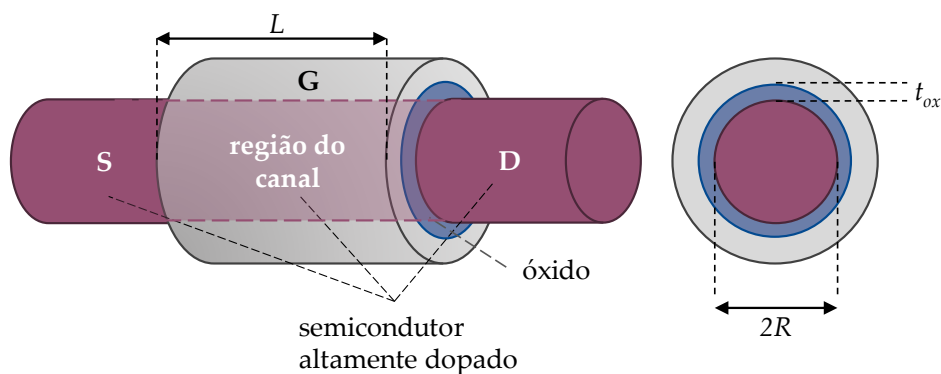


Figura 2.1 – JLNWFET cilíndrico com um nanofio de raio  $R$  altamente dopado com uma concentração de doadores  $N_D$ . O comprimento de porta é  $L$  e a espessura do óxido é  $t_{ox}$ .

No JLNWFET, a região do canal, de comprimento  $L$ , está recoberta por uma camada de óxido, de espessura  $t_{ox}$ , e pelo contato de porta. Como mencionado no capítulo anterior, é possível construir este dispositivo com diversas geometrias e configurações de porta diferentes. Neste capítulo, sem perda de generalidade, será analisado o JLNWFET cilíndrico tipo-n, conforme ilustrado na Fig. 2.1. Desta forma, portanto, o nanofio é essencialmente um cilindro de raio  $R$ .

## 2.2 – Princípios de operação

O princípio de operação do JLNWFETs pode ser melhor compreendido quando contrastado com outros dois tipos de transistores de nanofio mais conhecidos: o NWFET de inversão e o NWFET de acumulação [58].

### 2.2.1 – NWFETs de inversão

Um NWFET de inversão tipo-n está ilustrado na Fig. 2.2-a. Assim como no MOSFET tradicional, as regiões de fonte e dreno são altamente dopadas do tipo-n e a região do canal é dopada do tipo-p. Há, portanto, junções p-n entre estas regiões. O comportamento da corrente em função da tensão de porta está ilustrado na Fig. 2.2-b. Os diagramas de bandas na direção radial são mostrados considerando duas condições: banda plana (Fig. 2.2-c) e inversão (Fig. 2.2-d).

Em resumo, a tensão de banda plana corresponde à tensão de porta para a qual é anulado o encurvamento das bandas na região do nanofio semiconductor; o seu valor está associado à diferença entre as funções-trabalho do metal e do semiconductor. Em consequência da lei de Gauss, o fato de não haver encurvamento das bandas em uma dada região implica na ausência de carga líquida. Maiores detalhes sobre a tensão de banda plana serão discutidos à frente.

Abaixo da tensão de banda plana ( $V_{FB}$ ), a seção do nanofio envolta pela porta está em regime de acumulação de portadores majoritários (lacunas, neste caso). Porém, as junções p-n estão inversamente polarizadas, de modo que não há fluxo de corrente, mesmo com a aplicação de uma tensão de polarização  $V_{ds}$ .

Entre  $V_{FB}$  e a tensão de limiar ( $V_t$ ), o dispositivo está parcialmente depletado de portadores majoritários. Logo, em ambas as situações, não há corrente ou, mais precisamente, a corrente está abaixo de um valor mínimo que designa o dispositivo como ligado.

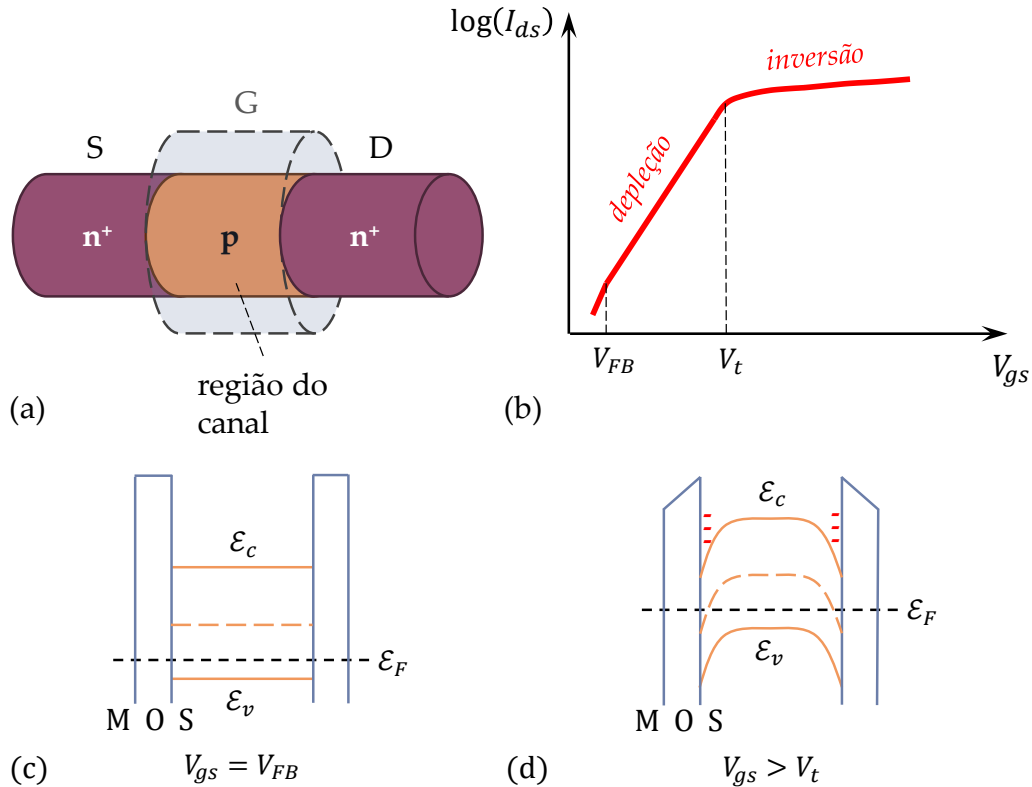


Figura 2.2 – NWFET de inversão tipo-n. a) esquemático destacando as junções p-n. b) comportamento da corrente em função da tensão de porta. c) diagrama de bandas na condição de banda plana. d) diagrama de bandas na condição de inversão.

Acima da tensão de limiar ( $V_t$ ) ocorre a inversão, ou seja, a região que foi dopada tipo-p passa a ser rica em portadores minoritários (elétrons, neste caso), da mesma natureza que portadores majoritários de fonte e dreno. Desta maneira, forma-se ali um canal de condução que permite o fluxo de corrente e o dispositivo está ligado. É importante ressaltar que a camada de inversão se estabelece na interface do semiconductor com o óxido, conforme ilustrado na Fig. 2.2-d. Em virtude disso, a condução de corrente nestes MOSFETs ocorre na superfície do nanofio.



### 2.2.2 – NWFETs de acumulação

No caso do NWFET de acumulação, ilustrado na Fig. 2.3-a, a região do canal é tipo-n, assim como as regiões de fonte e dreno, porém com um nível de dopagem relativamente mais baixo. Conseqüentemente, este dispositivo também apresenta junções, ainda que sejam do tipo  $n^+-n$ . Ou, mais rigorosamente, ele possui um gradiente de dopagem tipo-n ao longo do nanofio.

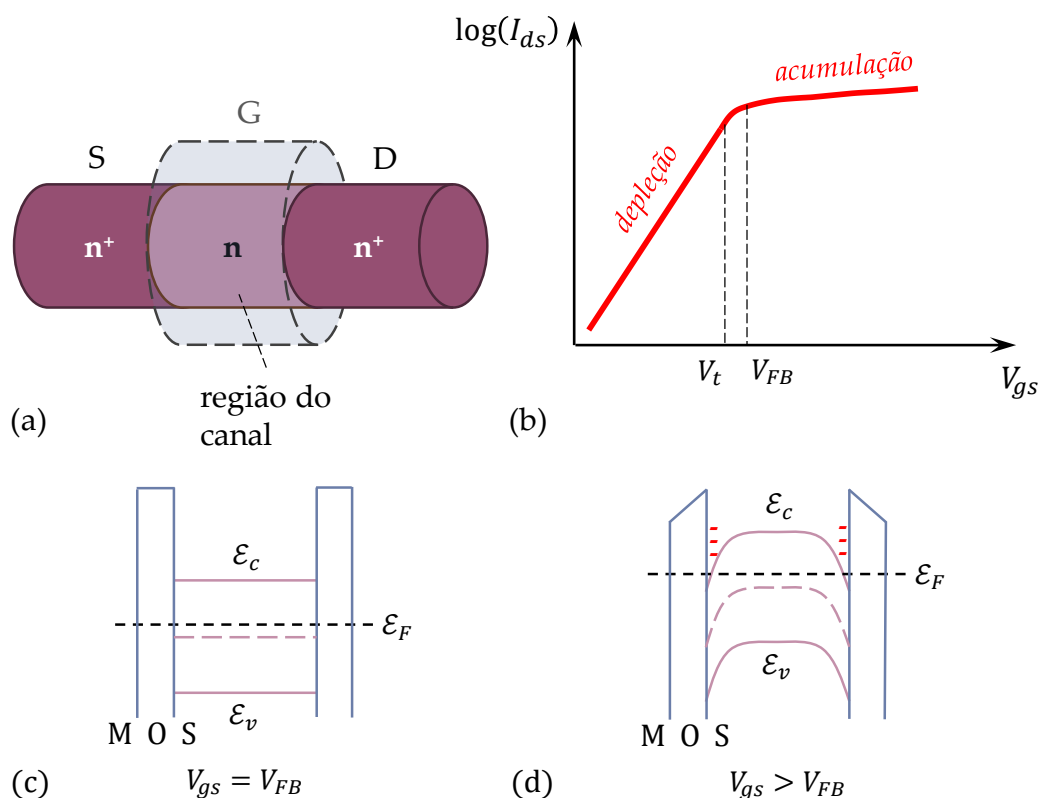


Figura 2.3 – NWFET de acumulação tipo-n. a) esquemático destacando as junções  $n^+-n$ . b) comportamento da corrente entre fonte e dreno em função da tensão de porta. c) diagrama de bandas na condição de banda plana. d) diagrama de bandas na condição de acumulação.

Observando a relação de controle do canal (Fig. 2.3-b), nota-se que a tensão de banda plana está ligeiramente acima da tensão de limiar, ao contrário do NWFET de inversão. Abaixo do limiar, a região envolta pela porta é considerada totalmente depletada de portadores majoritários (elétrons, neste caso). Entre  $V_t$  e  $V_{FB}$ , esta região passa estar parcialmente depletada de elétrons, principiando a formar um canal de condução.

Em  $V_{FB}$ , conforme ilustrado na Fig. 2.3-c, não há mais região de depleção. Porém, devido ao baixo nível de dopagem, a densidade de portadores na região sob a porta ainda é pequena. Consequentemente, a corrente também é limitada. Acima de  $V_{FB}$ , conforme ilustrado na Fig. 2.3-d, um canal de condução se forma gradualmente na superfície do semiconductor através da acumulação de portadores majoritários. Neste ponto, o dispositivo é considerado ligado.

### 2.2.3 – NWFETs sem junções

Em termos de construção, o JLNWFET difere do NWFET de acumulação apenas na dopagem da região do canal. Neste caso, ela é a mesma das regiões de fonte e dreno, conforme ilustrado na Fig. 2.4-a. Logo, como o próprio nome sugere, este é um dispositivo sem junções ou gradientes de dopagem. Porém, em contraste com o NWFET de acumulação, este transistor não opera com base na acumulação de portadores.

Para analisar o princípio de operação deste dispositivo, é conveniente considerar primeiro apenas o nanofio de semiconductor altamente dopado, sem a ação do eletrodo de porta. Tem-se, portanto, um fio condutor com baixíssima resistividade entre fonte e dreno, uma vez que é uma região rica em portadores livres (elétrons, neste caso).

Como em todo MOSFET, o papel da porta é controlar esta resistividade, para alterar a corrente de dreno como função da tensão aplicada  $V_{gs}$ . No JLNWFET, isto é feito controlando a largura da região de depleção que se forma a partir da superfície em direção ao centro do nanofio. Dessa forma, o dispositivo pode ser considerado desligado quando houver depleção total de portadores e ligado quando não houver mais depleção de portadores livres. Estas condições correspondem às tensões de limiar ( $V_t$ ) e de banda plana ( $V_{FB}$ ) na Fig. 2.4-b.

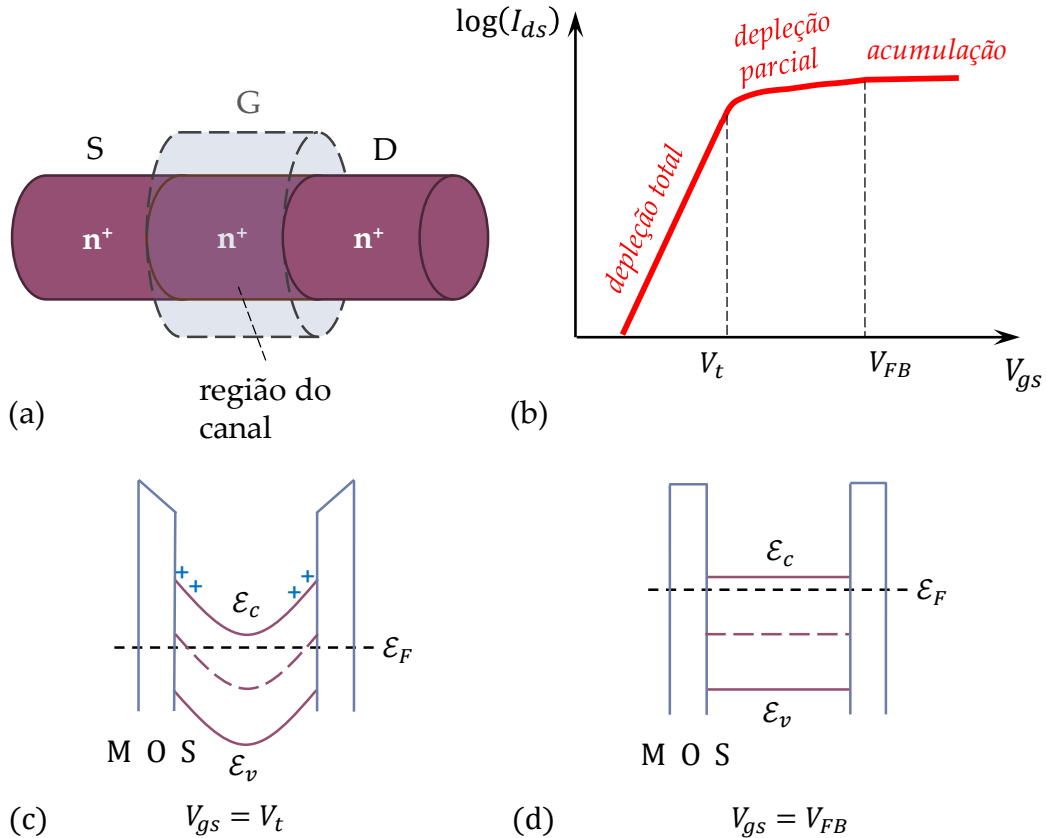


Figura 2.4 – NWFET sem junções tipo-n. a) esquemático destacando o nanofio uniformemente dopado. b) comportamento da corrente entre fonte e dreno em função da tensão de porta. c) diagrama de bandas na condição de limiar. d) diagrama de bandas na condição de banda plana.

Em circuitos lógicos, é comum empregar transistores que operam em modo de enriquecimento (em inglês, *enhancement mode*). Efetivamente, isto significa que eles estão normalmente desligados quando  $V_{gs} = 0$  V e são ligados com uma tensão de porta maior que a tensão de limiar,  $V_{gs} > V_t$ , que é positiva no caso do n-MOS. Por conseguinte, é preciso escolher os parâmetros do MOSFET de forma que ocorra depleção total de portadores em  $V_{gs} = 0$  V, o que será discutido mais à frente.

Outro ponto em que o JLNWFET se difere dos NWFETs supracitados é que o canal de condução se forma no interior do nanofio semiconductor, não na superfície. Logo, a tensão de limiar é definida como a mínima tensão de porta necessária para permitir um canal de condução, não depletado de portadores, no

centro do nanofio (Fig. 2.4-c). Conforme  $V_{gs}$  avança além do limiar, a região de depleção recua gradualmente, estabelecendo um canal de condução a partir do eixo axial do nanofio. Em contraste com o que ocorre no NWFET de acumulação, essa região onde não há mais depleção é altamente dopada. Acima do limiar, a densidade de portadores já é significativa e o dispositivo passa a ser considerado ligado neste ponto de polarização.

Ao atingir  $V_{FB}$ , a região de depleção é completamente suprimida, ou, dito de forma alternativa, o canal de condução abrange completamente o próprio nanofio (Fig. 2.4-d). Acima de  $V_{FB}$ , o nível de portadores segue aumentando, induzido pelo acúmulo de elétrons na interface entre o óxido e o semicondutor, da mesma forma que ocorre no NWFET de acumulação.

A tensão de banda plana pode ser entendida analisando o diagrama de bandas de um capacitor n-MOS. Os diagramas antes e depois do equilíbrio térmico ser atingido estão representados na Fig. 2.5. Há uma diferença entre as funções trabalho — definidas como a distância entre o nível de vácuo e o nível de Fermi — do metal e do semicondutor. Portanto, como mostra a Fig. 2.5-a, os níveis de Fermi dos dois materiais estão desalinhados antes do sistema atingir equilíbrio térmico, sendo  $\mathcal{E}_{FM} < \mathcal{E}_{FS}$ . Logo, para atingir equilíbrio, há um deslocamento de carga negativa do semicondutor para o metal, de modo que esses níveis se alinhem. Após atingir o patamar de equilíbrio térmico (Fig. 2.5-b), forma-se um campo elétrico interno indo do semicondutor ao metal e uma região depletada de portadores (elétrons) imediatamente abaixo do óxido, caracterizada pelo encurvamento da banda no lado semicondutor ao longo de uma extensão  $w_{dep}$ .

Inspecionando a Fig. 2.5, a tensão de banda plana (em inglês, *flatband*) é a tensão de porta necessária para que os níveis de Fermi no metal e no semicondutor se alinhem e o diagrama de bandas retorne ao estado plano (em

inglês, *flat*). Logo, desprezando a presença de cargas no óxido, a tensão de banda plana é dada por

$$V_{FB} = \phi_{MS}, \quad (2.1)$$

onde  $\phi_{MS} = \phi_M - \phi_S$  é a diferença entre as funções trabalho, expressas em volts, entre o metal e do semiconductor.

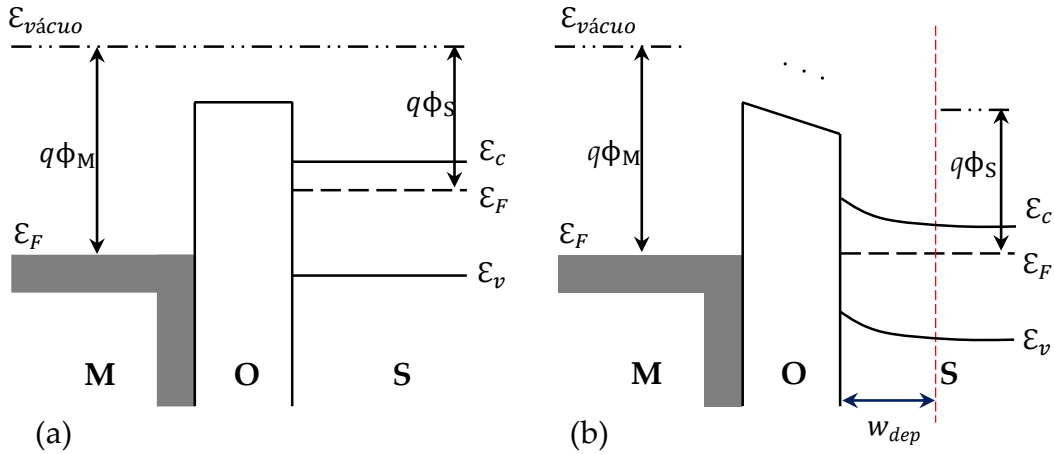


Figura 2.5 – Diagrama de bandas do capacitor n-MOS a) antes de atingir o equilíbrio térmico e b) em equilíbrio térmico.

Por exemplo, considerando um nanofio de silício altamente dopado ( $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ) e um contato de porta de silício policristalino tipo-p<sup>+</sup> (p<sup>+</sup> poly-Si) resulta em  $V_{FB} = 1,12 \text{ V}$ , que é um valor satisfatório para que o JLFET opere em modo de enriquecimento. Por outro lado, considerando um eletrodo de porta de n<sup>+</sup> poly-Si, a tensão de banda plana é de apenas 0,02 V, forçando o dispositivo a trabalhar em modo de depleção (ou seja, ligado em  $V_{gs} = 0 \text{ V}$ ). Valores similares são obtidos considerando metais como níquel (Ni) e alumínio (Al), respectivamente.

Além da escolha do material de porta, que determina  $V_{FB}$  para um dado material semiconductor, é necessário projetar corretamente os parâmetros do nanofio e do óxido para obter a depleção total de portadores em  $V_{gs} = 0 \text{ V}$ . Conforme já discutido, para o n-MOS, a condição necessária é  $V_t > 0 \text{ V}$ . A tensão de limiar pode ser escrita em termos dos parâmetros do dispositivo observando

que ela é o valor máximo de  $V_{gs}$  para o qual ainda há depleção total no nanofio [59]. Logo,

$$V_t = \phi_{MS} - \frac{\pi q N_D R^2}{4\pi\epsilon_s} - \frac{\pi q N_D R^2}{2\pi\epsilon_{ox}} \ln\left(1 + \frac{t_{ox}}{R}\right), \quad (2.2)$$

onde  $\epsilon_s$  e  $\epsilon_{ox}$  são as permissividades do semiconductor e do óxido, respectivamente, e  $q$  é a carga elementar. Os dois últimos termos correspondem à queda de tensão no nanofio e no óxido, respectivamente, conforme será deduzido no próximo capítulo.

Por exemplo, considerando um nanofio de silício com  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$  e  $R = 10 \text{ nm}$ , envolvido por uma camada de dióxido de silício de espessura  $t_{ox} = 2 \text{ nm}$  e contato de porta de silício policristalino tipo-p<sup>+</sup>, a tensão de limiar é  $V_t = 0,3 \text{ V}$ , que também é um valor adequado para que o JLFET opere em modo de enriquecimento.

A fim de assegurar a formação de contatos primordialmente ôhmicos e um nível de corrente mais alto, seria ideal que o nanofio fosse uniformemente dopado em um patamar de  $10^{20} \text{ cm}^{-3}$  [59], [60]. Entretanto, para manter a tensão de limiar positiva, essa dopagem implicaria em um nanofio de  $R \leq 3 \text{ nm}$ , o que exige um processo de fabricação muito mais preciso e também resulta no aparecimento de efeitos quânticos indesejados [61].

Em suma, quanto maior ou mais dopado for o nanofio, mais custoso é obter a depleção total e menor (ou mais negativa) é a tensão de limiar. O mesmo também vale para a espessura do óxido, levando em conta que ela limita o controle exercido pela porta. Logo, mesmo utilizando metais com valores altos de função trabalho, a liberdade de escolha de parâmetros de fabricação para JLNWFETs visando aplicações em circuitos digitais é bastante limitada. Por outro lado, esta característica beneficia a modelagem compacta, uma vez que as expressões propostas precisam ser acuradas apenas em uma faixa limitada de valores para estes parâmetros.

## 2.3 – Regimes de operação

Com base nas definições anteriores de tensão de limiar e tensão de banda plana, os regimes de operação do JLNWFET podem ser classificados em depleção total, depleção parcial e acumulação. Essas três condições estão descritas a seguir.

### 2.3.1 – Regime de depleção total

Quando polarizado na condição de sublimiar, o dispositivo é considerado totalmente depletado de portadores livres e, conseqüentemente, a corrente é muito baixa ou, de outro modo, a resistividade do nanofio é muito alta. Portanto, neste regime, o transistor é considerado desligado.

A Fig. 2.6 mostra uma análise do potencial eletrostático no nanofio em função da tensão de porta, considerando o JLNWFET exemplificado na seção anterior. Na Fig. 2.6-a tem-se o comportamento da energia potencial no centro do nanofio ao longo do canal,  $\mathcal{E}(r = 0) = -q\phi(r = 0)$ . O valor de referência para o potencial eletrostático é o nível de Fermi do contato de fonte,  $\mathcal{E}_{Fs}$ . Para esta análise, é conveniente considerar  $V_{ds} = 0$ , de modo que  $\mathcal{E}_{Fs} = \mathcal{E}_{Fd} = -qV$ , sendo  $V$  um valor constante.

Quando  $V_{gs} = 0$ , a região sob o contato de porta é considerada totalmente depletada de portadores livres e os doadores ionizados induzem um potencial negativo no centro do nanofio, correspondente a  $-V_t$ . Pela definição do valor de referência, esta é a diferença de potencial que os elétrons precisariam superar para deixar o contato fonte e adentrar a região do canal. Logo, mesmo com a aplicação de  $V_{ds}$ , os elétrons não possuiriam energia suficiente para atravessar o canal e a corrente seria nula.

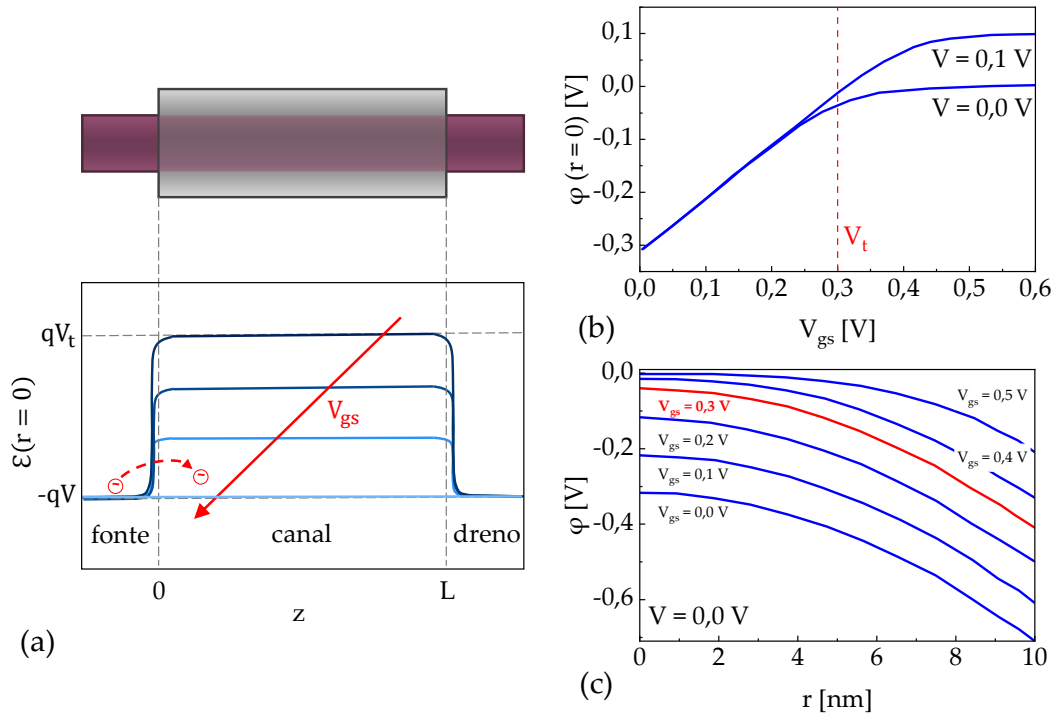


Figura 2.6 – Potencial eletrostático no regime de depleção total: a) energia potencial no centro do nanofio ao longo do canal como função da tensão de porta. b) potencial eletrostático no centro do nanofio em função da tensão de porta, variando o potencial de Fermi. c) potencial eletrostático ao longo da direção radial variando a tensão de porta e considerando  $V = 0$  V. Análise feita a partir de simulações TCAD (*Technology Computer-Aided Design*) usando o software Sentaurus [59], [60].

Conforme pode ser observado na Fig. 2.6-b, o potencial eletrostático no centro do nanofio aumenta linearmente com a tensão de porta para  $V_{gs} < V_t$ . Em consequência, a barreira de potencial também diminui linearmente. Ao passo que o potencial no centro do nanofio se aproxima de  $V$ , esta barreira de potencial se torna pequena o suficiente para que os elétrons consigam adentrar o canal. A partir deste ponto, os doadores no centro do nanofio deixam de estar ionizados e o dispositivo entra no regime de depleção parcial.

Observando a Fig. 2.6-c, tem-se o comportamento do potencial eletrostático na direção radial. Para  $V_{gs} < V_t$ , o potencial decai de forma aproximadamente parabólica a partir do centro do nanofio. À medida que  $V_{gs}$  se aproxima e ultrapassa  $V_t$ , o potencial próximo ao centro do nanofio passa a ser constante.



Conforme discutido na referência [59], em quase todo o regime de sublimiar, o potencial no centro do nanofio varia linearmente com a tensão de porta e a inclinação mostrada na Fig. 2.6-b é unitária. Isto porque a queda de potencial ao longo da direção radial do nanofio e do óxido permanece fixa, como indica a Fig. 2.6-c. Esta característica faz com que a inclinação de sublimiar do JLNWFET seja muito próxima do limite teórico de aproximadamente 60 mV/década.

De fato, o primeiro dispositivo apresentado por Colinge *et al.* [25] demonstrou  $SS = 64$  mV/década em temperatura ambiente ( $T = 300$  K). Para comparação, os autores reiteram que um transistor MOS tipo *bulk* possui valores típicos em torno de 80 mV/década e os melhores transistores tipo SOI de porta tripla chegam a 63 mV/década, o que corrobora a competitividade do JLNWFET neste quesito importante para a eletrônica digital.

### 2.3.2 – Regime de depleção parcial

No regime de depleção parcial, o canal de condução se forma como uma região neutra e rica em portadores livres a partir do centro do nanofio. Por conseguinte, a corrente é alta o suficiente para que o dispositivo seja considerado ligado.

Como discutido anteriormente, os doadores localizados no centro de simetria do nanofio deixam de estar ionizados quando  $V_{gs} = V_t$ . Este é o início da formação no canal de condução. Com o aumento de  $V_{gs}$ , o raio do canal de condução — descrito pela variável  $r_c$  — cresce gradativamente a partir do centro do nanofio até atingir  $r_c = R$  quando  $V_{gs} = V_{FB}$ . De maneira complementar, a região de depleção ( $w_{dep}$ ) decresce gradativamente até ser completamente suprimida, conforme ilustrado na Fig. 2.7.

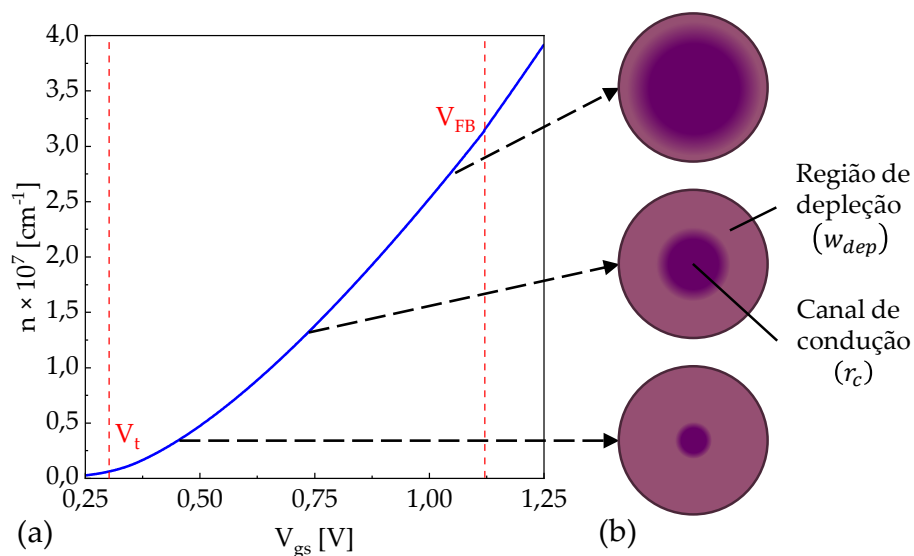


Figura 2.7 – Comportamento do JLNWFET em regime de depleção parcial. a) Densidade de elétrons por unidade de comprimento em função da tensão de porta, destacando o trecho entre  $V_t$  e  $V_{FB}$ . b) Ilustração do canal de condução e da região de depleção em três situações distintas durante o regime de depleção parcial. Análise feita a partir de simulações TCAD usando o software Sentaurus [59], [60].

Essa redução da carga líquida no nanofio reflete em uma menor curvatura no diagrama de bandas da Fig. 2.5-b no lado do semicondutor, que termina por voltar ao estado de banda plana mostrado inicialmente (Fig. 2.5-a), quando não há mais depleção de portadores.

Nesta altura, cabe lembrar uma particularidade importante do JLNWFET: o canal de condução se forma a partir do centro de simetria do nanofio e não na superfície, como ocorre nos dispositivos de inversão e de acumulação. A região central do nanofio apresenta uma rugosidade bem menor do que a superfície e não está sujeita a armadilhas de interface, o que contribui para reduzir o espalhamento total. Além disso, ao contrário do que ocorre nos demais NWFETs, a região do canal é neutra. Logo, não há campo elétrico transversal ao deslocamento dos portadores e a degradação da mobilidade por este fator também é reduzida. Por outro lado, estudos experimentais demonstram que a mobilidade no interior do silício cai com o aumento da dopagem, sendo de  $110 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  para  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$  [62], em decorrência do espalhamento

Coulomb. A conjunção destes fatores faz com que o patamar de corrente alcançado pelo JLNWFET seja comparável, embora tipicamente inferior, aos demais NWFETs [59].

### 2.3.3 – Regime de acumulação

No regime de acumulação, o raio do canal de condução — resultado do processo de supressão da região de depleção — atinge seu valor máximo. O dispositivo passa então a se comportar aproximadamente como um capacitor cilíndrico ideal (Fig. 2.8-a). Em outras palavras, o aumento de  $V_{gs}$  para além de  $V_{FB}$  resulta em uma acumulação de portadores (além daqueles provenientes dos doadores) na interface entre o óxido e o semiconductor. A densidade destes portadores é proporcional a  $C_{ox}(V_{gs} - V_{FB})$ , onde  $C_{ox}$  é a capacitância do óxido, e se reflete em um aumento da corrente (Fig. 2.8-b). Essa camada de cargas acumuladas pode ser vista como um canal de condução na superfície do nanofio, análogo ao que se forma em um NWFET de acumulação.

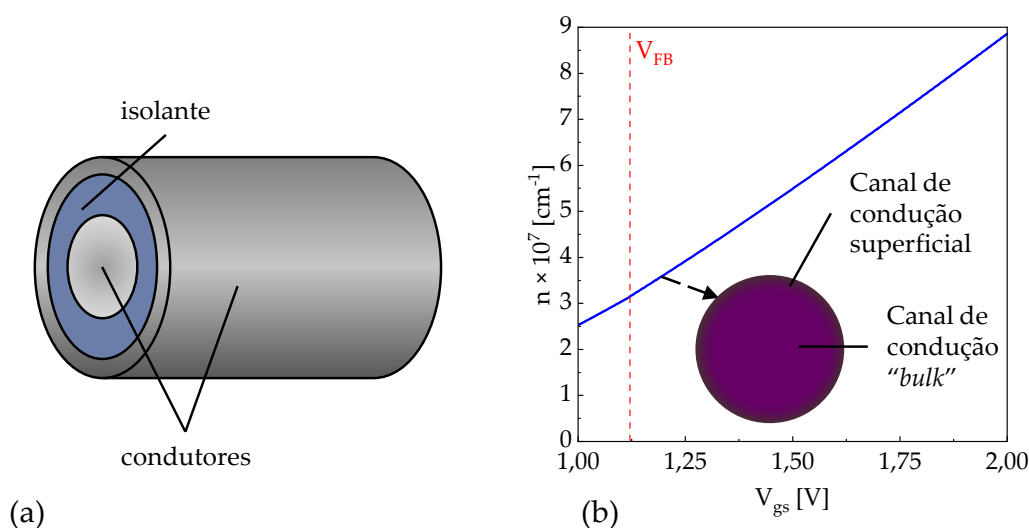


Figura 2.8 – Comportamento do JLNWFET em regime acumulação. a) Ilustração de um capacitor cilíndrico ideal. b) Densidade de elétrons por unidade de comprimento em função da tensão de porta, destacando o trecho acima de  $V_{FB}$ . Na inserção, estão ilustrados os canais de condução no interior e na superfície do nanofio. Análise feita a partir de simulações TCAD usando o software Sentaurus [59], [60].

É importante observar que este transporte de corrente de superfície apresenta uma mobilidade distinta daquela verificada no interior do nanofio. Como mencionado anteriormente, há uma degradação da mobilidade de superfície devido a fatores como a rugosidade do semicondutor e as armadilhas de interface. Por outro lado, estudos experimentais mostram que a mobilidade na superfície para estes dispositivos baseados em nanofio que operam em regime de acumulação pode ser ligeiramente maior que no material *bulk*, mesmo para dopagens altas onde o espalhamento Coulomb é dominante, devido a um efeito de blindagem eletrostática que mitiga o efeito dos portadores ionizados [63].

Ainda, em comparação ao NWFET de acumulação, o JLNWFET possui a vantagem de ter um campo transversal menor também nesta camada de acumulação, o que reduz a degradação da mobilidade. Contudo, embora a operação no regime de acumulação aumente o nível de corrente do dispositivo, o campo elétrico transversal faz com que a transcondutância seja reduzida em relação ao regime de depleção parcial, resultando em uma degradação no desempenho do dispositivo para  $V_{gs} > V_{FB}$  [64].

## 2.4 – Características de operação

Em decorrência dos vários regimes de polarização e da possibilidade de formação de dois canais de condução distintos, há seis possibilidades de configuração de transporte de corrente no JLNWFET [65], conforme apresentado na Tabela 2.1. Essa característica se dá porque diferentes trechos do nanofio podem estar sob diferentes regimes efetivos de polarização, a depender do valor de  $V_{ds}$ , conforme exemplificado na Fig. 2.9. Na literatura, esta peculiaridade do JLNWFET também pode ser encontrada sob a alcunha de canal híbrido [66].

Para  $V_{gs} < V_t$ , o dispositivo está polarizado em regime de depleção total. Logo, a corrente está na condição de sublimar e é dominada pelo mecanismo de difusão de portadores (i).

Tabela 2.1 – Características de corrente no JLNWFET.

| Regimes de operação                             | Condições de saturação  | Características de corrente |      |
|---|-------------------------|-----------------------------|------|
| Depleção total<br>( $V_{gs} < V_t$ )            |                         | (i)                         |      |
| Depleção parcial<br>( $V_t < V_{gs} < V_{FB}$ ) | $V_{gs} - V_t < V_{ds}$ | (ii)                        |      |
|   | $V_{gs} - V_t > V_{ds}$ | (iii)                       |      |
| Acumulação<br>( $V_{gs} > V_{FB}$ )             | $V_{gs} - V_t < V_{ds}$ | (iv)                        |      |
|   | $V_{gs} - V_t > V_{ds}$ | $V_{gs} - V_{FB} < V_{ds}$  | (v)  |
|   |                         | $V_{gs} - V_{FB} > V_{ds}$  | (vi) |

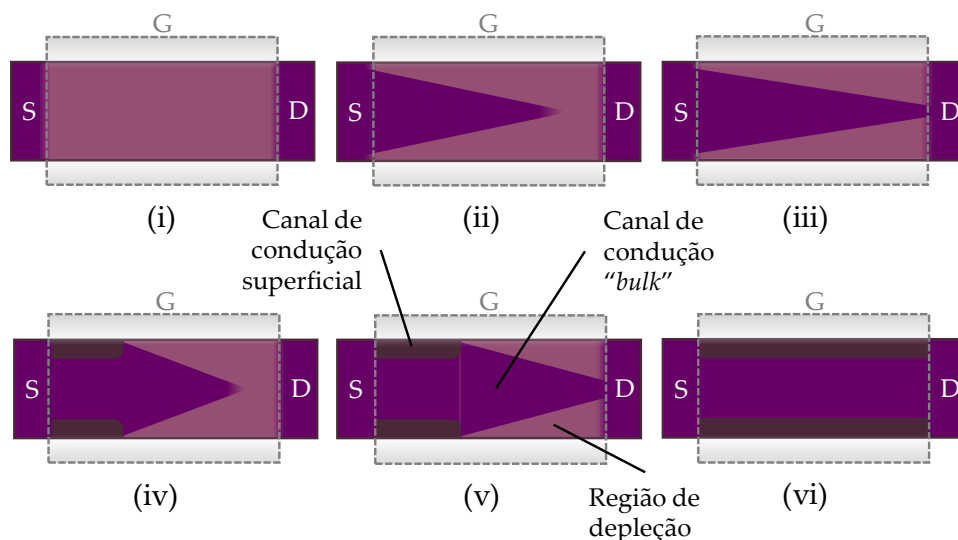


Figura 2.9 – Exemplo das diferentes características de corrente que podem ocorrer no JLNWFET. A primeira linha mostra a formação do canal de condução no interior do nanofio. A segunda linha mostra a formação do canal de condução superficial.

Para  $V_t < V_{gs} < V_{FB}$ , o dispositivo está polarizado em regime de depleção parcial. Logo, há formação de um canal de condução a partir do centro do nanofio. O termo  $V_{gs} - V_t$  determina se há ou não saturação de corrente no canal de condução no interior do nanofio. Ou seja, se  $V_{gs} - V_t < V_{ds}$ , o nanofio está totalmente depletado próximo ao dreno e a corrente está na condição de saturação (ii). Se  $V_{gs} - V_t > V_{ds}$ , nanofio todo está parcialmente depletado e a

corrente está na condição linear (iii). Além disso, o mecanismo de condução dominante nestes casos, assim como nos subsequentes, é a deriva de portadores.

Para  $V_{gs} > V_{FB}$ , o dispositivo está polarizado em regime de acumulação. Neste caso, a corrente ocorre tanto no interior do nanofio quanto na superfície. Novamente, se  $V_{gs} - V_t < V_{ds}$ , o nanofio está totalmente depletado próximo ao dreno e opera na condição de saturação (iv). O termo  $V_{gs} - V_{FB}$  determina se há ou não saturação da corrente no canal superficial. Logo, se  $V_{gs} - V_t > V_{ds}$  e  $V_{gs} - V_{FB} < V_{ds}$ , o nanofio está em acumulação no lado da fonte e parcialmente depletado no lado do dreno (v). Esta condição é similar à que ocorre na saturação do NWFET de acumulação, porém o canal de condução no interior do JLNWFET não está saturado. Por fim, se  $V_{gs} - V_t > V_{ds}$  e  $V_{gs} - V_{FB} > V_{ds}$ , o nanofio todo está em acumulação e opera na região linear (vi).

A Fig. 2.10-a mostra simulações das características  $I_{ds} - V_{gs}$  para tensão de fonte-dreno baixa ( $V_{ds} = 0,2 V$ ) e alta ( $V_{ds} = 2 V$ ). A escala logarítmica permite observar melhor a condição de sublimiar. A Fig. 2.10-b mostra as características  $I_{ds} - V_{ds}$  para os regimes de depleção parcial ( $V_{gs} = 1 V$ ) e acumulação ( $V_{gs} = 2 V$ ). Nela é possível observar a operação linear e em saturação da corrente.

A Fig. 2.11 mostra as características das cargas no JLNWFET, com ênfase na carga espacial e nas cargas móveis. Como mencionado anteriormente, a densidade de cargas móveis (portadores livres) cresce a partir da tensão de limiar, com a redução da largura da região de depleção. Esta densidade continua a crescer para tensões acima do valor de banda plana, pelo processo capacitivo de acumulação. Já a carga espacial começa positiva, correspondendo aos doadores ionizados, zera em  $V_{gs} = V_{FB}$ , e em seguida passa a ser negativa devido ao processo de acumulação.

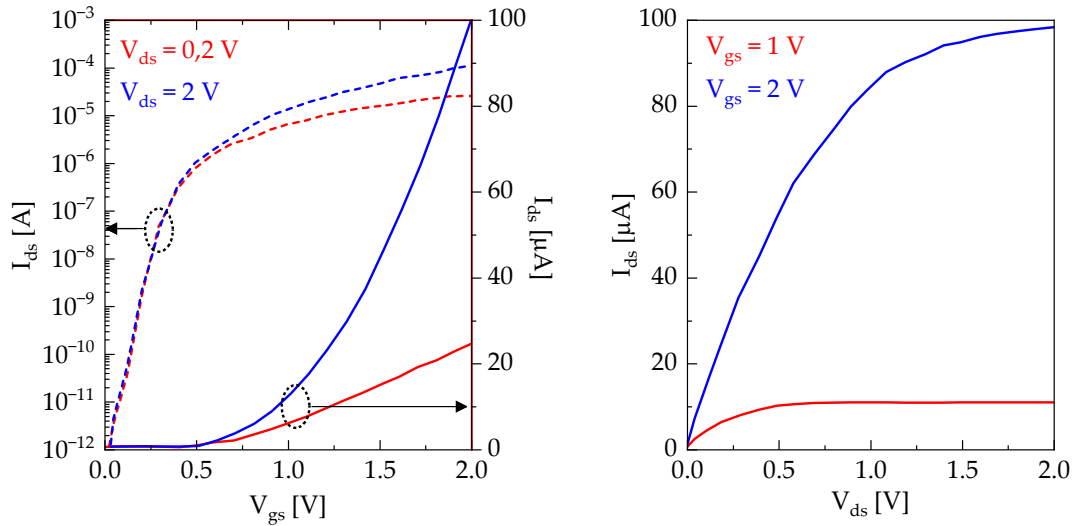


Figura 2.10 – Exemplo de características de corrente do JLNWFET. a) Características  $I_{ds} - V_{gs}$  para tensão de fonte-dreno baixa ( $V_{ds} = 0,2 V$ ) e alta ( $V_{ds} = 2 V$ ). b) Características  $I_{ds} - V_{ds}$  para os regimes de depleção parcial ( $V_{gs} = 1 V$ ) e acumulação ( $V_{gs} = 2 V$ ). Análise feita a partir de simulações TCAD usando o software Sentaurus [59], [60].

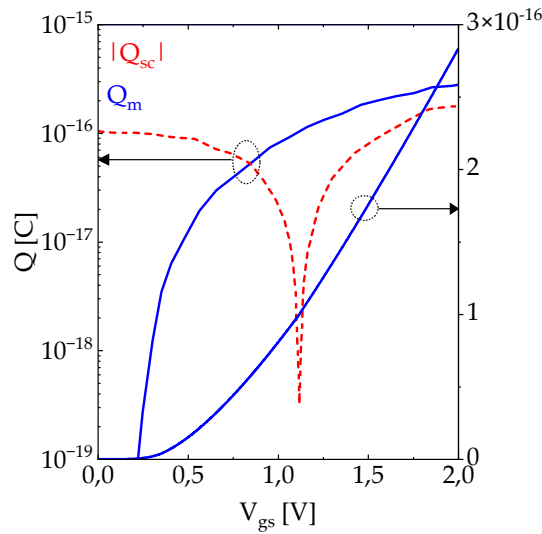


Figura 2.11 – Exemplo de características de cargas espaciais e móveis no JLNWFET para  $V_{ds} = 0 V$ . Na escala logarítmica, as cargas espaciais em módulo,  $|Q_{sc}|$ , possuem uma descontinuidade em  $V_{gs} = V_{FB}$  porque ocorre uma inversão de sinais. Análise feita a partir de simulações TCAD usando o software Sentaurus [59], [60].

A Fig. 2.12 mostra as características da capacitância de porta do JLNWFET. A capacitância devido às cargas móveis tem o mesmo comportamento discutido na Fig. 2.11. Porém, a capacitância total tende a um valor intrínseco para  $V_{gs} < V_{tr}$  correspondente à componente puramente geométrica da capacitância,

decorrente, também, dos efeitos de borda [60], [67]. Para  $V_{gs} > V_{FB}$ , a capacitância tende à capacitância do óxido, como esperado no processo de acumulação.

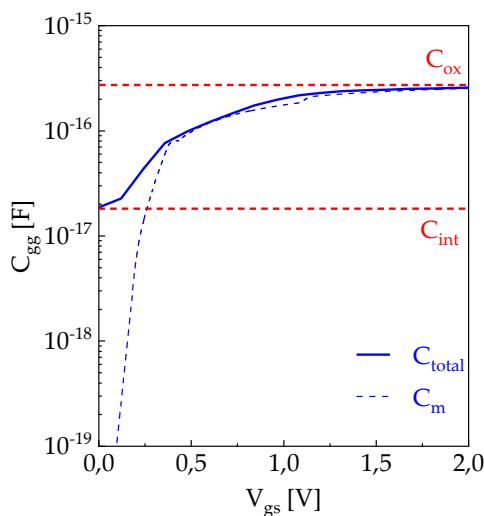


Figura 2.12 – Exemplo de características de capacitância do JLNWFET em escala logarítmica para  $V_{ds} = 0.05$  V. A capacitância total ( $C_{total}$ ) parte de um valor fixo, correspondente à capacitância intrínseca de origem geométrica ( $C_{int}$ ), e segue crescendo de acordo com a capacitância devido às cargas móveis ( $C_m$ ) até atingir o valor da capacitância do óxido ( $C_{ox}$ ). Análise feita a partir de simulações TCAD usando o software Sentaurus [60].

## 2.5 – Conclusão

Neste capítulo, foi feita uma apresentação geral dos princípios de funcionamento dos transistores de nanofio sem junções. O objetivo principal deste texto é formar a base teórica para a modelagem compacta subsequente. Ademais, também foi feita uma discussão para aprimorar o entendimento das peculiaridades dos JLNWFETs, como a formação de dois canais de condução e a possibilidade de seis características de correntes distintas. No próximo capítulo será apresentada a modelagem compacta para JLNWFETs desenvolvida durante este programa de doutoramento.





## Capítulo 3: Modelagem compacta para transistores de nanofio sem junções

---

Com o avanço na fabricação de transistores sem junções, e visando sua possível inserção nos processos de produção em massa de circuitos integrados, é essencial que modelos compactos estejam disponíveis aos projetistas e que a compreensão da física do dispositivo seja de fácil assimilação. Portanto, na última década, vários modelos numéricos e analíticos têm sido propostos para descrever estes componentes em suas mais diversas configurações e características [49], [51], [75]–[84], [59], [85]–[94], [68], [95]–[99], [69]–[74].

Entretanto, boa parte destas formulações são implementadas na forma de métodos numéricos que exigem elevado esforço computacional, ou em modelos que, embora bastante valorosos, não explicitam completamente os princípios de funcionamento do dispositivo, como em alguns casos de descrições analíticas semi-empíricas. Há ainda modelos que, embora sejam apregoados como analíticos e/ou compactos, fazem uso de funções especiais, requerem rotinas iterativas para resolver equações implícitas ou admitem integrais numéricas.

Neste contexto, esse capítulo apresentará uma contribuição para a modelagem compacta de transistores de nanofios sem junções. Partindo do arcabouço teórico acumulado na literatura ao longo desta última década, essas contribuições buscam principalmente facilitar o entendimento do princípio de operação do dispositivo e apresentar métodos para obter expressões totalmente analíticas e explícitas que descrevam principalmente suas características de corrente ( $I$ - $V$ ) e capacitância ( $C$ - $V$ ).

O enquadramento da modelagem, a ser apresentada a seguir, está centrado no entendimento do JLNWFET como um nanofio cuja resistência é controlada

pelo contato de porta<sup>1</sup>, modulando o canal de condução formado a partir centro do nanofio, conforme explicado no Cap. 2. O presente trabalho, portanto, está inserido em uma série de trabalhos do grupo da Universidade de São Paulo que seguem esta premissa [88], [92], [97], sendo o último já um resultado direto desta tese de doutorado.

Historicamente, mesmo antes da primeira fabricação de um transistor de nanofio sem junções, pesquisadores de modelos compactos que se propunham a analisar NWFETs com alta dopagem já esbarravam em dificuldades, reconhecidamente devido à alta não-linearidade de equação de Poisson que rege este dispositivo [100]. Esta dificuldade é um pouco menor, embora ainda bastante acentuada, no caso de nanofios cilíndricos, tendo em vista a simetria axial. Além disso, como discutido no Cap. 1, a configuração *gate-all-around* é a de maior interesse atualmente para mitigar os efeitos de canal curto em nanotransistores.

Por conseguinte, este capítulo se concentrará na modelagem de JLNWFETs de geometria cilíndrica. Ao fim, também será apresentada uma discussão sobre as possibilidades e perspectivas acerca da geometria de nanofios com seção reta quadrada ou retangular, semelhantes às nanofolhas.

Outros aspectos e não-idealidades dos JLNWFETs, como efeitos quânticos, transporte balístico, armadilhas de interface e efeitos de canal curtos também serão devidamente discutidos para contextualizar sua inserção no modelo proposto, embora boa parte deles já esteja bem trabalhado na literatura, de forma naturalmente compatível com a abordagem adotada.

A seguir, será feita uma breve revisão da literatura para demonstrar a evolução da modelagem compacta dos JLNWFETs.

---

<sup>1</sup> Em inglês, o termo *gated resistor* é empregado.

### 3.1 – Breve revisão da literatura

Os primeiros modelos semi-analíticos para o JLNWFET cilíndrico foram propostos por Bart Sorée *et al.* [49], [51], [70]. Nestas publicações, os autores contribuem de forma significativa para o entendimento da física do novo transistor. Cabe destacar, por exemplo, que os efeitos quânticos são estudados, por meio de uma solução numérica auto-consistente [51] e de um tratamento semi-analítico [49] das equações de Poisson e Schrödinger.

Não obstante, estas abordagens possuem algumas limitações de maior ou menor grau para o estudo do dispositivo e para a aplicação em simuladores de circuitos integrados. Estes modelos, por exemplo, consideram somente a aproximação de depleção abrupta a qual, como será discutido mais à frente, se aplica apenas no regime de depleção parcial. Outra característica, que se repete em diversos modelos compactos posteriores [69], [81], [82], [91], [94], é o uso da função especial  $W$  de Lambert, que resolve a equação  $y \exp(y) = x$ . Além de ser uma função multivalorada, ela pode não estar nativamente incluída em simuladores de circuitos integrados.

Gnani *et al.* [59] também propuseram um modelo semi-analítico que pode ser considerado seminal, uma vez que é o primeiro que fornece um entendimento mais profundo dos princípios de operação do dispositivo. Neste artigo, os autores evitam a aproximação de depleção abrupta, obtendo uma descrição mais precisa do potencial eletrostático. Contudo, eles também recorrem a métodos iterativos e a funções de Bessel modificadas. Ademais, a integral para obter as características I–V precisa ser calculada numericamente. Assim, ainda que seja bastante útil para o desenvolvimento de diversos modelos posteriores, dentre os quais o desta tese, não se trata de um modelo compacto *stricto sensu*.

J. P. Duarte *et al.* publicaram uma série de modelos, dentre os quais alguns voltados para JLNWFETs cilíndricos [71], [77], [78], que procuram adaptar a modelagem baseada em carga de MOSFETs tradicionais para estes novos

transistores. A abordagem adotada resulta em expressões precisas, analíticas e explícitas, sendo bastante adequada para integrar simuladores de circuitos integrados. Trabalhos similares foram apresentados por Farzan Jazaeri *et al.* [76], [86], [90], [96], [98], incluindo efeitos quânticos e armadilhas de interface, e pelos colaboradores de Benjamín Iñiguez [81], [82], [91], incluindo efeitos de canal curto. Entretanto, nenhum desses modelos se concentra em obter um tratamento totalmente analítico e explícito.

Em contraste, o grupo do orientador deste trabalho de doutorado tem apresentado modelos totalmente analíticos e explícitos, centrados no equacionamento do raio do canal de condução, tanto para JLNWFETs com dimensões tão pequenas que efeitos quânticos e transporte balístico estão presentes [88], quanto para as formas convencionais [92], [97]. A principal prerrogativa deste tratamento é reter os princípios físicos que regem o dispositivo, de modo a auxiliar o projetista de circuitos integrados nas tarefas de síntese e análise. As publicações [88] e [92] tratam das características I-V de JLNWFETs. Elas serão brevemente discutidas ao longo deste capítulo, incorporando melhorias, esclarecimentos e não-idealidades. A publicação [97] trata das características Q-V e C-V de JLNWFETs e é resultado desta tese de doutorado.

### 3.2 – Modelagem eletrostática

O primeiro passo para uma modelagem analítica e baseada na física do transistor é estabelecer uma relação entre a distribuição espacial da carga elétrica e do potencial elétrico, considerando que ainda não há fluxo de portadores. Em virtude disso, inicialmente, a queda de potencial entre fonte e dreno é nula,  $V_{ds} = 0$ . Como referência, pode ser arbitrado que o potencial do nível de Fermi na fonte e no dreno corresponde a um mesmo valor,  $V$ . Assim como no capítulo anterior, sem perda de generalidade, será considerado um JL-FET tipo-n com nanofio de raio  $R$ , comprimento de porta  $L$  e espessura de óxido  $t_{ox}$ .

### 3.2.1 – Concentração de portadores

Da condição de neutralidade de carga, tem-se que

$$n + N_A^- = p + N_D^+, \quad (3.1)$$

onde  $n$  é a densidade de elétrons livres,  $N_A^-$  é a densidade de dopantes aceitadores ionizados,  $p$  é a densidade de lacunas livres e  $N_D^+$  é a densidade de dopantes doadores ionizados. Como o nanofio semiconductor é altamente dopado com impurezas doadoras,  $N_D \gg N_A$ , pode-se tomar  $N_A^- = 0$ .

Para aplicações convencionais em nanoeletrônica, é razoável assumir que a temperatura de operação está em torno de 300 K, de modo que as impurezas podem ser consideradas totalmente ionizadas,  $N_D^+ = N_D$ . Por exemplo, Trevisoli *et al.* [101] demonstram que, para  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$  e  $T = 300 \text{ K}$ , a taxa de ionização está entre 90 e 95%, ainda que a ionização incompleta seja relevante para outros aspectos da operação dos JL-FETs.

Utilizando a relação  $pn = n_i^2$  em  $T = 300 \text{ K}$ , onde  $n_i$  é a concentração intrínseca de portadores, tem-se

$$n = \frac{N_D}{2} + \sqrt{\left(\frac{N_D}{2}\right)^2 + n_i^2} \cong N_D. \quad (3.2)$$

A rigor, a densidade de elétrons obedece a estatística de Fermi-Dirac e pode ser escrita como

$$n = \frac{(2m_e^*)^{\frac{3}{2}}}{2\pi^2\hbar^3} \int_{\mathcal{E}_c}^{\infty} \frac{\sqrt{\mathcal{E} - \mathcal{E}_c}}{1 + \exp\left(\frac{\mathcal{E} - \mathcal{E}_c}{k_B T}\right)} d\mathcal{E}, \quad (3.3)$$

onde  $m_e^*$  é a massa efetiva do elétron,  $\hbar$  é a constante reduzida de Planck,  $\mathcal{E}_c$  é a energia do fundo da banda de condução e  $k_B$  é a constante de Boltzmann. Contudo, a integral da eq. 3.3 não possui solução analítica e seria necessário carregar uma função especial, a integral incompleta de Fermi-Dirac, ao longo do modelo.

A alternativa comumente empregada é assumir um semiconductor não-degenerado, no qual o nível de Fermi  $\mathcal{E}_F$  está suficientemente distante da banda de condução. Neste caso, a eq. 3.3 se reduz a uma descrição pela estatística de Maxwell-Boltzmann:

$$n = N_c \exp\left(\frac{\mathcal{E}_F - \mathcal{E}_c}{k_B T}\right), \quad (3.4)$$

onde  $N_c$  é a densidade de estados efetiva no fundo da banda de condução. Cabe destacar que a condição  $\mathcal{E}_c - \mathcal{E}_F \gg k_B T$  não é bem atendida para o caso de JL-FETs, uma vez que o nível de dopagem é bastante alto. Em [102], por exemplo, fica claro que a utilização da estatística de Maxwell-Boltzmann superestima a concentração de portadores em pelo menos 15% para  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ . Por outro lado, Sallese *et al.* [69] argumentam que esta aproximação não introduz erros significativos em seu modelo para dopagens até  $N_D = 5 \times 10^{19} \text{ cm}^{-3}$ . Desse modo, conclui-se que a melhor estratégia neste ponto é adotar a aproximação da eq. 3.4 para obter expressões analíticas e introduzir correções *a posteriori*, se necessário.

A densidade de elétrons pode ser escrita de forma mais conveniente como

$$n = n_i \exp\left(\frac{\mathcal{E}_F - \mathcal{E}_i}{k_B T}\right), \quad (3.5)$$

onde  $\mathcal{E}_i \cong \frac{\mathcal{E}_g}{2}$  é o nível de Fermi intrínseco, usualmente localizado em torno da metade da banda proibida ( $\mathcal{E}_g$ ).

### 3.2.2 – Diagrama de bandas

Na condição de banda plana, o nível de Fermi pode ser determinado fazendo uso das eqs. 3.2 e 3.5:

$$\mathcal{E}_F = \mathcal{E}_i + k_B T \ln\left(\frac{N_D}{n_i}\right). \quad (3.6)$$

Este valor é adotado como o referencial para descrever o potencial eletrostático, *i.e.*,  $\varphi = -\mathcal{E}_F$  na condição de banda plana. Os sinais opostos seguem a convenção da relação entre potencial elétrico e energia potencial elétrica.

Quando há depleção ou acumulação no nanofio, a existência de carga líquida corresponde a um encurvamento do diagrama de bandas, de modo que

$$\varphi(r) = -\frac{\mathcal{E}_i(r)}{q} - \frac{k_B T}{q} \ln\left(\frac{N_D}{n_i}\right). \quad (3.7)$$

Observando a Fig. 3.1, a tensão efetiva de porta, medida a partir da referência, pode ser expressa como a soma das quedas de potencial no óxido e no semiconductor. Definindo o potencial de superfície,  $\varphi_s = \varphi(R)$ , e aplicando a lei de Gauss no nanofio, tem-se

$$V_{gs} - V_{FB} = \varphi_s + \varphi_{ox} = \varphi_s - \frac{\sigma_t(\varphi_s)}{c_{ox}}, \quad (3.8)$$

onde  $\sigma_t(\varphi_s)$  é a densidade linear de carga total no semiconductor, dependente do potencial de superfície, e  $c_{ox}$  é a capacitância do óxido por unidade de comprimento, dada por

$$c_{ox} = \frac{2\pi\epsilon_{ox}}{\ln(1 + t_{ox}/R)}. \quad (3.9)$$

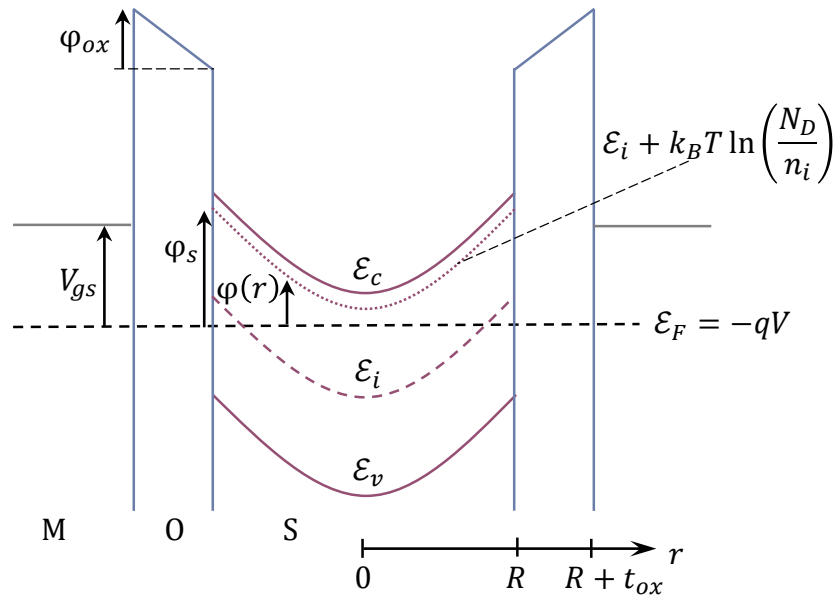


Figura 3.1 – Diagrama de bandas de um JLNWFET. Neste exemplo ilustrativo para evidenciar o encurvamento das bandas de energia, o dispositivo está polarizado na condição de depleção total e a tensão de porta é negativa.

O potencial de superfície é negativo para  $V_{gs} < V_{FB}$ , indicando a presença de carga positiva resultante do processo de depleção de portadores, e positivo para  $V_{gs} > V_{FB}$ , quando cargas negativas passam a acumular na interface com o óxido.



Uma vez que não há diferença de dopagem entre as regiões de fonte/dreno e canal, o nível de Fermi na região do canal é igualado a  $V$ .

### 3.2.3 – Equação de Poisson

A equação de Poisson em coordenadas cilíndricas é escrita como

$$\frac{1}{r} \frac{\partial}{\partial r} \left( r \frac{\partial \varphi}{\partial r} \right) + \frac{1}{r^2} \frac{\partial^2 \varphi}{\partial \vartheta^2} + \frac{\partial^2 \varphi}{\partial z^2} = -\frac{1}{\varepsilon_s} \rho_t(r), \quad (3.10)$$

onde  $\rho_t(r)$  é a densidade de carga total no nanofio semiconductor, dada em  $C/m^3$ .

Devido à simetria em  $\vartheta$ , tem-se que  $\frac{\partial^2 \varphi}{\partial \vartheta^2} = 0$ . Ainda, empregando a aproximação de canal gradual, válida para nanofios longos, pode-se fazer  $\frac{\partial^2 \varphi}{\partial z^2} = 0$ . Conforme analisado em [73], os efeitos de canal curto em JLNWFETs cilíndricos não são significativos até que o canal seja reduzido abaixo de aproximadamente 30 nm, justificando o uso desta aproximação para a maior parte dos casos. Para transistores muito curtos, este ponto será reconsiderado posteriormente.

Dando sequência, a eq. 3.10 é reduzida para:

$$\frac{1}{r} \frac{\partial}{\partial r} \left( r \frac{\partial \varphi}{\partial r} \right) = -\frac{1}{\varepsilon_s} \rho_t(r), \quad (3.11)$$

A densidade de carga total é dada pela diferença entre a concentração de doadores ionizados e de portadores. Feitas as considerações da seção anterior, tem-se

$$\rho_t(r) = q[N_D - n(r)] = qN_D \left[ 1 - \exp\left(\frac{\varphi - V}{\phi_T}\right) \right], \quad (3.12)$$

onde  $\phi_T = k_B T/q$  é a tensão térmica.

Substituindo (3.12) em (3.11),

$$\frac{1}{r} \frac{\partial}{\partial r} \left( r \frac{\partial \varphi}{\partial r} \right) = \frac{qN_D}{\varepsilon_s} \left[ \exp\left(\frac{\varphi - V}{\phi_T}\right) - 1 \right], \quad (3.13)$$

tem-se a relação entre a densidade de cargas e a distribuição do potencial radial no nanofio. Embora esta aparente ser uma equação diferencial relativamente

simples, não existe solução analítica exata, ao contrário do caso em que o nanofio é levemente dopado [103].

Para trabalhar uma solução aproximada para a eq. 3.13, é necessário determinar as condições de contorno. A primeira condição é que, devido à simetria, o campo elétrico no centro no nanofio precisa ser nulo. Ou seja

$$\left. \frac{\partial \varphi}{\partial r} \right|_{r=0} = 0. \quad (3.14)$$

A segunda condição de contorno é para o potencial de superfície,

$$\varphi(R) = \varphi_s, \quad (3.15)$$

que está relacionado à tensão de porta pela eq. 3.8.

### 3.2.4 – Soluções radiais aproximadas da equação de Poisson

A fim de propor soluções analíticas aproximadas para a eq. 3.13, o problema é dividido em quatro intervalos de polarização, de acordo com o comportamento do potencial no centro do nanofio,  $\varphi_c$ , (Fig. 3.2-a) e do potencial de superfície (Fig. 3.2-b) em função da tensão de porta.

Os intervalos I, II e III correspondem à operação em regime de depleção. No primeiro o transistor está operando em depleção total, enquanto no terceiro ele opera em depleção parcial, quando ocorre a formação de um canal de condução. O segundo é meramente uma transição suave, introduzida neste modelo para garantir a continuidade das expressões. Já no intervalo IV, o transistor opera em acumulação.

Observando a Fig. 3.2-a, é notável que  $\varphi_c \cong V_{gs} - V_t$  no sublimiar. Isto ocorre porque a concentração de portadores livres é insignificante frente aos doadores ionizados, e a carga total permanece constante. Esta característica garante a excelente inclinação de sublimiar do dispositivo. À medida que  $V_{gs}$  se aproxima de  $V_t$ , ocorre uma transição suave de  $\varphi_c = V_{gs} - V_t$  até  $\varphi_c = V$ . No exemplo ilustrado na Fig. 3.2-a,  $V = 0$ .

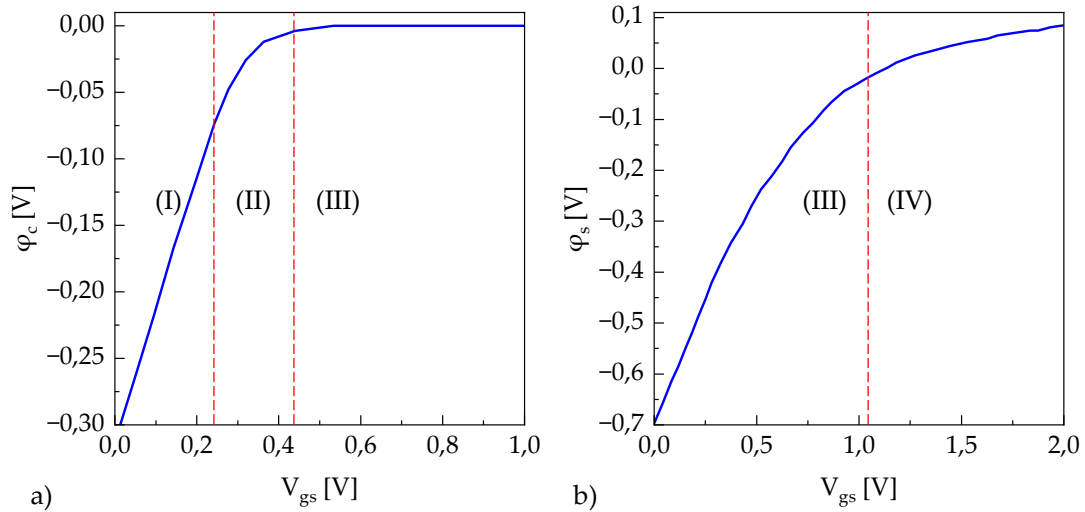


Figura 3.2 – Potencial eletrostático em função da tensão de porta ( $V_{gs}$ ): a) no centro do nanofio ( $\varphi_c$ ), delineando os três primeiros intervalos da solução analítica. No primeiro intervalo,  $\varphi_c = V_{gs} - V_t$ . No segundo intervalo, há uma transição suave até o início do terceiro intervalo, onde  $\varphi_c = 0$ . b) na superfície do nanofio, delineando os dois últimos intervalos da solução analítica. No intervalo III,  $\varphi_s < 0$ . No intervalo IV,  $\varphi_s$  excede levemente zero e estabiliza para  $V_{gs} \gg V_{FB}$ . Análise feita a partir de simulações TCAD usando o software Sentaurus [59], para  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V e  $V_{ds} = 0$  V.

Já na Fig. 3.2-b,  $\varphi_c < V$  (negativo neste exemplo) para  $V_{gs} < V_{FB}$ , enquanto a carga no nanofio é positiva devido à ionização dos doadores na região de depleção. Quando  $V_{gs} > V_{FB}$ , ocorre acumulação de carga negativa na interface com o óxido e o potencial de superfície inverte sua polaridade. É importante notar, porém, que o potencial se estabiliza em um valor ligeiramente acima de  $V$ , na medida que  $V_{gs}$  se torna muito maior que  $V_{FB}$ .

Estas observações são essenciais para realizar aproximações adequadas em cada intervalo destacado na Fig. 3.2 e obter expressões analíticas, como demonstrado a seguir.

### 3.2.4.1 – Solução do intervalo I

Com o dispositivo operando no regime de depleção total,  $N_D^+ \gg n$  na eq. 3.12. Consequentemente, a eq. 3.13 se reduz a

$$\frac{1}{r} \frac{\partial}{\partial r} \left( r \frac{\partial \varphi}{\partial r} \right) = - \frac{qN_D}{\epsilon_s}. \quad (3.16)$$

A solução desta equação diferencial é facilmente obtida como

$$\varphi(r) = c_1 r^2 + c_2 \ln(r) + c_3, \quad (3.17)$$

onde  $c_1$ ,  $c_2$  e  $c_3$  são constantes em  $r$ .

Da primeira condição de contorno (eq. 3.14), tem-se

$$c_2 = 0. \quad (3.18)$$

A constante  $c_3$  na solução 3.17 é identificada como o potencial no centro do nanofio. Como pode ser observado na Fig. 3.2-a,  $\varphi_c = V_{gs} - V_t$  neste intervalo. Portanto,

$$c_3 = V_{gs} - V_t. \quad (3.19)$$

Com estas constantes determinadas e aplicando a solução 3.17 na equação diferencial 3.16, tem-se

$$c_1 = -\frac{qN_D}{4\epsilon_s}. \quad (3.20)$$

Por fim, a solução para o potencial elétrico no intervalo I tem um comportamento parabólico expresso como

$$\varphi(r) = -\frac{qN_D}{4\epsilon_s} r^2 + V_{gs} - V_t. \quad (3.21)$$

Aplicando a solução 3.21 na eq. 3.12, é possível obter a densidade de cargas livres:

$$\rho_m(r) = -qN_D \exp\left(-\frac{qN_D}{4\epsilon_s \phi_T} r^2 + \frac{V_{gs} - V_t}{\phi_T}\right). \quad (3.22)$$

Neste ponto, já foi obtida a expressão necessária para cobrir todo o modelo no intervalo I. No entanto, é interessante demonstrar uma analogia apresentada em [59] que dialoga muito bem com a análise do capítulo anterior. A densidade linear de cargas livres, expressa em [C/m], pode ser determinada como

$$\sigma_m = 2\pi \int_0^R \rho_m(r) r dr = -4\pi q \lambda_D^2 N_D g \exp\left(\frac{V_{gs} - V_t}{\phi_T}\right), \quad (3.23)$$

onde  $\lambda_D = \sqrt{\frac{\epsilon_s \phi_T}{qN_D}}$  é o comprimento de Debye e  $g = 1 - \exp\left(-\frac{R^2}{4\lambda_D^2}\right)$ . Se esta densidade linear de carga estivesse contida em um canal cilíndrico com

densidade de portadores constante igual a  $N_D$ , por analogia, o raio deste cilindro seria dado por

$$r_c(V_{gs}) = 2\lambda_D \sqrt{g \exp\left(\frac{V_{gs} - V_t}{\Phi_T}\right)}. \quad (3.24)$$

Efetivamente, se esta solução do intervalo I for extrapolada até  $V_{gs} = V_t$ , o resultado pode ser interpretado como se o canal de condução começasse a se formar a partir de um dado valor maior que zero, ou seja,

$$r_{c_{sub}} = 2\lambda_D \sqrt{g}. \quad (3.25)$$

Para obter a convergência da formulação, um fator de ajuste para  $r_{c_{sub}}$  foi incluído no modelo compacto proposto por Ragi *et al.* em [92]. No presente trabalho, este fator será substituído por uma formulação específica de modo a garantir a continuidade de  $d\sigma_m/dV_{gs}$  e, conseqüentemente, a continuidade da capacitância, de acordo com a solução para o intervalo III, que será apresentado a seguir.

### 3.2.4.2 – Solução do intervalo III

Com o dispositivo operando no regime de depleção parcial, há duas regiões com características distintas: a região de depleção em que ainda vale a condição  $N_D^+ \gg n$  e a região do canal de condução, na qual a carga total e o campo elétrico são nulos.

A transição entre as duas regiões de interesse ocorre de forma suave ao longo do comprimento de Debye,  $\lambda_D$ . Contudo, se o raio do canal de condução for significativamente maior que este valor, é possível simplificar os cálculos tomando a aproximação de depleção abrupta, comum na análise de junções p-n. Considerando  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$  e  $T = 300 \text{ K}$ , tem-se  $\lambda_D \cong 1,3 \text{ nm}$ . Para um nanofio com  $R = 10 \text{ nm}$ , o raio do canal de condução supera  $\lambda_D$  para valores de  $V_{gs}$  pouco acima de  $V_t$ . De fato, conforme analisado em [59], a aproximação de depleção abrupta é bastante boa para estas condições. Em suma, desde que

definidos corretamente os limites do intervalo III, a solução a seguir é rigorosa o suficiente para modelar o dispositivo.

Feitas essas considerações, a densidade de carga total no nanofio pode ser descrita como

$$\rho_t(r) = \begin{cases} 0 & 0 \leq r < r_c \\ qN_D & r_c \leq r \leq R \end{cases} \quad (3.26)$$

Aplicando (3.26) em (3.13), tem-se a solução do potencial eletrostático para a região do canal dada por

$$\varphi_1(r) = 0 \quad 0 \leq r < r_c, \quad (3.27)$$

e a solução na região de depleção dada por

$$\varphi_2(r) = -\frac{qN_D}{4\epsilon_s} \left[ r^2 - r_c^2 - 2\ln\left(\frac{r}{r_c}\right) \right] \quad r_c \leq r \leq R, \quad (3.28)$$

seguindo os mesmos passos empregados anteriormente para resolver a equação (3.16) e determinar as constantes. Para simplificar a discussão, esta solução assume  $V = 0$  no centro do nanofio, uma vez que aqui trata-se apenas de um valor de referência para o potencial eletrostático.

O potencial de superfície,  $\varphi_2(r = R)$  é expresso como

$$\varphi_s = -\frac{qN_D}{4\epsilon_s} \left[ R^2 - r_c^2 - 2r_c^2 \ln\left(\frac{R}{r_c}\right) \right] \quad (3.29)$$

e a carga total no semiconductor pode ser expressa a partir da eq. 3.26 como

$$Q_t = \pi q N_D [R^2 - r_c^2]. \quad (3.30)$$

Deste modo, combinando as eqs. 3.8, 3.29 e 3.30, tem-se uma relação entre o raio do canal de condução e a tensão de porta aplicada:

$$V_{gs} - V_{FB} = -\frac{qN_D}{4\epsilon_s} \left[ R^2 - r_c^2 - 2r_c^2 \ln\left(\frac{R}{r_c}\right) \right] - \frac{\pi q N_D}{c_{ox}} [R^2 - r_c^2]. \quad (3.31)$$

Após manipulações algébricas, a eq. 3.31 pode ser expressa em termos da tensão de limiar  $V_T$  (eq. 2.2). Logo,

$$V_{gs} - V_t = \pi q N_D r_c^2 \left[ \frac{1}{c_{\text{eff}}} + \frac{2}{c_s} \ln\left(\frac{R}{r_c}\right) \right], \quad (3.32)$$

onde  $c_s = 4\pi\epsilon_s$  é a capacitância do semiconductor e  $c_{\text{eff}}$  é a combinação em série de  $c_{ox}$  e  $c_s$ , todos por unidade de comprimento.

Interpretando fisicamente a eq. 3.32, o termo  $\pi q N_D r_c^2$  corresponde às cargas livres no interior do canal de condução e o termo entre colchetes é o inverso da capacitância vista a partir do contato de porta, levando em conta a região de depleção. Para explicitar  $r_c$  em termos de  $V_{gs}$  usando a eq. 3.32, é necessário recorrer à função  $W$  de Lambert [49], [70]. Alternativamente, é possível propor expressões aproximadas.

Uma primeira abordagem pode ser feita a partir da observação do comportamento exato de  $r_c(V_{gs})$  resolvendo a eq. 3.32 numericamente. A Fig. 3.3 mostra a solução exata da eq. 3.32 para dois JLNWFETs distintos, um nanofio de silício com os mesmos parâmetros descritos na Fig. 3.2 e um nanofio de nitreto de gálio com óxido de alumínio que foi demonstrado experimentalmente [55].

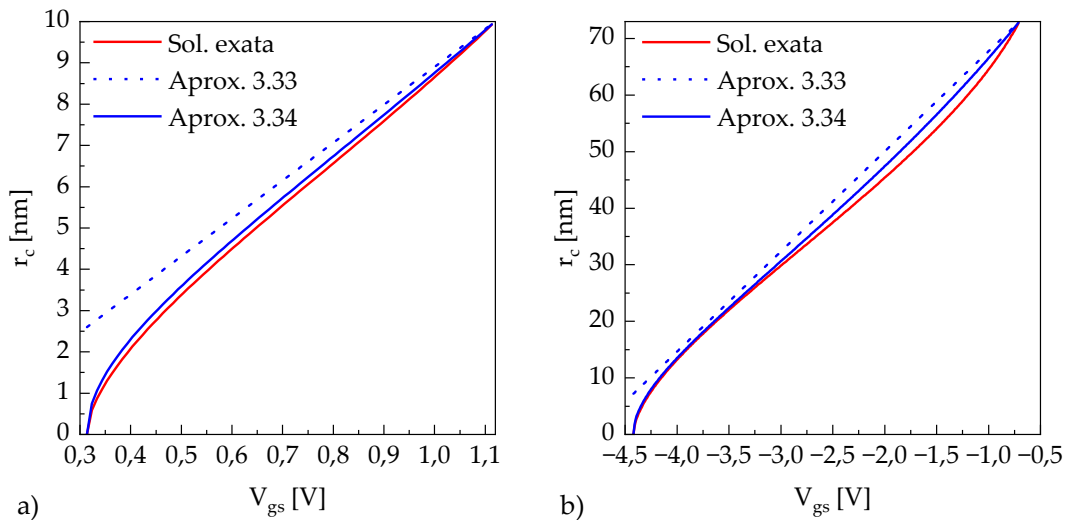


Figura 3.3 – Raio do canal de condução em função da tensão de porta calculado a partir da solução exata da eq. 3.32 e das aproximações 3.33 e 3.34. Os parâmetros dos dispositivos são: a) nanofio de Si com óxido de  $\text{SiO}_2$  e porta de  $\text{p}^+$  poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$   $\text{cm}^{-3}$  e  $\phi_{MS} = 1,12$  V; b) nanofio de GaN com óxido de  $\text{Al}_2\text{O}_3$  e porta de Ni com  $R = 73$  nm,  $t_{ox} = 16$  nm,  $N_D = 1 \times 10^{18}$   $\text{cm}^{-3}$  e  $\phi_{MS} = -0,7$  V. Todas as curvas estão limitadas em  $V_t < V_{gs} < V_{FB}$ .

Embora este último tenha uma seção transversal irregular, seja coberto por uma porta tripla e opere em modo de depleção, ele é o dispositivo fabricado com

um composto III-V mais próximo de um *gate-all-around* circular. Ademais, o modelo aqui apresentado prevê de forma satisfatória diversas características experimentais. Por exemplo, a tensão de limiar reportada é  $V_t = -4.2$  V, enquanto a eq. 2.2 resulta em  $V_t = -4.4$  V. Por conseguinte, este é um bom exemplo para testar a aplicabilidade da aproximação proposta com diferentes conjuntos de parâmetros.

Voltando à análise da Fig. 3.3, o raio do canal de condução cresce de forma quase linear com a tensão de porta aplicada. Uma primeira aproximação é sugerir que ele cresce linearmente de  $r_{c_{sub}}$  (eq. 3.25) em  $V_{gs} = V_t$  até  $R$  em  $V_{gs} = V_{FB}$ , ou seja,

$$r_c(V_{gs}) = \left( \frac{R - r_{c_{sub}}}{V_{FB} - V_t} \right) (V_{gs} - V_t) + r_{c_{sub}}. \quad (3.33)$$

Em seguida, essa aproximação pode ser aplicada dentro do termo logarítmico na eq. 3.32. Assim, é possível explicitar  $r_c(V_{gs})$  e obter uma expressão totalmente analítica:

$$r_c(V_{gs}) = \sqrt{\frac{V_{gs} - V_t}{\pi q N_D R^2 \left\{ \frac{1}{C_{eff}} - \frac{2}{C_s} \ln \left[ \left( \frac{R - r_{c_{sub}}}{R} \right) \left( \frac{V_{gs} - V_t}{V_{FB} - V_t} \right) + \frac{r_{c_{sub}}}{R} \right] \right\}}} R. \quad (3.34)$$

A Fig. 3.3 demonstra que a eq. 3.34 é muito próxima da solução exata para ambos os exemplos, resultando em um erro relativo menor que 10% para a maior parte do intervalo considerado. Além disso, esta expressão é bastante útil para a análise do dispositivo, uma vez que ela é escrita diretamente com os parâmetros de fabricação.

Para fins de modelagem compacta, é conveniente adotar uma aproximação mais simples obtida Ragi *et al.* [92] via manipulações algébricas:

$$r_c(V_{gs}) = j_1 \left( \sqrt{1 - h_4 (V_{gs} - V_{FB})} + j_2 \right), \quad (3.35)$$

onde as constantes  $j_1$ ,  $h_4$  e  $j_2$  estão descritas no Apêndice I e também dependem apenas dos parâmetros de fabricação, embora a relação seja mais intrincada. Esta



aproximação facilita o cálculo das integrais para obter expressões analíticas que escrevem as características Q-V, I-V e C-V do dispositivo. Além disso, ela também permite incluir naturalmente a premissa do raio efetivo do canal de condução ( $r_{c_{sub}}$ ), desenvolvida na solução do intervalo I.

### 3.2.4.3 – Solução do intervalo II

Por consequência da equação de Poisson, o potencial  $\varphi_c$  no centro do nanofio é evidentemente ditado pela relação entre a concentração de portadores e a densidade de doadores ionizados conforme a variação de  $V_{gs}$ . Como pode ser observado na Fig. 3.1,  $\varphi_c$  faz uma transição suave de  $\varphi_c = V_{gs} - V_t$  para  $\varphi_c = V$  ao longo do intervalo II. Neste caso, não é possível utilizar a aproximação de depleção total ( $N_D^+ \gg n$ ) nem a aproximação de depleção abrupta ( $r_c \gg \lambda_D$ ) no centro do nanofio. Consequentemente, a equação (3.13) precisaria, à princípio, ser trabalhada em sua forma completa.

Entretanto, conhecido o comportamento de  $r_c$  por meio da analogia proposta no intervalo I, bem como a expressão (3.35) no intervalo III, é possível propor uma alternativa mais simples, recorrendo a uma função de comportamento suave, que garanta a continuidade de  $r_c$  e  $dr_c/dV_{gs}$ .

Antes, porém, é necessário estimar os limites do intervalo II onde a transição suave deve ocorrer. Para isso, é útil observar que a definição da tensão de limiar pressupõe a depleção total do nanofio em  $V_{gs} = V_t$ . Ou seja, trabalhando a eq. 3.8, a tensão de limiar é dada por

$$V_t = V_{FB} - \frac{\sigma_t}{c_{eff}} = V_{FB} - \frac{qN_D\pi R^2}{c_{eff}}. \quad (3.36)$$

Não obstante, como, a rigor, já há uma concentração significativa de portadores em  $V_{gs} = V_t$ , a definição da tensão limiar usualmente adotada é, na verdade, fruto de uma aproximação. Dessa forma, os limites do intervalo II podem ser

arbitrados em relação à definição da tensão de limiar considerando uma concentração não-nula de portadores, ou seja,

$$V_t' = V_t \pm \delta = V_{FB} - \frac{qN_D\pi}{C_{eff}}(R^2 \mp 2r_{csub}^2), \quad (3.37)$$

onde

$$\delta = \frac{8\pi qN_D\lambda_D^2 g}{C_{eff}} \quad (3.38)$$

é um fator dependente apenas dos parâmetros de fabricação do dispositivo. A Fig. 3.4 ilustra os limites deste intervalo na curva do potencial eletrostático no centro do nanofio.

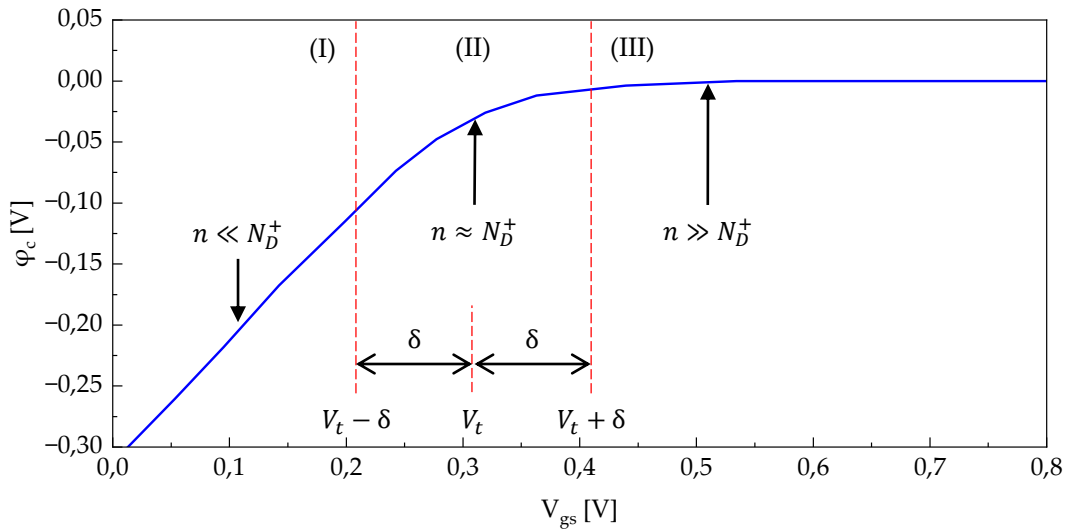


Figura 3.4 – Potencial no centro do nanofio ( $\varphi_c$ ) em função da tensão de porta aplicada ( $V_{gs}$ ), delineando os três primeiros intervalos da solução aproximada. No intervalo II, onde  $n$  é comparável a  $N_D$  em  $r = 0$ , ocorre uma transição suave de  $\varphi_c = V_{gs} - V_t$  para  $\varphi_c = 0$ . Análise feita a partir de simulações TCAD usando o software Sentaurus [59], para  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V e  $V_{ds} = 0$  V.

Definidos os limites do intervalo II, resta propor uma função para conectar as soluções dos intervalos I e III de maneira gradual. Como posteriormente será necessário tomar derivadas e calcular integrais a partir de  $r_c(V_{gs})$ , é fundamental que esta função seja de fácil manipulação algébrica, como é o caso de um polinômio. Para garantir continuidade da função e da sua derivada primeira na transição dos intervalos, é necessário estabelecer um sistema com pelo menos quatro variáveis, de modo que uma proposta promissora é

$$r_c(V_{gs}) = a_3 V_{gs}^3 + a_2 V_{gs}^2 + a_1 V_{gs} + a_0, \quad (3.39)$$

onde os coeficientes  $\{a_3, a_2, a_1, a_0\}$  são facilmente determinados impondo condições de continuidade e resolvendo um sistema de equações lineares (ver Apêndice I).

Deve-se reforçar que a eq. 3.39 é apenas um artifício de modelagem e não corresponde estritamente a uma descrição física, embora também não envolva parâmetros de ajuste. Alternativamente, os intervalos I e III podem ser conectados com outras funções, como ocorre em diversos modelos [75], [81], [82], [89], [91]. Em especial, funções trigonométricas ou hiperbólicas como  $\tanh(x)$  são bastante utilizadas em simuladores comerciais, por serem infinitamente deriváveis e garantirem mais facilmente a convergência das expressões.

Em suma, os intervalos I, II e III, que correspondem à operação abaixo da condição de banda plana, podem ser modelados por meio de uma expressão por partes para o raio efetivo do canal de condução, juntando as equações (3.24), (3.34) e (3.39). Acima da tensão de banda plana, o canal de condução se equipara ao raio físico do nanofio e, a partir deste valor, inicia-se o processo de acumulação de cargas na interface com o óxido, que será modelado a seguir. Desta forma:

$$r_c(V_{gs}) = \begin{cases} 2\lambda_D \sqrt{g \exp\left(\frac{V_{gs} - V_t}{\Phi_T}\right)}, & V_{gs} \leq V_t - \delta \\ a_3 V_{gs}^3 + a_2 V_{gs}^2 + a_1 V_{gs} + a_0, & V_t - \delta < V_{gs} < V_t + \delta, \\ j_1 \left( \sqrt{1 - h_4(V_{gs} - V_{FB})} + j_2 \right), & V_t + \delta \leq V_{gs} \leq V_{FB} \\ R, & V_{gs} > V_{FB} \end{cases} \quad (3.40)$$

Conforme pode ser observado na Fig. 3.5, o raio efetivo do canal de condução dado pela expressão (3.40) é contínuo e apresenta um comportamento suave em torno da tensão de limiar. No caso do nanofio de GaN, a curva é bastante retilínea no intervalo III, diferente do mostrado na Fig. 3.3. Isto ocorre porque a expressão 3.35 é bastante simplificada e não é uma boa aproximação quando  $V_t$  e  $V_{FB}$  estão muito distantes, que é o caso deste dispositivo. Porém,

como em aplicações voltadas para eletrônica digital os transistores tipicamente operam em modo de enriquecimento e  $\phi_{MS}$  não é muito alto, o uso da aproximação 3.35 é justificável. Caso contrário, a aproximação 3.34 pode ser utilizada.

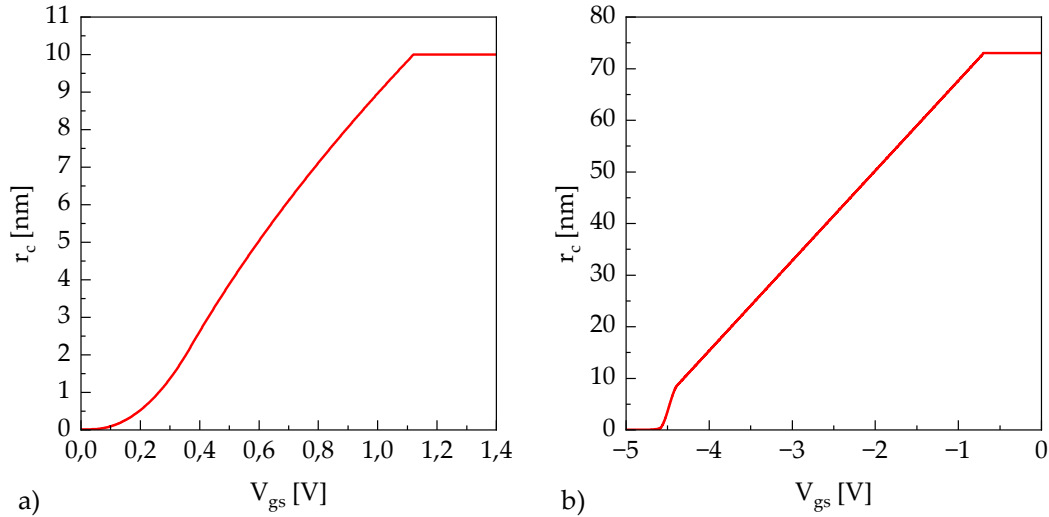


Figura 3.5 – Raio efetivo do canal de condução em função da tensão de porta calculado a partir da eq. 3.40. Os parâmetros de fabricação são: a) nanofio de Si com óxido de  $\text{SiO}_2$  e porta de  $\text{p}^+$  poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$  e  $\phi_{MS} = 1,12$  V; b) nanofio de GaN com óxido de  $\text{Al}_2\text{O}_3$  e porta de Ni com  $R = 73$  nm,  $t_{ox} = 16$  nm,  $N_D = 1 \times 10^{18} \text{ cm}^{-3}$  e  $\phi_{MS} = -0,7$  V.

De posse da expressão para  $r_c(V_{gs})$  para qualquer valor de  $V_{gs} < V_{FB}$ , tem-se a densidade linear de cargas livres (elétrons) simplesmente considerando um cilindro de carga, ou seja,  $\sigma_m(V_{gs}) = -\pi q N_D r_c^2(V_{gs})$ . Resta determinar uma expressão para o regime de acumulação, o que será feito a seguir.

#### 3.2.4.4 – Solução do intervalo IV

Quando o dispositivo está polarizado em regime de acumulação,  $\varphi(r) = 0$  em quase toda a dimensão radial do nanofio e  $\varphi_s > V$  devido ao acúmulo de cargas negativas na interface com o óxido. Nessas condições, a densidade linear de cargas livres é igual à densidade linear de cargas totais,  $\sigma_t = \sigma_{acc}$ .

Para a modelagem, pode-se fazer uma analogia deste transistor cilíndrico de raio  $R$  com um MOSFET planar de largura  $W = 2\pi R$  [59]. Assim, as técnicas

de modelagem para MOSFETs convencionais podem ser aplicadas para resolver a seguinte equação de Poisson [104]:

$$\frac{d^2\varphi}{dx^2} = -\frac{1}{\varepsilon_s}\rho_{acc}(x) = \frac{qN_D}{\varepsilon_s}\left[\exp\left(\frac{\varphi}{\phi_T}\right) - 1\right], \quad (3.41)$$

onde  $x$  é a dimensão ao longo da largura do dispositivo planar equivalente.

O primeiro termo da eq. 3.41 pode ser abordado com a identidade matemática:

$$2\frac{d\varphi}{dx}\frac{d^2\varphi}{dx^2} = \frac{d}{dx}\left(\frac{d\varphi}{dx}\right)^2, \quad (3.42)$$

onde o termo entre parênteses é o campo elétrico, ou seja,  $\frac{d\varphi}{dx} = E(x)$ . É conveniente fazer a mudança de variáveis  $U(x) = E^2(x)$ :

$$\frac{dU}{dx} = \frac{2qN_D}{\varepsilon_s}\left[\exp\left(\frac{\varphi}{\phi_T}\right) - 1\right]\frac{d\varphi}{dx}. \quad (3.43)$$

Aplicando os limites de integração,  $\varphi \in [0, \varphi_s]$  e  $U \in [0, E_s^2]$ , onde  $E_s$  é o campo elétrico na interface com o óxido, a equação pode ser resolvida com

$$\int_0^{E_s^2} dU = \frac{2qN_D}{\varepsilon_s} \int_0^{\varphi_s} \left[\exp\left(\frac{\varphi}{\phi_T}\right) - 1\right] d\varphi. \quad (3.44)$$

Após manipulações algébricas, tem-se a expressão para o campo elétrico na superfície do dispositivo planar:

$$E_s = \sqrt{2}\frac{\phi_T}{\lambda_D} \sqrt{\exp\left(\frac{\varphi_s}{\phi_T}\right) - \left(\frac{\varphi_s}{\phi_T}\right) - 1}. \quad (3.45)$$

Voltando ao JLNWFET e aplicando a lei de Gauss para relacionar a densidade de carga ao campo elétrico da eq. 3.45:

$$\sigma_{acc} = -\frac{4\pi R\phi_T\varepsilon_s}{\sqrt{2}\lambda_D} \sqrt{\exp\left(\frac{\varphi_s}{\phi_T}\right) - \left(\frac{\varphi_s}{\phi_T}\right) - 1}. \quad (3.46)$$

Fazendo uso da eq. 3.8, obtém-se a relação entre a tensão de porta aplicada e a carga acumulada na interface com o óxido:

$$\sigma_{acc} = -\frac{4\pi R\phi_T\varepsilon_s}{\sqrt{2}\lambda_D} \sqrt{\exp\left(\frac{V_{gs} - V_{FB}}{\phi_T} + \frac{\sigma_{acc}}{\phi_T C_{ox}}\right) - \left(\frac{V_{gs} - V_{FB}}{\phi_T} + \frac{\sigma_{acc}}{\phi_T C_{ox}}\right) - 1}. \quad (3.47)$$

Novamente, tem-se uma equação transcendental e se faz necessário tentar uma solução aproximada.

Uma possibilidade é expandir o termo exponencial na eq. 3.47 em uma série de Taylor:

$$\exp(\zeta) = 1 + \zeta + \frac{\zeta^2}{2} + \frac{\zeta^3}{6} + \dots, \quad (3.48)$$

onde  $\zeta = \frac{V_{gs} - V_{FB}}{\phi_T} + \frac{\sigma_{acc}}{\phi_T c_{ox}}$ . Os dois primeiros termos da expansão são anulados com o remanescente do radicando na eq. 3.47. Por conseguinte, sobram os termos de mais alta ordem. A Fig. 3.6 mostra a aproximação até o termo quadrático e até o termo cúbico em comparação à solução exata da eq. 3.47. Desta análise, conclui-se que uma expressão analítica para a densidade linear carga no regime de acumulação pode ser obtida com satisfatória precisão por meio da raiz de

$$\sigma_{acc} = -\frac{4\pi R \phi_T \epsilon_s}{\sqrt{2} \lambda_D} \sqrt{\frac{1}{2} \left( \frac{V_{gs} - V_{FB}}{\phi_T} + \frac{\sigma_{acc}}{\phi_T c_{ox}} \right)^2 + \frac{1}{6} \left( \frac{V_{gs} - V_{FB}}{\phi_T} + \frac{\sigma_{acc}}{\phi_T c_{ox}} \right)^3}. \quad (3.49)$$

No exemplo da Fig. 3.6, o erro relativo se mantém abaixo de 10% na maior parte do intervalo considerado.

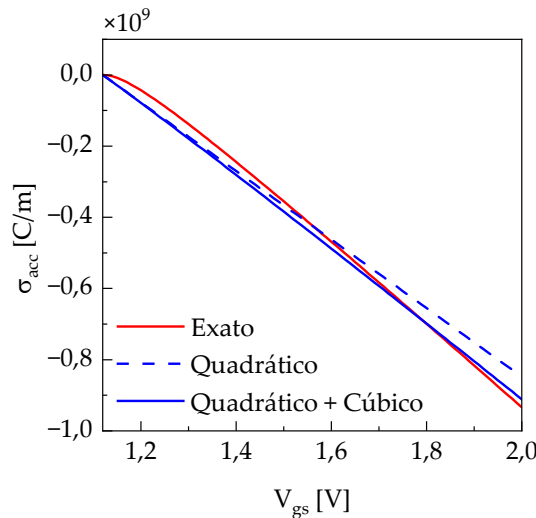


Figura 3.6 – Densidade linear de carga em função da tensão de porta, calculada a partir da eq. 3.47 e da aproximação 3.49 retendo até o termo quadrático e até o termo cúbico.

Parâmetros de fabricação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup> e  $\phi_{MS} = 1,12$  V.

Visando compatibilizar a expressão do intervalo IV com os resultados para os demais segmentos, e também garantir a continuidade da expressão para a capacitância, que será calculada mais à frente, é mais interessante propor uma expressão que garanta uma transição suave em  $V_{gs} = V_{FB}$ . Como demonstra Ragi *et al.* [92], utilizando a formulação adotada no intervalo III, a capacitância por unidade de comprimento vista a partir do contato de porta corresponde a  $\pi q N_D h_A j_1^2 (1 + j_2)$ .

Por outro lado, com uma rápida inspeção gráfica, é possível observar na Fig. 3.2-b que o aumento de  $V_{gs}$  e, conseqüentemente, o acúmulo de cargas na interface com o óxido altera sutilmente o potencial de superfície, que tende a um valor ligeiramente acima do potencial de referência quando  $V_{gs} \gg V_{FB}$ . A partir a eq. 3.8, tem-se que o comportamento assintótico nesta região é  $\sigma_{acc} = -c_{ox}(V_{gs} - V_{FB})$ . Fisicamente, trata-se do comportamento esperado de um capacitor cilíndrico ideal, como discutido no Cap. 2.

A partir destes dois limites, a seguinte função de comportamento suave é proposta:

$$\sigma_{acc} = c_{ox} \left\{ V_{gs} - V_{FB} + V_{FB} \left[ \exp\left(\frac{V_{gs}}{V_{FB}}\right) - 1 \right] \frac{\exp(-\alpha)}{\alpha} \right\}, \quad (3.50)$$

onde  $\alpha = -\ln[1 + \pi q N_D h_A j_1^2 (1 + j_2) / c_{ox}]$ . Esta função simples resulta em um bom casamento das curvas de capacitância dentro do presente modelo, conforme será comprovado mais à frente. Contudo, é importante notar que outras funções de suavização podem ser combinadas com a expressão 3.49 para obter resultados ainda mais precisos, também assegurando continuidade nas derivadas de mais alta ordem, ao custo de elevar a complexidade de modelagem.

### 3.2.5 – Soluções longitudinais aproximadas da equação de Poisson

Uma vez propostas expressões aproximadas para solução radial da equação de Poisson, é necessário analisar a solução longitudinal. Primeiro serão feitas considerações para nanofios longos, ainda no âmbito da aproximação de canal

gradual. A seguir, será proposta uma adaptação do modelo para contemplar também dispositivos de canal curto.

### 3.2.5.1 – Solução considerando canal longo

Como argumentado durante a formulação da equação de Poisson, para canais longos, é possível fazer  $\frac{\partial^2 \varphi}{\partial z^2} = 0$ . A análise subsequente demonstrou que as soluções aproximadas dependem primordialmente do comportamento do potencial eletrostático no centro do nanofio. De forma geral, tem-se dois comportamentos principais:  $\varphi_c = V_{gs} - V_t$  se o dispositivo estiver no regime de depleção total e  $\varphi_c = V$  caso contrário.

Assumindo agora que há uma diferença de potencial aplicada entre fonte e dreno, tem-se  $V = V(z)$ . Portanto, ainda considerando a aproximação de canal gradual, o valor de referência para o potencial cresce linearmente de  $V_s = 0$  até  $V_d = V_{ds}$  ao longo da coordenada  $z$ .

Definindo a tensão porta-canal como diferença de potencial entre a tensão de porta e o valor de referência ao longo do nanofio, tem-se:

$$V_{gc}(z) = V_{gs} - V_{ds} \frac{z}{L}. \quad (3.51)$$

Fazendo uso das eqs. 3.51, 3.50 e 3.40, tem-se a densidade de cargas livres em função de  $V_{gs}$  e  $V_{ds}$ :

$$\sigma_m = \begin{cases} 4\pi q N_D \lambda_D^2 g \exp\left(\frac{V_{gc}(z) - V_t}{\Phi_T}\right), & V_{gc}(z) \leq V_t - \delta \\ \pi q N_D (a_3 V_{gc}^3(z) + a_2 V_{gc}^2(z) + a_1 V_{gc}(z) + a_0)^2, & V_t - \delta < V_{gc}(z) < V_t + \delta \\ \pi q N_D j_1^2 \left( \sqrt{1 - h_4 (V_{gc}(z) - V_{FB})} + j_2 \right)^2, & V_t + \delta \leq V_{gc}(z) \leq V_{FB} \\ \pi q N_D R^2 - c_{ox} \left\{ V_{gc}(z) - V_{FB} + V_{FB} \left[ \exp\left(\frac{V_{gc}(z)}{V_{FB}}\right) - 1 \right] \frac{e^{-\alpha}}{\alpha} \right\}, & V_{gc}(z) > V_{FB} \end{cases}. \quad (3.52)$$

Como exemplificado no capítulo anterior, diferentes trechos do nanofio podem estar sob diferentes regimes efetivos de polarização. Uma vez que o presente modelo é construído em quatro intervalos distintos, de acordo com a



polarização do dispositivo, é necessário repartir o nanofio em trechos ao longo de  $z$  de acordo com a validade de cada expressão.

Na Fig. 3.7 está ilustrada uma situação em que todos os regimes de operação estão presentes, com a respectiva divisão dos trechos. Os limites entre os diferentes trechos ao longo do nanofio podem ser definidos como:

$$\begin{aligned} z_{t_0} &= \frac{V_{gs} - V_t + \delta}{V_{ds}} L \\ z_{t_1} &= \frac{V_{gs} - V_t - \delta}{V_{ds}} L \\ z_{FB} &= \frac{V_{gs} - V_{FB}}{V_{ds}} L \end{aligned} \quad (3.53)$$

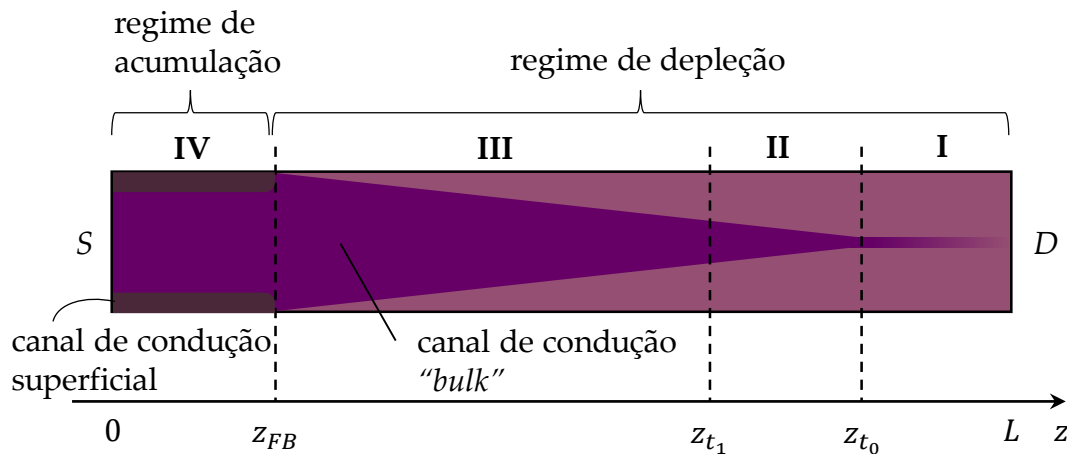


Figura 3.7 – Visão lateral do nanofio. A depender dos valores de  $V_{gs}$  e  $V_{ds}$ , diferentes trechos do nanofio podem estar operando nos regimes de acumulação (intervalo IV) e de depleção (intervalos III, II e/ou I) simultaneamente. Os valores  $z_{FB}$ ,  $z_{t_1}$  e  $z_{t_0}$  denotam os limites entre estes trechos dentro dos intervalos definidos no presente modelo.

### 3.2.5.2 – Solução considerando canal curto

Para nanofios muito curtos, não é completamente adequado utilizar a aproximação de canal gradual, pois os efeitos de canal curto afetam principalmente características de sublimiar, mais especificamente a inclinação de sublimiar e a tensão de limiar. Por isso, a abordagem utilizada nesta seção foca em uma solução para o regime de depleção total. Ela foi inicialmente proposta

para JLNWFETs cilíndricos em [73] e é essencialmente a mesma adotada pela bibliografia posterior, como por exemplo em [84], [91].

A partir da eq. 3.10, a equação de Poisson para esta análise é

$$\frac{1}{r} \frac{\partial}{\partial r} \left[ r \frac{\partial \varphi(r, z)}{\partial r} \right] + \frac{\partial^2 \varphi(r, z)}{\partial z^2} = \frac{qN_D}{\epsilon_s}. \quad (3.54)$$

A solução exata desta equação pode ser obtida recorrendo a funções de Bessel de primeira espécie [80]. Porém, como foi discutido no capítulo 2, o comportamento do potencial eletrostático na direção radial para  $V_{gs} < V_t$  é aproximadamente parabólico. Consequentemente, é possível propor uma solução aproximada para a eq. 3.54 como

$$\varphi(r, z) = c_2(z)r^2 + c_1(z)r + c_0(z), \quad (3.55)$$

onde  $c_2$ ,  $c_1$  e  $c_0$  são constantes em  $r$ . Utilizando a condição de contorno 3.14, tem-se  $c_1(z) = 0$ . O termo  $c_0(z)$  é reconhecido como o potencial no centro do nanofio,  $\varphi_c(z)$ . Aplicando a lei de Gauss de forma semelhante ao que foi feito na eq. 3.8, tem-se o coeficiente restante

$$c_2(z) = \frac{c_{ox}}{c_s R^2} [V_{gs} - V_{FB} - \varphi_s(z)]. \quad (3.56)$$

Neste ponto, é conveniente escrever  $\varphi(r, z)$  em função de  $\varphi_c(z)$ . Logo:

$$\varphi(r, z) = \frac{1}{1 + c_s/c_{ox}} [V_{gs} - V_{FB} - \varphi_c(z)] \frac{r^2}{R^2} + \varphi_c(z). \quad (3.57)$$

No regime de sublimiar, o fluxo de cargas se dá majoritariamente em torno do centro de nanofio [91]. Por conseguinte, aplica-se a solução 3.57 na eq. 3.54 tomando  $r = 0$  para obter uma equação diferencial que rege o comportamento de  $\varphi_c(z)$ :

$$\frac{\partial^2 \varphi_c(z)}{\partial z^2} - \frac{\varphi_c(z)}{\lambda^2} = -\frac{1}{\lambda^2} \left( V_{gs} - V_{FB} - \frac{qN_D}{\epsilon_s} \lambda^2 \right), \quad (3.58)$$

onde

$$\lambda = \frac{R}{2} \sqrt{1 + \frac{2c_s}{c_{ox}}} \quad (3.59)$$

é o comprimento característico (em inglês, *characteristic length* ou *natural length*) para este dispositivo, uma métrica comum na análise de efeitos de canal curto [105].

Analisando o termo entre parênteses na eq. 3.58, é possível identificar que ele corresponde ao potencial no centro do nanofio deduzido anteriormente, ou seja,

$$\varphi_{c\ell} = V_{gs} - V_{t\ell}, \quad (3.60)$$

onde o subscrito  $\ell$  denota o valor correspondente ao canal longo. Reescrevendo a eq. 3.58, tem-se:

$$\frac{\partial^2 \varphi_c(z)}{\partial z^2} - \frac{\varphi_c(z) - \varphi_{c\ell}}{\lambda^2} = 0. \quad (3.61)$$

A solução desta equação diferencial é da forma

$$\varphi_c(z) = \varphi_{c\ell} + A_1 \exp\left(\frac{z}{\lambda}\right) + A_2 \exp\left(-\frac{z}{\lambda}\right), \quad (3.62)$$

onde  $A_1$  e  $A_2$  são constantes. As condições de contorno impõem a continuidade do potencial nos contatos. Assumindo que não há diferença de dopagem entre fonte, canal e dreno, e desconsiderando a queda de potencial nos contatos, tem-se:

$$\begin{aligned} \varphi_c(0) &= 0 \\ \varphi_c(L) &= V_{ds} \end{aligned} \quad (3.63)$$

Por fim, após algumas manipulações algébricas, tem-se a expressão do potencial eletrostático ao longo do centro do nanofio:

$$\varphi_c(z) = V_{gs} - V_{t\ell} + \frac{(V_{ds} - V_{gs} + V_{t\ell}) \sinh\left(\frac{z}{\lambda}\right) - (V_{gs} - V_{t\ell}) \sinh\left(\frac{L-z}{\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)}. \quad (3.64)$$

De acordo com Lime *et al.* [91], esta análise pode ser simplificada levando em conta que o comportamento eletrostático do dispositivo abaixo do limiar é determinado de forma primordial pelo valor mínimo de  $\varphi_c$  ao longo de  $z$ . Em outras palavras, este ponto corresponde ao topo da barreira de potencial vista pelos elétrons no contato de fonte (conforme descrito no Cap. 2). O ponto de

mínimo da eq. 3.64 pode ser facilmente calculado igualando sua derivada a zero, resultando em:

$$\varphi_{c_{\min}} = V_{gs} - V_{t\ell} + \frac{\sqrt{\left[ V_{ds} - (V_{gs} - V_{t\ell}) \left( 1 - e^{-\frac{L}{\lambda}} \right) \right] \left[ -V_{ds} + (V_{gs} - V_{t\ell}) \left( 1 - e^{-\frac{L}{\lambda}} \right) \right]}}{\sinh\left(\frac{L}{\lambda}\right)} \quad (3.65)$$

A partir desta expressão, é possível recalculer a densidade linear de cargas móveis de um JLNWFET de canal curto reinterpretando a eq. 2.23 para

$$\sigma_m = -4\pi q \lambda_D^2 N_D g \exp\left(\frac{\varphi_{c_{\min}} - V}{\Phi_T}\right). \quad (3.66)$$

A Fig. 3.8 mostra a comparação do potencial eletrostático mínimo no centro de um JLNWFET de 25 nm quando calculado usando as eqs. 3.60 e 3.65. O que se infere deste comportamento e da expressão 3.66 é uma degradação da inclinação de sublimiar do dispositivo.

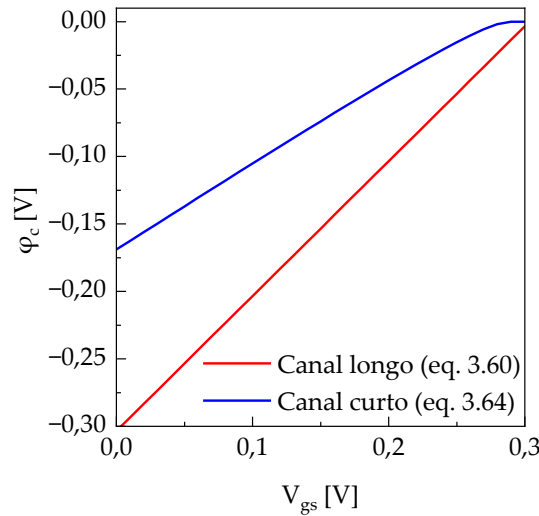


Figura 3.8 – Potencial eletrostático mínimo no centro do nanofio considerando a expressão para canal longo (eq. 3.60) e canal curto (3.65). Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V,  $V_{ds} = 0,2$  V e  $L = 25$  nm.

A definição de tensão de limiar, eq. 3.36, implica em  $\varphi_{c_{\min}} = V$  para  $V_{gs} = V_t$  utilizando a aproximação de depleção total. Da mesma forma, é possível determinar a tensão de limiar considerando canal curto:

$$V_t = \frac{V_{t\ell} \left(1 + e^{\frac{2L}{\lambda}}\right) - 2(V_{ds} - V_{t\ell})e^{\frac{L}{\lambda}}}{\left(e^{\frac{L}{\lambda}} - 1\right)^2}. \quad (3.67)$$

A Fig. 3.9 mostra a tensão de limiar variando o comprimento do canal de 10 a 40 nm. Como esperado, o dispositivo é praticamente imune aos efeitos de canal curto para  $L > 30$  nm. Entretanto,  $V_t$  cai significativamente com a redução próxima aos 10 nm. Este exemplo considera  $V_{ds} = 0,1$  V, porém o efeito tende a piorar com  $V_{ds}$  mais alto. Ainda, a eq. 3.67 também permite determinar o parâmetro de redução da barreira induzida pelo dreno (DIBL) do dispositivo, outra métrica importante para caracterizar nanotransistores.

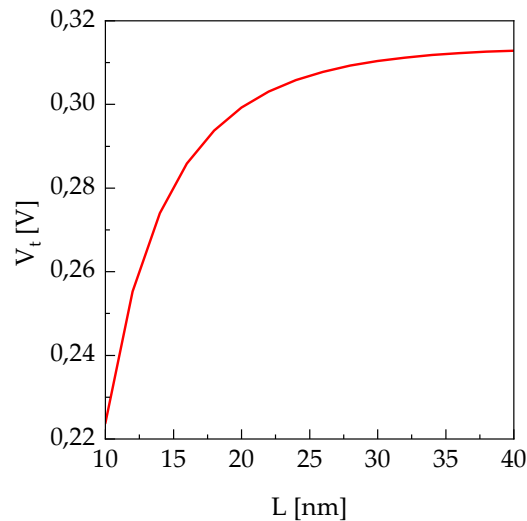


Figura 3.9 – Tensão de limiar em função do comprimento do canal. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $t_{ox} = 2$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V e  $V_{ds} = 0,1$  V.

### 3.2.6 – Considerações sobre armadilhas de interface

O último tópico a ser levado em conta no âmbito da modelagem eletrostática é a influência das armadilhas de interface. Tomando como exemplo um nanofio de silício, cada átomo requer quatro ligações para saturar as suas ligações de valência, o que naturalmente ocorre no interior do material monocristalino. Nos átomos da superfície, porém, resta uma ligação pendente. Em geral, estes átomos fazem ligações com átomo de oxigênio da camada de

dióxido de silício, ou com hidrogênio caso a superfície tenha sido passivada durante o processo de fabricação. Todavia, uma quantidade relevante de átomos permanece com uma ligação pendente, formando armadilhas de interface. Elas também podem ser formadas por outros processos, como impurezas e oxigênio excedente [106].

Uma armadilha é um estado permitido localizado dentro da banda proibida, que pode ser preenchido por um elétron ou uma lacuna, a depender da posição do nível de Fermi em relação ao seu nível de energia. Em consequência, a variação do potencial eletrostático pode induzir cargas negativas ou positivas na interface do nanofio com o óxido, alterando o controle que o contato de porta exerce sobre o canal. Logo, é necessário revisar a relação 3.8 para incluir também estas cargas, ou seja,

$$V_{gs} - V_{FB} = \varphi_s - \frac{\sigma_t(\varphi_s) + \sigma_{it}(\varphi_s)}{c_{ox}}, \quad (3.68)$$

onde  $\sigma_{it}(\varphi_s)$  é a densidade de cargas presentes nas armadilhas de interface.

A presença de cargas nas armadilhas de interface se traduz principalmente em uma degradação da inclinação de sublimiar, um deslocamento na tensão de limiar e uma redução no nível de corrente. Pelos mesmos motivos discutidos anteriormente para os efeitos de canal curto, a análise aqui pode ser restringida ao potencial no centro do nanofio e posteriormente incorporada ao modelo principal revisando a descrição de  $\varphi_c$ .

Uma armadilha de interface pode ser classificada como doadora se estiver neutra e se tornar positiva doando um elétron ou aceitadora se estiver neutra e se tornar negativa aceitando um elétron. Em geral, as armadilhas são ambivalentes e se comportam como doadoras se estiverem localizadas abaixo do meio da banda proibida ou aceptadores caso contrário [106].

A densidade linear de cargas presentes nas armadilhas de interface pode ser calculada por

$$\sigma_{it}(\varphi_s) = -2\pi Rq \int_{\mathcal{E}_v}^{\mathcal{E}_c} D_{it}(\mathcal{E})f(\mathcal{E}) d\mathcal{E}, \quad (3.69)$$

onde  $D_{it}(\mathcal{E})$  é distribuição de energia da densidade de estados de interface, expressa em [ $\text{eV}^{-1}\text{cm}^{-2}$ ], e  $f(\mathcal{E})$  é a função que descreve a probabilidade de ocupação destes estados.

A distribuição de energia da densidade de estados de interface tipicamente tem formato de U (em inglês, *U-shape*) [107], podendo ser modelado com uma função exponencial ou uma distribuição gaussiana. Porém, estas abordagens fatalmente resultam em equações transcendentais e, no segundo caso, também requer o uso da função de erro complementar,  $\text{erfc}(x)$ .

Uma alternativa para obter expressões analíticas é considerar uma distribuição uniforme com um valor efetivo [83],

$$D_{it}(\mathcal{E}) = \overline{D_{it}}. \quad (3.70)$$

Esta aproximação é útil para estimar a degradação da inclinação de sublimiar e o deslocamento da tensão de limiar considerando o valor máximo da curva experimental de  $D_{it}(\mathcal{E})$ . Desta forma, é possível caracterizar o pior cenário de um dado processo de fabricação, por exemplo.

Sob as mesmas ressalvas, a probabilidade de ocupação destes estados pode ser simplificada para

$$f(\mathcal{E}) = \begin{cases} 1, & \mathcal{E}_i < \mathcal{E} < \mathcal{E}_f \\ 0, & \text{caso contrário} \end{cases}. \quad (3.71)$$

Da eq. 3.7, tem-se

$$\mathcal{E}_i(r = R) = -q\varphi_s - q\phi_T \ln\left(\frac{N_D}{n_i}\right). \quad (3.72)$$

Assim, a eq. 3.69 resulta em

$$\sigma_{it}(\varphi_s) = -2\pi Rq^2 \overline{D_{it}} \left[ \varphi_s - V + \phi_T \ln\left(\frac{N_D}{n_i}\right) \right]. \quad (3.73)$$

Aplicando a eq. 3.73 na relação 3.69 e considerando a aproximação de depleção total, é possível determinar o potencial eletrostático no centro do nanofio como [83]

$$\varphi_c = \frac{1}{\eta} (V_{gs} - V_t') + \frac{\eta - 1}{\eta} V, \quad (3.74)$$

onde

$$\eta = 1 + \frac{2\pi R q^2 \overline{D}_{it}}{c_{ox}} \quad (3.75)$$

é um fator de degradação da inclinação de sublimiar e

$$V_t' = V_t + \Delta V_t = V_t + (\eta - 1) \left[ \phi_T \ln \left( \frac{N_D}{n_i} \right) - \frac{q N_D \pi R^2}{c_s} \right] \quad (3.76)$$

é a tensão de limiar deslocada de  $\Delta V_t$  em decorrência das armadilhas de interface.

A Fig. 3.10-a mostra o potencial eletrostático no centro do nanofio e a Fig. 3.10-b mostra a variação da tensão de limiar como função da densidade de armadilhas de interface, para o mesmo JLNWFET considerado na Fig. 3.4. Desta análise, fica claro que as armadilhas de interface só terão impacto significativo na operação do dispositivo para valores acima de  $\overline{D}_{it} \sim 1 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$ .

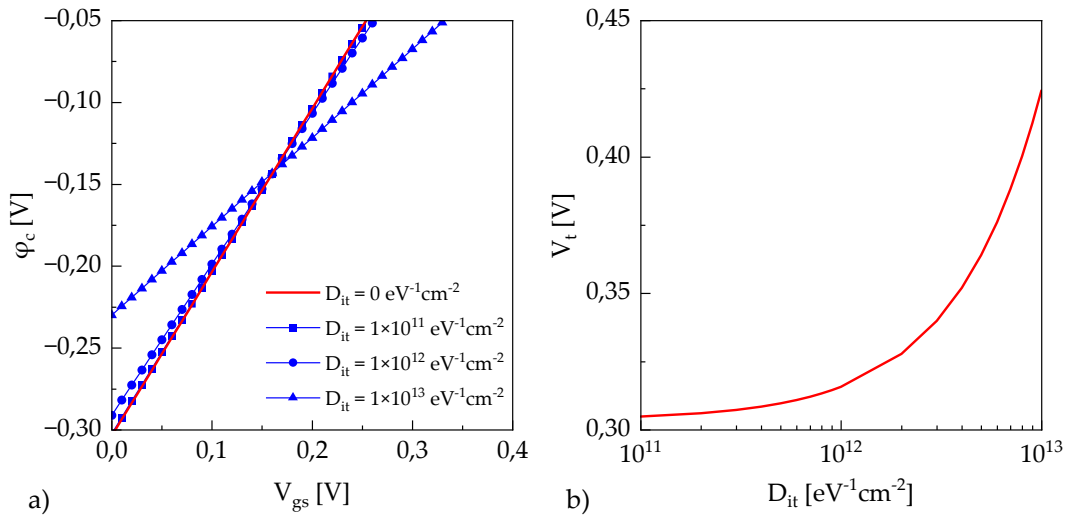


Figura 3.10 – Análise dos efeitos decorrentes da presença de armadilhas de interface. a) Potencial eletrostático no centro do nanofio. b) Tensão de limiar. Parâmetros de simulação: nanofio de Si com óxido de  $\text{SiO}_2$  e porta de  $\text{p}^+$  poly-Si com  $R = 10 \text{ nm}$ ,  $t_{ox} = 2 \text{ nm}$ ,  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $V_{ds} = 0 \text{ V}$ .



Para efeitos de comparação,  $\overline{D}_{it} \sim 1 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$  foi o patamar máximo extraído de dispositivos de silício fabricados com óxidos de alta constante dielétrica, que usualmente apresentam mais defeitos. No caso do dispositivo de Si/SiO<sub>2</sub>,  $\overline{D}_{it} \sim 3 \times 10^{11} \text{ eV}^{-1}\text{cm}^{-2}$  foi obtido [107].

Em conclusão, no contexto da análise eletrostática, os valores práticos de densidade de armadilhas de interface em JLNWFETs permitem desconsiderar seus efeitos ou, no pior cenário, utilizar uma correção simples baseada na distribuição uniforme. Para aplicações destes dispositivos como biosensores em contato com contaminantes químicos, nos quais há muitas armadilhas de interface e também a necessidade de um conhecimento bastante preciso do comportamento do dispositivo, uma análise mais rigorosa levando em conta distribuições não-uniformes é recomendada [90], [108].

### 3.3 – Modelagem das características de carga (Q–V)

Para obter as características Q–V do dispositivo, é necessário integrar a densidade linear de cargas livres,  $\sigma_m(V_{gs}, V_{ds}, z)$ , em  $z$ , de 0 a  $L$ . A fim de facilitar a integração, é conveniente reescrever o polinômio na segunda linha da eq. de modo a explicitar a dependência com  $z$ :

$$\sigma_m = \pi q N_d (b_3 z^3 + b_2 z^2 + b_1 z + b_0)^2 \quad (3.77)$$

onde os coeficientes  $\{b_3, b_2, b_1, b_0\}$  estão relacionados com os parâmetros de fabricação, conforme descrito no Apêndice I.

A eq. 3.52 pode ser reescrita como

$$\sigma_m = \begin{cases} 4\pi q N_D \lambda_D^2 g \exp\left(\frac{V_{gc}(z) - V_t}{\phi_T}\right), & V_{gc}(z) \leq V_t - \delta \\ \pi q N_d (b_3 z^3 + b_2 z^2 + b_1 z + b_0)^2, & V_t - \delta < V_{gc}(z) < V_t + \delta \\ \pi q N_D j_1^2 \left( \sqrt{1 - h_4 (V_{gc}(z) - V_{FB})} + j_2 \right)^2, & V_t + \delta \leq V_{gc}(z) \leq V_{FB} \\ \pi q N_D R^2 - c_{ox} \left\{ V_{gc}(z) - V_{FB} + V_{FB} \left[ \exp\left(\frac{V_{gc}(z)}{V_{FB}}\right) - 1 \right] \frac{e^{-\alpha}}{\alpha} \right\}, & V_{gc}(z) > V_{FB} \end{cases} \quad (3.78)$$

As cargas livres são determinadas pela integral da eq. 3.52 com os devidos limites de integração, como discutido na subseção 2.5.1. Ou seja,

$$Q_m(V_{gs}, V_{ds}) = \int_0^L \sigma_m(V_{gs}, V_{ds}, z) dz. \quad (3.79)$$

Após manipulações algébricas, tem-se:

$$\begin{aligned} Q_m(V_{gs}, V_{ds}) = & -\frac{4\pi q N_D \lambda_D^2 \phi_T g L}{V_{ds}} \left[ \exp\left(\frac{-V_{ds} z_{t_0}}{\phi_T L}\right) - \exp\left(\frac{-V_{ds}}{\phi_T}\right) \right] \exp\left(\frac{V_{gs} - V_t}{\phi_T}\right) + \\ & \pi q N_D [k_6 V_{gs}^6 + k_5 V_{gs}^5 + k_4 V_{gs}^4 + k_3 V_{gs}^3 + k_2 V_{gs}^2 + k_1 V_{gs} + k_0] + \\ & \frac{4\pi q N_D}{3d_1} j_1^2 \left[ d_2 + \frac{3d_1}{4} \left( d_1 \frac{z_{t_1} + z_{FB}}{2} + j_2^2 + d_0 \right) (z_{t_1} - z_{FB}) \right] + \\ & \frac{\pi q N_D R^2 z_{FB} -}{\alpha^2 V_{ds} L} \left\{ L^2 \left[ \exp\left(\frac{\alpha V_{ds} z_{FB}}{L}\right) - 1 \right] + \alpha V_{ds} z_{FB} \left[ e^{\alpha V_{gs}} \alpha \left( \frac{V_{ds} z_{FB}}{2} - V_{gs} L + V_{FB} L \right) - L e^{\alpha(V_{gs} - V_{FB})} \right] \right\}, \end{aligned} \quad (3.80)$$

onde os coeficientes  $\{k_6, k_5, k_4, k_3, k_2, k_1, k_0\}$ ,  $d_0$ ,  $d_1$  e  $d_2$  estão relacionados com os parâmetros de fabricação, conforme descrito no Apêndice I.

Deve-se ressaltar que a equação (3.80) se aplica ao caso mais geral possível, quando trechos do nanofio estão operando nos regimes depleção (parcial e total) e acumulação simultaneamente. Se, por exemplo, o nanofio todo estiver operando exclusivamente no regime de acumulação ( $V_{gs} - V_{ds} > V_{FB}$ ), apenas as duas últimas linhas serão não-nulas, desde que os valores dos trechos na equação (3.80) sejam determinados corretamente.

A fim de validar o modelo Q-V apresentado, os resultados fornecidos pelas equações acima foram contrastados com os dados de simulações TCAD publicados na literatura [74]. O JLNWFET considerado é composto de silício, recoberto em dióxido de silício e porta p<sup>+</sup> poly-Si. O comprimento do canal é  $L = 1 \mu\text{m}$ , de modo que pode ser considerado longo, e não há menção a armadilhas de interface.

Na Fig. 3.11, é apresentada a validação considerando diferentes valores de espessura da camada de SiO<sub>2</sub>,  $t_{ox} = 1, 2$  e  $3 \text{ nm}$ , e, conseqüentemente, diferentes valores de tensão de limiar e capacitância do óxido. As curvas são apresentadas

em escala linear (Fig. 3.11-a) e logarítmica (Fig. 3.11-b) para validar devidamente as características abaixo e acima da tensão de limiar. O modelo demonstra ótima concordância até para tensões de limiar negativas, que estão mais distantes da tensão de banda plana e, portanto, poderiam tornar as aproximações imprecisas.

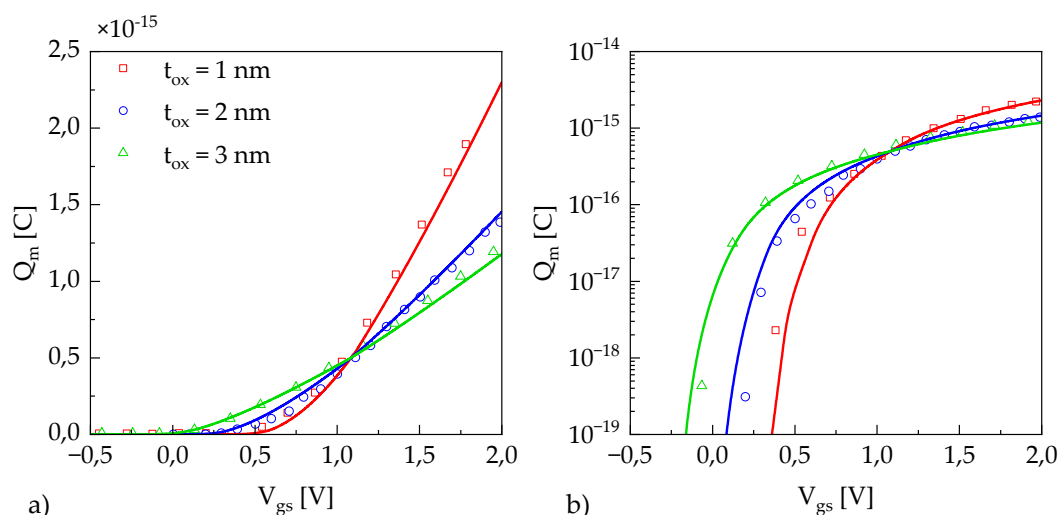


Figura 3.11 – Validação do modelo compacto para as características Q–V (linhas) com simulações TCAD (símbolos) [74] variando a espessura do óxido. a) Curva linear. b) Curva logarítmica. Parâmetros de fabricação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $\phi_{MS} = 1,12$  V,  $V_{ds} = 0$  V e  $L = 1$   $\mu$ m.

Na Fig. 3.12, o modelo é validado considerando diferentes valores de dopagem,  $N_D = 1 \times 10^{18}$  e  $1 \times 10^{19}$  cm<sup>-3</sup>. No primeiro caso, a tensão de limiar se aproxima bastante da tensão de banda plana. Novamente, uma ótima concordância é obtida para ambos os casos.

Por fim, na Fig. 3.13 o modelo é validado considerando diferentes valores de raio do nanofio,  $R = 5$  e  $10$  nm. Neste caso, vale ressaltar que o modelo é preciso até para raios bastante diminutos. No entanto, para raios menores que 5 nm, é necessário considerar efeitos quânticos, como será discutido mais à frente.

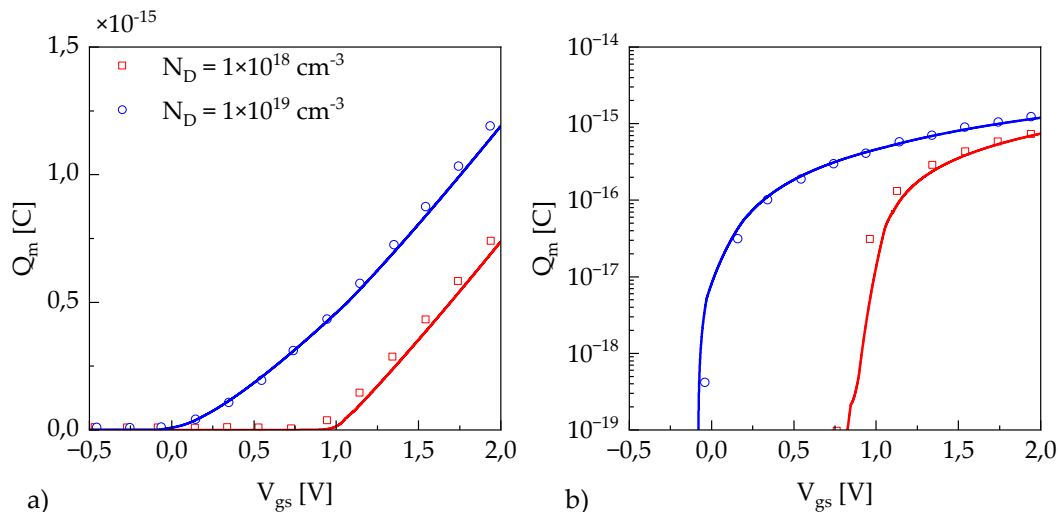


Figura 3.12 – Validação do modelo compacto para as características Q–V (linhas) com simulações TCAD (símbolos) [74] variando a dopagem. a) Curva linear. b) Curva logarítmica. Parâmetros de fabricação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 10 \text{ nm}$ ,  $t_{ox} = 3 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $V_{ds} = 0 \text{ V}$  e  $L = 1 \text{ }\mu\text{m}$ .

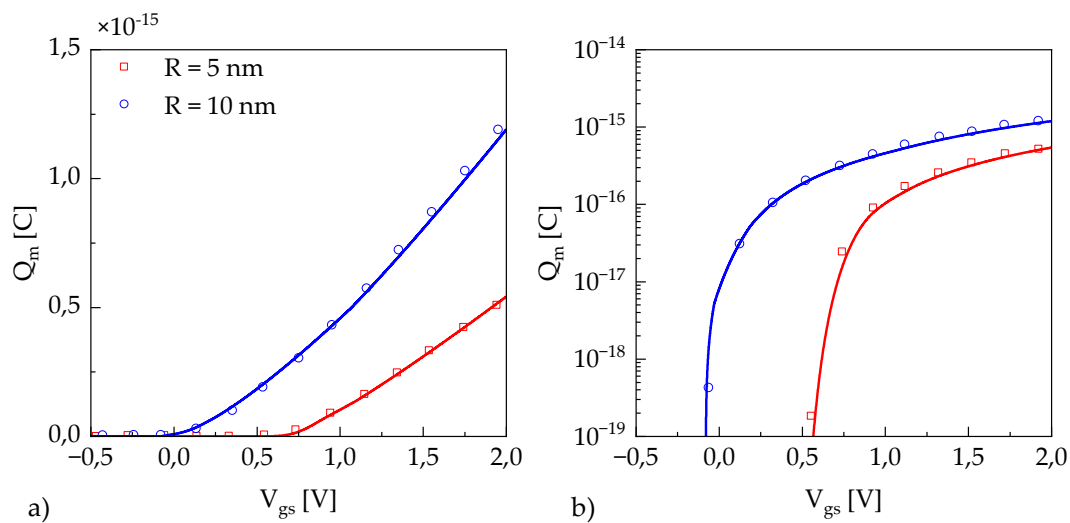


Figura 3.13 – Validação do modelo compacto para as características Q–V (linhas) com simulações TCAD (símbolos) [74] variando o raio do nanofio. a) Curva linear. b) Curva logarítmica. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 3 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $V_{ds} = 0 \text{ V}$  e  $L = 1 \text{ }\mu\text{m}$ .

### 3.4 – Modelagem das características de corrente (I–V)

No âmbito do formalismo de difusão-deriva, as características I–V do dispositivo são obtidas integrando a densidade linear de cargas livres,

$\sigma_m(V_{gs}, V_{ds}, z)$ , em  $V$ , de 0 a  $V_{ds}$ . Considerando a aproximação de canal gradual e uma mobilidade de portadores constante, tem-se:

$$I_{ds}(V_{gs}, V_{ds}) = \frac{\mu}{L} \int_0^{V_{ds}} \sigma_m(V_{gs}, V) dV. \quad (3.81)$$

Para obter uma expressão geral a partir da eq. 3.81, é útil realizar uma mudança de variáveis com o auxílio da relação  $V(z) = V_{ds}z/L$ , de modo a escrever a integral em  $z$ :

$$I_{ds}(V_{gs}, V_{ds}) = \frac{\mu}{L} \int_0^L \sigma_m(V_{gs}, V_{ds}, z) \frac{dV}{dz} dz = \frac{\mu V_{ds}}{L^2} \int_0^L \sigma_m(V_{gs}, V_{ds}, z) dz. \quad (3.82)$$

Desta forma, a integral corresponde à eq. 3.79. Portanto, a expressão para a corrente em função das tensões de fonte e dreno é obtida com o auxílio da eq. 3.79:

$$\begin{aligned} I_{ds}(V_{gs}, V_{ds}) = & -\frac{4\pi\mu q N_D \lambda_D^2 \phi_T g V_{ds}}{L} \left[ \exp\left(\frac{-V_{ds} z_{t0}}{\phi_T L}\right) - \exp\left(\frac{-V_{ds}}{\phi_T}\right) \right] \exp\left(\frac{V_{gs} - V_t}{\phi_T}\right) + \\ & \frac{\pi\mu q N_D V_{ds}}{L^2} [k_6 V_{gs}^6 + k_5 V_{gs}^5 + k_4 V_{gs}^4 + k_3 V_{gs}^3 + k_2 V_{gs}^2 + k_1 V_{gs} + k_0] + \\ & \frac{4\pi\mu q N_D V_{ds}}{3d_1 L^2} j_1^2 \left[ d_2 + \frac{3d_1}{4} \left( d_1 \frac{z_{t1} + z_{FB}}{2} + j_2^2 + d_0 \right) (z_{t1} - z_{FB}) \right] + \\ & \frac{\pi\mu q N_D R^2 z_{FB} V_{ds}}{L^2} - \\ & \frac{\mu c_{ox} e^{-\alpha V_{ds}}}{\alpha^2 L^3} \left\{ \begin{aligned} & L^2 \left[ \exp\left(\frac{\alpha V_{ds} z_{FB}}{L}\right) - 1 \right] + \\ & \alpha V_{ds} z_{FB} \left[ e^{\alpha V_{gs}} \alpha \left( \frac{V_{ds} z_{FB}}{2} - V_{gs} L + V_{FB} L \right) - L e^{\alpha(V_{gs} - V_{FB})} \right] \end{aligned} \right\}. \end{aligned} \quad (3.83)$$

Em relação ao modelo anteriormente publicado [92], esta formulação representa uma melhoria, uma vez que não se trata de uma expressão por partes e há continuidade da derivada. Além disso, a saturação da corrente devido ao pinçamento do canal (em inglês, *pinch-off*) está implicitamente incluída nas definições dos limites de integração, bem como os seis modos de corrente apresentados no Cap. 2.

Observando a expressão 3.83, também é possível separar a corrente em dois componentes relativos à condução no interior (aqui denominado *bulk*) e na superfície do nanofio;  $I_{bulk}$  e  $I_{sup}$ , respectivamente. Este artifício é útil porque as

mobilidades nas duas regiões ( $\mu_{bulk}$  e  $\mu_{sup}$ , respectivamente) são ligeiramente distintas [109]. Desta forma:

$$\begin{aligned}
 I_{bulk} &= \frac{\mu_{bulk} V_{ds}}{L^2} Q_{bulk} \\
 I_{sup} &= \frac{\mu_{sup} V_{ds}}{L^2} Q_{sup} \quad , \\
 I_{ds} &= I_{bulk} + I_{sup}
 \end{aligned} \tag{3.84}$$

onde  $Q_{bulk}$  corresponde às quatro primeiras linhas da eq. 3.80, ou seja, a carga contida no canal de condução delimitado por  $r_c$ , e  $Q_{sup}$  corresponde à última linha, a carga acumulada na superfície.

A validação deste modelo I-V apresentado é feita comparando com dados de simulações TCAD publicados na literatura [59], [74]. Os JLNWFETs considerados são feitos de silício, envoltos em dióxido de silício e com porta p<sup>+</sup> poly-Si. Os comprimentos de canal são  $L = 200$  nm e  $1$   $\mu$ m, respectivamente, de modo que eles podem ser considerados longos. Também não há menção sobre a inclusão de armadilhas de interface.

A Fig. 3.14 mostra a validação com resultados de simulação utilizando o software Sentaurus [59]. O modelo apresenta uma concordância muito boa, com transições suaves entre todos os regimes de operação. A Fig. 3.14-a confirma a predição correta da inclinação de sublimiar, enquanto a Fig. 3.14-b demonstra que o modelo descreve a saturação da corrente de forma satisfatória. Para estas simulações, uma mobilidade constante de  $\mu = 200$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> foi empregada, sem distinção entre a condução no interior e na superfície do nanofio.

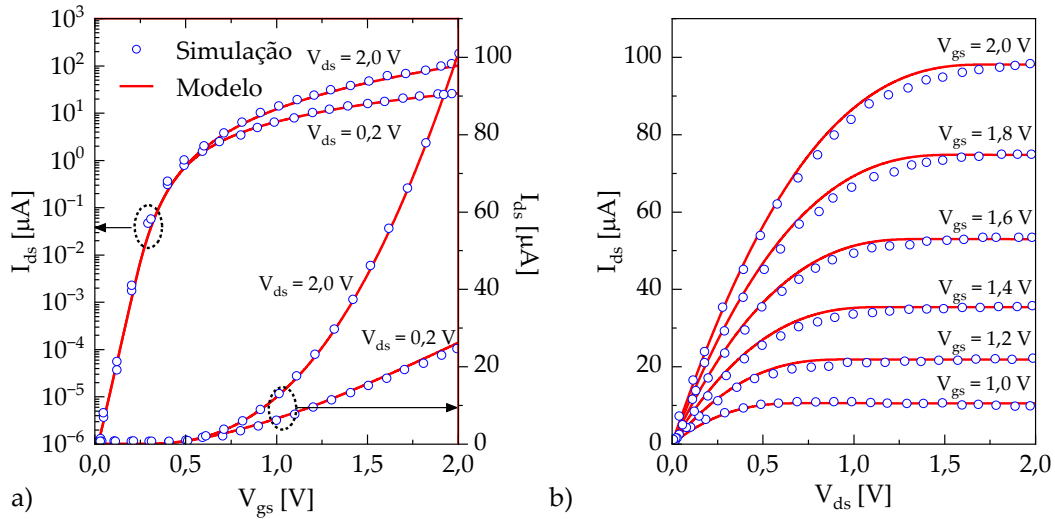


Figura 3.14 – Validação do modelo compacto para as características I-V (linhas) com simulações TCAD (símbolos) [59]. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros de fabricação: nanofio de Si com óxido de  $\text{SiO}_2$  e porta de  $\text{p}^+$  poly-Si com  $R = 10 \text{ nm}$ ,  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 2 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $\mu = 200 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  e  $L = 200 \text{ nm}$ .

A Fig. 3.15 mostra a validação com resultados de simulação utilizando o software Atlas [74]. Novamente o modelo apresenta ótima concordância mesmo para um nanofio bastante fino, com  $R = 5 \text{ nm}$ . Neste caso, um valor constante de mobilidade  $\mu = 100 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  foi empregado nas simulações, também sem distinção entre a condução no interior e na superfície do nanofio.

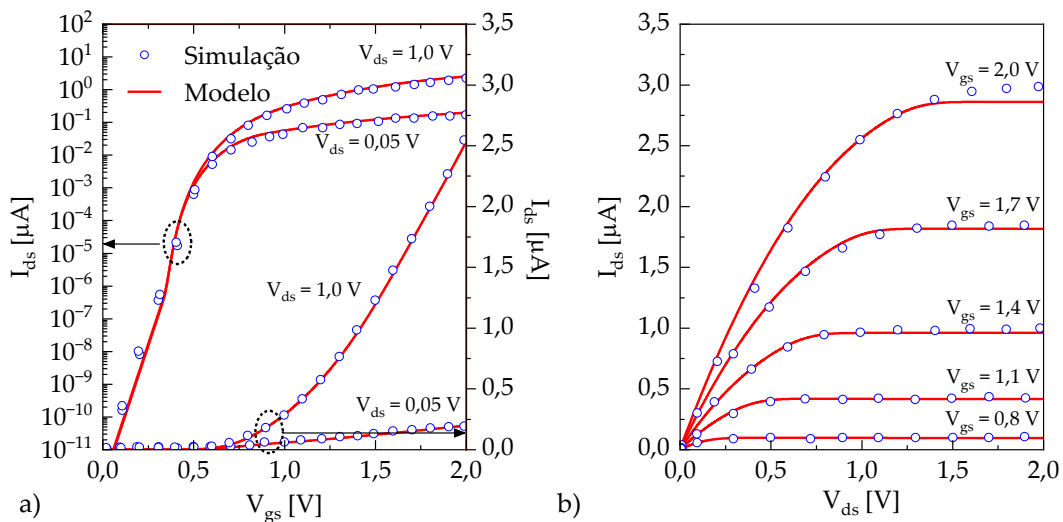


Figura 3.15 – Validação do modelo compacto para as características I-V (linhas) com simulações TCAD (símbolos) [74]. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros de fabricação: nanofio de Si com óxido de  $\text{SiO}_2$  e porta de  $\text{p}^+$  poly-Si com  $R = 5 \text{ nm}$ ,  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 5 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $\mu = 100 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  e  $L = 1 \mu\text{m}$ .

Os efeitos de canal curto podem ser facilmente incluídos no modelo I–V levando em conta as observações da subseção 2.5.2. Na região de sublimiar, a densidade linear de carga é descrita pela eq. 3.66. Por conseguinte, de acordo com a eq. 3.81, tem-se:

$$\begin{aligned}
 I_{ds_{sub}}(V_{gs}, V_{ds}) &= \frac{-4\pi\mu q N_D \lambda_D^2 g}{L} \exp\left(\frac{\varphi_{c_{min}}}{\phi_T}\right) \int_0^{V_{ds}} \exp\left(\frac{V}{\phi_T}\right) dV \\
 &= I_{0_{sub}} \exp\left(\frac{\varphi_{c_{min}}}{\phi_T}\right) \left[1 - \exp\left(-\frac{V_{ds}}{\phi_T}\right)\right],
 \end{aligned} \tag{3.85}$$

sendo  $I_{0_{sub}} = -4\pi\mu q N_D \lambda_D^2 g \phi_T / L$ . Deste modo, com a definição de  $\varphi_{c_{min}}$  dado pela eq. 3.65, tem-se a corrente de sublimiar considerando efeitos de canal curto. Esta expressão é válida para  $V_{gs} < V_t$ , onde a tensão de limiar a ser considerada é a da eq. 3.67.

A Fig. 3.16 mostra a validação com resultados de simulação utilizando o software Atlas [87]. O modelo apresenta ótima concordância para um nanofio de comprimento 20 nm, no qual a degradação da inclinação de sublimiar e o deslocamento da tensão de limiar já podem ser observados.

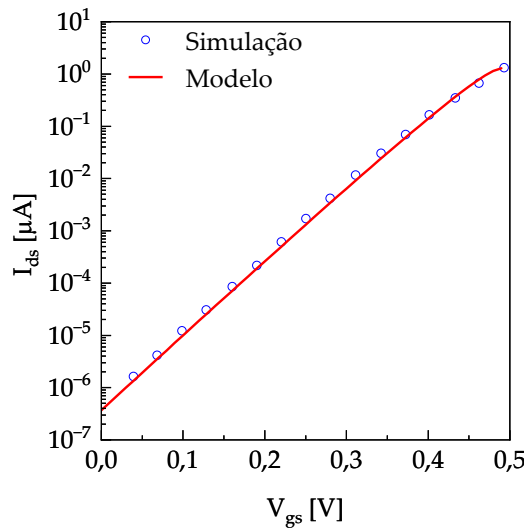


Figura 3.16 – Validação do modelo compacto (linha sólida) com simulações TCAD (símbolo) [87] considerando canal curto e a região de sublimiar. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de material não especificado com  $R = 5$  nm,  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>,  $t_{ox} = 1$  nm,  $\phi_{MS} = 0,7$  V,  $\mu = 300$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> e  $L = 20$  nm.



Por fim, cabe comentar que, para  $V_{gs} > V_t$ , o principal efeito de canal curto é a saturação de velocidade. Neste caso, correções semi-empíricas podem ser empregadas em conjunto com funções de suavização, como já demonstrado na literatura para JL-FETS de porta tripla [75] e também de nanofios cilíndricos [91]. Em suma, estas correções consistem em substituir a mobilidade dos portadores e tensão de fonte-dreno na eq. 3.83 por valores efetivos que resultam na saturação precoce das características  $I_{ds} - V_{ds}$ .

### 3.5 – Modelagem das características de capacitância (C-V)

Para determinar a capacitância devido às cargas livres, basta tomar a derivada da eq. 3.79 em relação à  $V_{gs}$ . Ou seja,

$$C_m(V_{gs}, V_{ds}) = \int_0^L \frac{d\sigma_m(V_{gs}, V_{ds}, z)}{dV_{gs}} dz. \quad (3.86)$$

Após alguma manipulação algébrica, tem-se:

$$\begin{aligned} C_m(V_{gs}, V_{ds}) = & -\frac{4\pi q N_D \lambda_D^2 g L}{V_{ds}} \left[ \exp\left(\frac{-V_{ds} z_{t_0}}{\Phi_T L}\right) - \exp\left(\frac{-V_{ds}}{\Phi_T}\right) \right] \exp\left(\frac{V_{gs} - V_t}{\Phi_T}\right) + \\ & \pi q N_D (l_5 V_{gs}^5 + l_4 V_{gs}^4 + l_3 V_{gs}^3 + l_2 V_{gs}^2 + l_1 V_{gs} + l_0) + \\ & \frac{4\pi q N_D}{3d_1} j_1^2 \left[ \frac{3j_2 h_4}{2} \left( \sqrt{1 + d_0 + d_1 z_{FB}} - \sqrt{1 + d_0 + d_1 z_{t_1}} \right) \right] + \\ & C_{ox} \left\{ z_{FB} - \frac{L e^{-\alpha V_{gs}}}{\alpha V_{ds}} \left[ 1 - \exp\left(\frac{\alpha V_{ds} z_{FB}}{L}\right) \right] \right\}, \end{aligned} \quad (3.87)$$

onde os coeficientes  $\{l_5, l_4, l_3, l_2, l_1, l_0\}$  estão descritos no Apêndice I.

A capacitância de porta pode ser modelada como

$$C_{gg}(V_{gs}, V_{ds}) = C_m(V_{gs}, V_{ds}) + C_{int}, \quad (3.88)$$

onde  $C_{int}$  é a componente da capacitância devida não somente à geometria do dispositivo, mas também por efeitos de borda [60]. Neste modelo,  $C_{int}$  é tomado como um valor constante que pode ser medido experimentalmente. Na ref. [67], os autores desenvolvem um modelo analítico levando em conta a geometria externa ao nanofio.

A Fig. 3.17 mostra a validação do modelo com resultados de simulação utilizando TCAD [82]. São considerados nanofios longos ( $1 \mu\text{m}$ ) com raio variando ente 3 e 10 nm. A concordância do modelo é aceitável, com exceção da região ligeiramente acima da tensão de limiar, na qual uma discrepância é notada. Esta imprecisão pode ser atribuída à aproximação de depleção abrupta, que subestima a taxa de variação do raio do canal de condução quando  $r_c \sim \lambda_D$ .

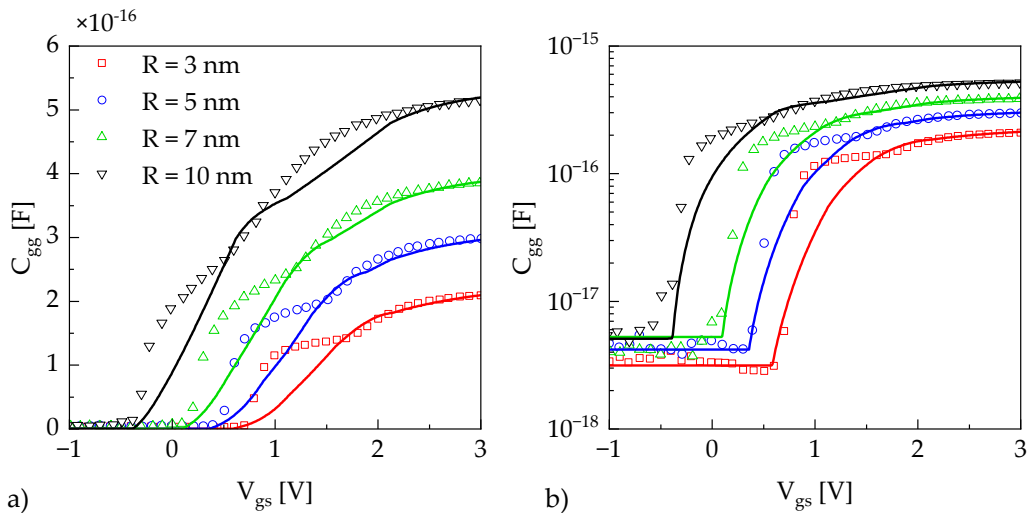


Figura 3.17 – Validação do modelo compacto para as características I–V (linhas) com simulações TCAD (símbolos) [82] considerando diferentes valores de  $R$ . a) Escala linear. b) Escala logarítmica. Parâmetros de simulação: nanofio de Si com óxido de  $\text{SiO}_2$  e porta de  $\text{p}^+$  poly-Si com  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ ,  $t_{ox} = 5 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $L = 1 \mu\text{m}$  e  $V_{ds} = 1 \text{ V}$ .

A Fig. 3.18 mostra a validação com resultados de simulação utilizando o software Sentaurus [60]. O JLNWFET considerado possui um nanofio longo ( $1 \mu\text{m}$ ) com raio de 25 nm e a simulação foi validada com resultados experimentais. O modelo novamente apresenta uma concordância aceitável. Neste caso, são evidenciadas as contribuições dos componentes  $C_m$  e  $C_{int}$  para a capacitância de porta. Não há referência em escala linear neste trabalho.

A Fig. 3.19 apresenta uma última validação do modelo com resultados de simulação utilizando TCAD [86]. São considerados nanofios com raio de 5 e 10 nm, com dopagem de  $2 \times 10^{19} \text{ cm}^{-3}$  e  $1 \times 10^{19} \text{ cm}^{-3}$ , respectivamente, a fim obter valores similares para a tensão de limiar. Uma componente adicional de

capacitância, neste caso, corresponde ao aparecimento de uma concentração de lacunas na interface Si/SiO<sub>2</sub>, o que é desconsiderado neste modelo. Novamente, o modelo reproduz o comportamento esperado, a despeito da imprecisão na região de depleção parcial.

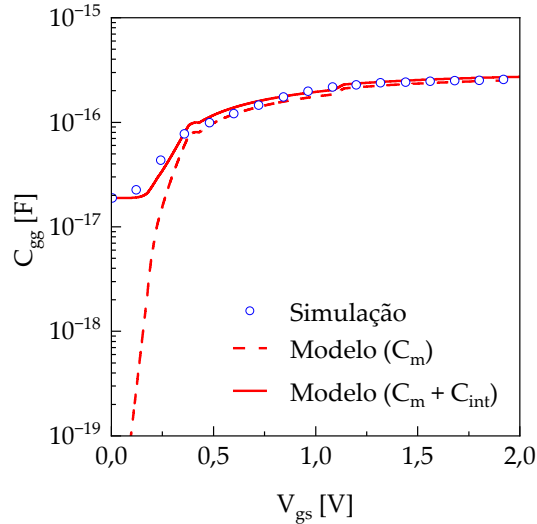


Figura 3.18 – Validação do modelo compacto para as características C–V (linhas sólidas) com simulações TCAD (símbolos) [60] em escala logarítmica. Parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $R = 25 \text{ nm}$ ,  $N_D = 1,6 \times 10^{18} \text{ cm}^{-3}$ ,  $t_{ox} = 4,5 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $L = 200 \text{ nm}$  e  $V_{ds} = 0,05 \text{ V}$ .

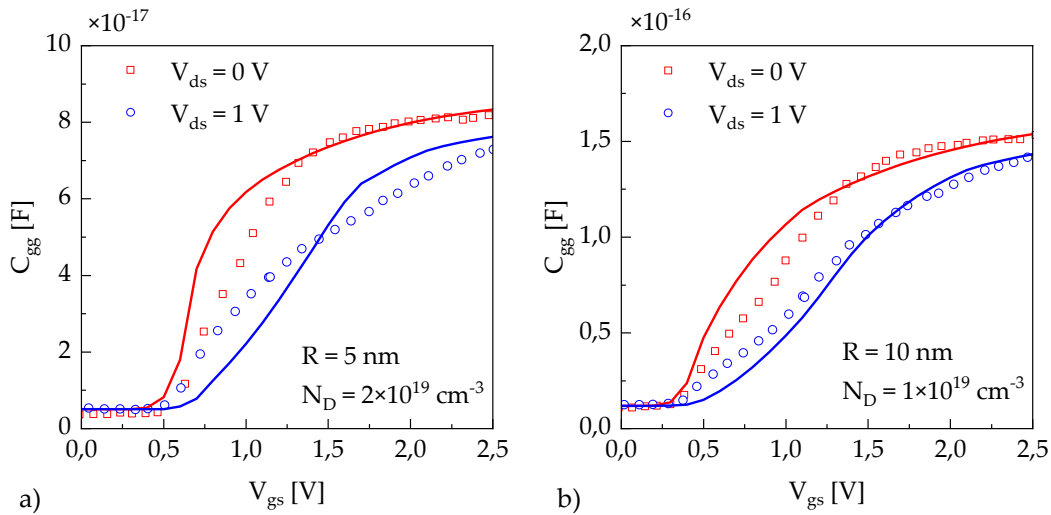


Figura 3.19 – Validação do modelo compacto para as características C–V (linhas) com simulações TCAD (símbolos) [86] em escala linear variando os parâmetros: a)  $R = 5 \text{ nm}$  e  $N_D = 2 \times 10^{19} \text{ cm}^{-3}$ . b)  $R = 10 \text{ nm}$  e  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ . Demais parâmetros de simulação: nanofio de Si com óxido de SiO<sub>2</sub> e porta de p<sup>+</sup> poly-Si com  $t_{ox} = 1,5 \text{ nm}$ ,  $\phi_{MS} = 1,12 \text{ V}$ ,  $L = 100 \text{ nm}$ .

Como discutido em [86] e evidenciado nesta seção, o cálculo de derivadas potencializa pequenas discrepâncias, de modo que é esperado um desempenho inferior do modelo C–V em comparação aos modelos I–V e Q–V. Todavia, a simplicidade da eq. 3.87 torna esta abordagem bastante útil para uma rápida síntese e análise de circuitos integrados. Ainda, a precisão do modelo C–V pode ser melhorada aperfeiçoando alguns passos anteriores, como, por exemplo, a utilização da eq. 3.34 em vez de 3.35 e a proposição de novas funções para 3.39 e 3.50 com base no comportamento esperado da capacitância.

### **3.6 – Considerações sobre a extensão do modelo**

O modelo central apresentado neste capítulo pode ser estendido para descrever alguns casos adicionais relacionados à geometria do JLNWFET. Por exemplo, para nanofios suficientemente finos, é necessário levar em conta os efeitos de confinamento quântico. Em contraste, se o nanofio é suficientemente curto, é possível a ocorrência de transporte balístico, no qual o espalhamento de portadores no canal pode ser essencialmente desconsiderado. Por fim, também é possível que JL-FETs feitos com nanofios de seção-reta quadrada ou retangular, semelhantes a nanofolhas, sejam englobados na abordagem proposta com considerações simples.

A seguir, algumas destas considerações serão brevemente discutidas a fim de nortear trabalhos futuros.

#### **3.6.1 – Efeitos de confinamento quântico**

À medida que a área da seção transversal do nanofio é reduzida, efeitos de quantização passam a se tornar importantes, de forma que os portadores em seu interior passam a se comportar como um gás eletrônico de uma dimensão (1DEG, *one-dimensional electron gas*). Isto significa que os elétrons estão livres para se mover ao longo do canal, mas estão restritos a valores discretos de energia na banda de condução [22].

Assim como discutido nas subseções 2.1 e 2.2, estes valores discretos de energia, na verdade, sub-bandas, são ocupados à medida que o nível de Fermi se eleva. Entretanto, no contexto da análise eletrostática, agora é necessário considerar os efeitos de quantização, que efetivamente incrementa o valor mínimo de energia, acima da banda de condução. A Fig. 3.20 ilustra o diagrama de bandas em duas situações de quantização que serão discutidas a seguir.

Para encontrar os níveis discretos de energia, é necessário resolver de forma auto-consistente as equações de Poisson (eq. 3.10) e de Schrödinger,

$$\left[ -\frac{\hbar^2 \nabla^2}{2m_e^*} - q\varphi(r) \right] \psi = \mathcal{E}\psi, \quad (3.89)$$

onde  $\psi$  é função de onda,  $\hbar$  é a constante de Planck reduzida,  $m_e^*$  é a massa efetiva do elétron e  $\mathcal{E}$  é a auto-energia associada a um estado.

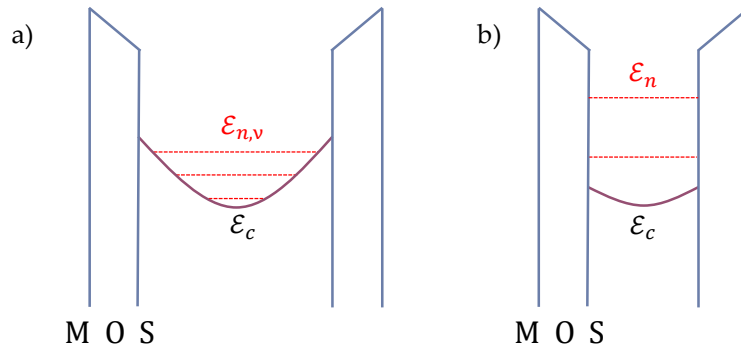


Figura 3.20 – Representação do diagrama de bandas considerando os efeitos de confinamento quântico modelados por: a) Oscilador harmônico b) Poço de potencial.

Um dos principais efeitos do confinamento quântico é o deslocamento da tensão de limiar. Tomando a aproximação de depleção total, o potencial no nanofio é dado por

$$\varphi(r) = -\frac{qN_D}{4\epsilon_s} r^2. \quad (3.90)$$

Na literatura, são propostas duas maneiras de tratar este potencial na equação de Schrödinger, a depender das dimensões do nanofio [72], [95], [99].

Se o nanofio não é extremamente fino, os primeiros níveis discretos de energia estão restritos ao perfil parabólico da banda de condução. Sendo assim,

o comportamento é bastante similar à solução do problema do oscilador harmônico circular, cuja solução é conhecida. Neste caso, as auto-energias são dadas como [49]:

$$\mathcal{E}_{n,v} = \hbar \sqrt{\frac{q^2 N_D}{2m_e^* \epsilon_s}} (2n + |v| + 1). \quad (3.91)$$

onde  $n = 0, 1, 2, \dots$  é o número quântico principal e  $v = 0, \pm 1, \pm 2, \dots$  é o número quântico magnético.

Contudo, se o nanofio é ainda mais fino, os primeiros níveis discretos de energia estão localizados entre as barreiras de potencial formadas pelo óxido. Consequentemente, o problema pode ser modelado como um poço quântico circular infinito acrescido de uma correção de primeira ordem proveniente da teoria de perturbação. Neste caso, as auto-energias são dadas por [93]:

$$\mathcal{E}_n = \frac{\hbar^2 \alpha_n^2}{2m_e^* R^2} + \frac{q^2 N_D R^2}{6\epsilon_s} \left( \frac{\alpha_n + 1}{\alpha_n} \right). \quad (3.92)$$

onde  $\alpha_n$  é o  $n$ -ésimo zero da função de Bessel de primeira ordem,  $J_0(r)$ .

A Fig. 3.21-a mostra a energia referente ao potencial eletrostático e os três primeiros valores de auto-energia para um nanofio com  $R = 5$  nm e  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>, calculados usando a eq. 3.91. Já a Fig. 3.21-b mostra o potencial eletrostático e a primeira sub-banda para um nanofio com  $R = 3$  nm e  $N_D = 1 \times 10^{19}$  cm<sup>-3</sup>, calculado usando a eq. 3.91.

O deslocamento da banda de condução em decorrência do confinamento quântico em nanofios de silício pode ser estimado de forma empírica com [110]

$$\Delta\mathcal{E}_c = \frac{A}{(2R)^2}, \quad (3.93)$$

onde  $A = 0,81$  eVnm<sup>2</sup>. É importante ressaltar que a ref. [110] não faz menção a níveis de dopagem dos nanofios e, portanto, esta expressão não deve ser tomada como uma descrição precisa para JLNWFETs. Contudo, ela é útil para permitir uma análise comparativa.

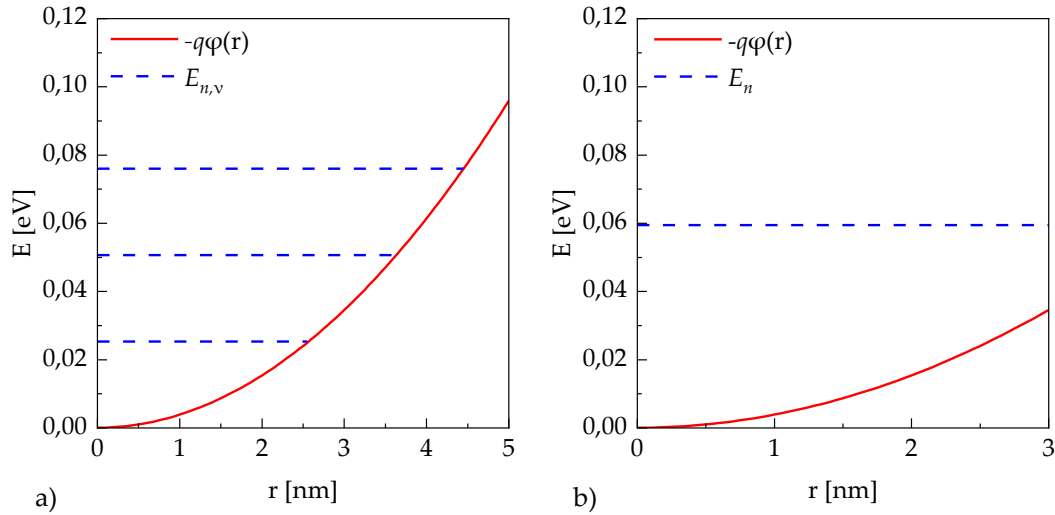


Figura 3.21 – Energia correspondente ao potencial eletrostático e auto-energias considerando: a)  $R = 5$  nm e  $N_D = 1 \times 10^{19}$  cm $^{-3}$ , eq. 3.91. b)  $R = 3$  nm e  $N_D = 1 \times 10^{19}$  cm $^{-3}$ , eq. 3.92.

A Fig. 3.22 compara o primeiro nível de energia dado pelas expressões 3.91 e 3.92 (considerando  $N_D = 1 \times 10^{19}$  cm $^{-3}$ ) com a estimativa empírica da eq. 3.93. É possível concluir que, para este nível de dopagem, o modelo baseado em poço quântico (eq. 3.91) pode ser utilizado para nanofios com raio menor que 3 nm. Além deste ponto, a energia da primeira sub-banda passa crescer com  $R$ , indicando que a correção pela teoria da perturbação não é mais válida [72]. Já o modelo baseado no oscilador harmônico (eq. 3.92) é adequado para nanofios com raio maior que 3 nm. Não obstante, para valores de raio maiores de 5 nm, os efeitos quânticos podem ser ignorados sem acarretar em erros significativos no modelo compacto.

Feitas estas considerações, a tensão de limiar pode ser corrigida levando em conta os efeitos de confinamento quântico como:

$$V'_t = V_t + q\Delta\mathcal{E}_c, \quad (3.94)$$

onde  $\Delta\mathcal{E}_c$  pode ser aproximado para o valor da primeira sub-banda.

Para  $V_{gs} > V'_t$ , as características do JLNWFET no modelo apresentado neste capítulo são descritas pelo raio do canal de condução,  $r_c(V_{gs})$ . De forma simplificada, o potencial nesta região pode ser obtido pela aproximação de

depleção abrupta, exatamente como feito na subseção 2.4.3. Neste caso, entretanto,  $\varphi(r)$  apresenta uma dependência com  $\ln(r)$ , de modo que não há solução analítica conhecida para a equação de Schrödinger.

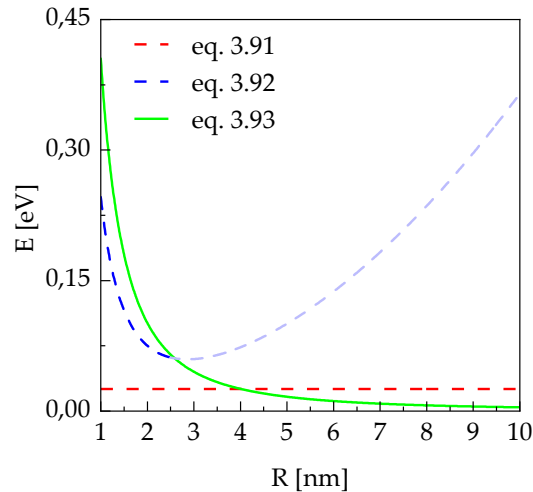


Figura 3.22 – Comparação entre o valor do nível de energia fundamental calculado pelas eqs. 3.91 e 3.92 e a estimativa empírica do deslocamento da banda de condução em decorrência do confinamento quântico, eq. 3.93. Nanofio de silício com  $N_D = 1 \times 10^{19} \text{ cm}^{-3}$ .

A fim de obter uma solução aproximada, Ragi *et al.* [88] aproximam o termo logarítmico para uma função quadrática dentro de um intervalo de interesse. Deste modo, as auto-energias também podem ser descritas considerando um oscilador harmônico radial com uma pequena perturbação. Logo, tem-se expressões analíticas para  $\mathcal{E}_{n,v}(V_{gs})$  por meio da relação com  $r_c(V_{gs})$ .

Para nanofios extremamente finos, por outro lado, a aproximação parabólica pode ser utilizada para modificar apenas a correção de primeira ordem proveniente da teoria de perturbações na eq. 3.92 [96]. Novamente, tem-se expressões analíticas para as auto-energias em função de  $r_c(V_{gs})$ .

Em conclusão, no contexto da análise eletrostática, o modelo centrado na descrição do raio do canal de condução pode ser adaptado e estendido para incorporar efeitos de confinamento quântico e descrever JLNWFETs de raio bastante diminuto.



### 3.6.2 – Transporte balístico

Com o maior controle eletrostático do canal, é possível também que o comprimento físico do contato de porta do transistor seja reduzido a ponto de se tornar menor que o caminho livre médio dos portadores,  $\lambda_L$ . O caminho livre médio é descrito como a distância média que o elétron pode se deslocar livremente, sem sofrer eventos de espalhamento que podem alterar seu momento linear. Se  $L \ll \lambda_L$ , os portadores se deslocam sem sofrer espalhamento significativo. Nesse caso, o transporte de carga é denominado balístico, e o formalismo de difusão-deriva utilizado na seção 4 é inadequado.

Em [111], os autores mostram que o JLNWFET de silício exibe características balísticas mais pronunciadas, em operação acima do limiar, quando comparado com NWFETs de inversão. Isto ocorre justamente porque nesta faixa de operação ele se comporta como um resistor controlado pela tensão de porta, possuindo uma barreira de potencial suave que reduz o retroespalhamento e permite ao dispositivo características de transporte quasi-balístico. Logo, é possível obter um alto nível de corrente. Por outro lado, o caráter balístico do transporte de carga é mais baixo na região do sublimiar quando comparado ao NWFET de inversão, o que favorece a inclinação de sublimiar.

Já em [112], foi demonstrado experimentalmente um JL-FET de arseneto de índio e gálio ( $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ) com canal 6 nm. Embora seja um nanofio, o transistor não é do tipo *gate-all-around*. O caminho livre médio medido neste caso é de  $\lambda_L = 27,2$  nm. Logo, como  $L \ll \lambda_L$ , o dispositivo tem comportamento quasi-balístico, com eficiência estimada em 82%.

Para a modelagem compacta em regimes balísticos ou quasi-balísticos, é comum o emprego do formalismo de Landauer [113]. Nesta abordagem, a corrente de fonte-dreno é descrita como [114]

$$I_{ds} = \frac{2q}{h} \int_{-\infty}^{\infty} \mathcal{T}(\mathcal{E}) \mathcal{M}(\mathcal{E}) [f_s(\mathcal{E}) - f_d(\mathcal{E})] d\mathcal{E}, \quad (3.95)$$

Onde  $h$  é a constante de Planck,  $\mathcal{T}(\mathcal{E})$  é o coeficiente de transmissão,  $\mathcal{M}(\mathcal{E})$  é a distribuição dos modos de transmissão do canal e  $f_s(\mathcal{E}) - f_d(\mathcal{E})$  é a diferença entre as distribuições de Fermi entre fonte e dreno.

Qualitativamente, os contatos de fonte e dreno são vistos como reservatórios de elétrons separados pela barreira de potencial do canal, que é reduzida aplicando uma tensão no contato de porta. Dessa maneira, quando uma tensão  $V_{ds}$  é aplicada, tem-se que  $\mathcal{E}_{f_d} = \mathcal{E}_{f_s} - qV_{ds}$ , e este desequilíbrio resulta no fluxo de corrente.

O coeficiente de transmissão  $\mathcal{T}(\mathcal{E})$  descreve a probabilidade de um elétron no contato de fonte com energia  $\mathcal{E}$  adentrar o canal e atravessar até o contato de dreno sem sofrer espalhamento. Em consequência, para o caso balístico,  $\mathcal{T}(\mathcal{E}) = 1$ . No caso quasi-balístico,  $\mathcal{T}(\mathcal{E})$  assume um valor próximo da unidade, indicando que há ainda algum espalhamento residual, mas relevante, no canal.

A distribuição dos modos de transmissão do canal  $\mathcal{M}(\mathcal{E})$  descreve o transporte de carga de um elétron com energia  $\mathcal{E}$  ao longo do canal. Portanto, é uma quantidade proporcional à densidade de estados disponíveis e também à distribuição média de velocidade de portadores na banda de condução como função da energia.

Considerando uma relação de dispersão parabólica, a densidade de estados unidimensional é dada por

$$g_{1D}(\mathcal{E}) = g_v \frac{\sqrt{2m_e^*}}{\pi\hbar} \frac{1}{\sqrt{\mathcal{E} - \mathcal{E}_c}}, \quad (3.96)$$

onde  $g_v$  é o fator degenerescência de vale. Neste ponto, cabe ressaltar que a aproximação parabólica pode não ser adequada para descrever a relação de

dispersão de nanofios feitos de compostos III-V. Logo, é necessário considerar fatores de correção para adequar o modelo a estes dispositivos [115].

A distribuição média de velocidade de portadores na banda de condução levando em conta o transporte unidimensional pode ser escrita como [114]

$$\langle v(\mathcal{E}) \rangle = \sqrt{\frac{2(\mathcal{E} - \mathcal{E}_c)}{m_e^*}}, \quad (3.97)$$

Consequentemente, a distribuição dos modos de transmissão do nanofio é um valor constante,

$$\mathcal{M}(\mathcal{E}) = g_v. \quad (3.98)$$

Considerando apenas o primeiro nível de energia da quantização do canal,  $\mathcal{E}_{0,0}$ , tem-se a expressão 3.95 como

$$I_{ds} = \frac{2qg_v\mathcal{T}_0}{h} \int_{\mathcal{E}_c + \mathcal{E}_{0,0}}^{\infty} [f_s(\mathcal{E}) - f_d(\mathcal{E})] d\mathcal{E} = \mathcal{T}_0 I_0 \ln \left[ \frac{1 + \exp\left(\frac{\mathcal{E}_{0,0}}{k_B T}\right)}{1 + \exp\left(\frac{\mathcal{E}_{0,0} - qV_{ds}}{k_B T}\right)} \right] \quad (3.99)$$

onde  $\mathcal{T}_0$  é o valor efetivo do coeficiente de transmissão e  $I_0 = 2qg_vk_B T/h$ .

Analisando a eq. 3.99, fica claro que uma expressão analítica depende apenas de determinar  $\mathcal{E}_{0,0}(V_{gs})$ , o que foi demonstrado na subseção anterior tendo como passo intermediário a relação com  $r_c(V_{gs})$ . Desta forma, uma modelagem compacta para JLNWFETs balísticos também pode ser obtida a partir da formulação apresentada neste capítulo.

### 3.6.3 – Nanofios de seção-reta quadrada

Como discutido no Cap. 1, em termos de geometria, a tendência atual da indústria de semicondutores é realizar uma transição dos FinFETs para os transistores do tipo *gate-all-around*. Tem sido dada preferência à configuração em nanofolhas, uma vez que a maior razão de aspecto entre a largura e a altura do canal resulta em um nível de corrente mais alto. Dando sequência ao processo de escalamento e em face da possibilidade de empilhar múltiplos canais, uma tendência natural seria convergir para nanofios de seção-reta quadrada,

reduzindo a largura do canal até igualar à sua altura. Esta configuração, a princípio, permitiria um maior controle eletrostático e, portanto, reduziria os efeitos de canal curto.

Entretanto, como muito bem argumentado por Pananakakis *et al.* [116], os transistores de nanofio com seção-reta quadrada tendem a se comportar como os equivalentes circulares sob diversas circunstâncias. Neste artigo, os autores demonstram que a formação do canal em JLNWFETs quadrados tende a começar como um círculo, com uma transição suave para um formato intermediário entre um círculo e um quadrado à medida que a região de depleção é suprimida.

Sob outra perspectiva, também é possível argumentar que é difícil formar um ângulo reto em escala nanométrica durante a fabricação de dispositivos semicondutores. Embora o processo de litografia possa ser definido para formar um quadrado, os processos de oxidação, difusão e corrosão tendem a arredondar os vértices [116]. Portanto, nanofios de seção-reta estritamente quadrada são alvo de estudos teóricos e de simulações, mas são de difícil confecção.

Além das dificuldades de fabricação, as quinas também podem acarretar em uma degradação da relação ON-OFF do transistor [117]. Isto ocorre porque o efeito de campo é mais intenso nestas regiões, de modo que a corrente passa a fluir com uma tensão de limiar efetiva mais baixa ou, de forma equivalente, o transistor apresenta mais de um valor de tensão de limiar quando medida a partir das derivadas de alta ordem da corrente. Conseqüentemente, a seção transversal quadrada, ainda que factível, seria inapropriada para dispositivos de alto desempenho.

Em suma, uma vez que a depleção total em  $V_{gs} = 0$  restringe as dimensões transversais do nanofio a poucos nanômetros, o modelo apresentado neste capítulo também pode ser utilizado para modelar JLNWFETs que são descritos

na literatura com uma seção-reta quadrada, uma vez que essa descrição dificilmente reflete a geometria do canal em termos práticos.

### **3.7 – Conclusão**

Neste capítulo, foi desenvolvido um modelo compacto para as características de carga, corrente e capacitância de JLNWFETs cilíndricos. A abordagem adotada tem como cerne o a capacidade de expressão o raio do canal de condução em função das tensões aplicadas no transistor. Em todos os casos, obteve-se expressões analíticas e explícitas, descrevendo as características do dispositivo em função de seus princípios físicos e dos parâmetros de fabricação.

Não-idealidades como armadilhas de interface e efeitos de canal curto também foram incluídas, de acordo com a necessidade para cada geometria específica. Por fim, também foi discutida a extensão do modelo para outras configurações geométricas, incluindo nanofios com raio bastante diminuto, acarretando a presença de efeitos quânticos, nanofios extremamente curtos em que ocorre transporte balístico e nanofios cuja seção transversal é descrita como quadrada.

As expressões aqui apresentadas são bastante úteis na síntese e análise de circuitos integrados. De forma mais ampla, este trabalho contribui para modelagem de nanotransistores que são fortes candidatos a baluartes do paradigma Mais Moore da indústria de semicondutores nos próximos anos.

## Capítulo 4: Transistores baseados em materiais bidimensionais

---

Até o presente momento, a indústria de semicondutores se desenvolveu quase exclusivamente em torno de um único material. Com exceção de segmentos específicos, como comunicações ópticas, operação em alta frequência e/ou elevada potência de saída, onde tem-se uma forte presença de ligas semicondutoras do tipo III-V, o silício é o cerne de qualquer dispositivo eletrônico, especialmente aqueles que contêm circuitos integrados com elevada densidade de transistores.

No segmento de nanoeletrônica, principalmente considerando o nicho de alta performance, as grandes fabricantes de *chips* têm se empenhado tremendamente para manter a esteira da lei de Moore sem trocar de matéria-prima. Isto porque, além de empregar o segundo elemento mais abundante da crosta terrestre, o processo de fabricação com silício vem sendo aperfeiçoado por décadas e atualmente envolve centenas de etapas utilizando equipamentos muito caros e técnicas muito complexas. Esta evolução resultou em uma cadeia global de produção bastante interdependente e também vital para a sociedade moderna. Logo, qualquer mudança abrupta requer um investimento proibitivo e uma redução na taxa de crescimento de um dos principais setores das maiores economias atuais.

Visando perpetuar a lei de Moore, a transição mais recente adotada pela indústria introduzir de dispositivos do tipo *gate-all-around*, categoria que abrange os JLNWFETs estudados na primeira metade desta tese de doutorado, mas manteve-se o emprego do silício. Este paradigma é visto como suficiente para sustentar o escalamento no curto-prazo, até aproximadamente 2028 [18]. Entretanto, a redução das dimensões dos transistores de silício se aproxima de

limites fundamentais, de modo que, mirando o longo prazo, outros materiais precisam ser considerados para dar continuidade ao progresso tecnológico.

Uma das principais alternativas neste sentido é o emprego dos recém-descobertos materiais bidimensionais. Desde o advento do grafeno em 2004, estes novos materiais têm sido amplamente pesquisados pela comunidade científica. Dentre eles, há diversos semicondutores com características comparáveis ou superiores ao silício que podem dar suporte a este processo de transição da indústria e continuar o escalamento das dimensões dos transistores. Isto porque eles estão naturalmente no limite da redução da espessura do canal e, conseqüentemente, oferecem excelente controle eletrostático ao MOSFET.

Na última década, diversos transistores baseados em materiais bidimensionais (2D-FETs) foram propostos e investigados tanto em caráter teórico quanto experimental. Somado às necessidades da indústria, este notório interesse acadêmico também estimula a necessidade de modelos compactos para viabilizar a síntese de circuitos integrados utilizando estes novos transistores. Contudo, ao contrário do silício, o conhecimento sobre os materiais bidimensionais ainda é embrionário e bastante fragmentado na literatura, de modo que se faz necessário discutir algumas de suas propriedades e perspectivas de aplicação antes de avançar para a modelagem compacta de 2D-FETs.

Neste capítulo serão discutidos alguns materiais bidimensionais com ênfase nas características relevantes para 2D-FETs. Em seguida, serão feitas considerações para a modelagem compacta destes novos transistores. Por fim, os desafios e oportunidades de integração destes materiais por parte da indústria de semicondutores também serão brevemente tratados.

#### **4.1 – Materiais bidimensionais**

Materiais bidimensionais são sólidos cristalinos que contém uma única camada de espessura comparável à escala de um átomo ( $< 1$  nm). Na literatura,

esta nomenclatura pode ser estendida também a materiais formados por poucas camadas empilhadas (em inglês, *few layers*), tipicamente com espessura inferior a 10 nm. Neste último caso, os átomos estão fortemente conectados por ligações covalentes no plano do material, enquanto que fora do plano as camadas são interligadas por forças de van der Waals.

O primeiro material desta natureza a ser isolado foi o grafeno, uma forma cristalina bidimensional do carbono. Ele foi obtido em 2004 pelos físicos de origem russa Andre Geim e Konstantin Novoselov em pesquisa na Universidade de Manchester (UK) [30]. Anteriormente, outras formas de baixa dimensionalidade do carbono haviam sido descobertas, os fulerenos em 1985 [118] e os nanotubos de carbono em 1991 [119]. A forma bidimensional já havia sido estudada no âmbito teórico por Philip Russell Wallace em 1947 [28] e camadas extremamente finas de grafite foram obtidas experimentalmente por Hanns-Peter Boehm [29] em 1962. Porém, até 2004, uma única camada ainda não havia sido devidamente isolada e caracterizada.

O grafite pirolítico utilizado para obter o grafeno é um sólido policristalino lamelar, ou seja, uma estrutura tridimensional constituída de camadas com espessuras atômicas que, por sua vez, são compostas por arranjos hexagonais periódicos de carbono. Como a ligação entre as camadas é bastante frágil, é possível separá-las com o manejo adequado. As amostras de grafeno foram primeiro obtidas por Geim aplicando repetidamente uma fita adesiva sobre um bloco de grafite pirolítico e, posteriormente, dissolvendo a fita em uma solução química. Em seguida, os pequenos flocos foram depositados sobre substratos de SiO<sub>2</sub> e receberam contatos elétricos para medir a influência de um campo elétrico aplicado.

Devido às suas propriedades únicas, o grafeno se tornou um fenômeno de popularidade e rapidamente recebeu o *status* de panaceia para resolver problemas nas mais diversas áreas, da microbiologia às aplicações espaciais.



Entretanto, é notável que já na introdução de seu célebre artigo na revista Science [30], Novoselov e Geim discutem a aplicação do grafeno justamente como substituto do silício na indústria de semicondutores. Ainda, eles denominam o experimento de “transistor de efeito de campo metálico”, uma vez que o grafeno não é um semicondutor, conforme será discutido mais à frente. Em suma, a gênese do grafeno está fortemente associada ao intuito de contribuir para a continuidade da lei de Moore na era pós-silício.

Em 2010, a dupla foi agraciada com o Prêmio Nobel de Física pelos *experimentos inovadores acerca do material bidimensional grafeno*. De acordo com o comunicado à imprensa da Academia Real de Ciências da Suécia, “*Geim e Novoselov extraíram o grafeno de um pedaço de grafite como o encontrado em lápis comuns. Usando fita adesiva comum, eles conseguiram obter um floco de carbono com espessura de apenas um átomo*” [120]. A Fig. 4.1 mostra um fragmento de grafite, um suporte com fita adesiva e transistores de grafeno doados ao Museu Nobel de Estocolmo por Geim e Novoselov.



Figura 4.1 – Fragmento de grafite, suporte com fita adesiva e transistores de grafeno doados ao Museu Nobel de Estocolmo (Suécia) por Andre Geim e Konstantin Novoselov.

Embora a descoberta do grafeno seja um fato excepcional, talvez o maior feito da dupla tenha sido despertar o interesse da comunidade científica para este tópico de pesquisa. Nos anos seguintes, uma miríade de outros materiais

bidimensionais foi descoberta. Até 2021, a principal base de dados do segmento – *Computational 2D Materials Database (C2DB)* – registrava aproximadamente 4.000 formas bidimensionais [121], [122], incluindo materiais que já foram observados experimentalmente e outros que foram apenas previstos por técnicas computacionais. Dentre estes materiais, encontram-se metais, óxidos e semicondutores com as mais diversas características, compondo uma gama de possibilidades para aplicações em nanotransistores.

Para esta tese, serão considerados alguns materiais no âmbito das três famílias principais que apresentam semicondutores bidimensionais: os X-enos e seus derivados, os dicalcogenetos de metais de transição (TMDs) e as formas bidimensionais de compostos III-VI, também chamados de calcogenetos de semimetais (SMCs). Estes materiais foram escolhidos por serem os mais comuns na literatura sobre 2D-FETs, embora diversos outros também possam encontrar aplicação em nanoeletrônica. A seguir, serão apresentadas algumas de suas características principais.

#### **4.1.1 – X-enos e seus derivados**

Materiais bidimensionais constituídos de apenas um elemento são denominados X-enos, tendo como seu principal representante o grafeno. Conforme mostra a Fig. 4.2-a, o grafeno é formado por uma camada de átomos de carbono arranjados em uma rede bidimensional hexagonal com 0,34 nm de espessura. No âmbito das características eletrônicas, o grafeno suspenso (sem substrato) possui uma extraordinária capacidade de transporte de cargas, com valores de mobilidade atingindo  $2 \times 10^5$  cm<sup>2</sup>/Vs [123]. Para comparação, a mobilidade do grafeno suspenso é tipicamente duzentas vezes maior que a do silício. Além disso, sua velocidade de saturação chega a  $3 \times 10^7$  cm/s, muito maior que as velocidades de campo alto do silício e dos semicondutores III-V [124]. Conseqüentemente, ele foi imediatamente identificado como bastante promissor para a nanoeletrônica.

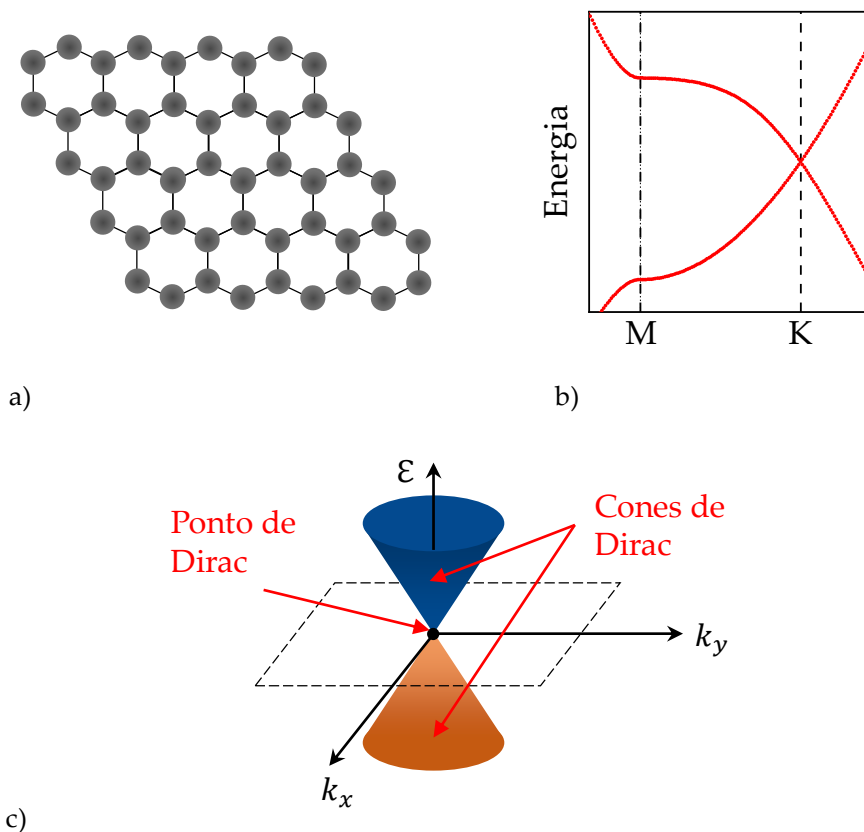


Figura 4.2 – Características do grafeno. a) estrutura cristalina. b) diagrama de bandas (relação de dispersão). c) diagramas de banda tridimensional realçando os cones de Dirac.

O primeiro transistor de efeito de campo utilizando grafeno foi demonstrado em 2007 [125]. Ele é bastante similar a um transistor tipo SOI, com um substrato de silício tipo-p ( $N_A = 10^{15} \text{ cm}^{-3}$ ) coberto por 300 nm de  $\text{SiO}_2$  servindo de base para uma única camada de grafite esfoliado mecanicamente. O material então é recoberto com 20 nm de  $\text{SiO}_2$  e uma liga de titânio e ouro (Ti/Au) forma os contatos de porta, fonte e dreno. O comprimento do canal é reportado como 500 nm, sendo aceitável para uma primeira demonstração experimental.

As características I-V obtidas revelam que o dispositivo tem um comportamento ambipolar, com mobilidade estimada em  $\mu_e = 530 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  para elétrons e  $\mu_h = 710 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  para lacunas. A drástica redução da mobilidade quando comparado ao grafeno suspenso se dá pela interação do material com o  $\text{SiO}_2$ , mas os valores obtidos ainda superam o silício quando são considerados

filmes ultrafinos. Além disso, também é possível aumentar a mobilidade com a redução de defeitos nas superfícies do substrato e do óxido de porta.

Contudo, a despeito da alta mobilidade garantir um bom nível de corrente no estado ligado, o controle de porta é ineficaz, reduzindo a corrente em apenas dez vezes quando no estado desligado [125]. Isso ocorre porque o grafeno pode ser classificado como um semimetal [30], um intermediário entre metais e não-metais. Ou seja, olhando sua estrutura de bandas (Fig. 4.2-b), há uma pequena sobreposição entre as bandas de condução e de valência, de modo que sua banda proibida é nula.

Outra característica notável quando se observa a estrutura de bandas do grafeno é que sua relação de dispersão é linear, formando cones. As bandas de condução e valência se tocam no chamado ponto de Dirac [126] (Fig. 4.2-c). Conseqüentemente, a massa efetiva dos elétrons no grafeno também é nula. Isto implica que elétrons se propagando na rede cristalina precisam ser modelados com um tratamento relativístico pela equação de Dirac [127].

Conforme será discutido na próxima seção, uma banda proibida de pelo menos 0,5 eV é desejável para o material que constitui o canal de um transistor em aplicações de nanoeletrônica digital, uma vez que esta característica afeta diretamente a sua capacidade de atuar como uma chave lógica. Logo, a princípio, o grafeno não é adequado para este tipo de aplicação, sendo melhor aproveitado no âmbito dos amplificadores de radiofrequência [128]. Cabe destacar que várias técnicas têm sido desenvolvidas para obter uma banda proibida não-nula no grafeno e que este é um tópico de pesquisa ainda em aberto. Todavia, dadas estas peculiaridades e limitações, a modelagem de 2D-FETs baseados em grafeno está fora do escopo desta tese.

Assim como o carbono, os dois próximos elementos do grupo IV também possuem formas bidimensionais semimetálicas, sendo chamadas de siliceno e

germaneno. O siliceno foi sintetizado pela primeira vez em 2010 [129], [130] e o primeiro transistor foi demonstrado em 2015 [131]. Já o germaneno só foi sintetizado em 2014 [132] e não foram encontradas demonstrações experimentais de transistores. Assim como ocorre com o grafeno, ambos possuem banda proibida nula, de modo que também não serão considerados objetos de estudo nesta tese.

Há, contudo, uma técnica bastante conveniente para obter uma banda proibida não-nula nestes materiais, a chamada hidrogenação. De modo geral, X-anos é a nomenclatura utilizada quando os X-enos possuem uma ligação fora do plano com hidrogênio, conforme mostra a Fig. 4.3. No caso do carbono, tem-se o grafano [133], [134], com uma extensa banda proibida de aproximadamente 3,5 eV, valor similar ao do composto III-V nitreto de gálio (GaN), que possui 3,44 eV. De maior interesse para nanoeletrônica são o siliceno e o germaneno [135], com suas respectivas bandas proibidas de aproximadamente 2,2 eV e 1,5 eV. Em 2013, monocamadas de germaneno foram obtidas experimentalmente por exfoliação mecânica [136]. Por outro lado, não foram encontrados registros de experimentos com siliceno, o que pode indicar uma dificuldade em sintetizar este material.

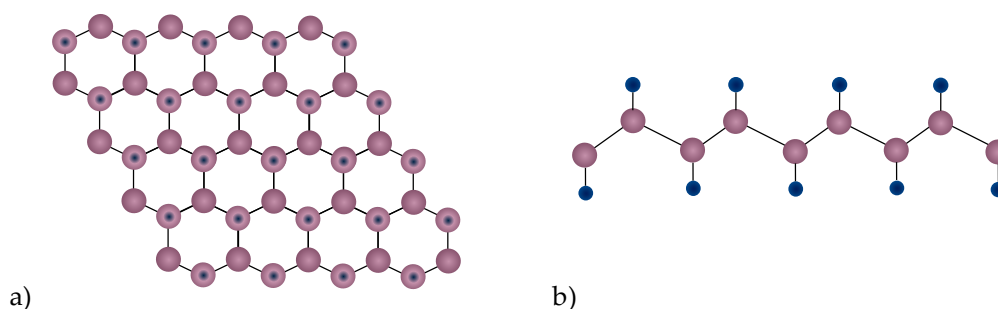


Figura 4.3 – Estrutura cristalina típica dos X-anos. a) vista superior. b) vista lateral.

Do grupo V da tabela periódica tem-se o fosforeno, a forma bidimensional do alótropo fósforo negro. Descoberto em 2014, ele se notabiliza por ser um X-eno semiconductor, tendo banda proibida inicialmente estimada em 1,88 eV quando isolado em apenas uma camada [39], [137].

O fosforeno possui uma estrutura parecida com a do grafeno, como pode ser observado na Fig. 4.4. Entretanto, cada metade dos átomos da estrutura hexagonal está em um plano distinto. Logo, a espessura de uma camada desse material é de 0,65 nm. Essa disposição também faz com que o fosforeno seja um semiconductor altamente anisotrópico, com diferentes massas efetivas para as direções cristalinas denominadas de *zig-zag* e *armchair*.

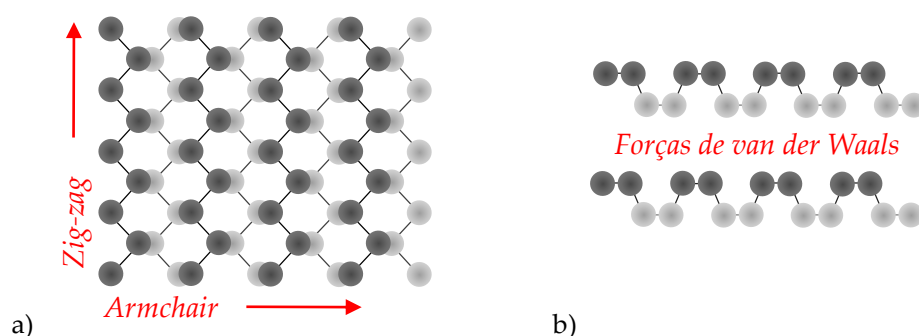


Figura 4.4 – Estrutura cristalina do fosforeno. a) vista superior realçando as direções da rede cristalina. b) vista lateral de duas camadas.

Um dos primeiros transistores feito com fosforeno apresentou mobilidade de  $286 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  para lacunas e uma capacidade de suprimir a corrente da ordem de  $10^4$  [138]. Assim como o grafeno, ele também é ambipolar, porém com características assimétricas, favorecendo a condução de corrente por lacunas. Esses atributos fazem do fosforeno um candidato promissor para o futuro da nanoeletrônica, especialmente considerando p-FETs.

Ainda no grupo V, tem-se também o antimônio, sintetizado em 2016 [139], e o arsenênio, sintetizado em 2019 [140]. Ambos possuem propriedades bastante parecidas com o fosforeno, tendo banda proibida de  $\sim 1,5 \text{ eV}$  e  $\sim 2 \text{ eV}$ , respectivamente. O desempenho de MOSFETs baseados em ambos foi avaliado numericamente em [141], indicando que esses materiais podem ser compatíveis com os requisitos dos nós tecnológicos mais avançados.

A pesquisa com a maioria destes materiais ainda é bastante recente e suas propriedades precisam ser melhor compreendidas para explorar seu potencial na

nanoeletrônica. Também há poucas referências com demonstrações experimentais ou numéricas para dispositivos com aplicabilidade em larga escala. Portanto, a validação dos modelos compactos no próximo capítulo se concentrará naqueles que possuem literatura melhor consolidada, como o fosforeno. Contudo, dadas as similaridades, os modelos podem ser facilmente estendidos a outros X-enos e X-anos que se mostrarem viáveis para construir 2D-FETs.

#### 4.1.2 – Dicalcogenetos de metais de transição

Dicalcogenetos de metais de transição (TMDs) são materiais lamelares compostos com estrutura do tipo  $MX_2$ , onde M é um átomo de metal de transição e X é um átomo de calcogeneto (enxofre, selênio ou telúrio). Estes materiais também podem ser isolados em monocamadas ou poucas camadas. No plano de uma camada, os átomos estão arranados em uma rede cristalina hexagonal, enquanto no plano transversal, eles estão dispostos como X-M-X. Dessa forma, a espessura de uma camada destes compostos é de 0,65 nm. A Fig. 4.5 ilustra a estrutura típica de um TMD com duas camadas.

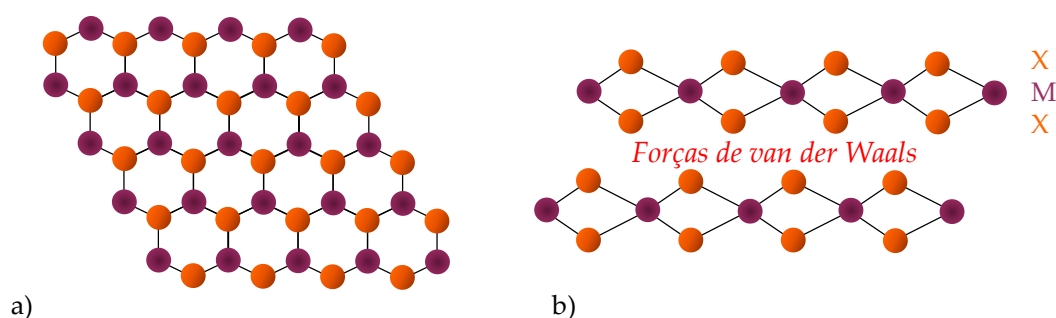


Figura 4.5 – Estrutura cristalina típica dos dicalcogenetos de metais de transição. a) vista superior. b) vista lateral de duas camadas, onde M é um átomo de metal de transição e X é um átomo de calcogeneto.

Em 2005, Novoselov *et al.* [142] também reportaram a obtenção das formas bidimensionais do dissulfeto de molibdênio ( $MoS_2$ ) e do disseleneto de nióbio ( $NbSe_2$ ), sendo o primeiro um semicondutor e o segundo um semimetal.

Entretanto, as mobilidades medidas foram muito baixas, entre 0,5 e 3  $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ , demonstrando que os experimentos à época estavam longe de explorar o potencial máximo desses materiais.

Em 2010, foi demonstrado experimentalmente que o  $\text{MoS}_2$  bidimensional é um semiconductor com banda proibida direta, ao contrário da sua forma *bulk* [143]. No mesmo ano, Radisavljevic *et al.* [144], da Escola Politécnica Federal de Lausanne (Suíça), produziram o primeiro transistor baseado em uma camada de  $\text{MoS}_2$ . Utilizando dióxido de háfnio ( $\text{HfO}_2$ ) como óxido de porta, eles foram capazes de obter uma mobilidade de elétrons de 200  $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ , maior que a do silício considerando filmes ultrafinos. Como o  $\text{MoS}_2$  monocamada possui uma banda proibida de 1,8 eV, a supressão de corrente alcança patamares de  $10^8$ . Além disso, o material favorece a condução de corrente por elétrons, sendo adequado para construção de n-FETs.

Em 2012, Hui Fang *et al.* [145], da Universidade da Califórnia em Berkeley (EUA), produziram o primeiro transistor baseado em uma camada de disseleneto de tungstênio ( $\text{WSe}_2$ ). Utilizando zircônia ( $\text{ZrO}_2$ ) como óxido de porta e dopagem na região dos contatos, eles obtiveram mobilidade de lacunas de 250  $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$  e supressão de corrente da ordem de  $10^6$ . Em contraste com o  $\text{MoS}_2$ , este material favorece a condução de corrente por lacunas, sendo adequado para a fabricação de p-FETs.

As publicações dos primeiros 2D-FET de  $\text{MoS}_2$  e de  $\text{WSe}_2$  reacenderam grande parte do interesse da indústria de nanoeletrônica pelos materiais bidimensionais, uma vez que agora estava revelado um caminho para continuar empregando a tecnologia CMOS, ainda que utilizando materiais diferentes para os transistores complementares. Não tardou para que diversos outros TMDs, especialmente disseleneto de molibdênio ( $\text{MoSe}_2$ ), ditelureto de molibdênio ( $\text{MoTe}_2$ ) e dissulfeto de tungstênio ( $\text{WS}_2$ ), também começassem a ser considerados para aplicações em transistores [146]–[148].



Embora pertencentes a uma família bastante ampla, as formas bidimensionais dos TMDs semicondutores apresentam características eletrônicas bastante similares e relativamente bem conhecidas quando comparados a outros materiais bidimensionais. Logo, nesta tese, as peculiaridades dos TMDs serão modeladas em conjunto, tomando como exemplo o  $\text{MoS}_2$ , e posteriormente validadas para os demais materiais compostos, conforme disponibilidade na literatura.

#### 4.1.3 – Calcogenetos de semimetais

Calcogenetos de semimetais (SMCs) são materiais lamelares semelhantes aos TMDs, porém com uma estrutura do tipo MX, onde M é um átomo de semimetal (gálio ou índio) em vez de um metal de transição e X é um átomo de calcogeneto (enxofre, selênio ou telúrio). No plano de uma camada, os átomos estão arranjados em uma rede cristalina hexagonal, enquanto no plano transversal, eles estão dispostos como X-M-M-X. Dessa forma, a espessura de uma camada destes compostos é de aproximadamente 0,8 nm. A Fig. 4.6 ilustra a estrutura típica de um SMC.

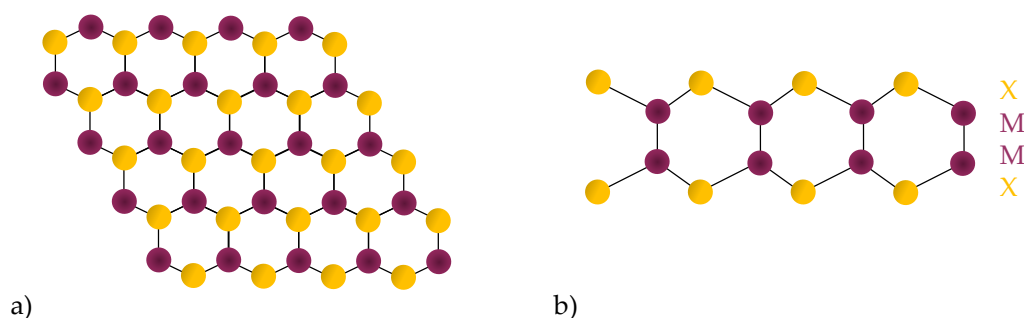


Figura 4.6 – Estrutura cristalina típica dos calcogenetos de semimetais. a) vista superior. b) vista lateral, onde M é um átomo de semimetal e X é um átomo de calcogeneto.

Transistores de sulfeto de gálio ( $\text{GaS}$ ) e seleneto de gálio ( $\text{GaSe}$ ) foram fabricados em 2012 [149], apresentando características tipo-n e tipo-p, respectivamente. As mobilidades reportadas são extremamente baixas ( $0,1$  e  $0,6 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ , respectivamente), mas podem apenas refletir a imaturidade do

processo de fabricação à época, assim como ocorreu com os primeiros transistores de MoS<sub>2</sub>. Já a capacidade de suprimir a corrente está entre 10<sup>4</sup> e 10<sup>5</sup>, sendo valores aceitáveis para aplicações em eletrônica digital.

O material que tem atraído maior interesse dentre os SMCs é o seleneto de índio (InSe) no formato de poucas camadas, uma vez que ele possui banda proibida da ordem de 1,5 eV e mobilidade da ordem de 10<sup>3</sup> cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> [150]. Recentemente, em 2023, foram reportados 2D-FETs feitos com três camadas de InSe que apresentam transporte balístico [37]. Os transistores são do tipo porta-dupla, com comprimento efetivo de canal de 10 e 20 nm, óxido de HfO<sub>2</sub> com 2,6 nm de espessura e contatos de Ti/Au.

As características destes dispositivos recentemente fabricados com InSe são comparáveis ou superam as de FinFETs comerciais (nó tecnológico de 10 nm) [37], revelando o enorme potencial deste material para o futuro da nanoeletrônica. Logo, eles também são objetos de modelagem nesta tese de doutorado.

## 4.2 – Propriedades de 2D-FETs

Os materiais bidimensionais naturalmente oferecem grandes vantagens para o desenvolvimento de nanotransistores, como a espessura em escala atômica e a ausência de ligações pendentes fora do plano. Entretanto, há uma série de requisitos que precisam ser discutidos para melhor definir suas aplicações. Dentre eles, estão algumas propriedades de material que são essenciais para o bom desempenho de transistores de alta performance no âmbito da eletrônica digital, especialmente aquelas relacionadas à capacidade de chaveamento ultrarrápido e o baixo consumo de energia.

Nesta seção, serão discutidas as principais características e requisitos dos materiais bidimensionais para o emprego de 2D-FETs. Uma excelente discussão acerca deste tópico foi apresentada por Frank Schwierz *et al.* [35] em 2015, mas

algumas atualizações se fazem necessárias, principalmente considerando a evolução da pesquisa desde então e as recomendações mais recentes do IRDS (*International Roadmap for Devices and Systems*) [18].

#### 4.2.1 – Espessura do canal

Conforme discutido no Cap. 1, a principal consequência da lei de Moore até 2005 foi a progressiva redução das dimensões dos transistores, notadamente o comprimento do canal. Embora o conceito de nó tecnológico já não guarde atualmente nenhuma relação direta com esta métrica, o comprimento do canal ainda é um dos principais parâmetros para o desenvolvimento de transistores de alta performance. Dessa forma, é importante quantificar a imunidade de um MOSFET aos efeitos de canal curto.

Uma definição importante neste sentido é o comprimento característico  $\lambda_L$ , que pode ser entendido como o comprimento efetivo no qual ocorre a maior parte da queda de potencial longitudinal no canal. Em consequência, se o comprimento nominal de porta for consideravelmente maior que este valor, o controle eletrostático do canal é exercido de forma majoritária pelo contato de porta, suprimindo os efeitos de canal curto.

Para um MOSFET convencional tipo SOI em que o isolante (óxido enterrado ou *buried oxide*, em inglês) é espesso o suficiente para desconsiderar o campo elétrico do substrato, esse comprimento característico é dado por [151]

$$\lambda = \sqrt{\frac{t_s t_{ox} \epsilon_s}{\epsilon_{ox}}}, \quad (4.1)$$

onde  $t_s$ ,  $t_{ox}$ ,  $\epsilon_s$  e  $\epsilon_{ox}$  são, respectivamente, as espessuras e permissividades dielétricas do semicondutor que forma o canal e do óxido de porta. Logo, para reduzir o tamanho desse transistor e manter sua robustez contra efeitos de canal curto, é necessário reduzir  $\lambda$ , manipulando esses parâmetros.

Uma solução imediata é diminuir a espessura do dióxido de silício. Entretanto, esta medida resulta em uma alta corrente de fuga devido ao tunelamento quântico à medida que a redução da espessura se torna mais acentuada. Alternativamente, a indústria de semicondutores há muito tem adotado óxidos de alta constante dielétrica ( $\kappa$ ), como o  $\text{HfO}_2$ , que possui permissividade elétrica 5 vezes maior que a do  $\text{SiO}_2$  [152].

Outra solução adotada pela indústria é a redução da espessura do canal, como é feito em transistores do tipo UTB (*Ultra-Thin Body*). Entretanto, a mobilidade é fortemente degradada quando o filme de silício é muito fino ( $< 3$  nm), principalmente porque o fluxo de corrente fica mais confinado à interface com o óxido, aumentando o espalhamento de portadores [153]. Em consequência, há um limitante físico para o escalamento de dispositivos baseados em silício, de modo que outros materiais mais finos que mantenham um transporte eficiente de portadores são necessários para a continuidade da lei de Moore.

Neste sentido, materiais bidimensionais com boa mobilidade são uma alternativa muito interessante porque as ligações covalentes entre os átomos de cada camada do material estão totalmente saturadas, de modo que não há ligações pendentes (em inglês, *dangling bonds*) na superfície do material. Logo, a interação do canal com o substrato e o óxido é bem menos relevante que no silício, o que contribui para sintetizar canais com  $t_s < 1$  nm. Ainda, ao contrário de heteroestruturas III-V, os materiais bidimensionais também não sofrem com o descasamento da rede cristalina.

A Tabela 1 exemplifica uma comparação entre os comprimentos característicos MOSFETs tipo SOI de silício e de  $\text{MoS}_2$  para quantificar o impacto da espessura do canal. Considerando como regra de escalamento  $L > 10\lambda$  para evitar efeitos de canal curto, pode-se concluir que um MOSFET de uma única camada de  $\text{MoS}_2$  poderia ter 4,67 nm de comprimento nominal de porta,

enquanto o mesmo dispositivo de silício com uma espessura extremamente fina precisaria ter no mínimo 26,72 nm.

Tabela 4.1 – Propriedades e comprimentos característicos de MOSFETs de Si e MoS<sub>2</sub>, considerando 3 nm de HfO<sub>2</sub> como óxido de porta.

| FET              | $t_s$ [nm] | $t_{ox}$ [nm] | $\epsilon_s$     | $\epsilon_{ox}$ | $\lambda$ [nm] |
|------------------|------------|---------------|------------------|-----------------|----------------|
| Si               | 5          | 3             | $11,9\epsilon_0$ | $25\epsilon_0$  | 2,672          |
| MoS <sub>2</sub> | 0,65       | 3             | $2,8\epsilon_0$  | $25\epsilon_0$  | 0,467          |

Para referência, o IRDS estabelece que os FinFETs do nó tecnológico de 3 nm devem ter comprimento nominal de porta entre 16 e 18 nm e espessura/largura da aleta (fin) de 5 nm [18]. Estes valores só são viáveis porque os dispositivos são do tipo FinFET, onde a estrutura multiporta auxilia na mitigação dos efeitos de canal curto, como foi demonstrado anteriormente para o JLNWFET. Portanto, para além das soluções associadas à geometria dos transistores, como a adoção do *gate-all-around*, a continuidade da lei de Moore pós-2028 passa necessariamente por substituir ou complementar o silício com materiais bidimensionais.

#### 4.2.2 – Banda proibida

Em circuitos lógicos digitais, os transistores atuam primariamente como chaves eletrônicas. Quando ligado, o canal do transistor deve apresentar baixa resistividade e alta corrente. Esta corrente é denominada de  $I_{ON}$  e correspondente à condição  $V_{gs} = V_{ds} = V_{dd}$ , sendo  $V_{dd}$  a tensão de alimentação. Quando desligado, a resistividade do canal deve ser alta, de modo a limitar a corrente a um pequeno valor denotado por  $I_{OFF}$ . Este valor é dado na condição  $V_{gs} = 0$  e  $V_{ds} = V_{dd}$ . Idealmente,  $I_{OFF}$  deveria ser zero e a razão ON-OFF deveria ser infinita. Na prática, uma razão ON-OFF entre  $10^4$  e  $10^7$  é requerida em nós avançados, a depender da aplicação [18].

Assumindo que no estado desligado o nível de Fermi se encontra próximo ao meio da banda proibida e que no estado ligado ele está próximo ao fundo da banda de condução (n-FET) ou ao topo da banda de valência (p-FET), a razão ON-OFF pode ser estimada como:

$$\frac{I_{ON}}{I_{OFF}} \propto \exp\left(\frac{\mathcal{E}_g}{2k_B T}\right), \quad (4.2)$$

onde  $\mathcal{E}_g$  é a energia de banda proibida. Nesta perspectiva, é necessário que o semicondutor tenha uma banda proibida de pelo menos 0,5 eV para ultrapassar o patamar de  $10^4$  na supressão da corrente quando no estado desligado.

A Tabela 2 mostra os principais semicondutores bidimensionais (monocamadas) abordados nesta tese e seus respectivos valores de banda proibida determinados a partir de cálculos *ab initio* utilizando a teoria do funcional da densidade (em inglês, *Density Functional Theory*, DFT) [121], [122]. Embora bastante utilizado, esse método reconhecidamente subestima o valor da banda proibida em semicondutores bidimensionais [35], logo a Tabela 2 pode ser tomada como o limite inferior para a estimativa da razão ON-OFF.

Tabela 4.2 – Banda proibida dos principais semicondutores bidimensionais.

| Material          | $\mathcal{E}_g$ [eV] |
|-------------------|----------------------|
| MoTe <sub>2</sub> | 1,37                 |
| Antimoneno        | 1,41                 |
| Germanano         | 1,49                 |
| Fosforeno         | 1,51                 |
| WSe <sub>2</sub>  | 1,73                 |
| MoSe <sub>2</sub> | 1,80                 |
| Arseneno          | 2,02                 |
| WS <sub>2</sub>   | 2,05                 |
| InSe              | 2,06                 |
| MoS <sub>2</sub>  | 2,09                 |
| GaSe              | 2,51                 |
| Silicano          | 2,86                 |
| GaS               | 3,20                 |

Ainda neste tópico, faz-se necessário advertir que os valores de razão ON-OFF reportados na literatura não seguem uma metodologia padrão e podem resultar em interpretações divergentes. Por exemplo, alguns dispositivos apresentados como prova de conceito das propriedades de semicondutores bidimensionais utilizam tensões de polarização na casa de dezenas de volts [138], [144], [145], enquanto transistores do nó de 3 nm são alimentados com  $V_{dd} = 0,7$  V [18]. Este problema e uma proposta de padronização para reportar e comparar novos 2D-FETs foram discutidos por Cheng *et al.* em publicação recente [154].

### 4.2.3 – Mobilidade e massa efetiva

Outra duas métricas importantes para o emprego de transistores como chaves lógicas são o tempo de chaveamento e o nível de corrente no estado ligado ( $I_{ON}$ ), que estão relacionados entre si e também com a mobilidade dos portadores no canal semicondutor.

A mobilidade  $\mu$  é uma medida que descreve a facilidade com que os portadores respondem ao campo elétrico aplicado, por meio do mecanismo de deriva no material. Quando um campo elétrico baixo age sobre um portador de carga, a sua velocidade de deriva é dada como

$$\vec{v} = \mu \vec{E}. \quad (4.3)$$

Considerando uma densidade  $n$  de elétrons, por exemplo, a densidade de corrente é dada como

$$\vec{j} = qn\mu_e \vec{E}, \quad (4.4)$$

onde  $\mu_e$  é a mobilidade para elétrons. Para lacunas, tem-se  $\mu_h$ . Dado que a corrente no estado ligado ocorre majoritariamente pelo mecanismo de deriva,  $I_{ON}$  é diretamente proporcional à mobilidade dos portadores. O tempo de chaveamento, por sua vez, está relacionado com uma métrica denominada atraso intrínseco, calculado por

$$\tau = \frac{C_{gg}V_{dd}}{I_{ON}}. \quad (4.5)$$

Para referência, o IRDS indica que os dispositivos de alta performance no nó tecnológico de 3 nm devem possuir  $I_{ON} = 874 \mu\text{A}/\mu\text{m}$  e  $\tau = 1,06 \text{ ps}$ . Já a mobilidade efetiva de portadores deve ser  $\mu = 125 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  [18].

No caso de FETs, os principais mecanismos de espalhamento que afetam a mobilidade dos portadores estão associados a rugosidade de superfície, impurezas ionizadas e espalhamento por fônons. Como os materiais bidimensionais não possuem ligações pendentes em sua superfície, eles oferecem uma enorme vantagem devido à sua baixa rugosidade de superfície. O espalhamento por impurezas ionizadas vai depender da qualidade do material, da rugosidade do substrato, e do nível de dopagem intencional, se houver. Por fim, o espalhamento por fônons nesses materiais tem sido bastante discutido [155], demonstrando as limitações de mobilidade nos materiais bidimensionais.

A Tabela 3 mostra os principais semicondutores bidimensionais (monocamadas) abordados nesta tese e seus respectivos valores de mobilidade intrínseca para elétrons e lacunas, quando aplicável. Os dados são calculados por métodos *ab initio* propostos pelo grupo de pesquisa liderado por Yuanyue Liu da Universidade do Texas em Austin (EUA) [156]. Em semicondutores bastante anisotrópicos, como o fosforeno, a mobilidade depende da orientação da rede cristalina, e os dados são fornecidos para as duas direções ortogonais. Para alguns materiais, os dados ainda não estavam disponíveis no momento da escrita desta tese.

Com a redução das dimensões do canal, a mobilidade tenderá a exercer menor influência sobre os níveis de corrente em nós tecnológicos posteriores, uma vez que  $I_{ON}$  passa a ser limitada pelos efeitos de saturação de velocidade e o mecanismo de transporte gradualmente migra de difusão-deriva para balístico.



Tabela 4.3 – Mobilidade e massa efetiva dos principais semicondutores bidimensionais.

| Material                | $m_e^*/m_0$ | $\mu_e$ [cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup> ] | $m_h^*/m_0$ | $\mu_h$ [cm <sup>2</sup> V <sup>-1</sup> s <sup>-1</sup> ] |
|-------------------------|-------------|--|-------------|--|
| <b>Fosforeno</b>        | 0,14        | 248,30   | 8,28        | 23,64  |
|                         | 1,24        | 32,98  | 0,13        | 480,30   |
| <b>Germanano</b>        | 0,05        | 2.791,00   | 0,09        | 995,10   |
| <b>MoTe<sub>2</sub></b> | 0,47        | -  | 0,59        | 81,30  |
| <b>Antimoneno</b>       | 0,13        | 49,34  | 0,10        | 2.044,00   |
|                         | 0,49        | -  |             |  |
| <b>WSe<sub>2</sub></b>  | 0,45        | -  | 0,35        | 578,00   |
| <b>MoSe<sub>2</sub></b> | 0,49        | -  | 0,58        | 146,90   |
| <b>InSe</b>             | 0,18        | -  | 7,36        | -  |
|                         |             |  | 2,46        | -  |
| <b>Arseneno</b>         | 0,15        | 55,70  | 0,13        | 1.216,00   |
|                         | 0,50        | -  |             |  |
| <b>WS<sub>2</sub></b>   | 0,47        | 196,60   | 0,34        | 919,00   |
| <b>MoS<sub>2</sub></b>  | 0,43        | 135,50   | 0,53        | 68,90  |
| <b>GaSe</b>             | 0,15        | 198,70   | 4,45        | -  |
|                         |             |  | 1,86        | -  |
| <b>Silicano</b>         | 0,12        | -  | 0,2         | -  |
|                         | 3,49        | -  |             |  |
| <b>GaS</b>              | 0,21        | -  | 7,37        | -  |
|                         |             |  | 1,92        | -  |

No caso do transporte totalmente balístico, a corrente vai ser proporcional ao inverso da massa efetiva do semicondutor. Porém, como discutido na ref. [35], uma massa efetiva muito baixa acaba também por degradar a transcondutância  $g_m$ . Isso ocorre porque um valor baixo de massa efetiva está associado a uma baixa densidade de estados e, por consequência, requer uma maior variação da tensão de porta para provocar uma mesma indução nas cargas do canal. Este efeito é chamado de gargalo da densidade de estados.

Além disso, uma massa efetiva muito baixa também eleva a probabilidade de ocorrer tunelamento quântico dos portadores entre fonte e dreno, especialmente quando o canal for extremamente curto. Isto resulta em degradação da inclinação de sublimiar e aumento da corrente de fuga, prejudicando a eficiência energética do circuito integrado. Portanto, idealmente, é preciso encontrar semicondutores com uma boa relação de mobilidade e massa

efetiva. Na ref. [35], Schwierz *et al.* sugerem  $m^* \geq 0,5m_0$  para 2D-FETs com comprimento de canal menor que 5 nm, levando em conta aplicações em circuitos lógicos de alta performance. A Tabela 3 também fornece os valores de massa efetiva dos semicondutores selecionados.

Além da mobilidade, é necessário considerar o efeito de saturação da velocidade dos portadores. Ele ocorre quando o campo elétrico longitudinal aplicado ultrapassa um valor crítico e os portadores passam a se mover com uma velocidade que não é mais linearmente proporcional ao campo elétrico, de modo que a eq. 4.4 não é mais válida. Em outras palavras, o valor da mobilidade passa a ser dependente do campo elétrico. Este efeito é de especial preocupação em canais curtos, onde o campo elétrico longitudinal máximo,  $E_{max} = V_{dd}/L$ , atinge mais facilmente este valor crítico, que depende das propriedades do material.

Em alguns materiais, como no GaAs (*bulk*), a velocidade dos elétrons cresce até um valor de pico, decai levemente e se estabiliza no valor de saturação. Em outros, como no silício, a saturação ocorre de forma gradual. Evidentemente, uma alta velocidade de saturação — e de pico, se for o caso — é desejável para que se tenha um perfil de corrente adequado. Logo, esta também é uma característica importante para avaliar a substituição do silício por materiais bidimensionais, embora seja menos investigada na literatura.

Por fim, assim como no caso da razão ON-OFF, é necessário ter cautela com os valores de mobilidade reportados para 2D-FETs na literatura. Como será discutido a seguir, a formação dos contatos desempenha um papel importante na resistência total dos dispositivos e, portanto, pode obscurecer a performance intrínseca do canal quando a mobilidade é inferida a partir das características I-V [154]. Ademais, os valores experimentais também podem simplesmente refletir a imaturidade do processo de fabricação e caracterização destes novos transistores, subestimando o potencial dos materiais bidimensionais.

#### 4.2.4 – Dopagem e resistência de contato

Um dos processos mais importantes na fabricação de dispositivos semicondutores é a dopagem, na qual impurezas são introduzidas intencionalmente no material semicondutor para controlar sua condutividade eletrônica. Em MOSFETs convencionais, a dopagem tem três funções principais: i) permitir a modulação da condutividade do canal pelo contato de porta através da acumulação, depleção e/ou inversão de portadores; ii) introduzir junções entre fonte, canal e dreno, de modo que o fluxo e a polaridade da corrente possa ser controlado; iii) obter contatos de comportamento ôhmico e de baixa resistência entre o material semicondutor e as interconexões metálicas.

Como foi brevemente apresentado no Cap. 2, alguns MOSFETs podem ser construídos sem junções, como ocorre JL-FETs, ou sem dopagem no canal, como pode ser feito nos FETs de acumulação, em face de suas características operacionais. No entanto, independente dos princípios de funcionamento, qualquer transistor precisa atender certos requisitos mínimos para utilização em circuitos lógicos de alta performance.

De forma geral, a indústria de semicondutores impõe limitações cada vez mais restritivas para os nós tecnológicos avançados, com valores muito baixos de tensão de alimentação, tensão de limiar e resistência de acesso. Em um MOSFET convencional tipo-n, por exemplo, a corrente de dreno no regime linear pode ser expressa como

$$I_{ds} = \frac{\mu_n W C_{ox}}{L} [(V_{gs} - V_t) V_{ds}], \quad (4.6)$$

onde  $W$  é a largura do canal. Entretanto, antes de trafegarem no canal, os portadores injetados no dispositivo atravessam a interface metal-semicondutor, caracterizada por uma resistência de contato  $R_c$ . O mesmo ocorre na interface semicondutor-metal na outra extremidade. Na presença desta resistência, apenas uma porção da tensão  $V_{ds}$  é efetivamente aplicada ao canal, de modo que

$$I_{ds} = \frac{\mu_n W C_{ox}}{L} [(V_{gs} - V_t)(V_{ds} - 2I_{ds}R_c)], \quad (4.7)$$

onde  $2R_c$  leva em conta as resistências parasitas na fonte e no dreno, assumindo que são idênticas. Logo, para não deteriorar o desempenho do transistor,  $R_c$  deve ser a menor possível. Tomando como referência o nó tecnológico de 3 nm, o IRDS sugere que resistência de acesso total normalizada pelo inverso da largura  $W$  do canal deve ser menor que  $271 \text{ } \Omega\text{-}\mu\text{m}$ . Já a tensão de limiar é definida como 0,156 V ou 0,288 V, a depender da aplicação, enquanto a tensão de alimentação é definida como 0,7 V [18], sendo este o valor máximo de polarização dos transistores.

Portanto, para que os 2D-FETs sejam candidatos viáveis no âmbito da eletrônica de alta performance, é necessário dominar as técnicas de dopagem do semicondutor e encontrar formas de reduzir a resistência de contato. Estas, porém, são tarefas árduas no caso dos materiais bidimensionais, devido à sua espessura em escala atômica e o arranjo em camadas unidas por forças de van der Waals.

Schulman *et al.* [157] fazem uma abrangente discussão sobre vários aspectos relacionados aos contatos com materiais bidimensionais e as técnicas que tem sido desenvolvidas para reduzir a resistência de contato. Em suma, um progresso notável tem ocorrido nesta questão, embora ainda não esteja claro como e quais soluções serão capazes de integrar um processo de produção em massa com a confiabilidade e reprodutibilidade requerida pela indústria de semicondutores.

Cabe ressaltar, entretanto, que a maior parte dos 2D-FETs apresentados na literatura tem como objetivo principal demonstrar as qualidades elétricas dos materiais bidimensionais. Logo, eles são construídos com um caráter bastante artesanal. Um substrato de silício dopado contendo uma camada de sílica crescida termicamente é empregado como suporte para um floco muito fino de material semicondutor obtido por esfoliação mecânica. Em seguida, contatos de

metal são fixados diretamente sobre este floco, para servir de fonte e dreno. O silício dopado do substrato é então polarizado, servindo de contato de porta. A Fig. 4.7 ilustra um exemplo deste arranjo.

Esses dispositivos são chamados na literatura de *back-gate* FETs ou *Schottky-Barrier* FETs (SB-FETs) [158], [159]. É importante enfatizar que, neste caso, o termo *back-gate* não faz referência unicamente ao fato de o contato de porta estar localizado na parte inferior de dispositivo. A principal diferença destes transistores para os MOSFETs convencionais é que esta porta inferior também se estende sob as interfaces fonte-canal e dreno-canal, que formam barreiras de Schottky. A influência da porta sobre estas barreiras modula suas alturas e também o alinhamento dos níveis de Fermi entre os metais dos contatos e o semiconductor. Desta forma, é possível controlar a capacidade de injetar portadores (elétrons ou lacunas) no canal através do contato de porta, o que resulta em características ambipolares de corrente-tensão.

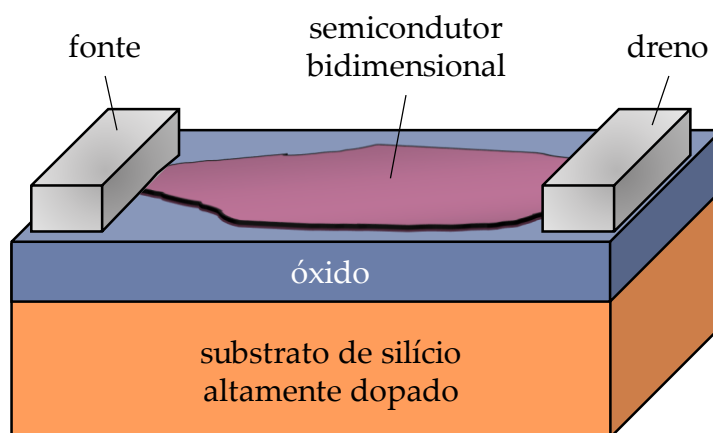


Figura 4.7 – Representação do arranjo experimental comumente utilizado para estudar as características eletrônicas de materiais bidimensionais.

Em casos específicos, a depender do material bidimensional e da combinação metal-semicondutor nos contatos, é possível obter características unipolares. Ou seja, a despeito da construção do dispositivo permitir a condução

por elétrons ou lacunas, uma vez que não há junções p-n, ela se dá de forma intrinsecamente preferencial em decorrência das propriedades dos materiais. Exemplos já comentados são os transistores de MoS<sub>2</sub>, que tendem a ser tipo-n [144], e de WSe<sub>2</sub>, que tende a ser tipo-p [145].

De forma geral, aplicações em nanoeletrônica digital requerem transistores unipolares para operar na lógica CMOS, de modo que a ambipolaridade não é uma característica desejável. Além disso, considerando os princípios de funcionamento singulares dos SB-FETs, a larga espessura do óxido utilizado e o fato de o canal não ser dopado, muitas vezes é necessária uma tensão de polarização muito alta no contato de porta inferior, ultrapassando uma centena de volts em alguns casos, para que o dispositivo atinja o estado ligado [160]. Essa característica obviamente também é incompatível com circuitos de nanoeletrônica digital.

Em conclusão, os SB-FETs dificilmente encontrarão aplicação no segmento More Moore estabelecido pelo IRDS, especialmente considerando a prevalência da tecnologia CMOS. Ainda que eles se sobressaíam na literatura acerca de materiais bidimensionais por questões de praticidade, o avanço das técnicas de dopagem para estes materiais deve direcionar o desenvolvimento de 2D-FETs para caminhos já trilhados pelo silício.

Assim sendo, nesta tese serão modelados principalmente os 2D-FETs com estrutura similar aos MOSFETs convencionais. Ou seja, transistores unipolares do tipo *top-gate* nos quais os mecanismos de transporte de portadores no canal exercem maior influência sobre as características I-V do que os mecanismos de injeção de portadores nos contatos. As não-idealidades dos contatos serão discutidas e incluídas nos modelos conforme necessário, mas sem a ênfase ora requerida para uma modelagem dedicada aos SB-FETs [159].

### **4.3 – Considerações para a modelagem compacta de 2D-FETs**

Os mecanismos de funcionamento dos transistores são intensamente influenciados pelas características físicas dos semicondutores. Por conseguinte, é necessário entender algumas peculiaridades dos materiais bidimensionais antes de avançar com a modelagem compacta de 2D-FETs. Em sua maioria, estas propriedades podem ser obtidas da análise da estrutura de bandas, que por sua vez pode ser extraída diretamente de métodos *ab initio*. Na ref. [161], Marin *et al.* revisam algumas destas técnicas aplicadas ao estudo de 2D-FETs.

É importante destacar que estas propriedades de materiais geralmente são tabeladas e tomadas como dados de entrada para um modelo compacto, de modo que a obtenção destes parâmetros está fora do escopo da modelagem compacta. Entretanto, dado que os semicondutores bidimensionais ainda têm suas propriedades relativamente pouco conhecidas e que, em alguns casos, elas são bastante diversas de materiais como silício e compostos III-V, é importante conhecê-las para tomar boas decisões em relação ao tratamento analítico a ser adotado.

Nesta seção, serão discutidas algumas propriedades dos materiais bidimensionais que precisam ser consideradas na formulação dos modelos compactos para 2D-FETs. O objetivo é explicar e justificar as escolhas e direcionamentos feitos no próximo capítulo, assim como orientar trabalhos futuros visando a extensão e melhoria dos modelos desenvolvidos nesta tese.

#### **4.3.1 – Relação entre a banda proibida e a espessura do material**

Em cristais semicondutores tridimensionais, a estrutura de banda é caracterizada por uma banda proibida que separa as bandas de valência e de condução, sendo ambas distribuições contínuas de energia. Logo, a banda proibida é medida do topo da banda de valência até o fundo da banda de condução. À medida que a espessura do material é reduzida, os portadores são

gradativamente restritos a um plano bidimensional e, por consequência do confinamento quântico ao longo da direção fora deste plano, as bandas de energia se dividem em sub-bandas discretas. Portanto, a extensão da banda proibida agora passa a ser medida como a diferença entre as respectivas primeiras sub-bandas da banda de valência e de condução.

Assumindo que o material está contido no plano  $xy$ , o efeito de confinamento pode ser entendido fazendo uma analogia com um poço quântico com barreiras de potencial infinitas ao longo da direção  $z$ . As autoenergias do estado  $n$  deste poço considerando uma largura  $t_s$  são dadas por

$$\varepsilon_n = n^2 \frac{\hbar^2}{2m^*} \left(\frac{\pi}{t_s}\right)^2, \quad n = 1, 2, 3 \dots \quad (4.8)$$

Observando esta expressão, quanto menor a largura do poço, maior a energia da primeira sub-banda em relação ao fundo do poço quântico. De forma similar, quanto menor a espessura  $t_s$  do material, maior o afastamento das primeiras sub-bandas de valência e condução e, conseqüentemente, maior a banda proibida.

Logo, a banda proibida dos materiais bidimensionais depende da espessura do material e aumenta conforme se reduz o número de camadas. O fósforo negro *bulk*, por exemplo, tem banda proibida de apenas 0,3 eV enquanto o fosforeno monocamada chega a 1,88 eV, a depender do método de cálculo aplicado [39], [137]. Um estudo experimental utilizando radiação infravermelha obteve banda proibida de ~0,4 eV para 15 camadas e ~1,2 eV para 2 camadas [162].

Além da banda proibida sintonizável pela espessura, outras propriedades do material são alteradas em consequência do confinamento quântico. No caso do MoS<sub>2</sub> *bulk*, por exemplo, a banda proibida de 1,29 eV é indireta enquanto a forma monocamada tem banda proibida direta de até 1,9 eV, a depender do método aplicado [163].



Ainda que os princípios físicos sejam universais, é importante ressaltar que o confinamento quântico dos portadores nos materiais bidimensionais é decorrência direta da disposição destes em uma ou poucas camadas estáveis. Portanto, a modelagem compacta de 2D-FETs se diferencia em alguns aspectos da empregada para um gás de elétrons bidimensional (2DEG, *two-dimensional electron gas*) em heteroestruturas periódicas, como é o caso do canal do HEMT.

Nestes dispositivos, os portadores são forçados ao confinamento em um plano estreito dentro do material *bulk* por consequência da descontinuidade do diagrama de bandas na interface entre os semicondutores da heteroestrutura. Logo, o desenvolvimento do modelo compacto passa por determinar os níveis de energia das sub-bandas formadas na região de confinamento [164]. No caso da modelagem de 2D-FETs nesta tese, as propriedades dos materiais bidimensionais são obtidas diretamente dos cálculos *ab initio* disponíveis na literatura.

#### 4.3.2 – Influência de múltiplos vales da banda de condução

As formas monocamadas dos principais TMDs semicondutores (MoS<sub>2</sub>, MoSe<sub>2</sub>, MoTe<sub>2</sub>, WS<sub>2</sub> e WSe<sub>2</sub>) possuem banda proibida direta no ponto K da primeira zona de Brillouin. Entretanto, eles apresentam um segundo vale na banda de condução, o qual tipicamente exibe uma diferença de energia  $\delta\mathcal{E}_c$  comparável a  $k_B T$  em relação ao vale principal. Este segundo vale está localizado no ponto Q, no intermédio aos pontos K e  $\Gamma$ , e cálculos computacionais apontam que ele contribui significativamente para corrente total de 2D-FETs baseados em TMDs [165]. A Fig. 4.8 mostra a estrutura de bandas das monocamadas de MoS<sub>2</sub> e WSe<sub>2</sub>, destacando a diferença de energia  $\delta\mathcal{E}_c$ .

A contribuição destes vales é levada em conta principalmente no cálculo da densidade de estados. Assumindo uma relação de dispersão parabólica, a densidade de estados é dada por [166]

$$g_{2D}(\mathcal{E}) = \sum_{\ell} \left( \frac{g_s g_{\ell} m_{\ell}^*}{2\pi\hbar^2} \right) \quad \ell = 1, 2, \dots, \quad (4.9)$$

onde  $g_s = 2$  é o fator de degenerescência devido ao spin,  $g_{\ell}$  e  $m_{\ell}^*$  são, respectivamente, o fator de degenerescência e a massa efetiva correspondente ao  $\ell$ -ésimo vale considerado. Dada a estrutura da rede cristalina dos TMDs, tem-se  $g_K = 2$  e  $g_Q = 6$ , o que também aumenta a contribuição do vale secundário para a composição da corrente.

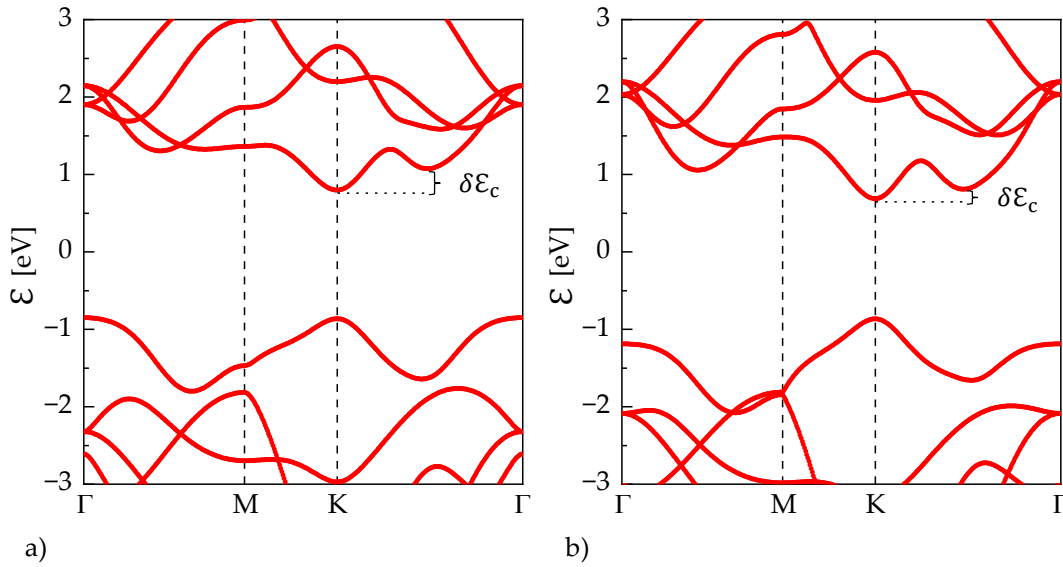


Figura 4.8 – Estruturas de bandas de TMDs monocamadas calculadas a partir de métodos *ab initio* [121], [122]. a) MoS<sub>2</sub>. b) WSe<sub>2</sub>.

### 4.3.3 – Anisotropia da estrutura de bandas

Alguns materiais bidimensionais, como fosforeno, arseneno e silicano, apresentam uma estrutura de bandas bastante anisotrópica. Como pode ser observado na Fig. 4.9-a, o fosforeno apresenta uma banda proibida direta no ponto  $\Gamma$  da primeira zona de Brillouin. Entretanto, a inclinação do topo da banda de valência e do fundo da banda de condução de  $\Gamma$  para X e de  $\Gamma$  para Y é bastante distinta.

Esta característica implica em valores diferentes de massa efetiva de acordo com a direção da rede cristalina, como foi listado na Tabela 3. De forma arbitrária, pode-se associar o eixo  $x$  à direção *armchair* da rede cristalina, que possui menor

massa efetiva. O eixo  $y$ , portanto, corresponde à direção *zig-zag*. A Fig. 4.9-b exemplifica esta convenção.

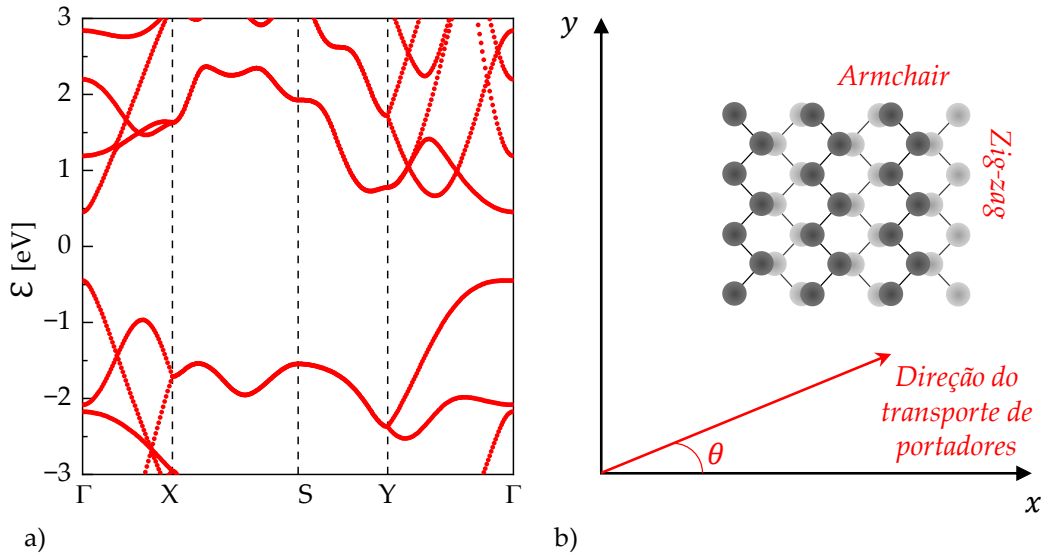


Figura 4.9 – Análise da anisotropia do fosforeno. a) Estrutura de bandas do fosforeno monocamada calculada a partir de métodos *ab initio* [121], [122]. b) Convenção da orientação cristalina e da direção de transporte de portadores.

No cálculo da densidade de estados, o valor de  $m^*$  utilizado na eq. 4.9 corresponde à média geométrica das massas efetivas, ou seja

$$m_{DOS}^* = \sqrt{m_{\Gamma-Y}^* m_{\Gamma-X}^*}. \quad (4.10)$$

Por outro lado, o valor de  $m^*$  utilizado para o cálculo do transporte de portadores leva em conta a orientação do cristal semiconductor entre fonte e dreno. Assumindo um alinhamento que forma um ângulo  $\theta$  com a direção  $x$  (*armchair*) da rede cristalina do fosforeno, tem-se [167]

$$\frac{1}{m_t^*} = \frac{\sin^2 \theta}{m_{\Gamma-Y}^*} + \frac{\cos^2 \theta}{m_{\Gamma-X}^*}. \quad (4.11)$$

A anisotropia da estrutura de bandas possibilita obter simultaneamente valores satisfatórios de densidade de estados e mobilidade de portadores. Como discutido na Seção 4.2, uma alta densidade de estados é desejável para evitar a degradação da transcondutância  $g_m$ , de modo que  $m^*$  não pode ser muito pequeno. Por outro lado, quanto menor  $m^*$ , maior a mobilidade dos portadores que trafegam no canal. Tomando a banda de condução do fosforeno como

exemplo e assumindo que o canal está alinhado com  $\theta = 0^\circ$ , tem-se  $m_{D0S}^* = 0,42m_0$  e  $m_t^* = 0,14m_0$ . Logo, a anisotropia provê uma grande vantagem a estes semicondutores para aplicações em eletrônica digital.

#### 4.3.4 – Não-parabolicidade da relação de dispersão

A expressão para a densidade de estados, eq. 4.9, assume uma relação de dispersão parabólica, ou seja,

$$\varepsilon(\vec{k}) = \frac{\hbar^2 |\vec{k}|^2}{2m^*}, \quad (4.12)$$

onde  $\vec{k}$  é o vetor de onda associado à rede recíproca. Em geral, os materiais semicondutores apresentam uma relação de dispersão bastante próxima ao formato parabólico no topo da banda de valência e no fundo da banda de condução. Logo, desde que o a concentração de portadores possa ser desprezada fora destes limites, a aproximação da eq. 4.12 é adequada.

A maioria dos materiais bidimensionais listados na Tabela 3 possuem massas efetivas relativamente altas quando comparadas ao GaAs (*bulk*), por exemplo ( $m_e^* = 0,067m_0$ ). Isto faz com que a densidade de estados seja razoável no fundo da banda de condução, dificultando a penetração do nível de Fermi. Além disso, dificilmente o nível de dopagem no canal dos 2D-FETs vai levar o semicondutor à condição degenerada, de modo que se pode assumir  $\mathcal{E}_c - \mathcal{E}_F \gg k_B T$ .

Para materiais onde a massa efetiva é muito pequena, como é o caso do germanano, esta condição pode ser infringida mais facilmente. A baixa densidade de estados em conjunto com uma alta dopagem e/ou alta tensão de polarização pode levar o nível de Fermi adentrar profundamente a banda de condução ou de valência, onde a relação de dispersão parabólica deixa de ser completamente adequada. Neste sentido, alguns modelos considerando correções não-parabólicas de primeira e segunda ordem foram propostas para

determinar a estrutura de bandas, a mobilidade e a densidade de estados, tomando como referência o fosforeno [168], [169].

Outros materiais que merecem destaque nesse âmbito são os SMCs. Conforme exemplifica a Fig. 4.10 para o caso do InSe monocamada, o formato da banda de valência nestes semicondutores é peculiar, diferindo bastante do comportamento parabólico em seu topo. Como o InSe é um material que se mostrou bastante promissor recentemente para aplicação em 2D-FETs balísticos [37], carece um estudo mais aprofundado de suas propriedades, especialmente para a modelagem de p-FETs.

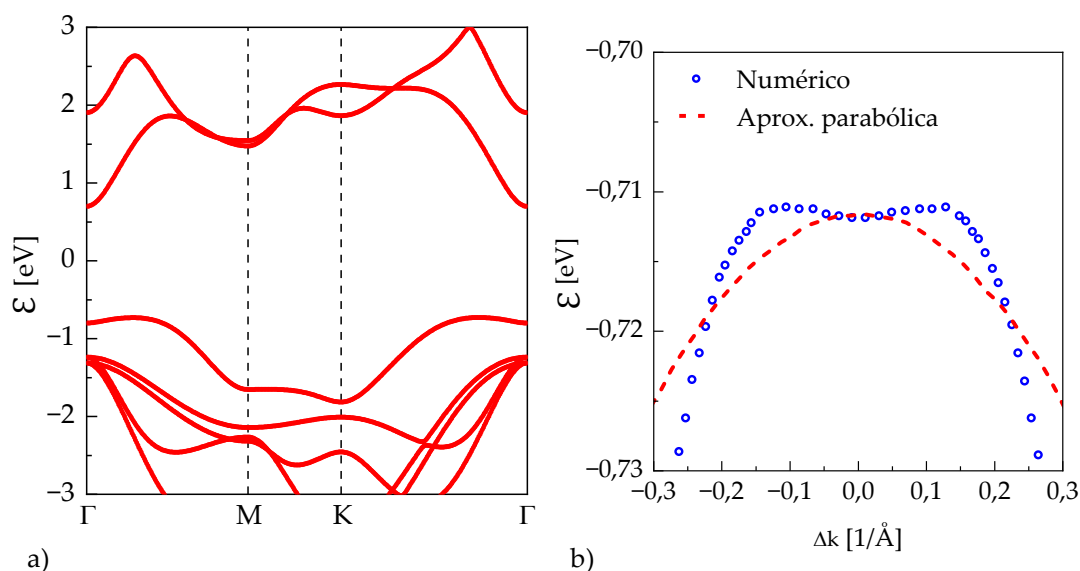


Figura 4.10 – Análise da não-parabolicidade da relação da dispersão do InSe. a) Estrutura de bandas do InSe monocamada calculada a partir de métodos *ab initio* [121], [122]. b) Comparação entre o topo da banda de valência calculado numericamente e aproximado por uma parábola.

Para esta tese, os modelos compactos desenvolvidos levarão em conta a aproximação parabólica e serão limitados à validação com n-FETs, uma vez que o tratamento analítico da banda de condução em geral é mais simples. Posteriormente, o modelo pode ser estendido para p-FETs incluindo uma modelagem específica para a não-parabolicidade da relação de dispersão, quando necessário.

#### 4.4 – Estado-da-arte e perspectivas futuras

Embora a variedade e as virtudes dos semicondutores bidimensionais tenham aberto um novo horizonte para a nanoeletrônica digital, o silício ainda detém uma ampla vantagem devido à maturidade dos processos de fabricação. O potencial para produzir nanotransistores de alta performance em larga escala só será totalmente explorado com o domínio de técnicas confiáveis e economicamente viáveis para sintetizar e manipular as propriedades físicas destes materiais. Neste âmbito, dentre os diversos processos de fabricação, há quatro etapas que se destacam como fundamentais: i) síntese do material semiconductor bidimensional; ii) dopagem; iii) deposição dos contatos; e iii) deposição do óxido de porta.

Após o processamento do substrato, é necessário depositar uma lâmina de semiconductor monocristalino com espessura em escala atômica. Além do controle preciso da espessura, a área desta lâmina precisa ser compatível com a atual escala de pastilhas (em inglês, *wafers*) comerciais, que tipicamente possuem 300 mm de diâmetro. O material depositado precisa ser praticamente livre de defeitos, impurezas e rugosidade para garantir as métricas de qualidade e reprodutibilidade. O processo de deposição precisa atender ao orçamento de temperatura e, por fim, a técnica precisa apresentar escalabilidade e alto rendimento com custo-benefício compatível às aplicações de circuitos integrados.

As duas técnicas mais comuns utilizadas em laboratório para investigar materiais bidimensionais e demonstrar 2D-FETs são exfoliação mecânica e exfoliação química em fase líquida. Ambas se destacam pela simplicidade e baixo custo, rendendo flocos com qualidade cristalina aceitável. Entretanto, elas são evidentemente incompatíveis com o processo de fabricação de circuitos integrados em larga escala.

Dentre as técnicas de deposição de materiais mais promissoras para a produção de 2D-FETs estão a deposição química em fase de vapor (*Chemical Vapor Deposition*, CVD), a epitaxia por feixe molecular (*Molecular-Beam Epitaxy*, MBE) e a deposição de camadas atômicas (*Atomic Layer Deposition*, ALD), sendo que a primeira é a que mais se aproxima de atender os requisitos mencionados anteriormente. A ref. [170] apresenta uma boa revisão crítica e comparativa destas e outras técnicas.

Uma solução possível para as limitações de temperatura do processo CVD é depositar o material semiconductor em um substrato de sacrifício e posteriormente transferir para o substrato-alvo. Alguns métodos foram apresentados para realizar este procedimento, com resultados notáveis [171]. Entretanto, a transferência pode facilmente ocasionar defeitos nas lâminas extremamente finas, de modo que é improvável sua adoção em larga escala.

Após a deposição, é necessário realizar a dopagem controlada do semiconductor, especialmente na região dos contatos de fonte e dreno, sem comprometer a delicada estrutura cristalina. A técnica de implantação iônica comumente utilizada em processos avançados é inadequada neste sentido, uma vez que a estrutura ultrafina dos materiais bidimensionais é facilmente danificada. Logo, processos alternativos são necessários, como exposto no artigo de revisão ref. [172].

A técnica mais promitente para TMDs é a dopagem por substituição (em inglês, *substitutional doping*). Ela consiste em substituir um ânion (dicalcogeneto) ou um cátion (metal de transição) do material bidimensional por outro átomo de dimensões similares que atua como aceitador ou doador. Em geral, esse processo é feito em conjunto com a deposição do semiconductor utilizando CVD ou MBE.

Tomando como exemplo o MoS<sub>2</sub>, é possível substituir alguns átomos de molibdênio por nióbio para obter dopagem tipo-p. Da mesma forma, a troca por

rênio resulta na dopagem tipo-n. Como os átomos possuem dimensões similares e fazem o mesmo tipo de ligação, a rede cristalina não é perturbada significativamente. A versatilidade desta técnica permite obter n-FETs e p-FETs com características aproximadamente simétricas, o que é essencial para a tecnologia CMOS.

Outra técnica que tem recebido destaque é dopagem por transferência de cargas na superfície (*Surface Charge Transfer Doping, SCTD*). Ela é baseada na interação elétrica do material semiconductor com o meio adjacente, que pode ser o próprio substrato, os contatos, o óxido de porta ou alguma camada específica para a dopagem. Nesta técnica, os dopantes ficam fora do caminho de propagação dos portadores, minimizando a ocorrência de espalhamento e melhorando a mobilidade do material semiconductor.

A diferença entre os níveis de Fermi do material que fornece o dopante e do material bidimensional determina a direção de transferência de carga e se o dopante age como aceitador ou doador. Conseqüentemente, o controle do nível de dopagem depende de uma combinação de fatores como função trabalho, afinidade eletrônica e concentração de átomos dopantes. Por exemplo, o primeiro transistor de WSe<sub>2</sub> foi fabricado com dopagem de fonte e dreno utilizando uma fina camada de dióxido de nitrogênio (NO<sub>2</sub>) [145].

Dando continuidade ao processo de fabricação, é necessário obter contatos ôhmicos de baixa resistividade. O principal desafio neste caso é reduzir ou eliminar a barreira tipo Schottky que se forma na interface entre o semiconductor bidimensional e o metal tridimensional. Algumas técnicas têm sido desenvolvidas com esta finalidade, conforme demonstra o artigo de revisão ref. [157].

A solução mais simples para esta questão é fazer combinações entre metal e semiconductor que reduzam a altura da barreira de Schottky. Por exemplo,



contatos de escândio (Sc) para MoS<sub>2</sub> resultam em uma barreira de ~0,03 eV e resistência de contato de 650 Ω-μm [173]. Entretanto, esta técnica é limitada pelo efeito de fixação do nível de Fermi (em inglês, *Fermi level pinning*). Logo, uma solução mais efetiva é introduzir camadas intermediárias entre o semicondutor e o metal que revertem este efeito. Em geral, materiais isolantes com espessura extremamente finas são utilizados nesta técnica. Evidentemente, a deposição destes materiais requer uma etapa extra no processo de fabricação de 2D-FETs, o que é indesejável em larga escala. Um método alternativo é a hibridização do semicondutor utilizando metais que interagem fortemente através de ligações covalentes. No caso de TMDs como o MoTe<sub>2</sub>, por exemplo, o próprio material possui uma fase cristalina semimetálica que pode ser utilizada para obter resistência de contato de 200 Ω-μm [174].

Por fim, é preciso depositar o óxido de porta<sup>2</sup>. Embora a superfície lisa dos materiais bidimensionais beneficie a mobilidade dos portadores, ela torna a deposição direta bastante desafiadora, assim como a obtenção de uma interface com baixa densidade de defeitos. Ademais, os transistores de alta performance exigem isolantes bastante finos e de alta permissividade, o que limita significativamente a gama de materiais apropriados.

Na ref. [175], os autores revisam e apontam alguns materiais que podem ser utilizados como óxido de porta em 2D-FETs. Dentre as alternativas mais promissoras estão o desenvolvimento de óxidos nativos aos materiais bidimensionais e o uso de isolantes cristalinos para substituir os óxidos amorfos utilizados atualmente nos transistores de silício.

Em suma, a despeito dos vários desafios relacionados à fabricação, avanços notáveis têm sido feitos na aplicação de 2D-FETs em circuitos integrados [176], [177]. Ainda em 2017, por exemplo, Wachter *et al.* [178] demonstraram um

---

<sup>2</sup> O termo óxido de porta é comumente empregado na literatura, embora outros tipos de compostos químicos com propriedades isolantes possam ser utilizados.

microprocessador construído com 115 transistores de MoS<sub>2</sub>. Em 2020, Polyushkin *et al.* [179] também apresentam amplificadores operacionais baseados no mesmo material. Outros exemplos de circuitos integrados utilizando materiais bidimensionais incluem antenas, dispositivos de radiofrequência, fotodetectores e sensores ópticos [177].

No curto prazo, é improvável que os materiais bidimensionais substituam completamente o silício em aplicações de alta performance e alta densidade de integração [180]. As primeiras aplicações com 2D-FETs devem se concentrar em circuitos que não são bem atendidos pela tecnologia atual, como é o caso dos produtos eletrônicos flexíveis na perspectiva *More than Moore*. Outra possibilidade é realizar a integração heterogênea, onde módulos feitos de silício e de materiais bidimensionais podem realizar funções complementares, coexistindo dentro de um mesmo *chip*.

Com a introdução gradual do 2D-FET no mercado de nanoeletrônica, as técnicas de fabricação poderão ser aperfeiçoadas até atenderem os requisitos das aplicações de ponta. Consequentemente, no longo prazo, alguns dos materiais apresentados neste capítulo podem vir a substituir o silício em circuitos integrados de alta densidade, especialmente considerando que as dimensões reais dos transistores estão caminhando para valores abaixo de dez nanômetros.

#### **4.5 – Conclusão**

Neste capítulo, foi feita uma apresentação geral dos materiais bidimensionais e dos 2D-FETs. Foram discutidas as principais características que influenciam a modelagem compacta destes transistores e também uma perspectiva que aplicação a curto e longo prazo, justificando a importância do objeto de pesquisa.

No próximo capítulo serão apresentados os modelos compactos para 2D-FETs desenvolvidos durante este programa de doutoramento.



## Capítulo 5: Modelagem compacta para transistores baseados em materiais bidimensionais

---

Diante do rápido avanço nos processos de fabricação de transistores baseados em materiais bidimensionais nestes últimos anos e sua iminente adoção pela indústria de semicondutores na próxima década, torna-se imperativo o desenvolvimento de modelos compactos que capturem as características singulares desses dispositivos. Em consequência, diversos tratamentos analíticos ou semi-analíticos foram propostos recentemente [181], [182], [191]–[200], [183], [201]–[203], [184]–[190]. Essas abordagens valeram-se principalmente do aprendizado adquirido com a modelagem de MOSFETs de silício e de compostos III-V, além de nanotubos de carbono.

Contudo, em uma situação semelhante aos JL-FETs, uma considerável parte dessas formulações exige procedimentos iterativos para resolver equações transcendentais. Outras abordagens fazem uso de funções especiais ou admitem integrais que precisam ser computadas numericamente, o que é inconveniente para aplicação em simuladores de circuitos integrados. Com maior gravidade, há ainda exemplos de interpretações equivocadas e uso impróprio de artifícios que, embora consolidados na literatura de MOSFETs, não se aplicam diretamente à modelagem destes novos transistores que contêm materiais bidimensionais.

Cabe também destacar também que boa parte da pesquisa neste âmbito tem sido dedicada a modelar SB-FETs (ver Fig. 4.7) [189], [190], [197]–[199], [203]. Embora esta estrutura seja bastante comum nas investigações experimentais e seu tratamento analítico tenha ajudado a elucidar diversos aspectos dos materiais bidimensionais, a necessidade de modelos compactos neste caso é discutível, uma vez que SB-FETs dificilmente serão utilizados em circuitos integrados. Por outro lado, a estrutura similar ao MOSFET convencional desperta notável

interesse, especialmente considerando a capacidade dos semicondutores bidimensionais de proporcionar operação em regimes balísticos de corrente.

Neste contexto, este capítulo apresenta uma contribuição para a modelagem compacta de transistores baseados em materiais bidimensionais. Partindo da equação de Poisson, expressões totalmente analíticas e explícitas são obtidas para descrever o perfil de potencial eletrostático do canal. Em seguida, são calculadas as características I-V destes dispositivos considerando tanto o transporte de cargas por difusão-deriva quanto o transporte balístico. Não-idealidades comuns em 2D-FETs, como armadilhas de interface, efeitos de canal curto, degradação da mobilidade e resistência de contato, também são discutidas e incluídas nos modelos conforme necessário. Ainda, é feita a demonstração de um modelo para as características de capacitância destes dispositivos. Por fim, é apresentada uma discussão sobre a modelagem dos contatos, com ênfase em dimensionalidade heterogênea e formação de barreiras tipo Schottky.

A seguir, é feita uma breve revisão crítica da literatura para demonstrar a evolução da modelagem compacta de 2D-FETs. Os trabalhos destacados são aqueles que modelam dispositivos com uma estrutura similar aos considerados nesta tese. Logo, estão excluídos modelos para outros transistores baseados em materiais bidimensionais, como SB-FETs e NC-FETs (*Negative Capacitance FETs*).

## 5.1 – Breve revisão da literatura

David Jimenez da Universidade Autônoma de Barcelona (Espanha) apresenta o primeiro modelo voltado a 2D-FETs com canal de TMD em 2012 [181], que serve de referência para os trabalhos posteriores. Apesar do pioneirismo, a expressão para o potencial eletrostático do canal em sua abordagem é obtida por meio de um circuito equivalente discreto em vez de uma equação diferencial, o que indica que o modelo não pode ser escalado. Ainda, o modelo é puramente intrínseco e simplifica diversos pontos, *i.e.*, não leva em consideração a influência dos contatos e outras não-idealidades.

Em 2014, Cao *et al.* [182] oferecem uma abordagem analítica onde o potencial eletrostático é obtido por meio do equacionamento diferencial. Os autores também consideram peculiaridades do TMD, como a presença de múltiplos vales na banda de condução, e incluem não-idealidades dos transistores, como armadilhas de interface, degradação da mobilidade e dopagem ineficiente dos contatos. Embora seja uma notável contribuição, é importante ressaltar que este modelo não é explícito. A expressão para a corrente é escrita em função do potencial eletrostático que, por sua vez, precisa ser obtido resolvendo uma equação transcendental. Ademais, as não-idealidades são incluídas de forma bastante intrincada e também requerem procedimentos numéricos.

Em 2016, Taur *et al.* [184] e You *et al.* [183] publicam quase simultaneamente dois modelos considerando efeitos de canal-curto. O primeiro trabalho reaproveita a formulação desenvolvida pelo próprio Yuan Taur no âmbito dos MOSFETs convencionais e a estende para 2D-FETs. Em adição à proposta de Cao *et al.* [182], este modelo consiste em recalcular o potencial eletrostático sem considerar a aproximação de canal gradual na região de sublimiar e incluir a saturação de velocidade dos portadores acima do limiar. O segundo trabalho se destaca por levar em conta o campo elétrico longitudinal no óxido de porta quando materiais de alta constante dielétrica são empregados. Um terceiro trabalho foi apresentado no ano seguinte por Morteza Gholipour [186], estendendo a mesma análise. Nota-se, entretanto, que as três propostas fazem uso de procedimentos numéricos para determinar a corrente de sublimiar quando os efeitos de canal-curto são considerados.

No mesmo ano, Saurabh V. Suryavanshi e Eric Pop [185] introduzem o modelo compacto da Universidade de Stanford, S2DS (*Stanford 2D Semiconductor*). Este trabalho é essencialmente uma extensão da abordagem baseada em circuito equivalente proposta por Jimenez [181] levando em conta

algumas das observações apresentadas por Cao *et al.* [182]. Além disso, os autores incluem não-idealidades como saturação de velocidade, capacitância parasita e a dependência com a temperatura. De forma geral, este pode ser considerado um modelo bastante abrangente, porém ainda com as mesmas restrições mencionadas anteriormente.

Em 2017, Yadav *et al.* [187] publicam um modelo que se destaca por levar em conta a estatística de Fermi-Dirac em lugar da aproximação de Boltzmann quando calculam a densidade de portadores. A necessidade deste esmero é contestável para a maioria dos 2D-FETs, conforme será demonstrado posteriormente, e resulta em maior complexidade. Os autores buscam contornar este problema fazendo uso, por exemplo, da função  $W$  de Lambert e de aproximações assintóticas por partes unificadas por funções empíricas.

O trabalho de Marin *et al.* [188] no ano seguinte também considera a distribuição de Fermi-Dirac. Uma expressão explícita aproximada para a corrente é obtida em função da densidade de portadores após extenso trabalho algébrico. Contudo, assim como nos trabalhos anteriores, a densidade de portadores precisa ser determinada resolvendo uma equação transcendental de forma iterativa. Adicionalmente, a convergência desta equação pode ser mais difícil de atingir devido à presença de múltiplos termos exponenciais. Como alternativa, os autores derivam expressões aproximadas para a corrente abaixo e acima do limiar. Porém, cabe notar que estas expressões são essencialmente as mesmas obtidas considerando a aproximação de Boltzmann.

Em 2019, Prentki *et al.* [195] publicam um trabalho considerando o transporte balístico de portadores em 2D-FETs de fosforeno. Ele consiste em dois modelos baseados no formalismo de Landauer para o cálculo da corrente. O primeiro modelo determina a densidade de carga por meio do acoplamento capacitivo entre o canal e os terminais do transistor, recorrendo a uma rotina iterativa para resolver de forma auto-consistente a equação de Poisson e a

distribuição de Fermi-Dirac. O segundo modelo, concebido como uma versão mais simplificada para fins de modelagem compacta, propõe uma relação linear empírica entre a posição do nível de Fermi e a tensão aplicada à porta quando o transistor opera acima do limiar. Por fim, ambos utilizam a função especial integral completa de Fermi-Dirac para expressar a corrente.

Em 2020, Yarmoghaddam *et al.* [198], [199] também propõem um modelo compacto voltado para 2D-FETs de fosforeno. Embora este trabalho modele transistores tipo SB-FET, ele se destaca por incluir o efeito de discretização das bandas de condução e valência no cálculo das densidades de portadores. Para isto, os autores recorrem a um artifício desenvolvido para modelar MOSFETs de materiais III-V, tratando o canal como um poço quântico trapezoidal. No entanto, essa abordagem pode induzir a interpretação equivocada de que ocorre a formação de um 2DEG em um material tridimensional, em vez de abordar o canal como um material bidimensional. Em última observação, a dependência com a temperatura é incluída no modelo de forma bastante empírica e, após diversas simplificações, a expressão final para a corrente é similar à proposta por Marin *et al.* [188].

Sintetizando os estudos presentes na literatura, é possível identificar significativo progresso para a modelagem de 2D-FETs, de modo que grande parte dos princípios que regem estes modelos serão reaproveitados ao longo deste capítulo. Entretanto, persiste a necessidade de uma abordagem que resulte em expressões totalmente analíticas e explícitas, especialmente no âmbito de transistores que operam em regime balístico de corrente. É precisamente nesse contexto que se concentra a modelagem desenvolvida a seguir.

## 5.2 – Modelagem eletrostática

Assim como feito no Cap. 3 para os JL-FETs, o primeiro passo da modelagem é estabelecer uma relação entre a concentração de portadores no



canal e as tensões aplicadas nos terminais do dispositivo considerando que ainda não há fluxo de portadores. Novamente, tem-se  $V_{ds} = 0$  para esta análise e o potencial do nível de Fermi ao longo do canal é arbitrado a uma variável de referência invariante ao longo do canal,  $V$ .

A Fig. 5.1 apresenta o dispositivo a ser modelado. Ele é composto por um substrato, geralmente feito de silício altamente dopado, e um isolante, usualmente de dióxido de silício. Sobre o isolante está o semiconductor bidimensional e, acima dele, o óxido de porta, que também pode ser de dióxido de silício ou algum material isolante com alta constante dielétrica. Por fim, os contatos de fonte, dreno e porta são feitos de metais. Por simplicidade, assume-se um dispositivo tipo-n, com uma densidade de dopantes doadores  $N_D$ , dada em  $\text{cm}^{-2}$ . Porém, a formulação aqui apresentada pode ser facilmente estendida para o tipo-p.

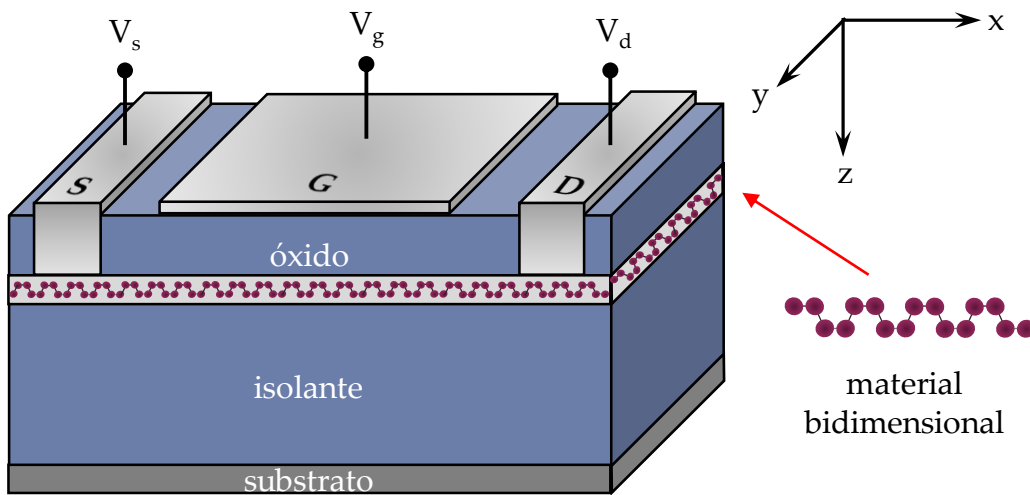


Figura 5.1 – Esquemático do 2D-FET em três dimensões.

### 5.2.1 – Concentração de portadores

A concentração de portadores (elétrons) no semiconductor é dada por

$$n_s = \int_{\epsilon_c}^{\infty} g_{2D}(\epsilon) \mathcal{F}(\epsilon - \epsilon_F) d\epsilon, \quad (5.1)$$

onde  $g_{2D}(\mathcal{E})$  é a densidade de estados bidimensional,  $\mathcal{F}(\mathcal{E} - \mathcal{E}_F)$  é a distribuição de Fermi-Dirac e  $\mathcal{E}_F$  é a energia do nível de Fermi. A definição dos limites de integração precisa levar em conta que a banda de condução dos materiais bidimensionais é composta por níveis discretos. Todavia, dado que os portadores estão confinados em uma espessura de  $\sim 1$  nm, estes níveis estão bastante espaçados, de modo que apenas o primeiro nível pode ser considerado significativamente ocupado. Como foi discutido no capítulo anterior, este valor corresponde ao fundo da banda de condução para estes materiais e será denotado simplesmente como  $\mathcal{E}_c$  no restante deste texto.

A densidade de estados em duas dimensões é constante em cada nível de energia e pode ser formalmente descrita pela função de Heaviside, ou seja,

$$g_{2D}(\mathcal{E}) = \sum_j g_j H(\mathcal{E} - \mathcal{E}_j), \quad (5.2)$$

onde  $j$  é o índice do nível discreto de energia dentro da banda de condução. Novamente, apenas o primeiro nível precisa ser considerado e sua notação neste texto é simplificada para  $g_{2D}$ . Ainda, é necessário levar em conta as peculiaridades dos materiais bidimensionais discutidas no capítulo anterior, como a contribuição de múltiplos vales e a anisotropia. No entanto, a fim de evitar carregar um excesso de termos nesta análise, a densidade de estados é generalizada para

$$g_{2D} = \frac{m^*}{\pi \hbar^2}. \quad (5.3)$$

Feitas essas considerações, a eq. 5.1 fica como

$$n_s = \frac{m^*}{\pi \hbar^2} \int_{\mathcal{E}_c}^{\infty} \frac{d\mathcal{E}}{1 + \exp[(\mathcal{E} - \mathcal{E}_F)/(k_B T)]}, \quad (5.4)$$

Assim como feito no Cap. 3, pode-se definir  $\mathcal{E}_c = -q\phi$  e  $\mathcal{E}_F = -qV$ . Usando a identidade

$$\int \frac{da}{1 + \exp(a)} = -\ln[1 + \exp(-a)], \quad (5.5)$$

tem-se

$$n_s = \frac{m^* k_B T}{\pi \hbar^2} \ln \left[ 1 + \exp \left( \frac{\varphi - V}{\phi_T} \right) \right], \quad (5.6)$$

a concentração de portadores levando em conta a distribuição de Fermi-Dirac.

Embora neste caso tenha-se uma expressão totalmente analítica, as expressões para características I-V necessitam de funções especiais ou resultam em integrais que precisam ser resolvidas numericamente. Logo, é conveniente assumir que um semicondutor não-degenerado e empregar a aproximação de Maxwell-Boltzmann:

$$n_s = N_{\text{DOS}} \exp \left( \frac{\varphi - V}{\phi_T} \right), \quad (5.7)$$

onde  $N_{\text{DOS}} = \frac{m^* k_B T}{\pi \hbar^2}$ .

A princípio, dada as dificuldades de dopar semicondutores bidimensionais, esta aproximação é justificada. Além disso, como analisado por Cao *et al.* [182] para TMDs, a alta densidade de estados faz com que o potencial do canal dependa de forma menos significativa da tensão de porta e evita que o nível de Fermi adentre profundamente a banda de condução, o que poderia levar o semicondutor ao estado degenerado. Este efeito de bloqueio é ainda mais significativo no caso do fosforeno, por exemplo, dado que sua massa efetiva ( $m_{\text{DOS}}^*$ ) é maior.

### 5.2.2 – Diagrama de bandas

A Fig. 5.2 mostra o diagrama de bandas para um 2D-FET. Analisando da esquerda para a direita, tem-se primeiro o contato de porta, constituído de um metal e caracterizado pela função-trabalho  $\phi_M$  [V]. A tensão de porta aplicada ( $V_{gs}$ ) representa o deslocamento do nível de Fermi no metal. Em seguida, tem-se a queda de potencial no óxido de porta ( $\varphi_{ox}$ ) e o canal semicondutor, caracterizado pela afinidade eletrônica  $\chi_S$  [eV]. A função-trabalho do semicondutor bidimensional pode ser calculada por:



presença de carga líquida no canal e esta aproximação deve ser interpretada com cautela.

Dando sequência à análise, tem-se o isolante do substrato. É importante notar que o diagrama da Fig. 5.2 não representa a escala do dispositivo. Enquanto o canal bidimensional tipicamente tem espessura de  $\sim 1$  nm, o isolante é da ordem de centena(s) de nanômetro. Por fim, o substrato geralmente é construído com silício altamente dopado. Neste caso, assume-se dopagem tipo-n, de modo que a função trabalho do silício é aproximadamente  $\chi_{Si}/q$ .

Ao substrato, pode ser aplicado uma tensão fixa  $V_{bs}$  que desloca o nível de Fermi do silício e, conseqüentemente, altera as características eletrostáticas do transistor. Este artifício é frequentemente usado em MOSFETs, por exemplo, para manipular ou ajustar o valor da tensão de limiar. No caso dos 2D-FETs, ele também pode ser usado para prover a chamada dopagem eletrostática, uma vez que o substrato se estende até a região dos contatos. Assumindo que o substrato é um semiconductor degenerado e que o isolante é bastante espesso, o encurvamento das bandas no silício pode ser desconsiderado.

Por fim, as estruturas das Figs. 1 e 2 podem ser modificadas para modelar também um dispositivo do tipo porta-dupla (DG, *double-gate*). Neste caso, o isolante e o substrato são substituídos pelo óxido e o metal de porta, respectivamente, e tensão de porta  $V_{gs}$  é aplicada de forma simétrica nas duas extremidades, em vez da tensão fixa  $V_{bs}$  no substrato.

### 5.2.3 – Equação de Poisson

Para estabelecer a relação de controle de cargas, primeiro é necessário determinar a forma da equação de Poisson que rege este dispositivo. Seguindo a abordagem de Cao *et al.* [182], o 2D-FET pode ser analisado conforme o esquemático da Fig. 5.3.

Nesta representação bidimensional, a tensão de porta é aplicada ao longo do eixo  $z$  e o fluxo de corrente ocorre na direção  $x$ . Não há diferença de potencial aplicada no eixo  $y$ , paralelo à seção transversal do canal de largura  $W$  e comprimento  $L$ . O óxido de porta, o semiconductor e o isolante têm espessuras  $t_{ox}$ ,  $t_s$  e  $t_i$ , e permissividades elétricas  $\epsilon_{ox}$ ,  $\epsilon_s$  e  $\epsilon_i$ , respectivamente.

Dado que não há campo elétrico aplicado ao longo da direção  $y$  e que o canal é formado por uma ou poucas camadas de material lamelar, é razoável assumir que  $\varphi(x, y, z) \approx \varphi(x)$  no canal. Ou seja, quaisquer variações do potencial eletrostático nas direções  $y$  e  $z$  são insignificantes na equação de Poisson.

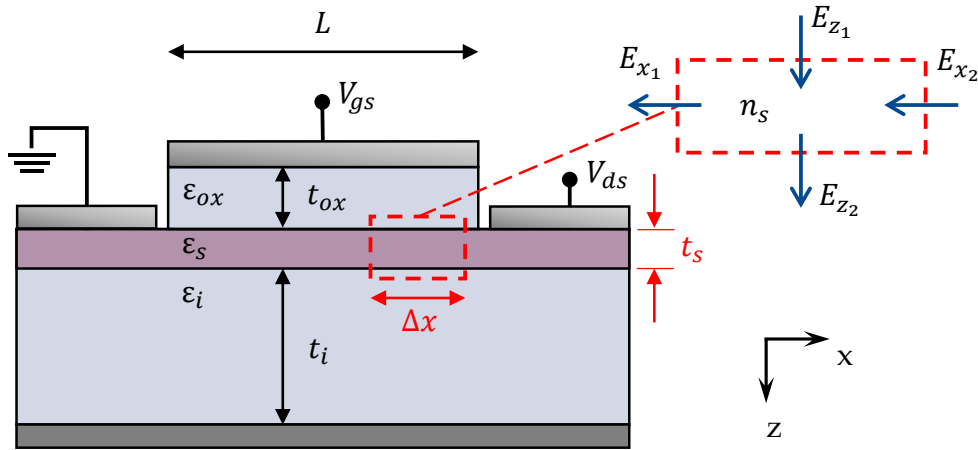


Figura 5.3 – Esquemático de um 2D-FET para a análise eletrostática. Em destaque, uma região de largura infinitesimal no canal onde é aplicada a lei de Gauss.

Como demonstrado na Fig. 5.3, uma superfície fechada com largura infinitesimal  $\Delta x$ , altura  $t_s$ , a espessura do canal, e profundidade arbitrária é assumida em torno do material semiconductor. Aplicando a lei de Gauss nesta superfície, tem-se a relação entre as componentes do campo elétrico e a carga encerrada no volume descrito:

$$(-\epsilon_{ox}E_{z_1} + \epsilon_i E_{z_2})\Delta x + (\epsilon_s E_{x_1} - \epsilon_s E_{x_2})t_s = q[N_D - n_s(x)]\Delta x, \quad (5.10)$$

onde  $n_s$  é a densidade de portadores no canal. Assume-se aqui a ionização total dos doadores,  $N_D^+ = N_D$ .

Analisando o diagrama de bandas (Fig. 5.2), tem-se as componentes do campo elétrico:

$$\begin{aligned} E_{z_1} &= \frac{V_{gs} - V_{FB} - \varphi(x)}{t_{ox}} \\ E_{z_2} &= \frac{\varphi(x) + V_i - V_{bs}}{t_i} \\ E_{x_1} &= \frac{d\varphi(x)}{dx} \\ E_{x_2} &= \frac{d\varphi(x + \Delta x)}{dx} \end{aligned}, \quad (5.11)$$

onde o termo  $V_i$  corresponde à diferença entre as funções trabalho do semiconductor e do substrato.

Substituindo e rearranjando os termos na eq. 5.10, tem-se:

$$\begin{aligned} \frac{d}{dx} \left[ \frac{\varphi(x + \Delta x) - \varphi(x)}{\Delta x} \right] + \frac{C_{ox}(V_{gs} - V_{FB}) + C_i(V_{bs} - V_i)}{\varepsilon_s t_s} \\ - (C_{ox} + C_i) \frac{\varphi(x)}{\varepsilon_s t_s} = \frac{q[n_s(x) - N_D]}{\varepsilon_s t_s}, \end{aligned} \quad (5.12)$$

onde  $C_{ox} = \varepsilon_{ox}/t_{ox}$  e  $C_i = \varepsilon_i/t_i$  são as capacitâncias do óxido e do isolante, respectivamente.

Fazendo  $\lim_{\Delta x \rightarrow 0} \left[ \frac{\varphi(x + \Delta x) - \varphi(x)}{\Delta x} \right] = \frac{d\varphi(x)}{dx}$  e substituindo  $n_s(x)$  pela eq. 5.7, a equação de Poisson para este dispositivo é obtida:

$$\frac{d^2\varphi(x)}{dx^2} - \frac{\varphi(x)}{\lambda^2} + \frac{C_{ox}(V_{gs} - V_t)}{\varepsilon_s t_s} = \frac{qN_{DoS}}{\varepsilon_s t_s} \exp \left[ \frac{\varphi(x) - V(x)}{\Phi_T} \right], \quad (5.13)$$

onde  $\lambda$  é o comprimento característico do 2D-FET, dado por

$$\lambda = \sqrt{\frac{\varepsilon_s t_s t_{ox} t_i}{\varepsilon_{ox} t_i + \varepsilon_i t_{ox}}}, \quad (5.14)$$

e  $V_t$  é a tensão de limiar, expressa como

$$V_t = V_{FB} + \frac{C_i(V_{bs} - V_i) - qN_D}{C_{ox}}. \quad (5.15)$$

O uso da eq. 5.7 assume que a concentração de portadores pode ser aproximada pela estatística de Maxwell-Boltzmann. De posse da equação de Poisson, é possível avaliar a validade desta aproximação para diferentes

parâmetros de fabricação do dispositivo. Especificamente, a Fig. 5.4 mostra o impacto do escalamento da espessura do óxido de porta. Considerando uma camada de SiO<sub>2</sub> com  $t_{ox} = 5$  nm, a aproximação de Boltzmann resulta em uma concordância satisfatória mesmo para o regime de acumulação, quando o nível de Fermi se aproxima do fundo da banda de condução. O erro relativo é de aproximadamente 16% para  $V_{gs} = 1$  V. Por outro lado, supondo  $t_{ox} = 1$  nm, a discrepância passa a ser significativa (67% no mesmo ponto) e a estatística de Fermi-Dirac precisa ser utilizada.

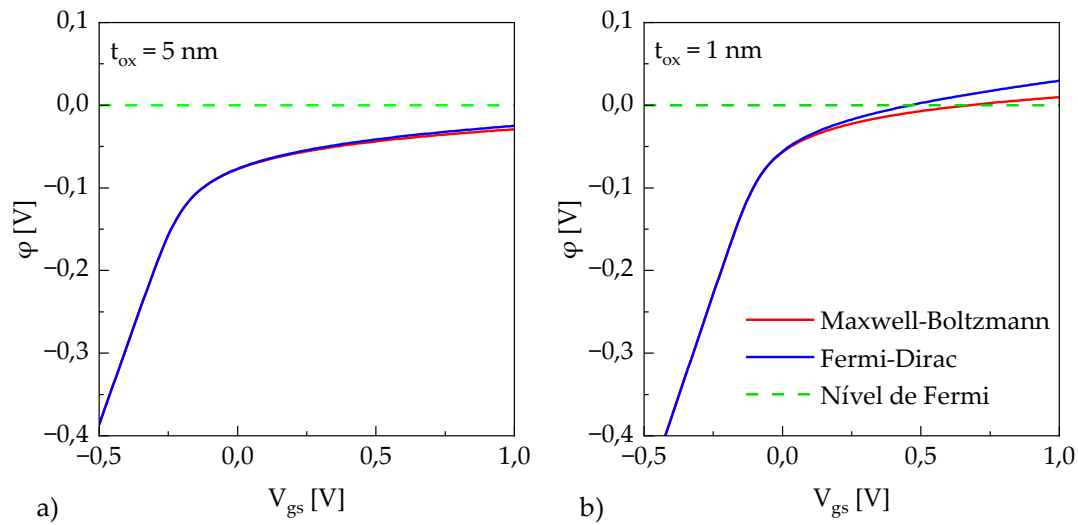


Figura 5.4 – Análise da aproximação de Boltzmann no cálculo do potencial eletrostático para 2D-FETs com: a)  $t_{ox} = 5$  nm. b)  $t_{ox} = 1$  nm. SiO<sub>2</sub> é usado como referência tanto para o óxido quanto para o isolante, que possui 90 nm. Demais especificações: canal de MoS<sub>2</sub> monocamada dopado com  $N_D = 3,5 \times 10^{11}$  cm<sup>-2</sup>, porta de Al e substrato de n<sup>++</sup> Si.

Na prática, uma camada de SiO<sub>2</sub> ( $\epsilon_{ox} = 3,9\epsilon_0$ ) com 1 nm corresponderia a aproximadamente 2,3 nm de Al<sub>2</sub>O<sub>3</sub> ( $\epsilon_{ox} = 9\epsilon_0$ ) ou 6,4 nm de HfO<sub>2</sub> ( $\epsilon_{ox} = 25\epsilon_0$ ). Portanto, é possível que 2D-FETs que empregam óxidos com alta constante dielétrica se enquadrem nesta situação. Contudo, é importante ressaltar que o uso de materiais bidimensionais no canal destes transistores tem como finalidade melhorar as características eletrostáticas, reduzindo a necessidade de uma EOT excessivamente baixa. Ademais, a simplicidade da aproximação de Boltzmann permite obter expressões analíticas e, se necessário, fatores de correção podem



ser utilizados posteriormente no modelo para melhorar a concordância com dados experimentais.

Com pequenas alterações, a equação de Poisson para um 2D-FET de porta-dupla pode ser escrita como:

$$\frac{d^2\varphi(x)}{dx^2} - \frac{\varphi(x)}{\lambda^2} + \frac{2C_{ox}(V_{gs} - V_t)}{\varepsilon_s t_s} = \frac{qN_{DoS}}{\varepsilon_s t_s} \exp\left[\frac{\varphi(x) - V(x)}{\phi_T}\right], \quad (5.16)$$

onde  $\lambda$  é o comprimento característico do 2D-FET com porta-dupla, dado por

$$\lambda = \sqrt{\frac{\varepsilon_s t_s t_{ox}}{2\varepsilon_{ox}}}, \quad (5.17)$$

e  $V_t$  é a tensão de limiar do 2D-FET com porta-dupla, expressa como

$$V_t = V_{FB} - \frac{qN_D}{2C_{ox}}. \quad (5.18)$$

Nesta dedução, assume-se características de porta idênticas e controle simétrico do canal.

## 5.2.4 – Solução analítica aproximada da equação de Poisson

Uma vez estabelecida a equação de Poisson que rege o comportamento eletrostático do dispositivo, é necessário resolvê-la para obter o comportamento do potencial eletrostático ao longo do canal e, posteriormente, as expressões para a corrente entre fonte e dreno. Para facilitar a análise, são consideradas duas situações distintas: no primeiro caso, o dispositivo é longo o suficiente para aplicar a aproximação de canal gradual; no segundo, tem-se dispositivos de canal-curto que podem apresentar uma degradação do controle eletrostático e, em alguns casos, também características de transporte balístico.

### 5.2.4.1 – Solução considerando canal longo

Considerando a aproximação de canal gradual, pode-se tomar  $\frac{d^2\varphi(x)}{dx^2} = 0$  na eq. 5.13. Assim, rearranjando os termos, tem-se uma equação relacionando o potencial eletrostático do canal e a tensão aplicada no contato de porta:

$$(C_{ox} + C_i)\varphi(x) + qN_{D_{os}} \exp\left[\frac{\varphi(x) - V(x)}{\Phi_T}\right] = C_{ox}(V_{gs} - V_t). \quad (5.19)$$

Esta é uma equação transcendental para  $\varphi(x)$ , de modo que é necessário trabalhar aproximações analíticas para torná-la explícita em relação às tensões de polarização. Contudo, antes de prosseguir, é útil conhecer o comportamento assintótico de  $\varphi(x)$  para  $V_{gs} \ll V_t$  e  $V_{gs} \gg V_t$ .

Analisando a eq. 5.19, o primeiro termo do lado esquerdo pode ser compreendido como o controle capacitivo do canal exercido pelo contato de porta enquanto o segundo termo corresponde à densidade de carga acumulada. Sem perda de generalidade, pode-se arbitrar  $V(x) = 0$  para facilitar esta análise. Para  $V_{gs} \ll V_t$ , o transistor opera na região de sublimiar e  $n_s(x) \cong 0$ . Logo, tem-se:

$$\varphi(x) \cong \frac{C_{ox}}{C_{ox} + C_i}(V_{gs} - V_t), \quad (5.20)$$

ou seja, o potencial eletrostático do canal varia linearmente com a tensão de porta aplicada.

À medida que a tensão de porta se aproxima do limiar, a densidade de carga acumulada cresce exponencialmente. No limite, quando  $V_{gs} \gg V_t$ , tem-se:

$$\varphi(x) \cong \Phi_T \ln\left[\frac{C_{ox}}{qN_{D_{os}}}(V_{gs} - V_t)\right], \quad (5.21)$$

ou seja, o potencial passa a crescer de forma menos acentuada com a tensão de porta aplicada. A Fig. 5.5 exemplifica estes comportamentos assintóticos e compara com a solução exata da eq. 5.19. Esta análise também é útil para obter expressões para as características de corrente-tensão de acordo com a região de operação.

Para obter uma expressão totalmente analítica e explícita, pode-se expandir o termo exponencial da eq. 5.19 em uma série de Taylor tomando como referência um ponto arbitrário  $\Phi$ :

$$\exp\left(\frac{\varphi}{\phi_T}\right) = \exp\left(\frac{\Phi}{\phi_T}\right) + \phi_T \exp\left(\frac{\Phi}{\phi_T}\right) (\varphi - \Phi) + \frac{\phi_T^2}{2} \exp\left(\frac{\Phi}{\phi_T}\right) (\varphi - \Phi)^2 + \dots \quad (5.22)$$

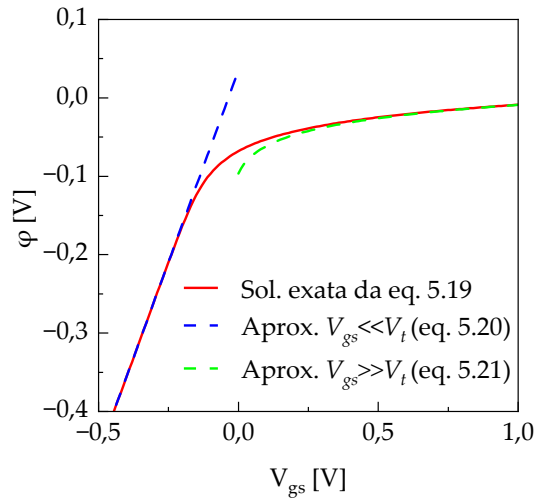


Figura 5.5 – Análise dos comportamentos assintóticos do potencial eletrostático abaixo e acima do limiar. Especificações: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ , óxido e isolante de SiO<sub>2</sub> com  $t_{ox} = 5 \text{ nm}$  e  $t_i = 90 \text{ nm}$ , porta de Al e substrato de n<sup>++</sup> Si.

A precisão desta expansão dentro de um intervalo de interesse vai depender primariamente de dois fatores: o número de termos retidos na aproximação e a escolha do ponto de expansão  $\Phi$ . Como a expansão resulta em uma função polinomial, a retenção de  $n$  termos implica em encontrar as raízes para um polinômio do  $n$ -ésimo grau, o que é uma tarefa bastante laboriosa para  $n > 2$ .

Alternativamente, tem-se o método apresentado por Celino *et al.* [205] no contexto da modelagem compacta de dispositivos baseados em poços quânticos. Nesta abordagem, o ponto de expansão  $\Phi$  é mapeado por uma função proposta a partir da inspeção gráfica do comportamento da variável  $\varphi$  dentro de um intervalo de interesse. No caso em tela, este processo é facilitado uma vez que já foram obtidas expressões analíticas para o comportamento assintótico de  $\varphi(V_{gs})$  nos extremos do intervalo de interesse e também são conhecidos valores típicos para os parâmetros de fabricação do transistor.

Seguindo a metodologia descrita por Celino em [206], uma possível função de mapeamento para  $\Phi(V_{gs})$  é proposta como

$$\Phi = 2\phi_T + \frac{2[\alpha(V_0 - V_t) - 2\phi_T]}{1 + \exp[d(V_{gs} - V_0)]} \quad (5.23)$$

onde  $V_0$  e  $d$  são parâmetros fixos e  $\alpha = C_{ox}/(C_{ox} + C_i)$ . O parâmetro  $V_0$  é essencialmente um valor para  $V_{gs} \ll V_t$ . Logo, pode ser arbitrado, por exemplo,  $V_0 = V_t - 1,8$ . Já o parâmetro  $d$  determina a suavidade da transição entre os comportamentos assintóticos de  $\varphi$  quando  $V_{gs} \approx V_t$ . Neste caso, uma escolha de  $d = 2$  resulta em um bom casamento da curva.

Um artifício semelhante é empregado no modelo compacto MVS (*MIT Virtual Source*) [207], onde uma função de suavização com parâmetros de ajuste é proposta para conectar os comportamentos assintóticos de  $n_s(V_{gs})$ . De forma geral, com a disponibilidade de curvas experimentais, estes parâmetros são inicialmente calibrados em simuladores comerciais e então mantidos inalterados durante as simulações, de modo que estes modelos compactos são tipicamente classificados como semi-empíricos.

Dando sequência à análise da eq. 5.19, retém-se apenas os dois primeiros termos da expansão (eq. 5.22) e uma expressão para  $\varphi(V_{gs})$  é obtida:

$$\varphi = \frac{qN_{D_{os}}(\Phi - \phi_T) \exp[\Phi/\phi_T] + \phi_T C_{ox}(V_{gs} - V_t)}{qN_{D_{os}} \exp[\Phi/\phi_T] + \phi_T(C_{ox} + C_i)} \quad (5.24)$$

Paralelamente, para a configuração de porta-dupla, tem-se a relação:

$$2C_{ox}\varphi(x) + qN_{D_{os}} \exp\left[\frac{\varphi(x) - V(x)}{\phi_T}\right] = 2C_{ox}(V_{gs} - V_t). \quad (5.25)$$

A solução aproximada para esta equação é:

$$\varphi = \frac{qN_{D_{os}}(\Phi - \phi_T) \exp[\Phi/\phi_T] + 2\phi_T C_{ox}(V_{gs} - V_t)}{qN_{D_{os}} \exp[\Phi/\phi_T] + 2\phi_T C_{ox}}, \quad (5.26)$$

onde o ponto de expansão pode ser determinado pela função

$$\Phi = 4\phi_T + \frac{2(V_0 - V_t - 4\phi_T)}{1 + \exp[d(V_{gs} - V_0)]} \quad (5.27)$$

sendo  $V_0 = V_t - 2,4$  e  $d = 1,5$ .

A Fig. 5.6 mostra um exemplo de aplicação deste método com excelente casamento entre o comportamento exato e a aproximação proposta. O pequeno desvio abaixo da tensão de limiar atinge no máximo 10,6% do valor exato no exemplo A e 16,75% no exemplo B. Ainda, se necessário, a acurácia deste método também pode ser melhorada retendo mais um termo na eq. 5.22 e encontrando as raízes de um polinômio do segundo grau.

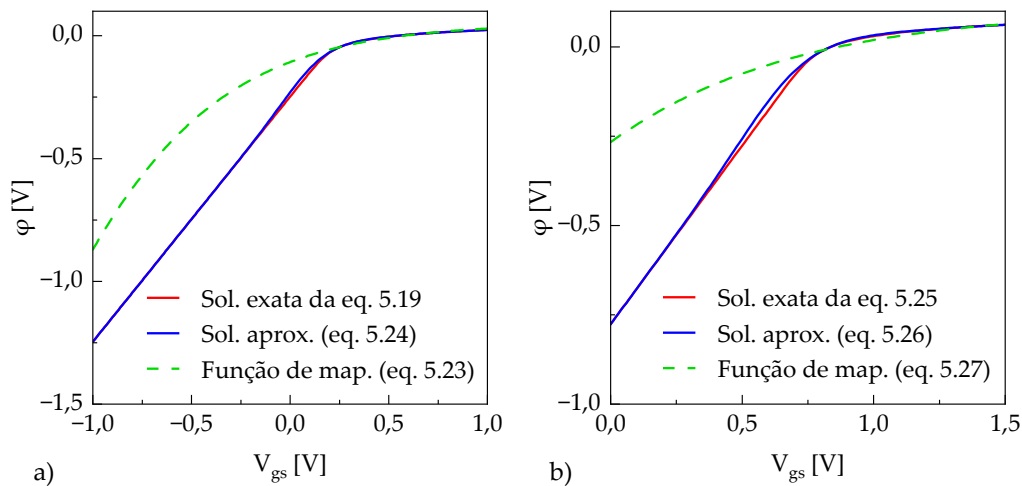


Figura 5.6 – Comparação entre a solução exata e a expressão aproximada para o potencial eletrostático considerando: a) 2D-FET com porta-única, canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{12} \text{ cm}^{-2}$ , óxido de HfO<sub>2</sub> ( $t_{ox} = 2,8 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 270 \text{ nm}$ ), porta de Cr e substrato de n<sup>++</sup> Si. b) 2D-FET com porta-dupla, canal de BP monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ , óxido de HfO<sub>2</sub> ( $t_{ox} = 2 \text{ nm}$ ) e porta de Au. Também são mostradas as respectivas funções de mapeamento  $\Phi$  utilizadas para o cálculo das aproximações.

Retomando o caso geral em que  $V(x) \neq 0$ , o mesmo método pode ser aplicado, bastando considerar como variável a diferença  $\varphi(x) - V(x)$  e refazer a análise. Tem-se então uma expressão totalmente analítica e explícita para  $\varphi(V_{gs}, V_{ds})$  considerando transistores de canal longo.

Em conclusão, as derivações a seguir assumem que já foi obtida uma solução  $\varphi(x)$  para a equação de Poisson que rege cada um destes dispositivos (eq. 5.13 ou eq. 5.16). Deste modo, o modelo compacto todo é desenvolvido em torno do potencial eletrostático, uma vez que expressões analíticas que dependem explicitamente de  $\varphi(x)$  também são explícitas em relação às tensões de polarização. Isto também permite a compatibilidade do modelo compacto com

outras propostas de aproximação analítica para  $\varphi(x)$ , como as expressões assintóticas (eqs. 5.20 e 5.21), por exemplo.

#### 5.2.4.2 – Solução considerando canal curto

A aproximação de canal gradual não deve ser utilizada para transistores muito curtos, sendo necessário resolver a equação de Poisson em sua forma íntegra. Todavia, como já foi discutido na modelagem de JLNWFETs, no âmbito da eletrostática, os efeitos de canal curto afetam principalmente o comportamento do transistor na região de sublimiar e a própria tensão de limiar. Dessa forma, é possível se restringir a uma solução da equação de Poisson considerando a depleção total de portadores, ou seja,

$$\frac{d^2\varphi(x)}{dx^2} - \frac{\varphi(x)}{\lambda^2} + \frac{C_{ox}(V_{gs} - V_t)}{\varepsilon_s t_s} = 0. \quad (5.28)$$

O terceiro termo desta equação corresponde ao potencial do canal na condição de sublimiar obtido para dispositivos de canal longo, eq. 5.20. Tem-se, portanto, o mesmo tipo de equação diferencial apresentada no Cap. 3:

$$\frac{d^2\varphi(x)}{dx^2} - \frac{\varphi(x) - \varphi_\ell}{\lambda^2} = 0, \quad (5.29)$$

onde

$$\varphi_\ell = \frac{C_{ox}}{C_{ox} + C_i} (V_{gs} - V_{t\ell}). \quad (5.30)$$

A solução para esta equação e as condições de contorno são análogas ao caso do JLNWFET, ou seja:

$$\varphi(x) = \varphi_\ell + \frac{(V_{ds} - \varphi_\ell) \sinh\left(\frac{x}{\lambda}\right) - \varphi_\ell \sinh\left(\frac{L-x}{\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)}. \quad (5.31)$$

Com isto, tem-se a expressão do potencial eletrostático para dispositivos de canal curto na região de sublimiar. A Fig. 5.7 mostra a comparação entre o valor mínimo da eq. 5.19 e o da eq. 5.31 para um 2D-FET com  $L = 12$  nm, evidenciando uma ligeira degradação das características de sublimiar do dispositivo.

Para fins de modelagem compacta, cabe observar que uma expressão para a corrente depende da integração de  $\exp[-\varphi(x)/\phi_T]$  em  $x$  [182], o que precisaria ser feito numericamente considerando a eq. 5.31. Portanto, é imperativo obter uma aproximação que resulte em um tratamento analítico.

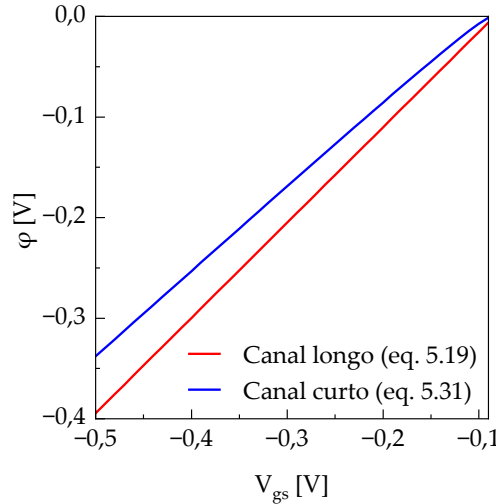


Figura 5.7 – Comparação entre o valor mínimo potencial eletrostático determinado pela eq. 5.19 (canal longo) e pela eq. 5.31 (canal curto) considerando um 2D-FET com porta única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$  e  $L = 12 \text{ nm}$ ,  $V_{ds} = 0,5 \text{ V}$ , óxido de SiO<sub>2</sub> ( $t_{ox} = 5 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 90 \text{ nm}$ ), porta de Al e substrato de n<sup>++</sup> Si.

Utilizando novamente o argumento de que as características da corrente de sublimiar são determinadas primordialmente pelo topo da barreira de potencial, uma abordagem consiste em expandir a eq. 5.31 em séries de Taylor ao redor do ponto ao longo do canal onde o potencial eletrostático é mínimo, como já foi feito para MOSFETs convencionais [208]. Logo, o primeiro passo é determinar o ponto de expansão tomando a derivada da eq. 5.31 em relação a  $x$  e igualando a zero. Tem-se então:

$$x_{\min} = \frac{L}{2} - \frac{\lambda}{2} \ln \left[ \frac{(V_{ds} - \varphi_\ell) + \varphi_\ell \exp(-L/\lambda)}{-\varphi_\ell - (V_{ds} - \varphi_\ell) \exp(-L/\lambda)} \right]. \quad (5.32)$$

Em seguida, retém-se apenas os três primeiros termos da série:

$$\varphi_{\text{aprox}}(x) \approx A_2(x - x_{\min})^2 + A_0, \quad (5.33)$$

onde  $A_i = \frac{d^i \phi}{dx^i}(x = x_{\min})$ . Como  $x_{\min}$  é um ponto de mínimo,  $A_1 = 0$ . A integral de  $\exp(x^2)$  em  $x$  resulta na função-erro  $\text{erf}(x)$ , que pode ser aproximada por [208]

$$\text{erf}(x) \approx \frac{2}{\pi} \tan^{-1} \left[ \frac{\pi}{2} (1,2x^4 + 0,1x^3 + 0,5x^2 + x) \right] \quad (5.34)$$

para obter uma expressão totalmente analítica para a corrente.

A Fig. 5.8 mostra uma comparação entre a expressão exata para o potencial eletrostático e a aproximação por séries de Taylor.

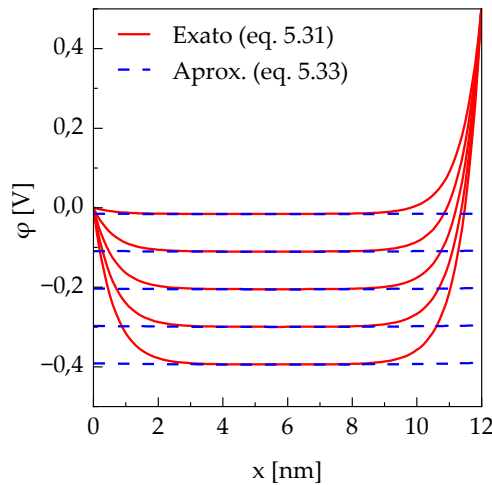


Figura 5.8 – Comparação entre a solução exata e a expressão aproximada para o potencial eletrostático do canal considerando um 2D-FET com porta-única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$  e  $L = 12 \text{ nm}$ ,  $V_{ds} = 0,5 \text{ V}$ , óxido de SiO<sub>2</sub> ( $t_{ox} = 5 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 90 \text{ nm}$ ), porta de Al e substrato de n<sup>++</sup> Si.

Como pode ser observado, o topo da barreira de potencial ocupa a maior parte do canal, de modo que é possível tomar apenas o termo constante da eq. 5.33 nesta situação.

Para dispositivos com canal curto ( $L < 30 \text{ nm}$ ), o campo elétrico lateral no óxido também precisa ser considerado [182], [183]. Neste sentido, revisitando a dedução da equação de Poisson, define-se duas regiões para a aplicação da lei de Gauss: uma superfície  $S_I$  no óxido e uma superfície  $S_{II}$  centrada no canal.

Conforme demonstrado na Fig. 5.9, as duas superfícies envolvem o campo elétrico  $E_{z1}$ . Portanto, basta isolar  $E_{z1}$  no equacionamento em  $S_I$  e reescrevê-lo na eq. 5.11 para incluir a influência do campo elétrico lateral no óxido:



$$E_{z_1} = \frac{V_{gs} - V_{FB} - \varphi(x)}{t_{ox}} + \frac{dE_{ox}(x)}{dx} t_{ox}. \quad (5.35)$$

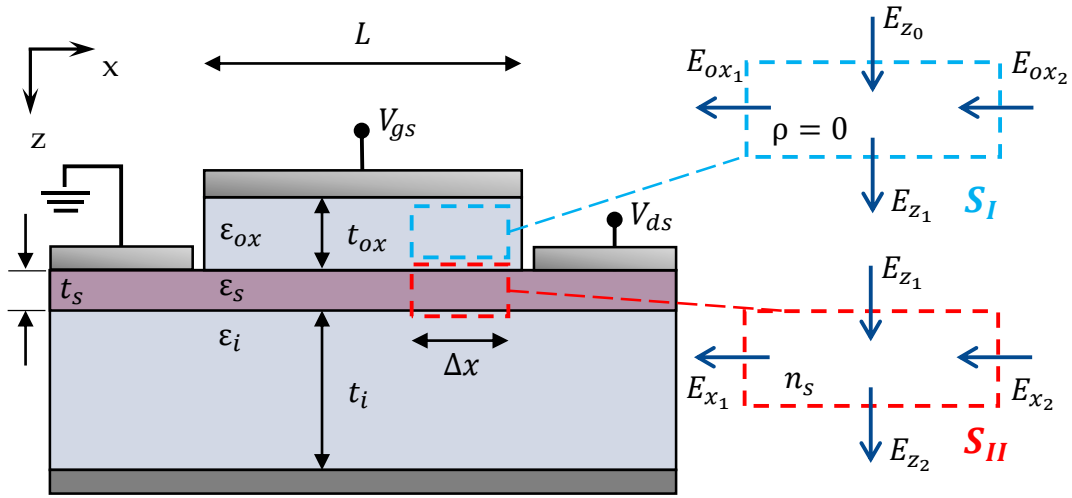


Figura 5.9 – Aplicação da lei de Gauss considerando o campo elétrico lateral no óxido.

Em [183], os autores sugerem uma proporcionalidade entre o campo elétrico no semicondutor  $E_s(x)$  e no óxido  $E_{ox}(x)$ , ou seja,  $E_s(x) = \alpha E_{ox}(x)$ , sendo  $\alpha$  um valor empírico obtido a partir de simulações TCAD. Aplicando este recurso,

$$E_{z_1} = \frac{V_{gs} - V_{FB} - \varphi(x)}{t_{ox}} + \frac{t_{ox}}{\alpha} \frac{d^2 \varphi(x)}{dx^2}. \quad (5.36)$$

Esta aproximação permite reescrever o comprimento característico do 2D-FET (eq. 5.14) para incluir o efeito do campo elétrico lateral do óxido:

$$\lambda = \sqrt{\frac{\epsilon_s t_s t_{ox} t_i}{\epsilon_{ox} t_i + \epsilon_i t_{ox}} + \frac{1}{\alpha} \left( \frac{\epsilon_{ox} t_{ox}^2 t_i}{\epsilon_{ox} t_i + \epsilon_i t_{ox}} \right)}. \quad (5.37)$$

A Fig. 5.10 mostra uma comparação entre a expressão para o potencial eletrostático com e sem a correção para incluir o campo lateral do óxido. Neste caso, um óxido de alta constante dielétrica (HfO<sub>2</sub>) foi necessário para atingir características de sublimiar semelhantes às obtidas anteriormente com SiO<sub>2</sub> (Fig. 5.8), mantendo constante  $t_{ox}$  e os demais parâmetros. Isto indica que o efeito parasita do campo lateral no óxido é bastante relevante para 2D-FETs de canal curto e seu impacto precisa ser investigado com maior atenção.

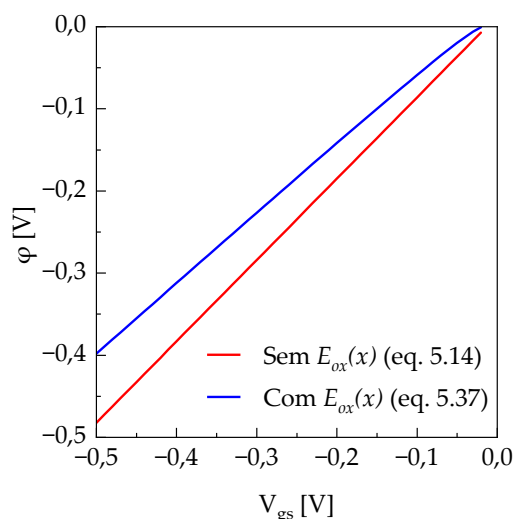


Figura 5.10 – Comparação entre a expressão para o potencial eletrostático com e sem a inclusão do campo lateral do óxido considerando um 2D-FET com porta-única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$  e  $L = 12 \text{ nm}$ ,  $V_{ds} = 0,5 \text{ V}$ , óxido de HfO<sub>2</sub> ( $t_{ox} = 5 \text{ nm}$ ), isolante de SiO<sub>2</sub> ( $t_i = 90 \text{ nm}$ ), porta de Al e substrato de n<sup>++</sup> Si. Um fator de proporcionalidade  $\alpha = 0,96\epsilon_{ox}/\epsilon_{SiO_2}$  foi considerado, em consonância com a ref. [183].

Em última nota, a análise apresentada nesta subseção é essencialmente a mesma para dispositivos de porta-dupla, desde que tomadas as devidas precauções ao definir  $\varphi_\ell$  e  $\lambda$ .

### 5.2.5 – Considerações sobre armadilhas de interface

Embora os materiais bidimensionais não façam ligações químicas fora do plano, armadilhas de interface podem ser induzidas pelos materiais subjacentes ou por defeitos e impurezas na rede cristalina. Este cenário é agravado pela imaturidade das técnicas de fabricação para 2D-FETs, que estão bastante aquém do estado-da-arte para o silício. Logo, ainda que a resolução deste problema seja uma condição imperativa para viabilizar dispositivos de alta performance, é preciso ponderar que mesmo os melhores 2D-FETs fatalmente serão afetados por armadilhas de interface, especialmente considerando a baixa densidade de estados destes materiais em comparação aos semicondutores tridimensionais.

O dissulfeto de molibdênio é tomado como referência nesta seção por ser o material bidimensional mais estudado no âmbito da nanoeletrônica. Nele,

armadilhas de interface podem ocorrer devido a três fatores principais [209]: i) defeitos na rede cristalina, como a vacância de enxofre (S); ii) defeitos no isolante do substrato e/ou no óxido de porta; e iii) tensionamento na rede cristalina induzida externamente.

A vacância de enxofre é relativamente comum quando o material é crescido por CVD e resulta em estados localizados próximos ao meio da banda proibida ( $\mathcal{E}_{it} = \mathcal{E}_c - 0,46 \text{ eV}$ ) [210]. Logo, embora a densidade de estados de interface seja tipicamente alta ( $10^{12} - 10^{13} \text{ cm}^{-2}$ ), o controle eletrostático não é alterado significativamente. Por outro lado, estes defeitos pontuais resultam em uma dopagem não-intencional tipo-n e reduzem a mobilidade do material ao aumentar o espalhamento coulombiano, de modo que precisam ser controlados.

De forma geral, o isolante do substrato apresenta baixíssima presença de defeitos, uma vez que tipicamente trata-se da oxidação térmica do silício, uma técnica bastante madura. Logo, a densidade de estados de interface é da ordem de  $10^{11} \text{ cm}^{-2}$  ou menor. Em contraste, a deposição de um óxido de porta com alta constante dielétrica sobre um material bidimensional é um problema desafiador e acarreta vários defeitos. É necessário, por exemplo, um tratamento com radiação ultravioleta e ozônio para preparar a superfície e, muitas vezes, também são empregadas camadas intermediárias a fim de melhorar a qualidade da interface entre o óxido e o semicondutor. Além disso, a deposição do óxido utilizando a técnica de ALD em relativa baixa temperatura ( $200^\circ \text{ C}$ ) também introduz armadilhas no material [211].

Por fim, como apontado em vários trabalhos de Nan Fang *et al.* [209], [212], [213], a principal origem de estados de interface próximos à banda de condução no  $\text{MoS}_2$  é o tensionamento da rede cristalina induzido externamente. Isto ocorre porque a formação da banda proibida neste material se deve principalmente à separação do orbital d no molibdênio, que ajuda a compor tanto a banda de condução quanto a banda de valência. Logo, como o material é extremamente

fino, pequenas rugosidades ou defeitos nos isolantes adjacentes são capazes de distorcer pontualmente a ligação química entre molibdênio e enxofre, perturbando a estrutura de bandas. Em consequência, armadilhas de interface com uma distribuição em formato de U aparecem no interior da banda proibida.

A conjunção destes fatores pode ser modelada com uma expressão para a distribuição dos estados de interface próximos à banda de condução, que se comportam como aceitadores:

$$D_{it}(\mathcal{E}) = D_{it0} + D_{it1} \exp\left(-\frac{\mathcal{E}_c - \mathcal{E}}{\mathcal{E}_\sigma}\right), \quad (5.38)$$

onde  $D_{it0}$  é um valor constante,  $D_{it1}$  é o valor de pico e  $\mathcal{E}_\sigma$  determina a taxa de decaimento da exponencial. A Fig. 5.11 demonstra a validação deste modelo com os dados experimentais apresentados por Fang *et al.* [209].

O impacto das armadilhas de interface sobre o potencial do canal pode ser incluído no modelo considerando que há uma fração da densidade de portadores  $n_{it}(x)$  ocupando estes estados de interface de acordo com a posição do nível de Fermi. Contudo, esta abordagem dificulta significativamente a obtenção de uma expressão analítica explícita para  $\phi(V_{gs})$ .

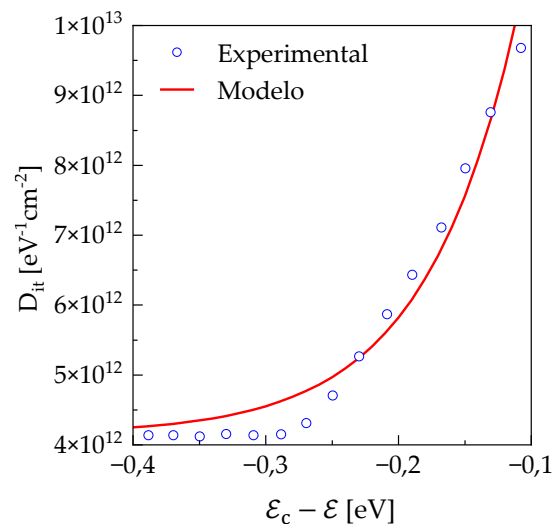


Figura 5.11 – Validação da expressão para a distribuição dos estados de interface com dados experimentais [209] considerando um 2D-FET com porta-única, canal de MoS<sub>2</sub> monocamada, óxido de Al<sub>2</sub>O<sub>3</sub>, isolante de SiO<sub>2</sub>, porta de Al e substrato de n<sup>++</sup> Si. Parâmetros:  $D_{it0} = 4,15 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$ ,  $D_{it1} = 2,9 \times 10^{13} \text{ eV}^{-1}\text{cm}^{-2}$  e  $\mathcal{E}_\sigma = 0,07 \text{ eV}$ .

Para fins de modelagem compacta, Xu *et al.* [202] observam que os efeitos das armadilhas de interface sobre o potencial eletrostático são predominantes apenas na região de sublimiar. Nestas condições, o nível de Fermi está longe do fundo da banda de condução e  $D_{it0}$  é o termo dominante na eq. 5.38. Logo, é conveniente considerar novamente uma distribuição uniforme com um valor efetivo,

$$D_{it}(\mathcal{E}) = \overline{D_{it}}. \quad (5.39)$$

Também é possível simplificar a probabilidade de ocupação destes estados conforme discutido no Cap. 3. Desta forma, tem-se uma capacitância devido às armadilhas de interface dada como:

$$C_{it} = q^2 \overline{D_{it}}. \quad (5.40)$$

E o potencial do canal na região de sublimiar é reescrito como:

$$\varphi(x) \cong \frac{C_{ox}}{C_{ox} + C_i + C_{it}} (V_{gs} - V_t). \quad (5.41)$$

Esta aproximação é justificada comparando  $C_{it}$  calculada a partir da eq. 5.38 com a capacitância quântica, definida como [182]

$$C_Q = q \frac{\partial n_s}{\partial \varphi}. \quad (5.42)$$

Também chamada de capacitância eletroquímica [214], este termo está diretamente associado à densidade de estados bidimensional e representa o preenchimento dos níveis discretos de energia na banda de condução.

A Fig. 5.12 mostra uma comparação entre as duas capacitâncias para  $V_{gs} < V_t$ . A capacitância quântica cresce exponencialmente com  $\varphi$  e ultrapassa  $C_{it}$ , que tem um comportamento aproximadamente constante quando  $V_{gs} \ll V_t$ . Na ref. [209], os autores sugerem que  $\overline{D_{it}} = 8 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$  é capaz de reproduzir a inclinação de sublimiar medida experimentalmente para este dispositivo.

O dispositivo da ref. [209] é fabricado com uma camada intermediária de 1 nm de óxido de ítrio ( $\text{Y}_2\text{O}_3$ ) para facilitar a deposição da camada de  $\text{Al}_2\text{O}_3$  sobre  $\text{MoS}_2$  e melhorar a qualidade da interface. Na ref. [213], os autores apontam que

a camada de material intermediário precisa ser extremamente fina ( $\sim 1$  nm), densa e compacta, além de apresentar baixíssima rugosidade e não fazer ligações covalentes com o material bidimensional. Eles então demonstram a fabricação de um 2D-FET de MoS<sub>2</sub> com camada intermediária de material orgânico PTCDA (dianidrido 3,4,9,10-perileno tetracarboxílico) e óxido de háfnio. Desta forma, é possível obter  $D_{it0} = 8 \times 10^{11}$  eV<sup>-1</sup>cm<sup>-2</sup>, resultando em uma inclinação de sublimiar da ordem de 60 mV/década.

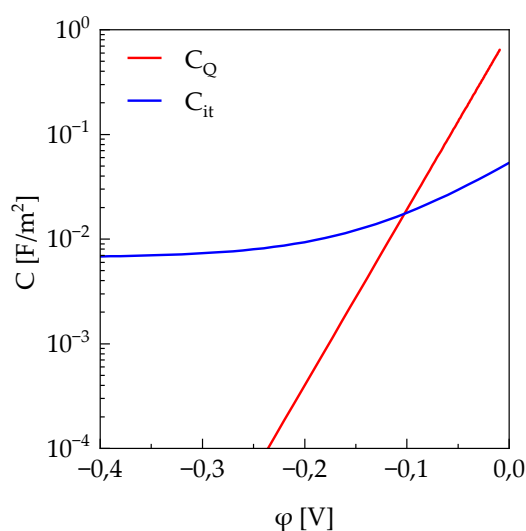


Figura 5.12 – Comparação entre as capacitâncias  $C_Q$  e  $C_{it}$  considerando um 2D-FET com porta-única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11}$  cm<sup>-2</sup>,  $V_{ds} = 0$  V, óxido de Al<sub>2</sub>O<sub>3</sub> ( $t_{ox} = 5$  nm, efetivo), isolante de SiO<sub>2</sub> ( $t_i = 90$  nm), porta de Al e substrato de n<sup>++</sup> Si,  $D_{it0} = 4,15 \times 10^{12}$  eV<sup>-1</sup>cm<sup>-2</sup>,  $D_{it1} = 2,9 \times 10^{13}$  eV<sup>-1</sup>cm<sup>-2</sup> e  $\mathcal{E}_\sigma = 0,07$  eV.

Em suma, a abordagem adotada para modelar as armadilhas de interface é essencialmente a mesma dos JLNWFETs, dado que os estudos mais recentes apontam para uma melhoria significativa na qualidade de fabricação dos materiais bidimensionais, especialmente o dissulfeto de molibdênio. Por fim, cabe ressaltar que a análise aqui apresentada se estende de forma trivial à configuração de porta-dupla.

### 5.3 – Modelagem das características I-V para 2DFETs

Uma vez obtidas expressões analíticas para o comportamento eletrostático do transistor, a modelagem compacta de 2D-FETs pode ser desenvolvida

considerando dois tipos de transporte de portadores, com finalidades distintas: i) difusão-deriva, para os dispositivos atuais que ainda estão em caráter de investigação e/ou para aplicações com requisitos mais flexíveis; e ii) balístico, para dispositivos que serão consolidados a longo prazo, visando aplicações de alta performance.

A seguir, é apresentada uma modelagem compacta baseada em difusão-deriva integrando progressivamente os principais efeitos deletérios presentes em transistores de canal curto. A validação de diferentes etapas do modelo se concentra em dados experimentais e de simulação extraídos da literatura acerca de transistores de dissulfeto de molibdênio, uma vez que este é o material bidimensional mais estudado para aplicações em nanoeletrônica.

### 5.3.1 – Transporte por difusão-deriva

As características I-V do 2D-FET considerando transporte de portadores por difusão-deriva são obtidas resolvendo a seguinte relação:

$$I_{ds}(x) = qWn_s(x)\mu(x)\frac{dV(x)}{dx}. \quad (5.43)$$

Para uma primeira análise, é oportuno considerar uma mobilidade de portadores constante  $\mu_0$ . Dado que a corrente é uniforme ao longo do canal, ela é escrita como:

$$I_{ds} = \frac{qW\mu_0}{L} \int_0^{V_{ds}} n_s dV. \quad (5.44)$$

Levando em conta a aproximação de canal gradual, tem-se uma expressão para o potencial do nível de Fermi em função do potencial do canal a partir da eq. 5.19:

$$V = \varphi - \phi_T \ln \left[ \frac{C_{ox}(V_{gs} - V_t) - (C_{ox} + C_i)\varphi}{qN_{DoS}} \right]. \quad (5.45)$$

Da mesma forma, também é possível escrever a densidade de portadores em função do potencial do canal:

$$n_s = \frac{C_{ox}(V_{gs} - V_t) - (C_{ox} + C_i)\phi}{q}. \quad (5.46)$$

Logo, é conveniente fazer uma mudança de variáveis na integral da eq. 5.44:

$$I_{ds} = \frac{qW\mu_0}{L} \int_{\phi_s}^{\phi_d} n_s \frac{dV}{d\phi} d\phi, \quad (5.47)$$

onde  $\phi_s = \phi(V = 0)$ ,  $\phi_d = \phi(V = V_{ds})$  e

$$\frac{dV}{d\phi} = 1 + \frac{(C_{ox} + C_i)\phi_T}{qn_s}. \quad (5.48)$$

Resolvendo a integral, obtém-se expressão para as características I–V de um dispositivo com porta-única e canal longo, desconsiderando efeitos deletérios:

$$I_{ds} = \frac{W\mu_0}{L} \left\{ \begin{aligned} & [C_{ox}(V_{gs} - V_t) + (C_{ox} + C_i)\phi_T](\phi_d - \phi_s) \\ & - \frac{(C_{ox} + C_i)}{2}(\phi_d^2 - \phi_s^2) \end{aligned} \right\}. \quad (5.49)$$

Uma vez que a expressão para o potencial pode ser obtida de forma explícita utilizando a técnica apresentada na seção anterior, as características I–V também podem ser calculadas sem auxílio de rotinas numéricas, em contraste com a resolução proposta por Cao *et al.* [182].

A Fig. 5.13 mostra a validação da eq. 5.49 com dados de simulação apresentados em [182], resultando em excelente concordância e reproduzindo corretamente as características I–V. O uso da aproximação analítica para o potencial eletrostático (eq. 5.24) também provê uma descrição bastante precisa, quase idêntica à solução exata obtida numericamente. Para fins de comparação, a diferença entre as curvas  $I_{ds} - V_{ds}$  exata e analítica considerando  $V_{gs} = 0,5$  V se mantém abaixo de 5% em todo o intervalo de interesse.

Observando a curva  $I_{ds} - V_{gs}$  em escala logarítmica, é possível notar uma discrepância na região de sublimiar. Esta anomalia ocorre porque um pequeno desvio na aproximação do potencial do lado do contato de fonte acaba por ser amplificado pelos termos  $\phi_d - \phi_s$  e  $\phi_d^2 - \phi_s^2$  da eq. 5.49, de modo que a corrente se torna ligeiramente negativa para  $V_{gs} \ll V_t$ . Este erro também pode ocorrer quando a eq. 5.49 é resolvida numericamente, a depender do critério de



convergência utilizado. Logo, trata-se de uma limitação inerente à formulação da corrente em função da diferença entre os valores do potencial eletrostático nas duas extremidades do canal.

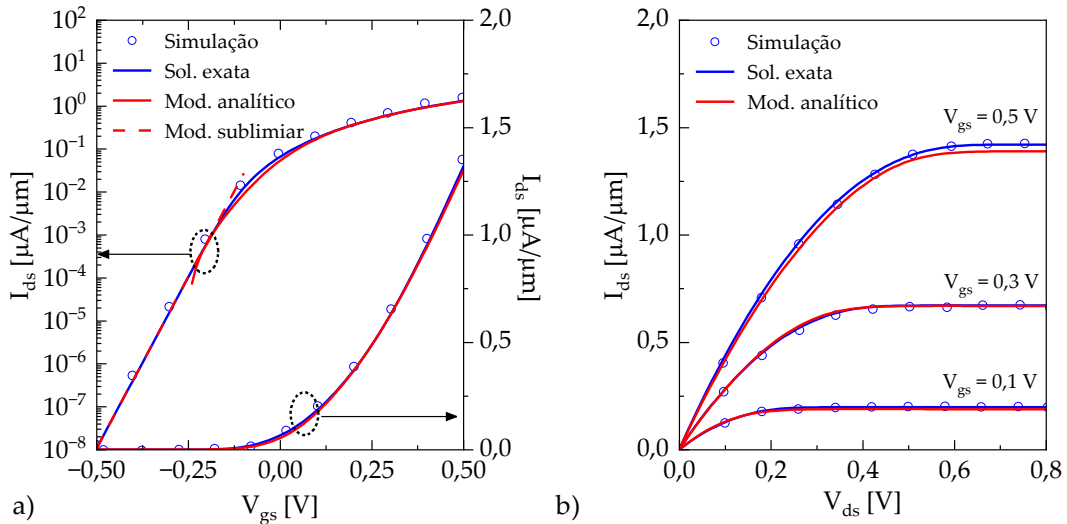


Figura 5.13 – Validação das características I-V ideais com dados de simulação [182] considerando um transistor de porta-única. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$  para vários valores de  $V_{gs}$ . Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ , óxido de SiO<sub>2</sub> ( $t_{ox} = 2 \text{ nm}$ ), isolante de Al<sub>2</sub>O<sub>3</sub> ( $t_i = 90 \text{ nm}$ ), porta de Al, substrato de n<sup>++</sup> Si,  $\mu_0 = 50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 10 \text{ }\mu\text{m}$ . As curvas rotuladas como “solução exata” correspondem à solução numérica da eq. 5.19 enquanto as rotuladas como “modelo” são provenientes das eqs. 5.20 e 5.24.

Por outro lado, este erro desaparece quando a eq. 5.20 é utilizada para calcular o potencial na região de sublimiar (Fig. 5.13-a), uma vez que a expressão para a corrente pode ser escrita diretamente em função das tensões aplicadas. Logo, para fins de implementação em simuladores, uma maneira simples de resolver este problema é realizar a interpolação das duas curvas em vermelho na Fig. 5.13-a. Alternativamente, também é possível reduzir o erro de aproximação otimizando a função de mapeamento e/ou retendo mais termos na aproximação por série de Taylor (eq. 5.22), de modo a manter um tratamento contínuo.

Seguindo os mesmos passos descritos anteriormente, mas considerando uma disposição de porta-dupla, obtém-se uma expressão para as características I-V destes dispositivos:

$$I_{ds} = \frac{2W\mu_0}{L} \left[ C_{ox}(V_{gs} - V_t + \Phi_T)(\varphi_d - \varphi_s) - \frac{C_{ox}}{2}(\varphi_d^2 - \varphi_s^2) \right]. \quad (5.50)$$

A Fig. 5.14 mostra a validação da eq. 5.50 com dados de simulação apresentados em [182]. O uso da aproximação analítica para o potencial eletrostático (eq. 5.26) novamente provê uma boa concordância, exceto pela mesma discrepância na região de sublimiar que foi discutida anteriormente.

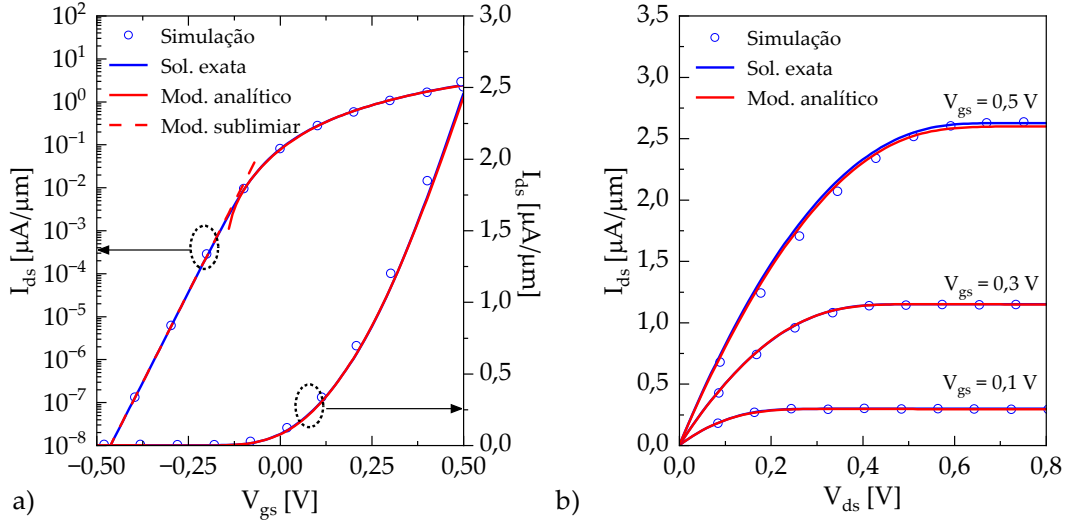


Figura 5.14 – Validação das características I-V ideais com dados de simulação [182] considerando um transistor de porta-dupla. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$  para vários valores de  $V_{gs}$ . Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ , óxido de SiO<sub>2</sub> ( $t_{ox} = 2 \text{ nm}$ ), porta de Al,  $\mu_0 = 50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 10 \text{ }\mu\text{m}$ . As curvas rotuladas como “solução exata” correspondem à solução numérica da eq. 5.25 enquanto as rotuladas como “modelo” são provenientes das eqs. 5.26 e 5.24.

Analisando somente a região de sublimiar, tem-se que a eq. 5.44 pode ser resolvida com auxílio da eq. 5.20:

$$\begin{aligned} I_{ds} &= \frac{qW\mu_0}{L} \int_0^{V_{ds}} N_{D0S} \exp \left[ \frac{C_{ox}}{C_{ox} + C_i} \left( \frac{V_{gs} - V_t - V}{\Phi_T} \right) \right] dV \\ &= \frac{W\mu_0 q N_{D0S} \Phi_T}{L} \exp \left[ \frac{C_{ox}}{C_{ox} + C_i} \left( \frac{V_{gs} - V_t}{\Phi_T} \right) \right] \left[ 1 - \exp \left( \frac{-V_{ds}}{\Phi_T} \right) \right] \end{aligned} \quad (5.51)$$

Considerando agora o potencial eletrostático incluindo efeitos de canal-curto (eq. 5.33), tem-se:

$$I_{ds} = \frac{2W\mu_0 q N_{D0S} \Phi_T \sqrt{\frac{A_2}{\pi\Phi_T}} \exp \left( \frac{A_0}{\Phi_T} \right) \left[ 1 - \exp \left( -\frac{V_{ds}}{\Phi_T} \right) \right]}{\text{erf} \left[ \sqrt{\frac{A_2}{\Phi_T}} x_{\min} \right] + \text{erf} \left[ \sqrt{\frac{A_2}{\Phi_T}} (L - x_{\min}) \right]}, \quad (5.52)$$

onde, novamente, a função-erro  $\text{erf}(x)$  pode ser aproximada por expressões como a apresentada na eq. 5.34.

A Fig. 5.15 mostra a validação da eq. 5.52 com dados de simulação TCAD apresentados em [183]. Uma vez que o dispositivo utiliza 2,6 nm de  $\text{Al}_2\text{O}_3$  como óxido de porta, a correção para incluir o efeito do campo elétrico lateral do óxido (eq. 5.37) precisa ser empregada. Para comparação, também é apresentada a corrente de sublimiar considerando canal longo (eq. 5.51), de modo a ressaltar a degradação da inclinação de sublimiar.

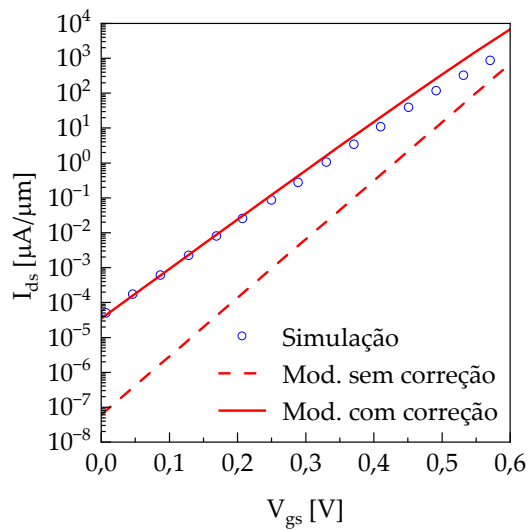


Figura 5.15 – Validação das características  $I_{ds} - V_{gs}$  com dados de simulação TCAD [183] considerando um transistor de porta-única e canal curto. Parâmetros: canal de  $\text{MoS}_2$  monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ ,  $\mu_0 = 320 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  e  $L = 5,9 \text{ nm}$ ,  $V_{ds} = 0,64 \text{ V}$ , óxido de  $\text{HfO}_2$  ( $t_{ox} = 2,6 \text{ nm}$ ), isolante de  $\text{SiO}_2$  ( $t_i = 270 \text{ nm}$ ) e substrato de  $n^{++} \text{ Si}$ . A tensão de limiar foi atribuída como  $V_t = 0,7 \text{ V}$  para adequar aos dados. Um fator de proporcionalidade  $\alpha = 0,96\epsilon_{ox}/\epsilon_{\text{SiO}_2}$  foi considerado para a correção devido ao campo lateral no óxido.

Levando em conta agora a degradação da inclinação de sublimiar devido às armadilhas de interface (eq. 5.41), tem-se:

$$I_{ds} = \frac{W\mu_0qN_{\text{DoS}}\Phi_T}{L} \exp\left[\frac{C_{ox}}{C_{ox} + C_i + C_{it}}\left(\frac{V_{gs} - V_t}{\Phi_T}\right)\right] \left[1 - \exp\left(\frac{-V_{ds}}{\Phi_T}\right)\right], \quad (5.53)$$

A Fig. 5.16 mostra a validação da eq. 5.53 com dados experimentais apresentados em [144]. O dispositivo de  $\text{MoS}_2$  é fabricado utilizando o método de esfoliação mecânica e transferência para um substrato de  $\text{Si/SiO}_2$ . Em seguida,

30 nm de  $\text{HfO}_2$  são depositados utilizando a técnica de ALD. Logo, como discutido anteriormente, é natural o aparecimento de defeitos nas interfaces entre semiconductor e isolante/óxido. Uma densidade de estados de interface  $D_{it} = 4 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$  é empregada para reproduzir os dados experimentais. Para comparação, também é apresentada a corrente de sublimiar ideal (eq. 5.51).

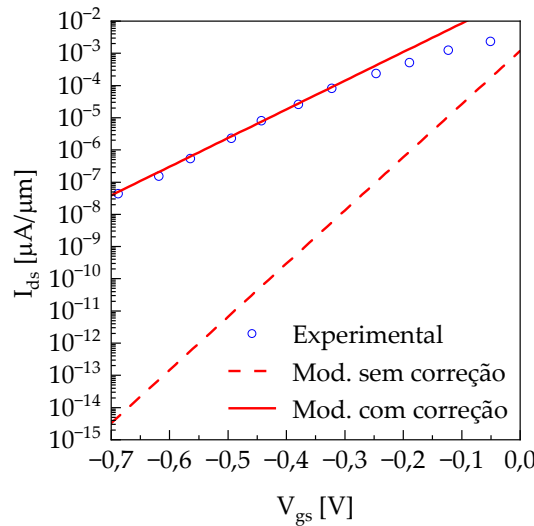


Figura 5.16 – Validação das características  $I_{ds} - V_{gs}$  com dados experimentais de [144] considerando um transistor de porta-única. Parâmetros: canal de  $\text{MoS}_2$  monocamada com  $N_D = 3,5 \times 10^{11} \text{ cm}^{-2}$ ,  $\mu_0 = 47 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ,  $L = 0,5 \text{ µm}$ ,  $W = 4 \text{ µm}$ ,  $V_{ds} = 0,01 \text{ V}$ , óxido de  $\text{HfO}_2$  ( $t_{ox} = 30 \text{ nm}$ ), isolante de  $\text{SiO}_2$  ( $t_i = 270 \text{ nm}$ ) e substrato de  $n^+ \text{ Si}$ . A tensão de limiar foi atribuída como  $V_t = 0,23 \text{ V}$ . Uma densidade de estados de interface  $D_{it} = 4 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$  é empregada para reproduzir os dados experimentais.

De forma mais conveniente para a modelagem compacta, os efeitos presentes nas eqs. 5.52 e 5.53 podem ser incluídos de forma semi-empírica introduzindo parâmetros de ajuste:

$$I_{ds} = \frac{W\mu_0qN_{\text{DoS}}\Phi_T}{L_{\text{eff}}} \exp\left[\frac{C_{ox}}{C_{ox} + C_i}\left(\frac{V_{gs} - V_t + \Delta V_t}{\eta\Phi_T}\right)\right] \left[1 - \exp\left(\frac{-V_{ds}}{\beta_{sub}\Phi_T}\right)\right], \quad (5.54)$$

onde  $L_{\text{eff}}$  é o comprimento efetivo do canal,  $\beta_{sub}$  é o fator de DIBL,  $\Delta V_t$  é o deslocamento da tensão de limiar e  $\eta$  é a degradação da inclinação de sublimiar. Os dois primeiros são causados exclusivamente pela interferência da tensão de dreno sobre o controle do canal exercido pelo contato de porta enquanto os derradeiros também podem ser consequência das armadilhas de interface. A validação desta abordagem será apresentada no contexto do transporte balístico.

Ainda, analisando agora o comportamento da corrente acima do limiar, tem-se que valores altos de tensão de porta ou tensão de dreno podem levar à degradação da mobilidade dos portadores e à saturação de velocidade, respectivamente. Ambos os efeitos também podem ser introduzidos de forma semi-empírica neste modelo compacto fazendo alterações no parâmetro  $\mu(x)$ . Neste caso, a mobilidade deixa de ser um valor constante e passa a variar efetivamente com as tensões aplicadas ao transistor.

Quando um campo elétrico vertical intenso é aplicado, ocorre o deslocamento do centroide de carga do canal em direção ao óxido de porta ou ao isolante do substrato, dependendo da polaridade. Como resultado, os portadores de carga passam a sofrer uma influência mais pronunciada das ligações químicas pendentes, da rugosidade na interface e de eventuais cargas fixas presentes nesses dielétricos. Este fenômeno, por sua vez, amplia o espalhamento de superfície, resultando na degradação da mobilidade efetiva do material bidimensional.

Cao *et al.* [182] sugere que o modelo empírico de mobilidade comumente empregado em MOSFETs de silício pode ser reaproveitado para descrever este fenômeno em 2D-FETs. Logo, adotando essa premissa, tem-se:

$$\mu(x) = \frac{\mu_0}{1 + \left( \frac{\varepsilon_{ox}|E_{z_1}(x)| + \varepsilon_i|E_{z_2}(x)|}{\varepsilon_s|E_{z_c}|} \right)^\zeta}, \quad (5.55)$$

onde  $E_{z_1}(x)$  e  $E_{z_2}(x)$  estão descritos na eq. (5.11),  $E_{z_c}$  é o valor crítico do campo elétrico vertical e  $\zeta$  é um parâmetro de ajuste.

É importante notar que  $E_{z_1}(x)$  e  $E_{z_2}(x)$  possuem uma dependência não-trivial com  $V(x)$  por meio das eqs. 5.11 e 5.19, de modo que a integral em

$$I_{ds} = \frac{qW}{L} \int_0^{V_{ds}} \mu(x)n_s(x)dV(x) \quad (5.56)$$

precisa, a princípio, ser resolvida numericamente.

Uma aproximação possível é tomar um ponto médio ao longo do canal para obter novamente um valor constante de mobilidade em relação a  $x$ , ou seja,

$$\mu_{\text{deg}} = \mu(x = L/2), \quad (5.57)$$

onde  $\mu(x)$  é calculado pela eq. 5.55. Desta forma,  $\mu(x)$  pode ser removido da integral na eq. 5.56 e tem-se a corrente dada pela eq. 5.50 fazendo simplesmente  $\mu_0 \rightarrow \mu$ . Para formalizar uma expressão analítica voltada à modelagem compacta das características I-V, adota-se a seguinte convenção:

$$\mu = \begin{cases} \mu_0, & V_{gs} \leq V_t \\ \mu_{\text{deg}}, & V_{gs} > V_t \end{cases} \quad (5.58)$$

A Fig. 5.17-a mostra a validação da corrente incluindo a degradação de mobilidade com dados de simulação apresentados em [182]. A aproximação analítica é capaz de reproduzir efetivamente o comportamento das características  $I - V$  acima do limiar. A corrente ideal (eq. 5.49) também é exibida para fins de comparação. A Fig. 5.17-b mostra a mobilidade em função da tensão de porta aplicada ao dispositivo. Neste caso,  $E_{z_c} = 21 \times 10^7$  V/m e  $r = 1,3$  são utilizados como parâmetros de ajuste.

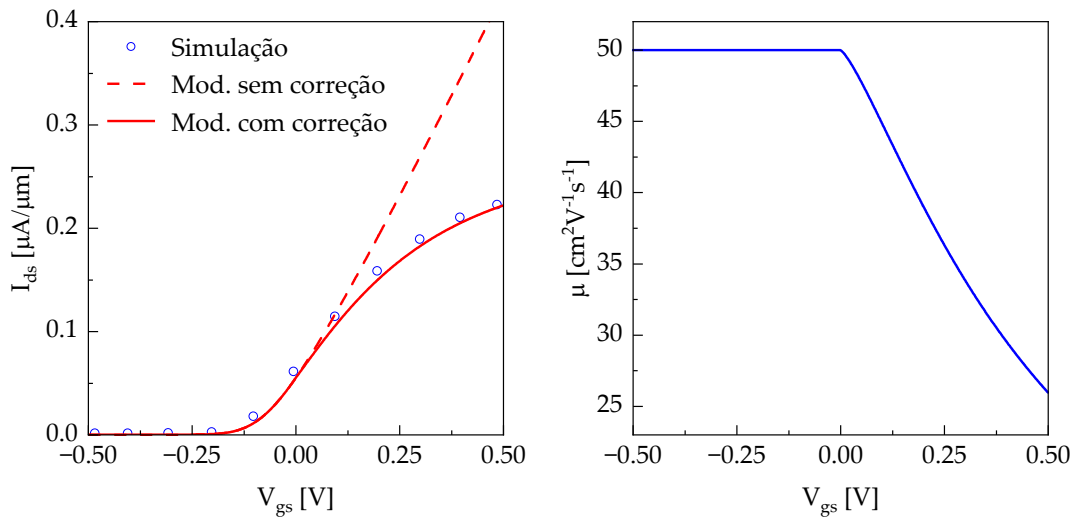


Figura 5.17 – Validação das características I-V incluindo a degradação da mobilidade com dados de simulação [182] considerando um transistor de porta-única. a)  $I_{ds} - V_{gs}$ . b)  $\mu - V_{gs}$ . Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3,5 \times 10^{11}$  cm<sup>-2</sup>, óxido de SiO<sub>2</sub> ( $t_{ox} = 2$  nm), isolante de Al<sub>2</sub>O<sub>3</sub> ( $t_i = 90$  nm), porta de Al, substrato de n<sup>++</sup> Si,  $\mu_0 = 50$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>,  $L = 10$   $\mu\text{m}$ .  $E_{z_c} = 21 \times 10^7$  V/m e  $\zeta = 1,3$  são utilizados como parâmetros de ajuste.

Também quando o campo elétrico horizontal atinge um valor crítico  $E_{x_c}$  próximo ao contato de dreno, a velocidade dos portadores entra em saturação, passando a ser igual a um valor constante  $v_{sat}$ . Esse efeito pode ser adequadamente incluído no modelo via uma função semi-empírica que é bastante utilizada para modelar MOSFETs convencionais [184], [190]:

$$\mu(x) = \frac{\mu_0}{1 + \left[ \frac{\mu_0 E_x(x)}{v_{sat}} \right]}, \quad (5.59)$$

onde  $E_x(x) = d\varphi(x)/dx \approx (\varphi_d - \varphi_s)/L$  dentro da aproximação de canal gradual.

Conforme discutido em [190], além de corrigir a mobilidade, também é necessário reconsiderar o limite superior de integração na eq. 5.47. Isto porque o potencial eletrostático do dreno satura em um valor  $\varphi_{d_{sat}}$  em decorrência da conservação de carga. Logo, para  $\varphi_d \leq \varphi_{d_{sat}}$ , tem-se

$$I_{ds} = \frac{W}{L} \frac{\mu_0}{1 + \left[ \frac{\mu_0(\varphi_d - \varphi_s)}{v_{sat}L} \right]} \left\{ \begin{aligned} & [C_{ox}(V_{gs} - V_t) + (C_{ox} + C_i)\Phi_T](\varphi_d - \varphi_s) \\ & - \frac{(C_{ox} + C_i)}{2}(\varphi_d^2 - \varphi_s^2) \end{aligned} \right\}. \quad (5.60)$$

O valor do potencial eletrostático para o qual tem-se saturação de velocidade é facilmente calculado por meio da condição

$$\left. \frac{dI_{ds}}{d\varphi_d} \right|_{\varphi_d = \varphi_{d_{sat}}} = 0. \quad (5.61)$$

Com o auxílio da eq. 5.21, também é possível calcular o valor de  $V_{ds}$  que leva à saturação da corrente:

$$V_{ds_{sat}} \cong \varphi_{d_{sat}} - \Phi_T \ln \left[ \frac{C_{ox}}{qN_{D0S}}(V_{gs} - V_t) \right]. \quad (5.62)$$

Para  $\varphi_d > \varphi_{d_{sat}}$ , a corrente  $I_{ds}$  é calculada simplesmente tomando  $\varphi_d \rightarrow \varphi_{d_{sat}}$  na eq. 5.60.

A Fig. 5.18 mostra a validação da corrente de dreno incluindo a saturação de velocidade com dados de simulação apresentados em [215]. O modelo reproduz com eficiência o comportamento das características  $I - V$  em regime de

saturação considerando  $v_{sat} = 3 \times 10^6$  cm/s, valor bastante próximo ao obtido neste mesmo estudo de simulação utilizando o método de Monte Carlo. Para comparação, a corrente ideal (eq. 5.49) também é exibida, ressaltando o efeito da correção empregada na mobilidade dos portadores (eq. 5.59).

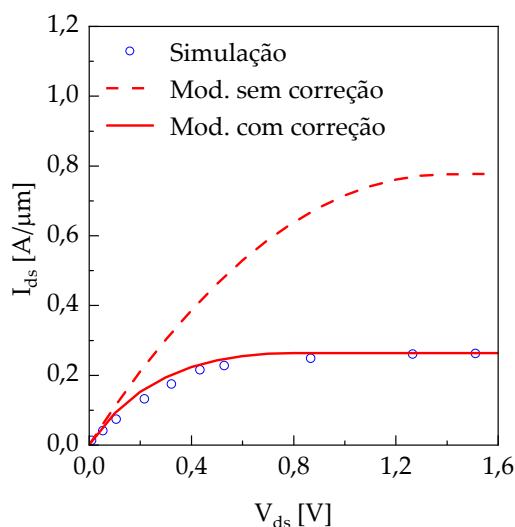


Figura 5.18 – Validação das características  $I_{ds} - V_{ds}$  incluindo a saturação de velocidade com dados de simulação [215] considerando um transistor de porta-única. Parâmetros: canal de MoS<sub>2</sub> monocamada com  $N_D = 3 \times 10^{12}$  cm<sup>-2</sup>, óxido de HfO<sub>2</sub> ( $t_{ox} = 13$  nm), isolante de SiO<sub>2</sub> ( $t_i = 270$  nm), porta de Al, substrato de n<sup>+</sup> Si,  $\mu_0 = 50$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>,  $L = 100$  nm e  $v_{sat} = 3 \times 10^6$  cm/s.

A fim de consolidar este trabalho, o modelo compacto também é validado com dados experimentais [216], conforme exposto na Fig. 5.19. Os resultados demonstram excelente concordância, reproduzindo corretamente os diversos aspectos das características I-V. Um fator constante foi utilizado para ajustar a amplitude da corrente aos dados experimentais. Este fator pode ser atribuído ao efeito da resistência de acesso de 1,3 k $\Omega$ - $\mu\text{m}$  reportada pelos autores. O efeito de modulação do comprimento do canal também não está sendo considerado, o que explica as pequenas discrepâncias das curvas  $I_{ds} - V_{ds}$  (Fig. 5.19-b). Entretanto, este efeito já foi amplamente explorado na literatura de MOSFETs e pode ser facilmente incorporado em uma extensão do modelo aqui apresentado.



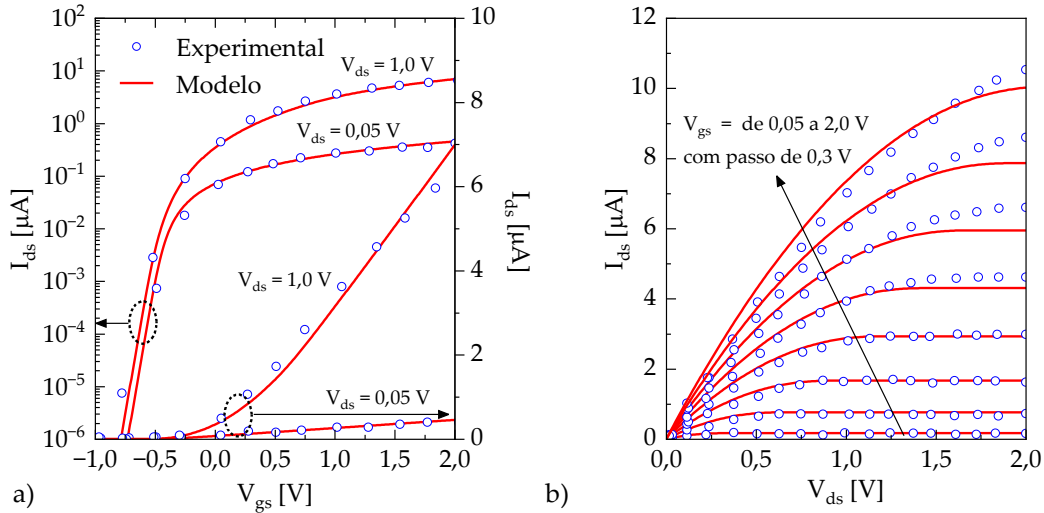


Figura 5.19 – Validação das características I–V com dados experimentais [216] considerando um transistor de porta-única. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$  para vários valores de  $V_{gs}$ . Parâmetros: canal de MoS<sub>2</sub> com  $t_s = 5$  nm e  $N_D = 5 \times 10^{11}$  cm<sup>-2</sup>, óxido de ZrO<sub>2</sub> ( $t_{ox} = 20$  nm), isolante de SiO<sub>2</sub> ( $t_i = 260$  nm), porta de Ni, substrato de n<sup>++</sup> Si,  $\mu_0 = 38$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>,  $L = 2$  μm e  $W = 3,3$  μm. Um fator constante de 0,375 foi utilizado para ajustar a amplitude da corrente aos dados experimentais. Este fator pode ser atribuído ao efeito da resistência de acesso de 1,3 kΩ-μm reportada pelos autores.

Em suma, tem-se uma descrição analítica que serve como base para um modelo compacto voltado a 2D-FETs que operam em regime de difusão-deriva. Cabe observar que as correções aqui apresentadas podem ser implementadas na rotina de modelagem por meio de modificações na formulação do potencial eletrostático e de condicionais para o cálculo das características I–V dados os valores das tensões  $V_{gs}$  e  $V_{ds}$  aplicadas no dispositivo. Por fim, elas também são válidas para modelar dispositivos de porta-dupla, feitas as devidas modificações.

A seguir, é apresentada a análise para dispositivos mais avançados que operam em regime balístico de corrente. Embora seja utilizado outro formalismo para o transporte de portadores, algumas características como a degradação da inclinação de sublimar por efeitos de canal-curto e armadilhas de interface permanecem válidos. Em contraste, a modelagem de efeitos que envolvem a mobilidade dos portadores não possui correspondência direta e precisa ser tratada com cautela.

### 5.3.2 – Transporte balístico

Trazendo a discussão do Cap. 3 para o contexto de 2D-FETs, o excelente controle eletrostático propiciado pelo uso de materiais bidimensionais permite que o comprimento transistor seja reduzido até que sejam alcançadas as condições necessárias para o transporte balístico de portadores no canal ( $L \gg \lambda_L$ ). Neste sentido, há diversos estudos numéricos que abordam o potencial e as limitações destes materiais em prover estas características [147], [217]–[219]. Estes estudos, embora rigorosos, apontam para o limite superior de desempenho, uma vez que assumem diversas idealidades em relação aos materiais e o comportamento do transistor. Entretanto, eles são bastante úteis para validar abordagens analíticas que, posteriormente, podem ser empregadas como cerne de modelos compactos para nanotransistores avançados juntamente com a adição de considerações sobre não-idealidades.

A fim de obter as características I–V no contexto de transporte balístico, é preciso empregar o formalismo de Landauer [113][114], repetido aqui para conveniência:

$$I_{ds} = \frac{2q}{h} \int_{-\infty}^{\infty} \mathcal{T}(\mathcal{E}) \mathcal{M}(\mathcal{E}) [f_s(\mathcal{E}) - f_d(\mathcal{E})] d\mathcal{E}, \quad (5.63)$$

onde  $\mathcal{T}(\mathcal{E})$  é o coeficiente de transmissão,  $\mathcal{M}(\mathcal{E})$  é a distribuição dos modos de transmissão do canal e  $f_s(\mathcal{E}) - f_d(\mathcal{E})$  é a diferença entre as distribuições de Fermi entre fonte e dreno.

Novamente,  $\mathcal{T}(\mathcal{E}) = 1$  para o caso balístico. No caso quasi-balístico,  $\mathcal{T}(\mathcal{E})$  assume um valor próximo da unidade, indicando que há algum espalhamento relevante no canal. Logo, para uma primeira análise, é conveniente assumir  $\mathcal{T}(\mathcal{E}) = \mathcal{T}_0$ , um valor efetivo e constante que representa o espalhamento residual no canal.

Como discutido anteriormente, a densidade de estados bidimensional é dada pela eq. 5.2 (ou eq. 5.3 na forma simplificada). A distribuição média de velocidade de portadores na banda de condução pode ser escrita como

$$\langle v(\mathcal{E}) \rangle = \frac{2}{\pi} \sqrt{\frac{2(\mathcal{E} - \mathcal{E}_c)}{m_e^*}}. \quad (5.64)$$

Logo, a distribuição dos modos de transmissão no canal bidimensional é

$$\mathcal{M}(\mathcal{E}) = \frac{W \sqrt{2m^*(\mathcal{E} - \mathcal{E}_c)}}{\pi \hbar}. \quad (5.65)$$

Feitas estas considerações, basta resolver a eq. 5.63 para obter uma expressão para  $I_{ds}$ :

$$\begin{aligned} I_{ds} &= I_0 [\mathcal{F}_{1/2}(\xi_{fs}) - \mathcal{F}_{1/2}(\xi_{fd})] \\ I_0 &= \frac{\mathcal{T}_0 q k_B T W \sqrt{2\pi m^* k_B T}}{2(\pi \hbar)^2} \\ \xi_{fs} &= \frac{\mathcal{E}_{fs} - \mathcal{E}_c(x=0)}{k_B T} \quad , \\ \xi_{fd} &= \frac{\mathcal{E}_{fs} - qV_{ds} - \mathcal{E}_c(x=0)}{k_B T} = \xi_{fs} - \frac{V_{ds}}{\Phi_T} \end{aligned} \quad (5.66)$$

onde  $\mathcal{E}_c(x=0)$  corresponde ao valor da banda de condução (primeiro nível discreto) no início do canal. No âmbito da aproximação de canal gradual, neste ponto está localizado o topo da barreira de potencial vista pelos portadores no contato de fonte. Logo,  $\mathcal{E}_c(x=0) = -q\varphi_s$ . De forma estrita, a aproximação de canal gradual não é válida para estes dispositivos extremamente curtos. Porém, para fins de modelagem compacta, é mais conveniente lidar com os efeitos de canal-curto posteriormente fazendo ajustes na formulação. Ainda,  $\mathcal{E}_{fs} = -qV_s = 0$  nesta formulação. Desta forma, tem-se

$$\begin{aligned} \xi_{fs} &= \frac{-\mathcal{E}_c(x=0)}{k_B T} = \frac{\varphi_s}{\Phi_T} \\ \xi_{fd} &= \frac{-qV_{ds} - \mathcal{E}_c(x=0)}{k_B T} = \frac{\varphi_s - V_{ds}}{\Phi_T} \end{aligned} \quad (5.67)$$

de modo que as características I–V vão depender exclusivamente do potencial eletrostático no início do canal (ou topo da barreira), já trabalhado de forma totalmente analítica e explícita na seção anterior.

Inspecionando a eq. 5.66, tem-se a função especial integral de Fermi-Dirac de índice 1/2,  $\mathcal{F}_{1/2}(\eta)$ . Para implementação em simuladores, é possível utilizar a seguinte aproximação [220]:

$$\mathcal{F}_{1/2}(\xi) \approx \frac{\sqrt{\pi}}{2} \left\{ \frac{3\sqrt{\pi}}{4} [f(\xi)]^{-3/8} + \exp(\xi) \right\}^{-1} \quad (5.68)$$

$$f(\xi) = \xi^4 + 33,6\xi\{1 - 0,68 \exp[-0,17(\xi + 1)^2]\} + 50$$

Se a aproximação de Boltzmann puder ser utilizada,  $\mathcal{F}_{1/2}(\xi)$  se reduz a  $\exp(\xi)$ , o que também elucidada a análise física do dispositivo. Levando em conta a discussão inicial sobre a aplicabilidade da aproximação de Boltzmann para boa parte dos 2D-FETs, é oportuno emprega-la neste momento e fazer pequenos ajustes posteriormente para adequar o modelo aos dados de validação.

A eq. 5.66 ainda pode ser reescrita em função da carga no topo da barreira,  $Q_m(V_{gs}, V_{ds})$ :

$$I_{ds} = \mathcal{J}_0 W |Q_m(V_{gs}, V_{ds})| \sqrt{\frac{2k_B T}{\pi m^*}} \left[ \frac{1 - \exp(-V_{ds}/\phi_T)}{1 + \exp(-V_{ds}/\phi_T)} \right] \quad (5.69)$$

$$Q_n(V_{gs}, V_{ds}) = -\frac{qN_{DoS}}{2} \exp\left(\frac{\phi_s}{\phi_T}\right) \left[ 1 + \exp\left(-\frac{V_{ds}}{\phi_T}\right) \right]$$

Em suma, tem-se a expressão geral para as características I–V considerando transporte balístico em 2D-FETs:

$$I_{DS} = I_0 \exp\left[\frac{\phi(V_{gs})}{\phi_T}\right] \left[ 1 - \exp\left(-\frac{V_{ds}}{\phi_T}\right) \right] \quad (5.70)$$

Particularizando para o caso onde o material do canal é um TMD, tem-se:

$$I_0 = \mathcal{J}_0 \frac{qk_B T}{2\pi\hbar^2} \left[ g_K m_K^* \sqrt{\frac{2k_B T}{\pi m_K^*}} + g_Q m_Q^* \sqrt{\frac{2k_B T}{\pi m_Q^*}} \exp\left(-\frac{\delta\mathcal{E}_c}{k_B T}\right) \right] \quad (5.71)$$

Uma vez que os portadores se deslocam no canal sem sofrer espalhamento significativo, as características I–V destes dispositivos passam a apresentar maior

dependência com a injeção e coleta de portadores nos contatos de fonte e dreno, respectivamente. Logo, é necessário incluir os efeitos da resistência de contato, o que será discutido em maiores detalhes na próxima seção. Nesta primeira análise, o impacto da resistência de contato é incluído com um fator de ajuste  $\beta$ :

$$I_{DS} = I_0 \exp\left[\frac{\varphi(V_{gs})}{\Phi_T}\right] \left[1 - \exp\left(-\frac{V_{ds}}{\beta\Phi_T}\right)\right]. \quad (5.72)$$

A Fig. 5.20 mostra a validação do modelo com dados de simulações que obtém uma solução auto-consistente para o transporte quântico balístico empregando funções de Green fora do equilíbrio [219], resultando em boa concordância. Neste estudo, os autores estimam o limite balístico de um 2D-FET do tipo porta-única baseado em dissulfeto de molibdênio. A interface Au-MoS<sub>2</sub> nos contatos de fonte e dreno forma uma barreira de Schottky com altura de 0,1 V. Em consequência, um fator de  $\beta = 7$  é utilizado para adequar o modelo aos dados de simulação.

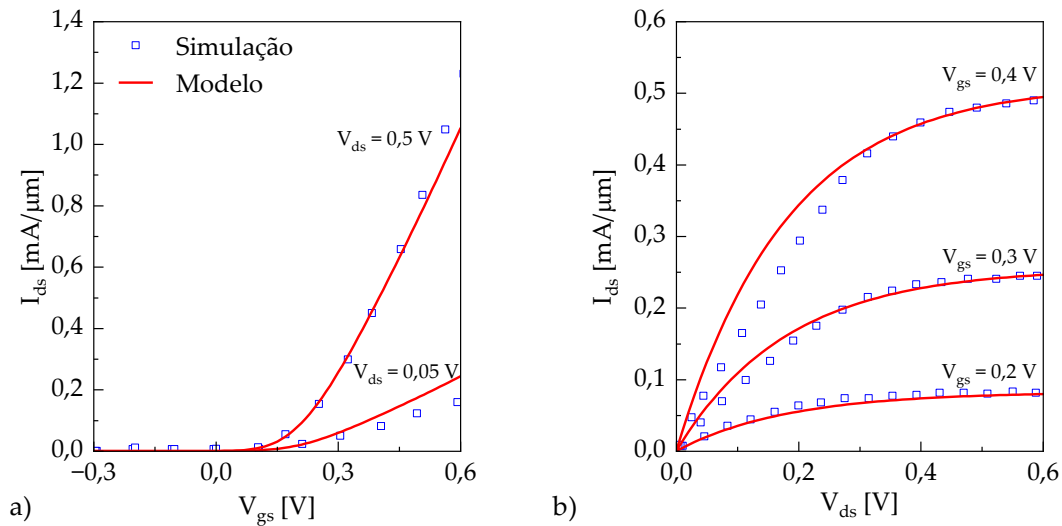


Figura 5.20 – Validação das características I-V com dados de simulação [219] considerando um transistor de porta-única e transporte balístico. a)  $I_{ds} - V_{gs}$ . b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de MoS<sub>2</sub> monocamada, óxido de HfO<sub>2</sub> ( $t_{ox} = 2,8 \text{ nm}$ ) e isolante de SiO<sub>2</sub> ( $t_i = 270 \text{ nm}$ ). A tensão de limiar foi atribuída como  $V_t = 0,275 \text{ V}$ . Fator de ajuste:  $\beta = 7$ .

Além da influência dos contatos, os efeitos de canal-curto também são relevantes na região de sublimiar e podem ser incluídos de forma semi-empírica

como foi apresentado na eq. 5.54. A Fig. 5.21 mostra a curva  $I_{ds} - V_{gs}$  em escala logarítmica para evidenciar a degradação a inclinação de sublimiar e a correção do modelo, que resulta em ótima concordância. Os parâmetros de ajuste utilizados neste caso são  $\eta = 1,18$ ,  $\Delta V_t = 0,02$  V e  $\beta_{sub} = 2$ .

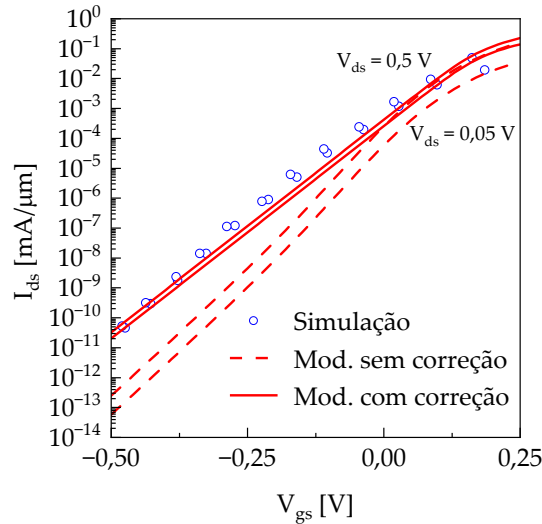


Figura 5.21 – Validação das características  $I_{ds} - V_{gs}$  em escala logarítmica com dados de simulação [219] considerando um transistor de porta-única e transporte balístico. Parâmetros: canal de MoS<sub>2</sub> monocamada, óxido de HfO<sub>2</sub> ( $t_{ox} = 2,8$  nm) e isolante de SiO<sub>2</sub> ( $t_i = 270$  nm). A tensão de limiar foi atribuída como  $V_t = 0,275$  V. Fatores de ajuste:  $\eta = 1,18$ ,  $\Delta V_t = 0,02$  V e  $\beta_{sub} = 2$ .

Esta mesma formulação também pode ser utilizada para modelar dispositivos do tipo porta-dupla, bastando levar em conta o potencial eletrostático correspondente. A Fig. 5.22 mostra a validação do modelo com dados de simulação [147], resultando em boa concordância. Neste caso, são considerados 2D-FETs do tipo porta-dupla baseados em dissulfeto de tungstênio e disseleneto de molibdênio. Um fator ajuste menor,  $\beta = 2$ , é requerido neste caso porque o dispositivo possui contatos dopados. Também na região de sublimiar,  $\eta = 1,15$ ,  $\Delta V_t = 0$  V e  $\beta_{sub} = 2$  são utilizados, indicando uma maior imunidade a efeitos de canal-curto. Por outro lado, um fator de 2x é necessário para adequar o modelo aos dados de simulação. Essa discrepância pode ser associada tanto a simplificações do modelo, como o uso da aproximação de Boltzmann, que notadamente subestima a corrente de saturação [114], quanto a superestimativa

da performance destes transistores em estudos numéricos. Na prática, valores muito menores de corrente são esperados de transistores fabricados com materiais bidimensionais, mesmo que trabalhem próximos do limite puramente balístico ( $\mathcal{T}_0 \sim 1$ ).

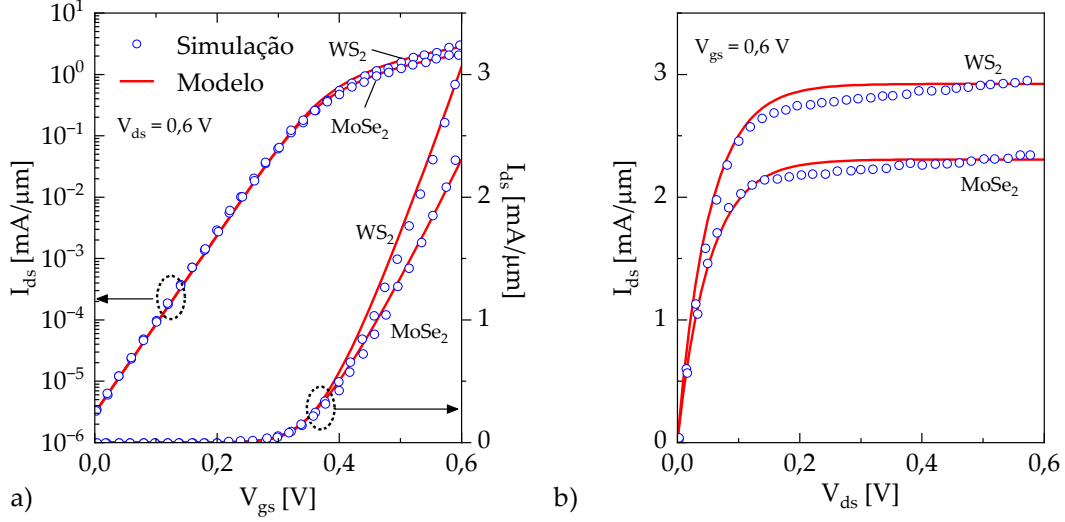


Figura 5.22 – Validação das características I-V com dados de simulação [147] considerando um transistor de porta-dupla e transporte balístico. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de  $WS_2/MoSe_2$  monocamada, óxido de  $HfO_2$  ( $t_{ox} = 3$  nm). A tensão de limiar foi atribuída como  $V_t = 0,375$  V. Fatores de ajuste:

$$\beta = \beta_{sub} = 2, \eta = 1,15, \Delta V_t = 0 \text{ V e } 2 \times I_{dsat}$$

Levando em conta a anisotropia de materiais bidimensionais como o fosforeno e o antimoneno, a amplitude da corrente pode ser reescrita como:

$$I_0 = \mathcal{T}_0 \frac{k_B T}{\pi \hbar^2} \sqrt{\frac{2k_B T m_{AC}^* m_{ZZ}^*}{\pi m_t^*}}, \quad (5.73)$$

onde  $m_{AC}^*$ ,  $m_{ZZ}^*$  e  $m_t^*$  são, respectivamente, as massas efetivas nas direções de *armchair*, *zig-zag* e transporte de portadores.

As Fig. 5.23 e 5.24 mostram a validação do modelo com dados de simulações [218] considerando o transporte nas direções de *armchair* e *zig-zag*, respectivamente. Neste estudo, uma solução auto-consistente das equações de Poisson e Schrödinger é obtida dentro do formalismo das funções de Green fora do equilíbrio para 2D-FETs do tipo porta-dupla baseados em fosforeno. Os

resultados demonstram excelente concordância do modelo, descrevendo corretamente as características de ambas as orientações. Um fator  $\beta = 3$  é suficiente neste caso uma vez que os contatos são dopados com  $N_D = 7 \times 10^{13} \text{ cm}^{-2}$ . Também não são necessárias correções para incluir efeitos de canal-curto, dado o excelente controle eletrostático do dispositivo.

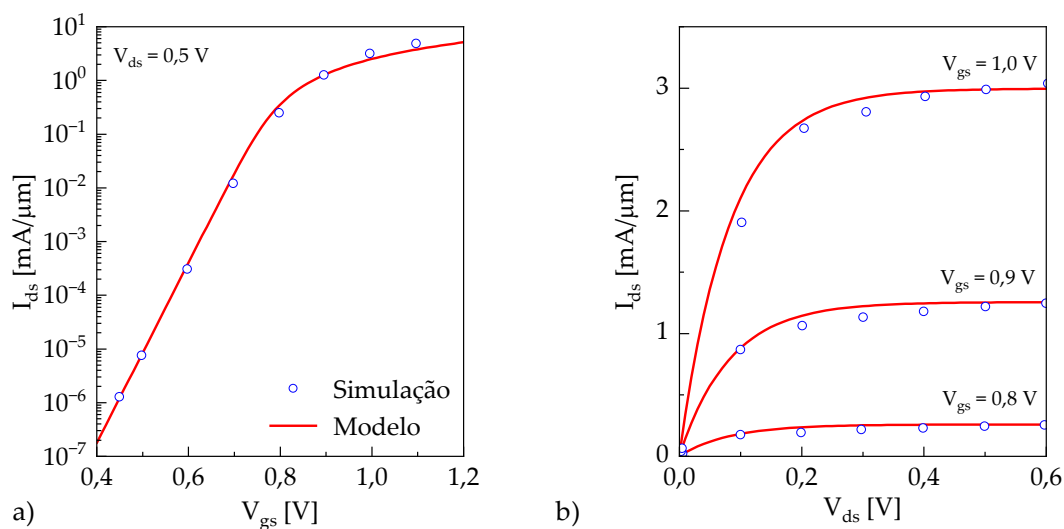


Figura 5.23 – Validação das características I-V com dados de simulação [218] considerando um transistor de porta-dupla e transporte balístico na direção de *armchair*. a)  $I_{ds} - V_{gs}$  em escala logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de fosforeno monocamada, óxido de  $\text{HfO}_2$  ( $t_{ox} = 2 \text{ nm}$ ). Tensão de limiar atribuída:  $V_t = 0,78 \text{ V}$ . Fator de ajuste:  $\beta = 3$ .

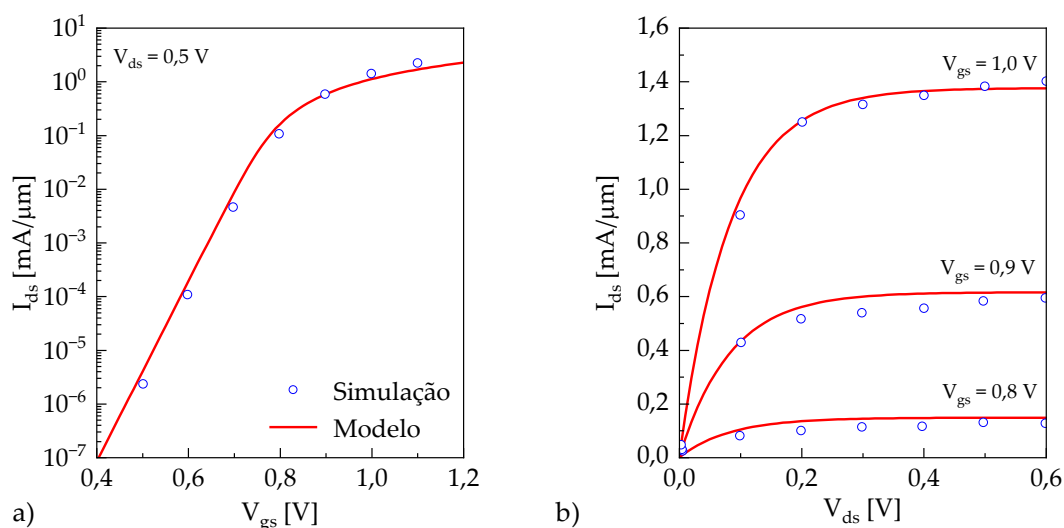


Figura 5.24 – Validação das características I-V com dados de simulação [218] considerando um transistor de porta-dupla e transporte balístico na direção de *zig-zag*. a)  $I_{ds} - V_{gs}$  em escala logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de fosforeno monocamada, óxido de  $\text{HfO}_2$  ( $t_{ox} = 2 \text{ nm}$ ). Tensão de limiar atribuída:  $V_t = 0,78 \text{ V}$ . Fator de ajuste:  $\beta = 3$ .



Em mais um exemplo, o modelo é aplicado em dispositivos de siliceno, que possui tanto anisotropia quanto contribuição de múltiplos vales dentro da primeira zona de Brillouin. A Fig. 5.25 mostra a validação do modelo com dados de simulação [221], resultando em excelente concordância. São utilizados como ajuste  $\beta = 2,4$  e um fator de 1,8 para adequar a corrente de saturação.

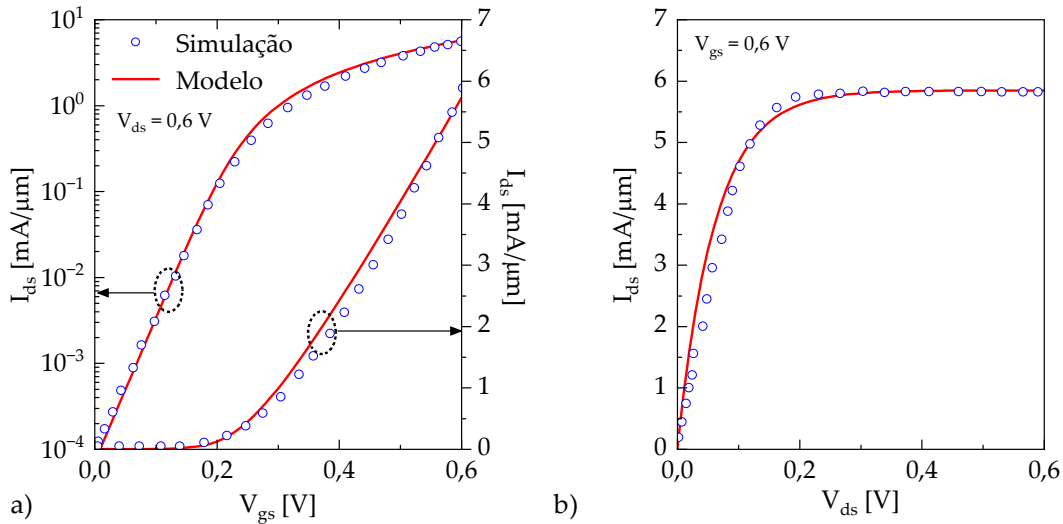


Figura 5.25 – Validação das características I-V com dados de simulação [221] considerando um transistor de porta-dupla e transporte balístico na direção de *armchair*. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$ . Parâmetros: canal de siliceno monocamada, óxido de  $\text{SiO}_2$  ( $t_{ox} = 0,5$  nm). A tensão de limiar foi atribuída como  $V_t = 0,265$  V. Fatores de ajuste:  $\beta = 2,4$  e  $2 \times I_{ds,sat}$ .

Por fim, para consolidar este trabalho com transporte balístico, o modelo é contrastado com os melhores dados experimentais disponíveis até o momento [37]. Trata-se de um transistor de seleneto de índio (InSe) com apenas três camadas ( $t_s \approx 2,4$  nm) e  $L = 10$  nm que apresenta performance superior aos transistores atuais de silício. O dispositivo também apresenta contatos ôhmicos, interface semiconductor-isolante de alta qualidade e excelente controle eletrostático, de modo que é capaz de atingir o limite balístico de corrente. A Fig. 5.26 mostra a validação do modelo, resultando novamente em excelente concordância. Um fator  $\beta = 5$  é utilizado para incluir os efeitos da resistência de contato. Além disso, embora a publicação indique que as curvas  $I_{ds} - V_{ds}$  (Fig. 5.26-b) foram geradas variando  $V_{gs}$  com passo de 0,1 V, um valor intermediário

de 0,75 V é o que melhor adequa o modelo aos resultados experimentais. Este detalhe poderia ser atribuído um efeito semelhante à degradação da mobilidade discutida anteriormente, porém não há qualquer indicativo de não-linearidade da curva  $I_{ds} - V_{gs}$  para  $V_{gs} > V_t$  (Fig. 5.26-a, escala linear). Desta forma, é provável que a proximidade das curvas na parte superior do gráfico seja apenas um equívoco na caracterização. Não obstante, uma vez que o modelo é capaz de reproduzir o comportamento geral, ele pode ser facilmente adaptado para incluir efeitos secundários, caso estes sejam necessários.

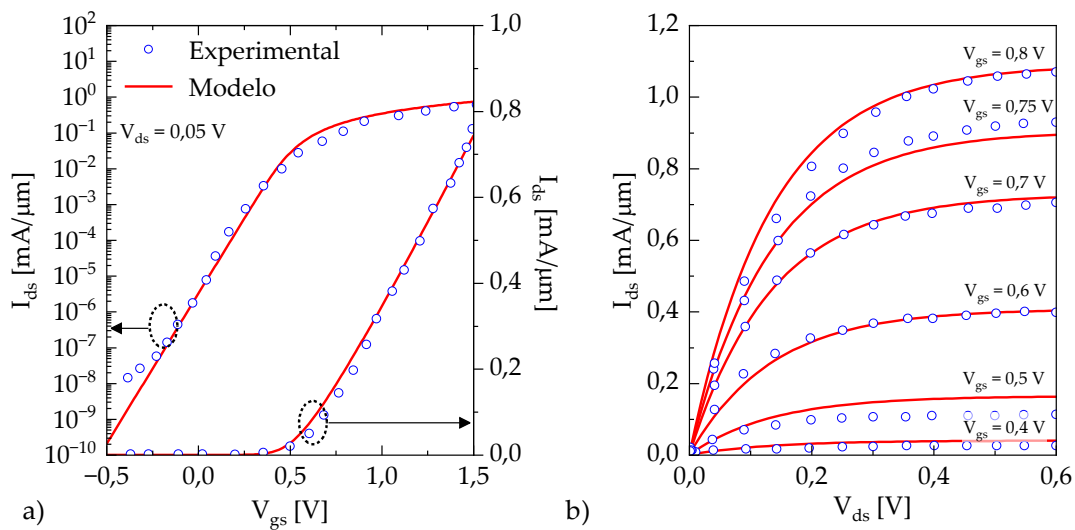


Figura 5.26 – Validação das características I-V com dados experimentais [37] considerando um transistor de porta-única. a)  $I_{ds} - V_{gs}$  em escala linear e logarítmica. b)  $I_{ds} - V_{ds}$  para vários valores de  $V_{gs}$ . Parâmetros: canal de InSe com  $t_s = 2,4$  nm e  $N_D = 3,5 \times 10^{11}$  cm<sup>-2</sup>, óxido de HfO<sub>2</sub> ( $t_{ox} = 2,6$  nm), isolante idêntico ao óxido, porta de Ti, substrato de n<sup>++</sup> Si,  $L = 10$  nm. A tensão de limiar foi atribuída como  $V_t = 0,5$  V. Fatores de ajuste:  $\beta = 5$ .

Os resultados experimentais reforçam a hipótese de que os estudos numéricos anteriores tendem a superestimar o desempenho do transporte balístico em materiais bidimensionais, principalmente considerando que o seleneto de índio apresenta características elétricas superiores aos TMDs. Em contrapartida, este trabalho aponta uma excelente perspectiva para o emprego de 2D-FETs em nanoeletrônica de alta performance, estabelecendo um novo paradigma para a continuidade da lei de Moore.

Em suma, tem-se agora uma descrição analítica que também serve como base para um modelo compacto voltado a 2D-FETs que operam em regime balístico. Os dois formalismos de transporte de portadores empregados para descrever as características de corrente — difusão-deriva e balístico — compartilham a mesma formulação em torno do potencial eletrostático e, portanto, podem ser combinados em uma solução única, condicionada ao cenário que melhor se adequa o transistor sob análise.

#### 5.4 – Modelagem das características C-V para 2DFETs

A formulação explícita do potencial eletrostático também permite calcular a capacitância de porta desses dispositivos, dada pela associação em série entre a capacitância do óxido e a capacitância quântica,

$$C_{gg} = \frac{C_{ox}C_Q}{C_{ox} + C_Q}. \quad (5.74)$$

Conforme discutido anteriormente, a capacitância quântica é definida como a derivada da carga no canal bidimensional em relação ao potencial eletrostático. Considerando a distribuição de Fermi-Dirac para descrever a concentração de portadores, tem-se:

$$C_Q = q \frac{\partial n_s}{\partial \varphi} = \frac{q^2 m_e^*}{\pi \hbar^2} \left[ \frac{\exp\left(\frac{\varphi - V}{\Phi_T}\right)}{1 + \exp\left(\frac{\varphi - V}{\Phi_T}\right)} \right]. \quad (5.75)$$

A Fig. 5.27 mostra a validação do modelo C-V com dados de simulação [222] considerando um 2D-FET de porta-dupla com canal de InSe monocamada ( $t_s = 0,8$  nm) e óxido com EOT de 0,5 nm. A tensão de limiar foi ajustada como  $V_t = 0,2$  V. O resultado demonstra que o modelo descreve corretamente o comportamento da capacitância deste dispositivo.

Por fim, considerando a aproximação de canal saturado, onde assume-se  $L$  curto o suficiente para que o campo elétrico lateral exceda o valor crítico na maior parte do canal bidimensional, os portadores trafegam em velocidade muito

próxima à velocidade de saturação  $v_{sat}$  e a transcondutância  $g_m$  pode ser aproximada como:

$$g_m \approx \frac{C_{gg} v_{sat}}{L}. \quad (5.76)$$

Desta forma, este resultado também demonstra que o modelo pode ser aplicado para calcular a transcondutância de 2D-FETs e, conseqüentemente, apresenta continuidade na derivada primeira da corrente elétrica em função da tensão de porta.

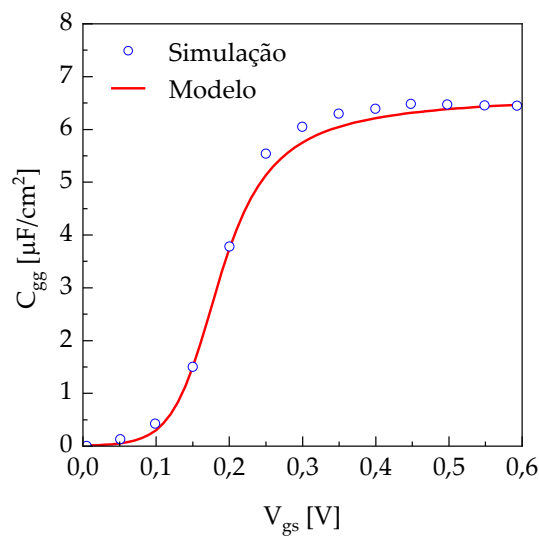


Figura 5.27 – Validação das características C-V com dados de simulação [222] considerando um transistor de porta-dupla. Parâmetros: canal de InSe com  $t_s = 0,8$  nm e  $N_D = 3,5 \times 10^{11}$   $\text{cm}^{-2}$  e óxido de  $\text{SiO}_2$  ( $t_{ox} = 0,5$  nm). A tensão de limiar foi atribuída como  $V_t = 0,2$  V.

A seguir, são feitas algumas considerações sobre a extensão da modelagem compacta apresentada até aqui, com ênfase na influência dos contatos heterodimensionais entre metal e semiconductor.

### 5.5 – Considerações sobre a modelagem dos contatos

Embora os SB-FETs estejam fora do escopo desta tese e a formação de barreiras de Schottky represente um desafio que precisa ser superado no âmbito das técnicas de fabricação para que os 2D-FETs se tornem realmente viáveis, é importante tecer algumas considerações sobre a modelagem dos contatos de

fonte e dreno nestes transistores. Estes comentários visam sintetizar o cenário atual e direcionar investigações futuras, contribuindo para a extensão dos modelos compactos desenvolvidos neste capítulo.

### 5.5.1 – Formação da barreira de Schottky

A primeira observação é que o simples contato entre um metal e um semicondutor tende a formar uma barreira de potencial do tipo Schottky. A altura desta barreira pode ser estimada pela regra de Schottky-Mott:

$$\phi_B \approx \phi_M - \chi_S, \quad (5.77)$$

onde  $\phi_M$  é a função-trabalho do metal de fonte/dreno e  $\chi_S$  é a afinidade do semicondutor (ambos expressos em volts). Considerando dispositivos com canal tipo-n, é desejável que o metal tenha uma função trabalho relativamente baixa para permitir a formação de um contato ôhmico. Por exemplo, a afinidade eletrônica do dissulfeto de molibdênio é  $\chi_S = 4,21$  V, enquanto a função-trabalho do alumínio é  $\phi_M = 4,2$  V. Logo, um contato entre estes dois materiais resultaria em uma barreira de apenas  $\phi_B = 10$  mV. Por outro lado, a função-trabalho do ouro é  $\phi_M = 5,4$  V, resultando em uma barreira de  $\phi_B = 1,19$  V que dificultaria significativamente a injeção de elétrons no canal.

Na prática, entretanto, a altura da barreira de Schottky não segue estritamente a eq. 5.77, podendo depender muito pouco ou até mesmo ser independente do valor da função-trabalho do metal [223]. Esta característica decorre de um fenômeno chamado de fixação do nível de Fermi (em inglês, *Fermi level pinning*). A presença de estados de superfície no semicondutor é capaz de capturar as cargas transferidas pelo metal e forçar o alinhamento do nível de Fermi com um valor de energia dentro dos limites da banda proibida. Estes estados geralmente são induzidos pela própria ligação do metal com o semicondutor, sendo chamados de MIGS (*metal-induced gap states*). Neste caso, tem-se a altura da barreira de Schottky dada por:

$$\phi_B \approx S(\phi_M - \phi_{CNL}) + (\phi_{CNL} - \chi_S), \quad (5.78)$$

onde  $S = d\phi_B/d\phi_M$  define o parâmetro de fixação e  $\phi_{CNL}$  é a posição em que o nível de Fermi está fixado em relação ao vácuo, também chamado de nível de neutralidade de carga (em inglês, *charge neutrality level*). Interpretando a eq. 5.78, tem-se a lei de Schottky-Mott se  $S = 1$  e a altura da barreira totalmente independente das características do metal se  $S = 0$ . Atualmente, estão sendo estudadas diversas formas de reduzir este efeito de fixação do nível de Fermi e, conseqüentemente, obter maior controle sobre a barreira de potencial [224].

Para além da escolha de materiais, há também que se considerar a geometria do contato entre o metal tridimensional e o semiconductor bidimensional. A Fig. 5.28 mostra três disposições possíveis [225]: a) contato no topo; b) contato na borda e; c) contato misto, onde o metal cobre o topo e a extremidade do material semiconductor.

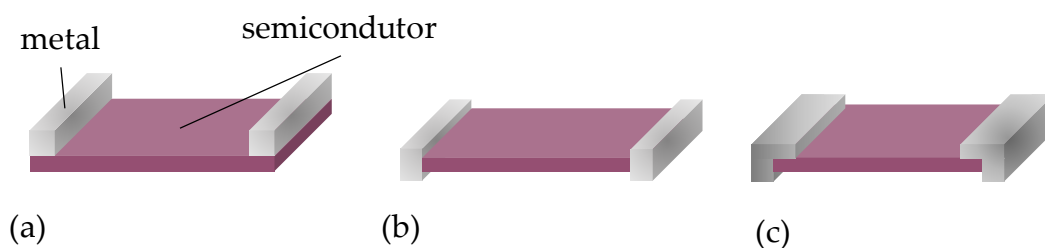


Figura 5.28 – Disposições diferentes que podem ser utilizadas para realizar o contato metal-semiconductor: a) metal no topo. b) metal na extremidade. c) mista.

Considerando o contato com o metal no topo, tem-se dois casos distintos com características relevantes para a modelagem, conforme ilustrado na Fig. 5.29. No primeiro caso, o metal tem pouca aderência ao semiconductor, de modo que se forma um recesso devido às forças de van der Waals na interface. Esse recesso se traduz como uma barreira extra para o elétron a ser injetado no semiconductor. Além disso, tem-se uma significativa barreira Schottky, com altura aproximadamente determinada pela eq. 5.77 e largura dada pela extensão do

contato. Em [225], os autores identificam o contato Au-MoS<sub>2</sub> como exemplo deste caso.

No segundo caso, o metal é capaz de formar ligações covalentes com o semicondutor, resultando em uma forte aderência e eliminando o recesso. Além disso, a estrutura de banda do semicondutor é afetada em toda região de contato, ocorrendo a metalização do material. Dessa forma, sobra apenas uma fina barreira de Schottky na interface onde termina a influência do metal. Evidentemente, esse segundo caso é mais próximo de um contato ôhmico. Em [225], por exemplo, é apontado que o contato Ti-MoS<sub>2</sub> forma esse tipo de ligação, resultando em uma barreira de 0,33 V. Já o contato Mo-MoS<sub>2</sub> resulta em uma barreira ainda menor, de apenas 0,13 V.

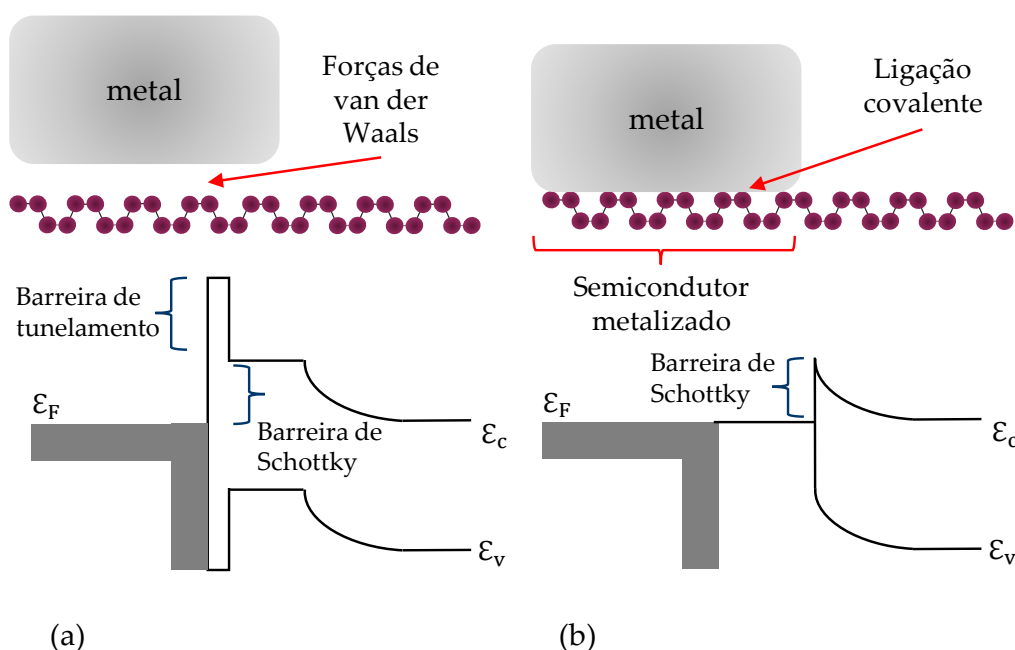


Figura 5.29 – Considerando o contato com o metal no topo, tem-se dois casos distintos com características relevantes para a modelagem: a) O metal e o semicondutor são separados por um recesso devido às forças de van der Waals. b) O metal e o semicondutor fazem uma ligação covalente e o trecho do canal sob o contato se torna metalizado.

No caso de materiais com mais de uma camada, o efeito descrito anteriormente se restringe à camada superior, que fica diretamente em contato com o metal. Neste caso, é vantajoso que o metal esteja disposto nas extremidades do semicondutor bidimensional (Fig. 5.28-b), uma vez que os átomos fazem

ligações covalentes no plano do material, e também é possível atingir mais camadas. Por outro lado, perde-se área de contato, o que reduz a injeção de elétrons no canal. A geometria mista (Fig. 5.28-c) é, portanto, um caso intermediário que combina os benefícios dos contatos no topo e na extremidade.

### 5.5.2 – Mecanismos de injeção de portadores

Considerando que há formação de uma barreira de Schottky no contato entre o metal tridimensional e o semiconductor bidimensional, é necessário compreender os diferentes mecanismos pelos quais os portadores podem ser injetados no canal. Este tópico tem sido objeto de extenso estudo no âmbito dos SB-FETs, uma vez que o controle destes transistores é feito justamente modulando as características dos contatos por meio do contato de porta inferior. Logo, nesta tese é apresentado apenas uma breve discussão acerca destes mecanismos, sintetizados na Fig. 5.30.

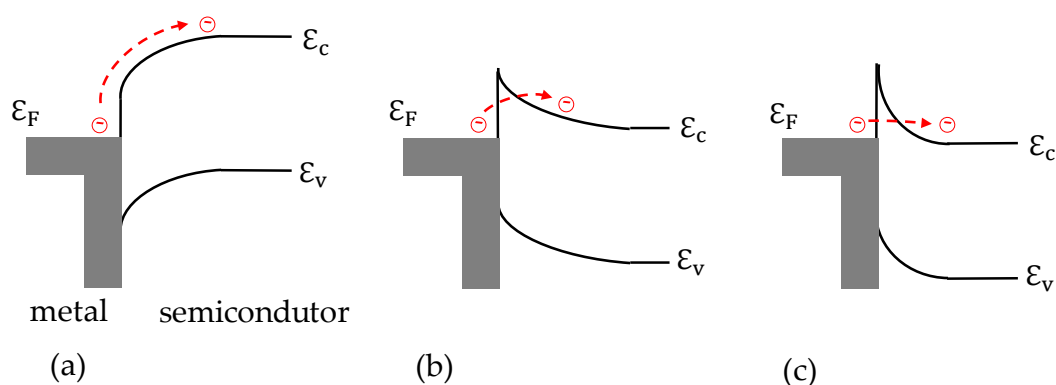


Figura 5.30 – Mecanismos de injeção de portadores nos contatos entre metal e semiconductor. Em diferentes regiões de operação, o mecanismo dominante pode ser: a) emissão termiônica; b) emissão de campo assistida termicamente ou; c) tunelamento direto.

Para  $V_{gs} < V_{t'}$ , a injeção de portadores ocorre majoritariamente por emissão termiônica. Neste caso, considerando um dispositivo tipo-n, os elétrons no metal que forma o contato de fonte são excitados termicamente a estados de energia mais elevados e atravessam a interface sobre a barreira de potencial. Este processo resulta em uma densidade de corrente cuja amplitude pode ser expressa



de forma compacta com uma versão modificada do modelo de Richardson-Dushman [226]:

$$J_{TE} = \mathcal{A}T^{\nu} \exp\left(-\frac{\Phi_B - \zeta_s \sqrt{V}}{\Phi_T}\right), \quad (5.79)$$

onde  $\mathcal{A}$  é um parâmetro que depende do material e do dispositivo,  $\zeta_s = \sqrt{q/(4\pi\epsilon_0)}$  é a constante de Schottky,  $V$  é a tensão aplicada na junção e  $\nu$  é um fator que equivale a 1 se o contato for feito no topo do semiconductor ou 3/2 se o contato for feito na lateral do semiconductor. Esta última formulação está alinhada com a modelagem de contatos 3D/2D no âmbito de dispositivos do tipo HEMT [227], sendo  $\mathcal{A} = A_{2D} = 2q\sqrt{2\pi m^* k_B^3}/h^2$  a constante de Richardson bidimensional.

Para  $V_{gs} > V_t$ , a injeção de portadores ocorre majoritariamente pelo efeito de campo. Neste caso, os elétrons são injetados no canal por tunelamento através da barreira de potencial. A depender do material e das características de operação do dispositivo, a corrente pode ser estimada por dois modelos distintos. Primeiro, quando a barreira de potencial ainda é relativamente larga, ocorre a emissão de campo assistida termicamente e o modelo de Fowler–Nordheim é empregado [228][197]:

$$J_{TFE} = \frac{q^2 m_m^* V^2}{16\pi^2 m_s^* \hbar d_B^2 \Phi_B} \exp\left(-\frac{4\sqrt{2m_s^* (q\Phi_B)^3}}{3\hbar qV}\right), \quad (5.80)$$

onde  $m_m^*$  e  $m_s^*$  são as massas efetivas do elétron no metal e no semiconductor, respectivamente, e  $d_B$  é a largura da barreira de potencial. De forma estrita, este modelo é aplicável somente para  $T = 0$  K, mas o efeito da temperatura finita pode ser incluído por meio das considerações de Murphy-Good [229].

Quando as tensões de polarização são altas o suficiente, a barreira de potencial se torna bastante estreita e os elétrons passam a ser injetados no canal por tunelamento quântico, também chamado na literatura de tunelamento direto. Neste caso, a amplitude da densidade corrente é descrita pelo modelo de Simmons [230], [231]:

$$J_{DT} = \frac{q^2 \sqrt{2m^* q \phi_B} V}{h^2 d_B} \exp\left(-\frac{4\pi d_B \sqrt{2m^* q \phi_B}}{h}\right). \quad (5.81)$$

Feita a descrição completa por meio destes formalismos, tem-se a densidade de corrente de injeção em função da tensão aplicada à junção metal-semicondutor — proporcional à  $V_{ds}$  — e das características da barreira de Schottky. Logo, dado que a barreira é controlada pela tensão aplicada ao contato de porta, é necessário obter  $I_{injeção}(V_{gs}, V_{ds})$  tendo como intermediário o potencial eletrostático. Em seguida, a equação de conservação de carga pode ser imposta para unificar as expressões para a corrente considerando a injeção e o transporte de portadores. Alternativamente, uma expressão empírica simples também tem sido utilizada para computar a corrente em diferentes tipos de SB-FETs [197], [232]:

$$I_{ds} = \frac{I_{injeção} \times I_{transporte}}{I_{injeção} + I_{transporte}}. \quad (5.82)$$

Por fim, cabe ressaltar que, uma vez superados os desafios de dopagem dos materiais bidimensionais, os contatos podem ser modelados de forma bastante simples considerando um comportamento puramente ôhmico e de baixíssima resistividade, de maneira a interferir pouco nas características I–V dos 2D-FETs de alta performance. Dessa forma, no âmbito de modelagem compacta, o estudo aprofundado das características de injeção de portadores provavelmente ficará restrito às aplicações com SB-FETs e dispositivos similares que possam ser construídos com materiais bidimensionais, como os diodos Schottky.

## 5.4 – Conclusão

Neste capítulo, foram desenvolvidos modelos compactos para as características I–V de 2D-FETs, abrangendo os regimes de transporte por difusão-deriva e o limite balístico. Adotando uma abordagem centrada no potencial eletrostático do canal, foram derivadas expressões totalmente analíticas e explícitas. Estas são fundamentadas nos princípios físicos inerentes aos dispositivos e nas propriedades específicas dos materiais bidimensionais.

Foram consideradas também não-idealidades, como armadilhas de interface, efeitos de canal-curto e degradação da mobilidade, cada uma incorporada conforme sua relevância específica. Adicionalmente, o modelo foi aplicado para calcular as características de capacitância do dispositivo. Por fim, foi sugerido um caminho para a modelagem dos contatos metal-semicondutor, considerando diversas configurações. Essa perspectiva visa orientar futuras pesquisas e abordar questões pertinentes que ainda estão sendo investigadas pela comunidade científica.

Em síntese, este trabalho contribui para o desenvolvimento e a análise de dispositivos que se encontram na vanguarda da indústria de semicondutores, emergindo como candidatos promissores tanto na perspectiva do Mais Moore quanto na do Além de Moore.

## Capítulo 6: Conclusões

---

Nesta tese de doutorado foram desenvolvidos modelos compactos para nanotransistores que se encontram na vanguarda do avanço tecnológico. Mais especificamente, foi trabalhada a modelagem de transistores de nanofio sem junções e transistores baseados em materiais bidimensionais. Tendo como base os princípios físicos que regem estes dispositivos, expressões analíticas e totalmente explícitas foram obtidas para descrever diversos aspectos e não-idealidades presentes em ambas as classes de dispositivos.

### 6.1 – Transistores de nanofio sem junções

A primeira parte da tese se concentrou na análise de transistores sem junções, especialmente aqueles fabricados a partir de nanofios de silício com seção-reta circular. Inicialmente, foram abordados minuciosamente os princípios de funcionamento, os modos de operação e as características distintas desses transistores. Neste âmbito, o trabalho contribuiu significativamente à literatura vigente, consolidando, discutindo e esclarecendo aspectos relevantes tanto para o estudo acadêmico desses transistores quanto para sua modelagem compacta.

Em seguida, foi desenvolvido um modelo compacto em torno do entendimento deste dispositivo como um resistor cilíndrico cuja condutividade é controlada pelo contato de porta. Desse modo, buscou-se descrever as características de carga, corrente e capacitância em função do raio do canal de condução que se forma no nanofio. Este, por sua vez, é expresso de forma analítica a partir de soluções aproximadas da equação de Poisson considerando as condições de contorno em cada regime de polarização do transistor.

Também foram incluídas não-idealidades, como a presença de armadilhas de interface e os efeitos de canal-curto. Além de propor estratégias de modelagem, estes aspectos também foram devidamente elucidados e tiveram sua importância discutida, contribuindo para a síntese destes transistores. Da mesma

forma, delineou-se os limites de redução das dimensões do nanofio, que podem resultar no aparecimento de efeitos quânticos e no regime balístico de transporte de portadores, com propostas de melhorias na abordagem analítica. Por fim, também foi debatida a extensão do modelo proposto para abranger nanofios de seção-reta quadrada ou retangular, semelhantes às nanofolhas adotadas atualmente pela indústria de semicondutores. Neste sentido, este trabalho permite compreender as limitações e oportunidades para a aplicação dos JLNWFETs em circuitos de alta performance.

As validações do modelo proposto, utilizando dados da literatura, evidenciam sua eficiência na reprodução das características de carga, corrente e capacitância sob diversas circunstâncias. Adicionalmente, elas também indicam a possibilidade de modelagem de características não abordados com profundidade no presente trabalho, como a transcondutância.

Em conclusão, a principal contribuição desta primeira metade da tese de doutorado reside na consolidação de uma base sólida para a modelagem compacta dos JLNWFETs, levando em conta um novo enfoque mais descritivo e intuitivo destes dispositivos.

## **6.2 – Transistores baseados em materiais bidimensionais**

Na segunda metade desta tese, foram estudados os transistores baseados em materiais bidimensionais. Novamente, foi apresentada uma extensa discussão sobre estes novos semicondutores, suas propriedades e qualidades. Foram analisados e esclarecidos diversos pontos que, embora muito relevantes para a modelagem compacta, são encontrados de forma dispersa e confusa na literatura, eventualmente levando a interpretações equivocadas.

Ainda, realizou-se uma análise crítica do estado-da-arte e das perspectivas futuras para a aplicação desses materiais na nanoeletrônica. Foram destacados os principais desafios de fabricação que estão sendo enfrentados no cenário atual.

Essa abordagem crítica contribui para uma compreensão mais clara e instruída sobre o papel desses materiais nas próximas gerações de circuitos eletrônicos, fornecendo percepções valiosas para sua modelagem compacta.

Em seguida, foi desenvolvida uma modelagem compacta abrangente considerando dois formalismos para o transporte de portadores no canal: difusão-deriva, visando os dispositivos atuais, e o limite balístico, antecipando o momento em que esses transistores atingirão maturidade tecnológica. Ambos os modelos têm como foco uma descrição analítica do potencial do canal, obtida de maneira explícita por meio de uma técnica eficaz que combina séries de Taylor e funções de mapeamento.

Assim como feito anteriormente, diversas não-idealidades presentes em 2D-FETs e peculiaridades dos materiais bidimensionais foram consideradas e discutidas. Dentre elas, se destacam: armadilhas de interface, degradação da mobilidade, saturação da velocidade, efeitos de canal-curto na região de sublimiar, contribuição de múltiplos vales dentro da primeira zona de Brillouin, anisotropia das características de transporte e contatos heterodimensionais não-ôhmicos. Em todos estes casos os efeitos foram diretamente incluídos no modelo proposto ou foi apontada uma direção para estender a abordagem analítica.

As validações desses modelos com dados da literatura, incluindo resultados experimentais para 2D-FETs convencionais e balísticos, comprovam sua robustez ao prever corretamente o comportamento da corrente elétrica em diferentes cenários. Além disso, a formulação contínua, baseada em física e totalmente analítica do potencial eletrostático facilita a obtenção de outras características importantes destes transistores, como a capacitância e a transcondutância.

Em síntese, a contribuição central desta segunda metade da tese é uma nova abordagem para modelar analiticamente 2D-FETs. Este trabalho busca preencher algumas lacunas na compreensão destes dispositivos e também estabelecer a base

para uma possível implementação em simuladores comerciais, alinhando-se aos padrões e necessidades da indústria de semicondutores.

### 6.3 – Sugestões de trabalhos futuros

Certamente, o presente trabalho de doutorado estabelece um sólido alicerce para a modelagem compacta de nanotransistores, destacando-se como uma contribuição significativa para o avanço da pesquisa nesse campo. Ao considerar os fundamentos estabelecidos, surgem oportunidades para explorar desdobramentos relevantes que, por limitações de cronograma, foram preteridos durante a execução deste projeto.

Dentre os aspectos que se destacam nesse contexto, tem-se a transcondutância para ambas as classes de dispositivos e as características de capacitância para os 2D-FETs. Não-idealidades, como influência da temperatura, modulação do comprimento do canal (em inglês, *channel length modulation*), resistências de fonte e dreno, corrente de fuga e similares também representam aspectos importantes que podem enriquecer ainda mais a modelagem compacta. Por fim, é crucial desenvolver modelos de pequenos sinais e de alta frequência, especialmente considerando as diversas aplicações almejadas para os 2D-FETs.

No âmbito específico dos JLNWFETs, as sugestões de extensão apresentadas no final do Cap. 3 propõem uma consideração mais aprofundada de efeitos quânticos, do transporte balístico e também a adaptação do modelo para nanofios de seção-reta retangular. Um destaque adicional inclui a adaptação para nanofios fabricados com materiais distintos do silício, como os compostos III-V. Essas propostas de ampliação do modelo precisam ser acompanhadas de trabalhos de simulação e/ou experimentais, dada a escassez na literatura de dados para validação.

No contexto dos 2D-FETs, a atenção se volta para os contatos não-ôhmicos. Como discutido no final do Cap. 5, os progressos relacionados à dopagem de

materiais bidimensionais sugerem que a modelagem compacta deste aspecto não deve ser prioritária para a indústria de semicondutores. Contudo, é importante ressaltar que esses avanços dependem fundamentalmente de uma compreensão teórica da física que rege a injeção de portadores nesses novos materiais. Ademais, trata-se de uma contribuição significativa para a modelagem de outros dispositivos, como os SB-FETs.

Outra frente de pesquisa sugerida envolve aprofundar o estudo das funções de mapeamento apresentadas no Cap. 5, explorando tecnologias como aprendizado de máquina e redes neurais para calibrar e otimizar parâmetros. Essa abordagem permite uma combinação eficaz de uma descrição explícita, analítica e baseada em física com uma perspectiva empírica, capaz de prover uma excelente concordância com dados experimentais e evitar erros de simulação.

Por último, a implementação efetiva de modelos compactos em softwares de simulação demanda uma análise minuciosa de parâmetros críticos, tais como erro relativo, tolerância, variância, simetria e continuidade de derivadas de alta ordem. Nesse sentido, recomenda-se uma investigação dedicada à avaliação de desempenho e aos requisitos mínimos para a implementação prática dos modelos propostos neste trabalho.

#### **6.4 – Declaração de responsabilidade**

As opiniões, hipóteses e conclusões ou recomendações expressas neste texto são de responsabilidade do autor e não necessariamente refletem a visão da FAPESP.





## Apêndice I: Coeficientes e constantes utilizadas no Capítulo 3

Aplicando o método descrito por Ragi *et al.* [92], os coeficientes da eq. 3.35 são determinados como

$$\begin{aligned} j_1 &= \frac{\sqrt{p_6^2 - 4p_5p_7}}{2p_5} \\ h_4 &= \frac{4p_5}{4p_5p_7 - p_6^2} \\ j_2 &= \frac{-p_6}{\sqrt{p_6^2 - 4p_5p_7}} \end{aligned} \quad (\text{A1.1})$$

onde as variáveis são

$$\begin{aligned} p_7 &= \frac{R^3}{20} \left( \frac{3p_1R}{2} + p_2 \right) + p_4 - V_{FB} \\ p_6 &= -\frac{R}{40} (33p_1R^2 + 23p_2R) \\ p_5 &= \frac{7p_1}{4} R^2 + \frac{3p_2}{2} R^3 + p_3 \\ p_4 &= V_{FB} - \frac{qN_D R}{2} \left( \frac{t_{ox}}{\varepsilon_{ox}} + \frac{R}{2\varepsilon_s} \right) \\ p_3 &= \frac{qN_D}{2} \left[ \frac{t_{ox}}{\varepsilon_{ox}R} + \frac{2 \ln(R) - 2p_0 + 1}{2\varepsilon_s} \right] \\ p_2 &= -\frac{20qN_D}{17\varepsilon_s R} \\ p_1 &= \frac{10qN_D}{29\varepsilon_s R^2} \\ p_0 &= \ln\left(\frac{7R}{20}\right) - \frac{3}{2} \end{aligned} \quad (\text{A1.2})$$

O polinômio para o raio do canal de condução no intervalo II e sua derivada de primeira ordem é dada por

$$\begin{aligned} r_{c_2}(V_{gs}) &= a_3 V_{gs}^3 + a_2 V_{gs}^2 + a_1 V_{gs} + a_0 \\ r'_{c_2}(V_{gs}) &= 3a_3 V_{gs}^2 + 2a_2 V_{gs} + a_1 \end{aligned} \quad (\text{A1.3})$$

É conveniente introduzir uma mudança de variáveis

$$\begin{aligned} x_o &= V_t - \delta \\ x_1 &= V_t + \delta \\ y_o &= r_{c_1}(V_t - \delta) \\ y_1 &= r_{c_2}(V_t + \delta) \\ d_o &= r'_{c_1}(V_t - \delta) \\ d_1 &= r'_{c_2}(V_t + \delta) \end{aligned} \quad (\text{A1.4})$$

Substituindo A1.4 em A1.3, tem-se o sistema de equações

$$\begin{cases} y_0 = a_3 x_0^3 + a_2 x_0^2 + a_1 x_0 + a_0 \\ y_1 = a_3 x_1^3 + a_2 x_1^2 + a_1 x_1 + a_0 \\ d_0 = 3a_3 x_0^2 + 2a_2 x_0 + a_1 \\ d_1 = 3a_3 x_1^2 + 2a_2 x_1 + a_1 \end{cases} \quad (\text{A1.5})$$

Resolvendo este sistema, tem-se os coeficientes da eq. 3.39 como uma função das variáveis de A1.4, que por sua vez dependem apenas dos parâmetros de fabricação do transistor

$$\begin{aligned} a_3 &= \frac{d_0 x_0 - d_0 x_1 + d_1 x_0 - d_1 x_1 - 2y_0 + 2y_1}{(x_0 - x_1)^3} \\ a_2 &= -\frac{d_0 x_0^2 + d_0 x_0 x_1 - 2d_0 x_1^2 + 2d_1 x_0^2 - d_1 x_0 x_1 - d_1 x_1^2 - 3x_0 y_0 + 3x_0 y_1 - 3x_1 y_0 + 3x_1 y_1}{(x_0 - x_1)^3} \\ a_1 &= \frac{2d_0 x_0^2 x_1 - d_0 x_0 x_1^2 - d_0 x_1^3 + d_1 x_0^3 + d_1 x_0^2 x_1 - 2d_1 x_0 x_1^2 - 6x_0 x_1 y_0 + 6x_0 x_1 y_1}{(x_0 - x_1)^3} \\ a_0 &= -\frac{d_0 x_0^2 x_1^2 - d_0 x_0 x_1^3 + d_1 x_0^3 x_1 - d_1 x_0^2 x_1^2 - x_0^3 y_1 + 3x_0^2 x_1 y_1 - 3x_0 x_1^2 y_0 + x_1^3 y_0}{(x_0 - x_1)^3} \end{aligned} \quad (\text{A1.6})$$

Os coeficientes da eq. 3.78 são dados como

$$\begin{aligned} b_3 &= -a_3 V_{ds}^3 / L^3 \\ b_2 &= V_{ds}^2 (3a_3 V_{gs} + a_2) / L^2 \\ b_1 &= -V_{ds} (3a_3 V_{gs}^2 + 2a_2 V_{gs} + a_1) / L \\ b_0 &= a_3 V_{gs}^3 + a_2 V_{gs}^2 + a_1 V_{gs} + a_0 \end{aligned} \quad (\text{A1.7})$$

Os coeficientes da eq. 3.80 são dados como

$$\begin{aligned} f_i &= \frac{(z_{t_0})^i - (z_{t_1})^i}{i}, \quad i = 1, 2, 3, 4, 5, 6, 7 \\ k_6 &= a_3^2 f_1 \\ k_5 &= -\frac{6a_3^2 V_{ds}}{L} f_2 + 2a_2 a_3 f_1 \\ k_4 &= \frac{15a_3^2 V_{ds}^2}{L^2} f_3 - \frac{10a_2 V_{ds} a_3}{L} f_2 + (2a_1 a_3 + a_2^2) f_1 \\ k_3 &= -\frac{20a_3^2 V_{ds}^3}{L^3} f_4 + \frac{20a_2 V_{ds}^2 a_3}{L^2} f_3 - \frac{8V_{ds}}{L} \left( a_1 a_3 + \frac{a_2^2}{2} \right) f_2 + 2(a_0 a_3 + a_1 a_2) \\ k_2 &= \left[ \begin{aligned} &\frac{15V_{ds}^4 a_3^2}{L^4} f_5 - \frac{20a_3 a_2 V_{ds}^3}{L^3} f_4 + \frac{12V_{ds}^2}{L^2} \left( a_1 a_3 + \frac{a_2^2}{2} \right) f_3 - \\ &\frac{6}{L} (a_0 a_3 + a_1 a_2) f_2 + 4 \left( a_0 a_2 + \frac{a_1^2}{2} \right) f_1 \end{aligned} \right] \end{aligned} \quad (\text{A1.8})$$

$$\begin{aligned}
 k_1 &= \left[ -\frac{6V_{ds}^5 a_3^2}{L^5} f_6 + \frac{10a_3 a_2 V_{ds}^4}{L^4} f_5 - \frac{8V_{ds}^3}{L^3} \left( a_1 a_3 + \frac{a_2^2}{2} \right) f_4 - \frac{6V_{ds}^2}{L^2} (a_0 a_3 + a_1 a_2) f_3 - \right. \\
 &\quad \left. \frac{4V_{ds}}{L} \left( a_0 a_2 + \frac{a_1^2}{2} \right) f_2 + 2a_0 a_1 f_1 \right] \\
 k_0 &= \left[ \frac{V_{ds}^6 a_3^2}{L^6} f_7 - \frac{2a_3 a_2 V_{ds}^5}{L^5} f_6 + \frac{2V_{ds}^4}{L^4} \left( a_1 a_3 + \frac{a_2^2}{2} \right) f_5 - \frac{2V_{ds}^3}{L^3} (a_0 a_3 + a_1 a_2) f_4 + \right. \\
 &\quad \left. \frac{2V_{ds}^2}{L^2} \left( a_0 a_2 + \frac{a_1^2}{2} \right) f_3 - \frac{2a_0 a_1 V_{ds}}{L} f_2 - a_0^2 f_1 \right] \quad (A1.8) \\
 d_0 &= 1 + h_4 (V_{FB} - V_{gs}) \\
 d_1 &= \frac{h_4 V_{ds}}{L} \\
 d_2 &= j_2 \left[ (d_1 z_{t_1} + d_0)^{\frac{3}{2}} - (d_1 z_{FB} + d_0)^{\frac{3}{2}} \right]
 \end{aligned}$$

Os coeficientes da eq. 3.87 são dados como

$$\begin{aligned}
 l_5 &= 6a_3^2 f_1 \\
 l_4 &= 10a_3 \left[ a_2 f_1 - \frac{3a_3 V_{ds}}{L} f_2 \right] \\
 l_3 &= 8 \left[ \left( a_1 a_3 + \frac{a_2^2}{2} \right) f_1 - \frac{5V_{ds} a_2 a_3}{L} f_2 + \frac{15V_{ds}^2 a_3^2}{2L^2} f_3 \right] \\
 l_2 &= 6 \left[ -(a_0 a_3 + a_1 a_2) f_1 + \frac{4V_{ds}}{L} \left( a_1 a_3 + \frac{a_2^2}{2} \right) f_2 - \frac{10V_{ds}^2 a_2 a_3}{L^2} f_3 + \frac{10V_{ds}^3 a_3^2}{L^3} f_4 \right] \\
 l_1 &= 2 \left[ -\left( a_0 a_2 + \frac{a_1^2}{2} \right) f_1 + \frac{3V_{ds} (a_0 a_3 + a_1 a_2)}{2L} f_2 - \frac{6V_{ds}^2}{L^2} \left( a_1 a_3 + \frac{a_2^2}{2} \right) f_3 + \right. \\
 &\quad \left. \frac{10V_{ds}^3 a_2 a_3^2}{L^3} f_4 - \frac{15V_{ds}^4 a_3^2}{L^4} f_5 \right] \quad (A1.9) \\
 l_0 &= 2 \left[ a_0 a_1 f_1 + \frac{2V_{ds}}{L} \left( a_0 a_2 + \frac{a_1^2}{2} \right) f_2 + \frac{3V_{ds}^2 (a_0 a_3 + a_1 a_2)}{L^2} f_3 - \right. \\
 &\quad \left. \frac{4V_{ds}^3}{L^3} \left( a_1 a_3 + \frac{a_2^2}{2} \right) f_4 + \frac{5V_{ds}^4 a_2 a_3}{L^4} f_5 - \frac{3V_{ds}^5 a_3^2}{L^5} f_6 \right]
 \end{aligned}$$



## Lista de Publicações

Publicações diretamente relacionadas a esta tese até o momento do depósito:

1. de Souza, Adelcio M.; Celino, Daniel R.; Ragi, Regiane; Romero, Murilo A. **Fully analytical compact model for the Q–V and C–V characteristics of cylindrical junctionless nanowire FETs**. *Microelectronics Journal*, v. 119, p. 105324, 2022.
2. de Souza, Adelcio M., Celino, Daniel R.; Romero, Murilo A. **Compact Modeling of Transition Metal Dichalcogenide Ballistic Transistors**. 37<sup>th</sup> Symposium on Microelectronics Technology and Devices (SBMicro), 2023.
3. de Souza, Adelcio M., Celino, Daniel R.; Romero, Murilo A. **Analytical Model for Monolayer Phosphorene DG-FETs in the Ballistic Regime**. 18<sup>th</sup> IEEE Nanotechnology Materials and Devices Conference (NMDC), 2023.
4. de Souza, Adelcio M.; Celino, Daniel R.; Ragi, Regiane; Romero, Murilo A. **Analytical Model for Cylindrical Junctionless Nanowire FETs**. 15<sup>th</sup> Latin American Symposium on Circuits and Systems (LASCAS), 2024.
5. de Souza, Adelcio M.; Celino, Daniel R.; Ragi, Regiane; Romero, Murilo A. **Physics-based Analytical Model for Ballistic InSe Nanotransistors**. 24<sup>th</sup> IEEE International Conference on Nanotechnology (IEEE-NANO), 2024 (submetido).

Publicações correlacionadas a esta tese até o momento do depósito:

1. Celino, Daniel R.; de Souza, Adelcio M.; Plazas, Caio L. M. P.; Ragi, Regiane; Romero, Murilo A. **Fully Analytical Compact Model for the I–V Characteristics of Resonant Tunneling Diodes**. 35<sup>th</sup> Symposium on Microelectronics Technology and Devices (SBMicro), 2021.
2. Celino, Daniel R.; de Souza, Adelcio M.; Plazas, Caio L. M. P.; Ragi, Regiane; Romero, Murilo A. **A Physics Based RTD Model Accounting for Space Charge and Phonon Scattering Effects**. *Journal of Integrated Circuits and Systems*, v. 17, n. 1, p. 1-8, 2022.



## Referências

- [1] L. Badash, "The Completeness of Nineteenth-Century Science," *Isis*, vol. 63, no. 1, pp. 48–58, Mar. 1972, doi: 10.1086/350840.
- [2] S. Borkar, "Designing Reliable Systems from Unreliable Components: The Challenges of Transistor Variability and Degradation," *IEEE Micro*, vol. 25, no. 6, pp. 10–16, Nov. 2005, doi: 10.1109/MM.2005.110.
- [3] J. E. Lilienfeld, "Electric current control mechanism," CA272437A, 1927
- [4] O. Heil, "Improvements in or relating to electrical amplifiers and other control arrangements and devices," GB439457A, 1935
- [5] J. Bardeen, "Surface States and Rectification at a Metal Semi-Conductor Contact," *Phys. Rev.*, vol. 71, no. 10, pp. 717–727, May 1947, doi: 10.1103/PhysRev.71.717.
- [6] W. H. Brattain and W. Shockley, "Density of Surface States on Silicon Deduced from Contact Potential Measurements," *Phys. Rev.*, vol. 72, no. 4, pp. 345–345, Aug. 1947, doi: 10.1103/PhysRev.72.345.
- [7] W. H. Brattain and J. Bardeen, "Nature of the Forward Current in Germanium Point Contacts," *Phys. Rev.*, vol. 74, no. 2, pp. 231–232, Jul. 1948, doi: 10.1103/PhysRev.74.231.
- [8] J. Bardeen and W. H. Brattain, "The Transistor, A Semi-Conductor Triode," *Phys. Rev.*, vol. 74, no. 2, pp. 230–231, Jul. 1948, doi: 10.1103/PhysRev.74.230.
- [9] W. Shockley, "Circuit element utilizing semiconductive material," US2569347A, 1951
- [10] G. Dacey and I. Ross, "Unipolar 'Field-Effect' Transistor," *Proc. IRE*, vol. 41, no. 8, pp. 970–979, Aug. 1953, doi: 10.1109/JRPROC.1953.274285.



- [11] M. Atalla and D. Kahng, "Silicon-silicon dioxide field induced surface devices," in *IRE-AIEE Solid State Device Research Conference*, 1960.
- [12] B. Lojek, *History of semiconductor engineering*. New York, NY, USA: Springer Berlin Heidelberg, 2007. doi: 10.1007/978-3-540-34258-8.
- [13] G. E. Moore, "Cramming more components onto integrated circuits with unit cost," *Electronics*, vol. 38, no. 8, p. 114, 1965.
- [14] G. E. Moore, "Progress In Digital Integrated Electronics," in *IEEE International Electron Devices Meeting*, 1975, vol. 21, pp. 11–13.
- [15] K. Rupp, "Moore's law: The number of transistors per microprocessor," *Our World In Data*, 2023. <https://ourworldindata.org/grapher/transistors-per-microprocessor> (accessed Apr. 18, 2023).
- [16] R. H. Dennard, F. H. Gaensslen, H.-N. Yu, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," *IEEE J. Solid-State Circuits*, vol. 9, no. 5, pp. 256–268, Oct. 1974, doi: 10.1109/JSSC.1974.1050511.
- [17] S. K. Moore, "The node is nonsense," *IEEE Spectr.*, vol. 57, no. 8, pp. 24–30, Aug. 2020, doi: 10.1109/MSPEC.2020.9150552.
- [18] International Roadmap for Devices and Systems, "International Roadmap for Devices and Systems: More Moore," 2022.
- [19] M. T. Bohr and I. A. Young, "CMOS Scaling Trends and Beyond," *IEEE Micro*, vol. 37, no. 6, pp. 20–29, Nov. 2017, doi: 10.1109/MM.2017.4241347.
- [20] G. Bae *et al.*, "3nm GAA Technology featuring Multi-Bridge-Channel FET for Low Power and High Performance Applications," in *2018 IEEE International Electron Devices Meeting (IEDM)*, Dec. 2018, pp. 28.7.1-28.7.4. doi: 10.1109/IEDM.2018.8614629.

- [21] J. P. Colinge, *FinFETs and Other Multi-Gate Transistors*. Boston, MA: Springer US, 2008. doi: 10.1007/978-0-387-71752-4.
- [22] J.-P. Colinge and J. C. Greer, *Nanowire Transistors*. Cambridge, UK: Cambridge University Press, 2016. doi: 10.1017/CBO9781107280779.
- [23] K. Uchida, Junji Koga, and Shin-ichi Takagi, "Experimental study on carrier transport mechanisms in double- and single-gate ultrathin-body MOSFETs - Coulomb scattering, volume inversion, and  $\delta$ TSOI-induced scattering," in *IEEE International Electron Devices Meeting 2003*, 2003, vol. I, pp. 33.5.1-33.5.4. doi: 10.1109/IEDM.2003.1269402.
- [24] IRTS, "International Technology Roadmap for Semiconductors - Executive Summary," 2005.
- [25] J.-P. Colinge *et al.*, "Nanowire transistors without junctions," *Nat. Nanotechnol.*, vol. 5, no. 3, pp. 225–229, Mar. 2010, doi: 10.1038/nnano.2010.15.
- [26] J. P. Colinge *et al.*, "Junctionless Nanowire Transistor (JNT): Properties and design guidelines," *Solid. State. Electron.*, vol. 65–66, no. 1, pp. 33–37, Nov. 2011, doi: 10.1016/j.sse.2011.06.004.
- [27] A. Nowbahari, A. Roy, and L. Marchetti, "Junctionless Transistors: State-of-the-Art," *Electronics*, vol. 9, no. 7, p. 1174, Jul. 2020, doi: 10.3390/electronics9071174.
- [28] P. R. Wallace, "The Band Theory of Graphite," *Phys. Rev.*, vol. 71, no. 9, pp. 622–634, May 1947, doi: 10.1103/PhysRev.71.622.
- [29] H. P. Boehm, A. Clauss, G. Fischer, and U. Hofmann, "Surface properties of extremely thin graphite lamellae," in *Proceedings of the Fifth Conference on Carbon*, University Park, PA: Elsevier, 1962, pp. 73–80. doi: 10.1016/B978-0-08-009707-7.50013-3.

- [30] K. S. Novoselov *et al.*, “Electric Field Effect in Atomically Thin Carbon Films,” *Science* (80-. ), vol. 306, no. 5696, pp. 666–669, Oct. 2004, doi: 10.1126/science.1102896.
- [31] S. V. Morozov *et al.*, “Giant Intrinsic Carrier Mobilities in Graphene and Its Bilayer,” *Phys. Rev. Lett.*, vol. 100, no. 1, p. 016602, Jan. 2008, doi: 10.1103/PhysRevLett.100.016602.
- [32] M. S. Dresselhaus and G. Dresselhaus, “Intercalation compounds of graphite,” *Adv. Phys.*, vol. 51, no. 1, pp. 1–186, Jan. 2002, doi: 10.1080/00018730110113644.
- [33] S. Zeng, Z. Tang, C. Liu, and P. Zhou, “Electronics based on two-dimensional materials: Status and outlook,” *Nano Res.*, vol. 14, no. 6, pp. 1752–1767, Jun. 2021, doi: 10.1007/s12274-020-2945-z.
- [34] P. Miró, M. Audiffred, and T. Heine, “An atlas of two-dimensional materials,” *Chem. Soc. Rev.*, vol. 43, no. 18, pp. 6537–6554, 2014, doi: 10.1039/C4CS00102H.
- [35] F. Schwierz, J. Pezoldt, and R. Granzner, “Two-dimensional materials and their prospects in transistor electronics,” *Nanoscale*, vol. 7, no. 18, pp. 8261–8283, Apr. 2015, doi: 10.1039/C5NR01052G.
- [36] W. Cao *et al.*, “2-D Layered Materials for Next-Generation Electronics: Opportunities and Challenges,” *IEEE Trans. Electron Devices*, vol. 65, no. 10, pp. 4109–4121, 2018, doi: 10.1109/TED.2018.2867441.
- [37] J. Jiang, L. Xu, C. Qiu, and L.-M. Peng, “Ballistic two-dimensional InSe transistors,” *Nature*, vol. 616, no. 7957, pp. 470–475, Apr. 2023, doi: 10.1038/s41586-023-05819-w.
- [38] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, “Single-layer MoS<sub>2</sub> transistors,” *Nat. Nanotechnol.*, vol. 6, no. 3, pp. 147–150, Mar.

- 2011, doi: 10.1038/nnano.2010.279.
- [39] H. Liu *et al.*, “Phosphorene: An Unexplored 2D Semiconductor with a High Hole Mobility,” *ACS Nano*, vol. 8, no. 4, pp. 4033–4041, Apr. 2014, doi: 10.1021/nn501226z.
- [40] Z. Zhang *et al.*, “Growth and applications of two-dimensional single crystals,” *2D Mater.*, vol. 10, no. 3, p. 032001, Jul. 2023, doi: 10.1088/2053-1583/acc95a.
- [41] X. Yang *et al.*, “Highly reproducible van der Waals integration of two-dimensional electronics on the wafer scale,” *Nat. Nanotechnol.*, Mar. 2023, doi: 10.1038/s41565-023-01342-1.
- [42] K. Zhu *et al.*, “The development of integrated circuits based on two-dimensional materials,” *Nat. Electron.*, vol. 4, no. 11, pp. 775–785, Nov. 2021, doi: 10.1038/s41928-021-00672-z.
- [43] Y. Liu, X. Duan, H. Shin, S. Park, Y. Huang, and X. Duan, “Promises and prospects of two-dimensional transistors,” *Nature*, vol. 591, no. 7848, pp. 43–53, Mar. 2021, doi: 10.1038/s41586-021-03339-z.
- [44] M. C. Lemme, D. Akinwande, C. Huyghebaert, and C. Stampfer, “2D materials for future heterogeneous electronics,” *Nat. Commun.*, vol. 13, no. 1, p. 1392, Mar. 2022, doi: 10.1038/s41467-022-29001-4.
- [45] B. J. Sheu, D. L. Scharfetter, P.-K. Ko, and M.-C. Jeng, “BSIM: Berkeley short-channel IGFET model for MOS transistors,” *IEEE J. Solid-State Circuits*, vol. 22, no. 4, pp. 558–566, Aug. 1987, doi: 10.1109/JSSC.1987.1052773.
- [46] M. A. C. Maher, “A Charge-Controlled Model for MOS Transistors,” California Institute of Technology, 1989. doi: 10.7907/JHQE-T452.
- [47] J. R. Brews, “A charge-sheet model of the MOSFET,” *Solid. State. Electron.*,

- vol. 21, no. 2, pp. 345–355, Feb. 1978, doi: 10.1016/0038-1101(78)90264-2.
- [48] M. Weis *et al.*, “Low Power SRAM Cell Using Vertical Slit Field Effect Transistor (VeSFET),” in *ESSCIRC Fringe*, 2008, p. P6.
- [49] B. Sorée, W. Magnus, and G. Pourtois, “Analytical and self-consistent quantum mechanical model for a surrounding gate MOS nanowire operated in JFET mode,” *J. Comput. Electron.*, vol. 7, no. 3, pp. 380–383, Sep. 2008, doi: 10.1007/s10825-008-0217-3.
- [50] D. D. Zhao, T. Nishimura, C. H. Lee, K. Nagashio, K. Kita, and A. Toriumi, “Junctionless Ge p-Channel Metal–Oxide–Semiconductor Field-Effect Transistors Fabricated on Ultrathin Ge-on-Insulator Substrate,” *Appl. Phys. Express*, vol. 4, no. 3, p. 031302, Mar. 2011, doi: 10.1143/APEX.4.031302.
- [51] D. Sels, B. Sorée, and G. Groeseneken, “Quantum ballistic transport in the junctionless nanowire pinch-off field effect transistor,” *J. Comput. Electron.*, vol. 10, no. 1–2, pp. 216–221, Jun. 2011, doi: 10.1007/s10825-011-0350-2.
- [52] P. Razavi and G. Fagas, “Electrical performance of III-V gate-all-around nanowire transistors,” *Appl. Phys. Lett.*, vol. 103, no. 6, p. 063506, Aug. 2013, doi: 10.1063/1.4817997.
- [53] Y. Song *et al.*, “III-V Junctionless Gate-All-Around Nanowire MOSFETs for High Linearity Low Power Applications,” *IEEE Electron Device Lett.*, vol. 35, no. 3, pp. 324–326, Mar. 2014, doi: 10.1109/LED.2013.2296556.
- [54] H. Gao *et al.*, “Design and Analysis of Vertical-Channel Gallium Nitride (GaN) Junctionless Nanowire Transistors (JNT),” *J. Nanosci. Nanotechnol.*, vol. 14, no. 11, pp. 8130–8135, 2014.
- [55] W. Li, M. D. Brubaker, B. T. Spann, K. A. Bertness, and P. Fay, “GaN Nanowire MOSFET With Near-Ideal Subthreshold Slope,” *IEEE Electron Device Lett.*, vol. 39, no. 2, pp. 184–187, Feb. 2018, doi:

- 10.1109/LED.2017.2785785.
- [56] A. Konar *et al.*, “Carrier Transport in High Mobility InAs Nanowire Junctionless Transistors,” *Nano Lett.*, vol. 15, no. 3, pp. 1684–1690, Mar. 2015, doi: 10.1021/nl5043165.
- [57] A. Pan, G. Leung, and C. O. Chui, “Junctionless Silicon and In<sub>0.53</sub>Ga<sub>0.47</sub>As Transistors—Part I: Nominal Device Evaluation With Quantum Simulations,” *IEEE Trans. Electron Devices*, vol. 62, no. 10, pp. 3199–3207, Oct. 2015, doi: 10.1109/TED.2015.2464291.
- [58] J. P. Colinge *et al.*, “Junctionless Transistors: Physics and Properties,” in *Semiconductor-On-Insulator Materials for Nanoelectronics Applications*, A. Nazarov, J.-P. Colinge, F. Balestra, J.-P. Raskin, F. Gamiz, and V. S. Lysenko, Eds. Berlin, Heidelberg: Springer Berlin Heidelberg, 2011, pp. 187–200. doi: 10.1007/978-3-642-15868-1\_10.
- [59] E. Gnani, A. Gnudi, S. Reggiani, and G. Bacarani, “Theory of the Junctionless Nanowire FET,” *IEEE Trans. Electron Devices*, vol. 58, no. 9, pp. 2903–2910, Sep. 2011, doi: 10.1109/TED.2011.2159608.
- [60] E. Gnani *et al.*, “Numerical investigation on the junctionless nanowire FET,” *Solid. State. Electron.*, vol. 71, pp. 13–18, May 2012, doi: 10.1016/j.sse.2011.10.013.
- [61] D. Shafizade, M. Shalchian, and F. Jazaeri, “Charge-based modeling of ultra narrow junctionless cylindrical nanowire FETs,” *Solid. State. Electron.*, vol. 185, no. January, p. 108153, Nov. 2021, doi: 10.1016/j.sse.2021.108153.
- [62] C. Jacoboni, C. Canali, G. Ottaviani, and A. Alberigi Quaranta, “A review of some charge transport properties of silicon,” *Solid. State. Electron.*, vol. 20, no. 2, pp. 77–89, Feb. 1977, doi: 10.1016/0038-1101(77)90054-5.
- [63] K. I. Goto, T. H. Yu, J. Wu, C. H. Diaz, and J. P. Colinge, “Mobility and

- screening effect in heavily doped accumulation-mode metal-oxide-semiconductor field-effect transistors," *Appl. Phys. Lett.*, vol. 101, no. 7, pp. 1–2, 2012, doi: 10.1063/1.4745604.
- [64] S. Sahay and M. J. Kumar, *Junctionless Field-Effect Transistors*. Wiley-IEEE Press, 2019.
- [65] J. P. D. Sepúlveda, "Core Compact Models for Multiple-Gate Field-Effect-Transistor," Korea Advanced Institute of Science & Technology, 2012.
- [66] F. Jazaeri, "Modeling Junctionless Metal-Oxide-Semiconductor Field-Effect Transistor," 2015.
- [67] Jibin Zou, Qiumin Xu, Jieying Luo, Runsheng Wang, Ru Huang, and Yangyuan Wang, "Predictive 3-D Modeling of Parasitic Gate Capacitance in Gate-all-Around Cylindrical Silicon Nanowire MOSFETs," *IEEE Trans. Electron Devices*, vol. 58, no. 10, pp. 3379–3387, Oct. 2011, doi: 10.1109/TED.2011.2162521.
- [68] J. P. Duarte, S.-J. Choi, and Y.-K. Choi, "A Full-Range Drain Current Model for Double-Gate Junctionless Transistors," *IEEE Trans. Electron Devices*, vol. 58, no. 12, pp. 4219–4225, Dec. 2011, doi: 10.1109/TED.2011.2169266.
- [69] J.-M. Sallese, N. Chevillon, C. Lallement, B. Iniguez, and F. Pregaldiny, "Charge-Based Modeling of Junctionless Double-Gate Field-Effect Transistors," *IEEE Trans. Electron Devices*, vol. 58, no. 8, pp. 2628–2637, Aug. 2011, doi: 10.1109/TED.2011.2156413.
- [70] B. Soree and W. Magnus, "Silicon nanowire pinch-off FET : Basic operation and analytical model," in *2009 10th International Conference on Ultimate Integration of Silicon*, Mar. 2009, pp. 245–248. doi: 10.1109/ULIS.2009.4897582.
- [71] J. P. Duarte, S.-J. Choi, D.-I. Moon, and Y.-K. Choi, "Simple Analytical Bulk

- Current Model for Long-Channel Double-Gate Junctionless Transistors,” *IEEE Electron Device Lett.*, vol. 32, no. 6, pp. 704–706, Jun. 2011, doi: 10.1109/LED.2011.2127441.
- [72] J. P. Duarte, M.-S. Kim, S.-J. Choi, and Y.-K. Choi, “A Compact Model of Quantum Electron Density at the Subthreshold Region for Double-Gate Junctionless Transistors,” *IEEE Trans. Electron Devices*, vol. 59, no. 4, pp. 1008–1012, Apr. 2012, doi: 10.1109/TED.2012.2185827.
- [73] T.-K. Chiang, “A New Quasi-2-D Threshold Voltage Model for Short-Channel Junctionless Cylindrical Surrounding Gate (JLCSG) MOSFETs,” *IEEE Trans. Electron Devices*, vol. 59, no. 11, pp. 3127–3129, Nov. 2012, doi: 10.1109/TED.2012.2212904.
- [74] J. P. Duarte, S.-J. Choi, D.-I. Moon, and Y.-K. Choi, “A Nonpiecewise Model for Long-Channel Junctionless Cylindrical Nanowire FETs,” *IEEE Electron Device Lett.*, vol. 33, no. 2, pp. 155–157, Feb. 2012, doi: 10.1109/LED.2011.2174770.
- [75] R. D. Trevisoli, R. T. Doria, M. de Souza, S. Das, I. Ferain, and M. A. Pavanello, “Surface-Potential-Based Drain Current Analytical Model for Triple-Gate Junctionless Nanowire Transistors,” *IEEE Trans. Electron Devices*, vol. 59, no. 12, pp. 3510–3518, Dec. 2012, doi: 10.1109/TED.2012.2219055.
- [76] J.-M. Sallese, F. Jazaeri, L. Barbut, N. Chevillon, and C. Lallement, “A Common Core Model for Junctionless Nanowires and Symmetric Double-Gate FETs,” *IEEE Trans. Electron Devices*, vol. 60, no. 12, pp. 4277–4280, Dec. 2013, doi: 10.1109/TED.2013.2287528.
- [77] J. P. Duarte *et al.*, “A Universal Core Model for Multiple-Gate Field-Effect Transistors. Part I: Charge Model,” *IEEE Trans. Electron Devices*, vol. 60, no. 2, pp. 840–847, Feb. 2013, doi: 10.1109/TED.2012.2233478.



- [78] J. P. Duarte *et al.*, “A Universal Core Model for Multiple-Gate Field-Effect Transistors. Part II: Drain Current Model,” *IEEE Trans. Electron Devices*, vol. 60, no. 2, pp. 848–855, Feb. 2013, doi: 10.1109/TED.2012.2233863.
- [79] F. Jazaeri, L. Barbut, and J.-M. Sallese, “Modeling and Design Space of Junctionless Symmetric DG MOSFETs With Long Channel,” *IEEE Trans. Electron Devices*, vol. 60, no. 7, pp. 2120–2127, Jul. 2013, doi: 10.1109/TED.2013.2261073.
- [80] Cong Li, Yiqi Zhuang, Shaoyan Di, and Ru Han, “Subthreshold Behavior Models for Nanoscale Short-Channel Junctionless Cylindrical Surrounding-Gate MOSFETs,” *IEEE Trans. Electron Devices*, vol. 60, no. 11, pp. 3655–3662, Nov. 2013, doi: 10.1109/TED.2013.2281395.
- [81] F. Lime, O. Moldovan, and B. Iniguez, “A Compact Explicit Model for Long-Channel Gate-All-Around Junctionless MOSFETs. Part I: DC Characteristics,” *IEEE Trans. Electron Devices*, vol. 61, no. 9, pp. 3036–3041, Sep. 2014, doi: 10.1109/TED.2014.2340441.
- [82] O. Moldovan, F. Lime, and B. Iniguez, “A Compact Explicit Model for Long-Channel Gate-All-Around Junctionless MOSFETs. Part II: Total Charges and Intrinsic Capacitance Characteristics,” *IEEE Trans. Electron Devices*, vol. 61, no. 9, pp. 3042–3046, Sep. 2014, doi: 10.1109/TED.2014.2342273.
- [83] Y. Deng, X. Fan, R. Han, and C. Li, “A surface-potential-based model for silicon nanowire junctionless field-effect transistors including interface traps,” *Int. J. Numer. Model. Electron. Networks, Devices Fields*, vol. 27, no. 5–6, pp. 896–907, Sep. 2014, doi: 10.1002/jnm.1985.
- [84] G. Hu, P. Xiang, Z. Ding, R. Liu, L. Wang, and T.-A. Tang, “Analytical Models for Electric Potential, Threshold Voltage, and Subthreshold Swing of Junctionless Surrounding-Gate Transistors,” *IEEE Trans. Electron*

- Devices*, vol. 61, no. 3, pp. 688–695, Mar. 2014, doi: 10.1109/TED.2013.2297378.
- [85] F. Jazaeri, L. Barbut, and J.-M. Sallese, “Generalized Charge-Based Model of Double-Gate Junctionless FETs, Including Inversion,” *IEEE Trans. Electron Devices*, vol. 61, no. 10, pp. 3553–3557, Oct. 2014, doi: 10.1109/TED.2014.2345097.
- [86] F. Jazaeri, L. Barbut, and J. M. Sallese, “Trans-capacitance modeling in junctionless gate-all-around nanowire FETs,” *Solid. State. Electron.*, vol. 96, pp. 34–37, Jun. 2014, doi: 10.1016/j.sse.2014.04.022.
- [87] Y. Xiao, B. Zhang, H. Lou, L. Zhang, and X. Lin, “A Compact Model of Subthreshold Current With Source/Drain Depletion Effect for the Short-Channel Junctionless Cylindrical Surrounding-Gate MOSFETs,” *IEEE Trans. Electron Devices*, vol. 63, no. 5, pp. 2176–2181, May 2016, doi: 10.1109/TED.2016.2535247.
- [88] R. Ragi, R. V. T. da Nobrega, U. R. Duarte, and M. A. Romero, “An Explicit Quantum-Mechanical Compact Model for the I-V Characteristics of Cylindrical Nanowire MOSFETs,” *IEEE Trans. Nanotechnol.*, vol. 15, no. 4, pp. 627–634, Jul. 2016, doi: 10.1109/TNANO.2016.2567323.
- [89] F. Ávila-Herrera, B. C. Paz, A. Cerdeira, M. Estrada, and M. A. Pavanello, “Charge-based compact analytical model for triple-gate junctionless nanowire transistors,” *Solid. State. Electron.*, vol. 122, pp. 23–31, Aug. 2016, doi: 10.1016/j.sse.2016.04.013.
- [90] A. Yesayan, F. Jazaeri, and J.-M. Sallese, “Charge-Based Modeling of Double-Gate and Nanowire Junctionless FETs Including Interface-Trapped Charges,” *IEEE Trans. Electron Devices*, vol. 63, no. 3, pp. 1368–1374, Mar. 2016, doi: 10.1109/TED.2016.2521359.

- [91] F. Lime, F. Ávila-Herrera, A. Cerdeira, and B. Iñiguez, "A compact explicit DC model for short channel Gate-All-Around junctionless MOSFETs," *Solid. State. Electron.*, vol. 131, pp. 24–29, May 2017, doi: 10.1016/j.sse.2017.02.004.
- [92] R. Ragi and M. A. Romero, "Fully Analytical Compact Model for the I – V Characteristics of Large Radius Junctionless Nanowire FETs," *IEEE Trans. Nanotechnol.*, vol. 18, pp. 762–769, Jul. 2019, doi: 10.1109/TNANO.2019.2926041.
- [93] D. Shafizade, M. Shalchian, and F. Jazaeri, "Ultrathin Junctionless Nanowire FET Model, Including 2-D Quantum Confinements," *IEEE Trans. Electron Devices*, vol. 66, no. 9, pp. 4101–4106, Sep. 2019, doi: 10.1109/TED.2019.2930533.
- [94] M. I. Khan, I. K. M. R. Rahman, and Q. D. M. Khosru, "Surface Potential-Based Analytical Modeling of Electrostatic and Transport Phenomena of GaN Nanowire Junctionless MOSFET," *IEEE Trans. Electron Devices*, vol. 67, no. 9, pp. 3568–3576, Sep. 2020, doi: 10.1109/TED.2020.3011645.
- [95] M. S. Bae and I. Yun, "2-D Quantum Confined Threshold Voltage Shift Model for Asymmetric Short-Channel Junctionless Quadruple-Gate FETs," *IEEE Trans. Electron Devices*, vol. 68, no. 11, pp. 5504–5510, Nov. 2021, doi: 10.1109/TED.2021.3089451.
- [96] D. Shafizade, M. Shalchian, and F. Jazaeri, "Charge-based modeling of ultra narrow junctionless cylindrical nanowire FETs," *Solid. State. Electron.*, vol. 185, no. Xx, p. 108153, Nov. 2021, doi: 10.1016/j.sse.2021.108153.
- [97] A. M. de Souza, D. R. Celino, R. Ragi, and M. A. Romero, "Fully analytical compact model for the Q–V and C–V characteristics of cylindrical junctionless nanowire FETs," *Microelectronics J.*, vol. 119, no. November 2021, p. 105324, Jan. 2022, doi: 10.1016/j.mejo.2021.105324.

- [98] W. Alshebly, M. Shalchian, D. Shafizade, A. Chalechale, and F. Jazaeri, "Transcapacitances Modeling in ultra-thin gate-all-around junctionless nanowire FETs, including 2D quantum confinement," *Solid. State. Electron.*, vol. 200, no. November 2022, p. 108544, Feb. 2023, doi: 10.1016/j.sse.2022.108544.
- [99] N. Rai, K. Ahuja, S. Semwal, and A. Kranti, "Incorporating Quantum Effects in Ultralow Power (ULP) Subthreshold Logic Design With Junctionless Nanowire Transistor," *IEEE Trans. Electron Devices*, vol. 69, no. 7, pp. 3983–3989, Jul. 2022, doi: 10.1109/TED.2022.3172045.
- [100] F. Liu *et al.*, "A Charge-Based Model for Long-Channel Cylindrical Surrounding-Gate MOSFETs From Intrinsic Channel to Heavily Doped Body," *IEEE Trans. Electron Devices*, vol. 55, no. 8, pp. 2187–2194, Aug. 2008, doi: 10.1109/TED.2008.926735.
- [101] R. D. Trevisoli, R. T. Doria, M. de Souza, I. Ferain, S. Das, and M. A. Pavanello, "The role of the incomplete ionization on the operation of Junctionless Nanowire Transistors," in *2012 IEEE International SOI Conference (SOI)*, Oct. 2012, pp. 1–2. doi: 10.1109/SOI.2012.6404384.
- [102] F. Avila-Herrera, A. Cerdeira, J. B. Roldan, P. Sánchez-Moreno, I. M. Tienda-Luna, and B. Iñiguez, "Pseudo-Boltzmann model for modeling the junctionless transistors," *Solid. State. Electron.*, vol. 95, pp. 19–22, May 2014, doi: 10.1016/j.sse.2014.02.010.
- [103] B. Iniguez, D. Jimenez, J. Roig, H. A. Hamid, L. F. Marsal, and J. Pallares, "Explicit Continuous Model for Long-Channel Undoped Surrounding Gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 52, no. 8, pp. 1868–1873, Aug. 2005, doi: 10.1109/TED.2005.852892.
- [104] S. K. Saha, *Compact Models for Integrated Circuit Design*. Boca Raton, FL: CRC Press, 2018. doi: 10.1201/b19117.

- [105] C. P. Auth and J. D. Plummer, "Scaling theory for cylindrical, fully-depleted, surrounding-gate MOSFET's," *IEEE Electron Device Lett.*, vol. 18, no. 2, pp. 74–76, Feb. 1997, doi: 10.1109/55.553049.
- [106] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, 3rd ed. Hoboken, New Jersey: John Wiley & Sons, Inc, 2006. doi: 10.1002/0470068329.
- [107] R. Trevisoli, R. T. Doria, M. de Souza, and M. A. Pavanello, "Extraction of the interface trap density energetic distribution in SOI Junctionless Nanowire Transistors," *Microelectron. Eng.*, vol. 147, pp. 23–26, Nov. 2015, doi: 10.1016/j.mee.2015.04.040.
- [108] F. Jazaeri, C. Zhang, A. Pezzotta, and C. Enz, "Charge-Based Modeling of Radiation Damage in Symmetric Double-Gate MOSFETs," *IEEE J. Electron Devices Soc.*, vol. 6, no. September 2017, pp. 85–94, Nov. 2018, doi: 10.1109/JEDS.2017.2772346.
- [109] D.-Y. Jeon *et al.*, "Separation of surface accumulation and bulk neutral channel in junctionless transistors," *Appl. Phys. Lett.*, vol. 104, no. 26, Jun. 2014, doi: 10.1063/1.4886139.
- [110] E. G. Barbagiovanni, D. J. Lockwood, P. J. Simpson, and L. V. Goncharova, "Quantum confinement in Si and Ge nanostructures: Theory and experiment," *Appl. Phys. Rev.*, vol. 1, no. 1, p. 011302, Mar. 2014, doi: 10.1063/1.4835095.
- [111] N. Dehdashti Akhavan, I. Ferain, P. Razavi, R. Yu, and J.-P. Colinge, "Improvement of carrier ballisticity in junctionless nanowire transistors," *Appl. Phys. Lett.*, vol. 98, no. 10, pp. 2011–2013, Mar. 2011, doi: 10.1063/1.3559625.
- [112] K. H. Goh, Y. Guo, X. Gong, G.-C. Liang, and Y.-C. Yeo, "Near ballistic sub-7 nm Junctionless FET featuring 1 nm extremely-thin channel and raised

- S/D structure,” in *2013 IEEE International Electron Devices Meeting*, Dec. 2013, pp. 16.5.1-16.5.4. doi: 10.1109/IEDM.2013.6724643.
- [113] R. Landauer, “Spatial Variation of Currents and Fields Due to Localized Scatterers in Metallic Conduction,” *IBM J. Res. Dev.*, vol. 1, no. 3, pp. 223–231, Jul. 1957, doi: 10.1147/rd.13.0223.
- [114] M. Lundstrom, *Fundamentals of Nanotransistors*, 1st ed. Singapore: World Scientific Publishing, 2015.
- [115] M. D. Ganeriwala, F. G. Ruiz, E. G. Marin, and N. R. Mohapatra, “A compact model for III–V nanowire electrostatics including band non-parabolicity,” *J. Comput. Electron.*, vol. 18, no. 4, pp. 1229–1235, Dec. 2019, doi: 10.1007/s10825-019-01389-1.
- [116] G. Pananakakis, G. Ghibaudo, and S. Cristoloveanu, “Nanodevices Tend to Be Round,” *Micromachines*, vol. 12, no. 3, p. 330, Mar. 2021, doi: 10.3390/mi12030330.
- [117] F. J. Garcia Ruiz, A. Godoy, F. Gamiz, C. Sampedro, and L. Donetti, “A Comprehensive Study of the Corner Effects in Pi-Gate MOSFETs Including Quantum Effects,” *IEEE Trans. Electron Devices*, vol. 54, no. 12, pp. 3369–3377, Nov. 2007, doi: 10.1109/TED.2007.909206.
- [118] H. W. Kroto, J. R. Heath, S. C. O’Brien, R. F. Curl, and R. E. Smalley, “C<sub>60</sub>: Buckminsterfullerene,” *Nature*, vol. 318, no. 6042, pp. 162–163, Nov. 1985, doi: 10.1038/318162a0.
- [119] S. Iijima, “Helical microtubules of graphitic carbon,” *Nature*, vol. 354, no. 6348, pp. 56–58, Nov. 1991, doi: 10.1038/354056a0.
- [120] “The Nobel Prize in Physics 2010 - Press Release,” *The Royal Swedish Academy of Sciences*, 2010. <https://www.nobelprize.org/prizes/physics/2010/press-release/>

- [121] S. Hastrup *et al.*, “The Computational 2D Materials Database: high-throughput modeling and discovery of atomically thin crystals,” *2D Mater.*, vol. 5, no. 4, p. 042002, Sep. 2018, doi: 10.1088/2053-1583/aacfc1.
- [122] M. N. Gjerding *et al.*, “Recent progress of the Computational 2D Materials Database (C2DB),” *2D Mater.*, vol. 8, no. 4, p. 044002, Oct. 2021, doi: 10.1088/2053-1583/ac1059.
- [123] K. I. Bolotin *et al.*, “Ultrahigh electron mobility in suspended graphene,” *Solid State Commun.*, vol. 146, no. 9–10, pp. 351–355, Jun. 2008, doi: 10.1016/j.ssc.2008.02.024.
- [124] V. E. Dorgan, M. H. Bae, and E. Pop, “Mobility and saturation velocity in graphene on SiO<sub>2</sub>,” *Appl. Phys. Lett.*, 2010, doi: 10.1063/1.3483130.
- [125] M. C. Lemme, T. J. Echtermeyer, M. Baus, and H. Kurz, “A Graphene Field-Effect Device,” *IEEE Electron Device Lett.*, vol. 28, no. 4, pp. 282–284, Apr. 2007, doi: 10.1109/LED.2007.891668.
- [126] K. S. Novoselov *et al.*, “Two-dimensional gas of massless Dirac fermions in graphene,” *Nature*, vol. 438, no. 7065, pp. 197–200, Nov. 2005, doi: 10.1038/nature04233.
- [127] A. K. Geim and K. S. Novoselov, “The rise of graphene,” *Nat. Mater.*, vol. 6, no. 3, pp. 183–191, Mar. 2007, doi: 10.1038/nmat1849.
- [128] F. Schwierz, “Graphene transistors,” *Nat. Nanotechnol.*, vol. 5, no. 7, pp. 487–496, Jul. 2010, doi: 10.1038/nnano.2010.89.
- [129] B. Lalmi *et al.*, “Epitaxial growth of a silicene sheet,” *Appl. Phys. Lett.*, vol. 97, no. 22, pp. 96–97, Nov. 2010, doi: 10.1063/1.3524215.
- [130] B. Aufray *et al.*, “Graphene-like silicon nanoribbons on Ag(110): A possible formation of silicene,” *Appl. Phys. Lett.*, vol. 96, no. 18, pp. 4–6, May 2010, doi: 10.1063/1.3419932.

- [131] L. Tao *et al.*, “Silicene field-effect transistors operating at room temperature,” *Nat. Nanotechnol.*, vol. 10, no. 3, pp. 227–231, Mar. 2015, doi: 10.1038/nnano.2014.325.
- [132] M. E. Dávila, L. Xian, S. Cahangirov, A. Rubio, and G. Le Lay, “Germanene: a novel two-dimensional germanium allotrope akin to graphene and silicene,” *New J. Phys.*, vol. 16, no. 9, p. 095002, Sep. 2014, doi: 10.1088/1367-2630/16/9/095002.
- [133] J. O. Sofo, A. S. Chaudhari, and G. D. Barber, “Graphane: A two-dimensional hydrocarbon,” *Phys. Rev. B*, vol. 75, no. 15, p. 153401, Apr. 2007, doi: 10.1103/PhysRevB.75.153401.
- [134] D. C. Elias *et al.*, “Control of Graphene’s Properties by Reversible Hydrogenation: Evidence for Graphane,” *Science (80-. )*, vol. 323, no. 5914, pp. 610–613, Jan. 2009, doi: 10.1126/science.1167130.
- [135] Kain Lu Low, Wen Huang, Yee-Chia Yeo, and Gengchiao Liang, “Ballistic Transport Performance of Silicene and Germanene Transistors,” *IEEE Trans. Electron Devices*, vol. 61, no. 5, pp. 1590–1598, May 2014, doi: 10.1109/TED.2014.2313065.
- [136] E. Bianco, S. Butler, S. Jiang, O. D. Restrepo, W. Windl, and J. E. Goldberger, “Stability and Exfoliation of Germanene: A Germanium Graphene Analogue,” *ACS Nano*, vol. 7, no. 5, pp. 4414–4421, May 2013, doi: 10.1021/nn4009406.
- [137] S. P. Koenig, R. A. Doganov, H. Schmidt, A. H. Castro Neto, and B. Özyilmaz, “Electric field effect in ultrathin black phosphorus,” *Appl. Phys. Lett.*, vol. 104, no. 10, Mar. 2014, doi: 10.1063/1.4868132.
- [138] L. Li *et al.*, “Black phosphorus field-effect transistors,” *Nat. Nanotechnol.*, vol. 9, no. 5, pp. 372–377, May 2014, doi: 10.1038/nnano.2014.35.



- [139] P. Ares *et al.*, “Mechanical Isolation of Highly Stable Antimonene under Ambient Conditions,” *Adv. Mater.*, vol. 28, no. 30, pp. 6332–6336, Aug. 2016, doi: 10.1002/adma.201602128.
- [140] J. Shah, W. Wang, H. M. Sohail, and R. I. G. Uhrberg, “Experimental evidence of monolayer arsenene: an exotic 2D semiconducting material,” *2D Mater.*, vol. 7, no. 2, p. 025013, Apr. 2020, doi: 10.1088/2053-1583/ab64fb.
- [141] G. Pizzi, M. Gibertini, E. Dib, N. Marzari, G. Iannaccone, and G. Fiori, “Performance of arsenene and antimonene double-gate MOSFETs from first principles,” *Nat. Commun.*, vol. 7, no. 1, p. 12585, Aug. 2016, doi: 10.1038/ncomms12585.
- [142] K. S. Novoselov *et al.*, “Two-dimensional atomic crystals,” *Proc. Natl. Acad. Sci.*, vol. 102, no. 30, pp. 10451–10453, Jul. 2005, doi: 10.1073/pnas.0502848102.
- [143] A. Splendiani *et al.*, “Emerging Photoluminescence in Monolayer MoS<sub>2</sub>,” *Nano Lett.*, vol. 10, no. 4, pp. 1271–1275, Apr. 2010, doi: 10.1021/nl903868w.
- [144] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, “Single-layer MoS<sub>2</sub> transistors,” *Nat. Nanotechnol.*, vol. 6, no. 3, pp. 147–150, Mar. 2011, doi: 10.1038/nnano.2010.279.
- [145] H. Fang, S. Chuang, T. C. Chang, K. Takei, T. Takahashi, and A. Javey, “High-Performance Single Layered WSe<sub>2</sub> p-FETs with Chemically Doped Contacts,” *Nano Lett.*, vol. 12, no. 7, pp. 3788–3792, Jul. 2012, doi: 10.1021/nl301702r.
- [146] J. N. Coleman *et al.*, “Two-Dimensional Nanosheets Produced by Liquid Exfoliation of Layered Materials,” *Science (80-. )*, vol. 331, no. 6017, pp. 568–571, Feb. 2011, doi: 10.1126/science.1194975.
- [147] L. Liu, S. B. Kumar, Y. Ouyang, and J. Guo, “Performance Limits of

- Monolayer Transition Metal Dichalcogenide Transistors,” *IEEE Trans. Electron Devices*, vol. 58, no. 9, pp. 3042–3047, Sep. 2011, doi: 10.1109/TED.2011.2159221.
- [148] Q. H. Wang, K. Kalantar-Zadeh, A. Kis, J. N. Coleman, and M. S. Strano, “Electronics and optoelectronics of two-dimensional transition metal dichalcogenides,” *Nat. Nanotechnol.*, vol. 7, no. 11, pp. 699–712, Nov. 2012, doi: 10.1038/nnano.2012.193.
- [149] D. J. Late *et al.*, “GaS and GaSe Ultrathin Layer Transistors,” *Adv. Mater.*, vol. 24, no. 26, pp. 3549–3554, Jul. 2012, doi: 10.1002/adma.201201361.
- [150] D. A. Bandurin *et al.*, “High electron mobility, quantum Hall effect and anomalous optical response in atomically thin InSe,” *Nat. Nanotechnol.*, vol. 12, no. 3, pp. 223–227, Mar. 2017, doi: 10.1038/nnano.2016.242.
- [151] R.-H. Yan, A. Ourmazd, and K. F. Lee, “Scaling the Si MOSFET: from bulk to SOI to bulk,” *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1704–1710, Jul. 1992, doi: 10.1109/16.141237.
- [152] R. M. Wallace and G. D. Wilk, “Dielectric Materials for Microelectronics,” *Crit. Rev. Solid State Mater. Sci.*, vol. 28, no. 4, pp. 231–285, 2003, doi: 10.1080/10408430390428059.
- [153] K. Uchida, J. Koga, and S. Takagi, “Experimental study on electron mobility in ultrathin-body silicon-on-insulator metal-oxide-semiconductor field-effect transistors,” *J. Appl. Phys.*, vol. 102, no. 7, Oct. 2007, doi: 10.1063/1.2785957.
- [154] Z. Cheng *et al.*, “How to report and benchmark emerging field-effect transistors,” *Nat. Electron.*, vol. 5, no. 7, pp. 416–423, Jul. 2022, doi: 10.1038/s41928-022-00798-8.
- [155] G. Gaddemane *et al.*, “Theoretical studies of electronic transport in

- monolayer and bilayer phosphorene: A critical overview," *Phys. Rev. B*, vol. 98, no. 11, p. 115416, Sep. 2018, doi: 10.1103/PhysRevB.98.115416.
- [156] C. Zhang, R. Wang, H. Mishra, and Y. Liu, "Two-Dimensional Semiconductors with High Intrinsic Carrier Mobility at Room Temperature," *Phys. Rev. Lett.*, vol. 130, no. 8, p. 87001, Feb. 2023, doi: 10.1103/PhysRevLett.130.087001.
- [157] D. S. Schulman, A. J. Arnold, and S. Das, "Contact engineering for 2D materials and devices," *Chem. Soc. Rev.*, vol. 47, no. 9, pp. 3037–3058, 2018, doi: 10.1039/C7CS00828G.
- [158] A. Prakash, H. Ilatikhameneh, P. Wu, and J. Appenzeller, "Understanding contact gating in Schottky barrier transistors from 2D channels," *Sci. Rep.*, vol. 7, no. 1, p. 12596, Oct. 2017, doi: 10.1038/s41598-017-12816-3.
- [159] A. V. Penumatcha, R. B. Salazar, and J. Appenzeller, "Analysing black phosphorus transistors using an analytic Schottky barrier MOSFET model," *Nat. Commun.*, vol. 6, no. 1, p. 8948, Nov. 2015, doi: 10.1038/ncomms9948.
- [160] Y. Wang *et al.*, "Field-effect transistors made from solution-grown two-dimensional tellurene," *Nat. Electron.*, vol. 1, no. 4, pp. 228–236, Apr. 2018, doi: 10.1038/s41928-018-0058-4.
- [161] E. G. Marin, M. Perucchini, D. Marian, G. Iannaccone, and G. Fiori, "Modeling of Electron Devices Based on 2-D Materials," *IEEE Trans. Electron Devices*, vol. 65, no. 10, pp. 4167–4179, Oct. 2018, doi: 10.1109/TED.2018.2854902.
- [162] G. Zhang *et al.*, "Infrared fingerprints of few-layer black phosphorus," *Nat. Commun.*, vol. 8, no. 1, p. 14071, Jan. 2017, doi: 10.1038/ncomms14071.
- [163] K. F. Mak, C. Lee, J. Hone, J. Shan, and T. F. Heinz, "Atomically thin MoS<sub>2</sub>

- A new direct-gap semiconductor," *Phys. Rev. Lett.*, vol. 105, no. 13, p. 136805, Sep. 2010, doi: 10.1103/PhysRevLett.105.136805.
- [164] D. Delagebeaudeuf and N. T. Linh, "Metal-(n) AlGaAs-GaAs two-dimensional electron gas FET," *IEEE Trans. Electron Devices*, vol. 29, no. 6, pp. 955–960, Jun. 1982, doi: 10.1109/T-ED.1982.20813.
- [165] U. K. Sahu, A. Kumar Saha, P. S. Gupta, and H. Rahaman, "Valley Resolved Current Components Analysis of Monolayer TMDFETs," in *2020 International Symposium on Devices, Circuits and Systems (ISDCS)*, Mar. 2020, no. c, pp. 1–5. doi: 10.1109/ISDCS49393.2020.9263002.
- [166] W. Cao, J. Kang, W. Liu, and K. Banerjee, "A Compact Current–Voltage Model for 2D Semiconductor Based Field-Effect Transistors Considering Interface Traps, Mobility Degradation, and Inefficient Doping Effect," *IEEE Trans. Electron Devices*, vol. 61, no. 12, pp. 4282–4290, Dec. 2014, doi: 10.1109/TED.2014.2365028.
- [167] C. Klinkert, S. Fiore, J. Backman, Y. Lee, and M. Luisier, "Impact of Orientation Misalignments on Black Phosphorus Ultrascaled Field-Effect Transistors," *IEEE Electron Device Lett.*, vol. 42, no. 3, pp. 434–437, Mar. 2021, doi: 10.1109/LED.2021.3055287.
- [168] A. N. Rudenko, S. Brener, and M. I. Katsnelson, "Intrinsic Charge Carrier Mobility in Single-Layer Black Phosphorus," *Phys. Rev. Lett.*, vol. 116, no. 24, p. 246401, Jun. 2016, doi: 10.1103/PhysRevLett.116.246401.
- [169] K.-T. Chen, M.-H. Hsieh, Y.-S. Su, W.-J. Lee, and S.-T. Chang, "Carrier Mobility Calculation for Monolayer Black Phosphorous," *J. Nanosci. Nanotechnol.*, vol. 19, no. 10, pp. 6821–6825, Oct. 2019, doi: 10.1166/jnn.2019.17126.
- [170] S. Wang, X. Liu, M. Xu, L. Liu, D. Yang, and P. Zhou, "Two-dimensional

- devices and integration towards the silicon lines,” *Nat. Mater.*, vol. 21, no. 11, pp. 1225–1239, Nov. 2022, doi: 10.1038/s41563-022-01383-2.
- [171] J. Kim, X. Ju, K.-W. Ang, and D. Chi, “Van der Waals Layer Transfer of 2D Materials for Monolithic 3D Electronic System Integration: Review and Outlook,” *ACS Nano*, vol. 17, no. 3, pp. 1831–1844, Feb. 2023, doi: 10.1021/acsnano.2c10737.
- [172] P. Luo *et al.*, “Doping engineering and functionalization of two-dimensional metal chalcogenides,” *Nanoscale Horizons*, vol. 4, no. 1, pp. 26–51, 2019, doi: 10.1039/C8NH00150B.
- [173] S. Das and J. Appenzeller, “Where Does the Current Flow in Two-Dimensional Layered Systems?,” *Nano Lett.*, vol. 13, no. 7, pp. 3396–3402, Jul. 2013, doi: 10.1021/nl401831u.
- [174] R. Kappera *et al.*, “Metallic 1T phase source/drain electrodes for field effect transistors from chemical vapor deposited MoS<sub>2</sub>,” *APL Mater.*, vol. 2, no. 9, pp. 1–6, Sep. 2014, doi: 10.1063/1.4896077.
- [175] Y. Y. Illarionov *et al.*, “Insulators for 2D nanoelectronics: the gap to bridge,” *Nat. Commun.*, vol. 11, no. 1, p. 3385, Jul. 2020, doi: 10.1038/s41467-020-16640-8.
- [176] S. Das *et al.*, “Transistors based on two-dimensional materials for future integrated circuits,” *Nat. Electron.*, vol. 4, no. 11, pp. 786–799, Nov. 2021, doi: 10.1038/s41928-021-00670-1.
- [177] K. Zhu *et al.*, “The development of integrated circuits based on two-dimensional materials,” *Nat. Electron.*, vol. 4, no. 11, pp. 775–785, Nov. 2021, doi: 10.1038/s41928-021-00672-z.
- [178] S. Wachter, D. K. Polyushkin, O. Bethge, and T. Mueller, “A microprocessor based on a two-dimensional semiconductor,” *Nat.*

- Commun.*, vol. 8, no. 1, p. 14948, Apr. 2017, doi: 10.1038/ncomms14948.
- [179] D. K. Polyushkin *et al.*, “Analogue two-dimensional semiconductor electronics,” *Nat. Electron.*, vol. 3, no. August, pp. 1–6, 2020, doi: 10.1038/s41928-020-0460-6.
- [180] Y. Liu, X. Duan, H.-J. Shin, S. Park, Y. Huang, and X. Duan, “Promises and prospects of two-dimensional transistors,” *Nature*, vol. 591, no. 7848, pp. 43–53, Mar. 2021, doi: 10.1038/s41586-021-03339-z.
- [181] D. Jiménez, “Drift-diffusion model for single layer transition metal dichalcogenide field-effect transistors,” *Appl. Phys. Lett.*, vol. 101, no. 24, pp. 8–11, Dec. 2012, doi: 10.1063/1.4770313.
- [182] W. Cao, J. Kang, W. Liu, and K. Banerjee, “A Compact Current–Voltage Model for 2D Semiconductor Based Field-Effect Transistors Considering Interface Traps, Mobility Degradation, and Inefficient Doping Effect,” *IEEE Trans. Electron Devices*, vol. 61, no. 12, pp. 4282–4290, Dec. 2014, doi: 10.1109/TED.2014.2365028.
- [183] W.-X. You and P. Su, “A Compact Subthreshold Model for Short-Channel Monolayer Transition Metal Dichalcogenide Field-Effect Transistors,” *IEEE Trans. Electron Devices*, vol. 63, no. 7, pp. 2971–2974, Jul. 2016, doi: 10.1109/TED.2016.2564424.
- [184] Y. Taur, J. Wu, and J. Min, “A Short-Channel I-V Model for 2-D MOSFETs,” *IEEE Trans. Electron Devices*, vol. 63, no. 6, pp. 2550–2555, Jun. 2016, doi: 10.1109/TED.2016.2547949.
- [185] S. V Suryavanshi and E. Pop, “S2DS: Physics-based compact model for circuit simulation of two-dimensional semiconductor devices including non-idealities,” *J. Appl. Phys.*, vol. 120, no. 22, pp. 1–10, Dec. 2016, doi: 10.1063/1.4971404.

- [186] M. Gholipour, "A Compact Short-Channel Model for Symmetric Double-Gate TMDFET in Subthreshold Region," *IEEE Trans. Electron Devices*, vol. 64, no. 8, pp. 3466–3469, Aug. 2017, doi: 10.1109/TED.2017.2716951.
- [187] C. Yadav, A. Agarwal, and Y. S. Chauhan, "Compact Modeling of Transition Metal Dichalcogenide based Thin body Transistors and Circuit Validation," *IEEE Trans. Electron Devices*, vol. 64, no. 3, pp. 1261–1268, Mar. 2017, doi: 10.1109/TED.2016.2643698.
- [188] E. G. Marin, S. J. Bader, and D. Jena, "A New Holistic Model of 2-D Semiconductor FETs," *IEEE Trans. Electron Devices*, vol. 65, no. 3, pp. 1239–1245, Mar. 2018, doi: 10.1109/TED.2018.2797172.
- [189] J. Cao *et al.*, "A new surface-potential-based compact model for the MoS<sub>2</sub> field effect transistors in active matrix display applications," *J. Appl. Phys.*, vol. 123, no. 6, pp. 1–8, Feb. 2018, doi: 10.1063/1.5011794.
- [190] J. Cao *et al.*, "A New Velocity Saturation Model of MoS<sub>2</sub> Field-Effect Transistors," *IEEE Electron Device Lett.*, vol. 39, no. 6, pp. 893–896, Jun. 2018, doi: 10.1109/LED.2018.2830400.
- [191] M. Gholipour, Y.-Y. Chen, and D. Chen, "Compact Modeling to Device- and Circuit-Level Evaluation of Flexible TMD Field-Effect Transistors," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 37, no. 4, pp. 820–831, Apr. 2018, doi: 10.1109/TCAD.2017.2729460.
- [192] T. Wu, X. Cao, and J. Guo, "Compact Model of Carrier Transport in Monolayer Transition Metal Dichalcogenide Transistors," *IEEE Trans. Electron Devices*, vol. 66, no. 1, pp. 177–183, Jan. 2019, doi: 10.1109/TED.2018.2866095.
- [193] L. F. Deng, C. M. Si, H. Q. Huang, J. Wang, H. Wen, and S. Im, "Explicit continuous I-V model for 2D transition metal dichalcogenide field-effect

- transistors,” *Microelectronics J.*, vol. 88, no. April, pp. 61–66, Jun. 2019, doi: 10.1016/j.mejo.2019.04.008.
- [194] H. Omdeh Ghiasi, A. Safarian, and M. Pourfath, “Low-Frequency Model for Hand-Calculations in Circuit Design With TMDC-Based Transistors,” *IEEE Trans. Electron Devices*, vol. 66, no. 11, pp. 5011–5018, Nov. 2019, doi: 10.1109/TED.2019.2943247.
- [195] R. J. Prentki, F. Liu, and H. Guo, “Modeling of Ballistic Monolayer Black Phosphorus MOSFETs,” *IEEE Trans. Electron Devices*, vol. 66, no. 8, pp. 3668–3674, Aug. 2019, doi: 10.1109/TED.2019.2924170.
- [196] N. K. Singh, M. Kumari, and M. Sahoo, “A Compact Short-Channel Analytical Drain Current Model of Asymmetric Dual-Gate TMD FET in Subthreshold Region Including Fringing Field Effects,” *IEEE Access*, vol. 8, pp. 207982–207990, Nov. 2020, doi: 10.1109/ACCESS.2020.3038421.
- [197] S. A. Ahsan, S. K. Singh, C. Yadav, E. G. Marin, A. Kloes, and M. Schwarz, “A Comprehensive Physics-Based Current–Voltage SPICE Compact Model for 2-D-Material-Based Top-Contact Bottom-Gated Schottky-Barrier FETs,” *IEEE Trans. Electron Devices*, vol. 67, no. 11, pp. 5188–5195, Nov. 2020, doi: 10.1109/TED.2020.3020900.
- [198] E. Yarmoghaddam, N. Haratipour, S. J. Koester, and S. Rakheja, “A Physics-Based Compact Model for Ultrathin Black Phosphorus FETs—Part I: Effect of Contacts, Temperature, Ambipolarity, and Traps,” *IEEE Trans. Electron Devices*, vol. 67, no. 1, pp. 389–396, Jan. 2020, doi: 10.1109/TED.2019.2951662.
- [199] E. Yarmoghaddam, N. Haratipour, S. J. Koester, and S. Rakheja, “A Physics-Based Compact Model for Ultrathin Black Phosphorus FETs—Part II: Model Validation Against Numerical and Experimental Data,” *IEEE Trans. Electron Devices*, vol. 67, no. 1, pp. 397–405, Jan. 2020, doi:



10.1109/TED.2019.2955651.

- [200] S. Ma *et al.*, “Analog Integrated Circuits Based on Wafer-Level Two-Dimensional MoS<sub>2</sub> Materials With Physical and SPICE Model,” *IEEE Access*, vol. 8, pp. 197287–197299, Nov. 2020, doi: 10.1109/ACCESS.2020.3034321.
- [201] Z. Ahmed, Q. Shi, Z. Ma, L. Zhang, H. Guo, and M. Chan, “Analytical Monolayer MoS<sub>2</sub> MOSFET Modeling Verified by First Principle Simulations,” *IEEE Electron Device Lett.*, vol. 41, no. 1, pp. 171–174, Jan. 2020, doi: 10.1109/LED.2019.2952382.
- [202] Y. Xu, W. S. Li, D. Fan, Y. Shi, H. Qiu, and X. Wang, “A Compact Model for Transition Metal Dichalcogenide Field Effect Transistors with Effects of Interface Traps,” in *2021 5th IEEE Electron Devices Technology & Manufacturing Conference (EDTM)*, Apr. 2021, no. 2, pp. 1–3. doi: 10.1109/EDTM50988.2021.9420973.
- [203] S. A. Ahsan *et al.*, “A SPICE Compact Model for Ambipolar 2-D-Material FETs Aiming at Circuit Design,” *IEEE Trans. Electron Devices*, vol. 68, no. 6, pp. 3096–3103, Jun. 2021, doi: 10.1109/TED.2021.3074357.
- [204] N. Fang and K. Nagashio, “Accumulation-Mode Two-Dimensional Field-Effect Transistor: Operation Mechanism and Thickness Scaling Rule,” *ACS Appl. Mater. Interfaces*, vol. 10, no. 38, pp. 32355–32364, Sep. 2018, doi: 10.1021/acsami.8b10687.
- [205] D. R. Celino, A. M. de Souza, R. A. R. Pereira, and M. A. Romero, “On the Quantum Well Devices Modeling: Analytical Solutions for Energy Levels and Exact Expressions for Design Purposes”.
- [206] D. R. Celino, “Modelagem Compacta de RTDs,” Escola de Engenharia de São Carlos - Universidade de São Paulo, 2024.

- [207] A. Khakifirooz, O. M. Nayfeh, and D. Antoniadis, "A Simple Semiempirical Short-Channel MOSFET Current–Voltage Model Continuous Across All Regions of Operation and Employing Only Physical Parameters," *IEEE Trans. Electron Devices*, vol. 56, no. 8, pp. 1674–1680, Aug. 2009, doi: 10.1109/TED.2009.2024022.
- [208] X. Liang, "Analytical modeling of short channel effects in double gate MOSFET," Universidade da Califórnia San Diego, 2006.
- [209] N. Fang, S. Toyoda, T. Taniguchi, K. Watanabe, and K. Nagashio, "Full Energy Spectra of Interface State Densities for n- and p-type MoS<sub>2</sub> Field-Effect Transistors," *Adv. Funct. Mater.*, vol. 29, no. 49, pp. 1–9, Dec. 2019, doi: 10.1002/adfm.201904465.
- [210] H. Qiu *et al.*, "Hopping transport through defect-induced localized states in molybdenum disulphide," *Nat. Commun.*, vol. 4, no. 1, p. 2642, Oct. 2013, doi: 10.1038/ncomms3642.
- [211] P. Zhao *et al.*, "Evaluation of border traps and interface traps in HfO<sub>2</sub>/MoS<sub>2</sub> gate stacks by capacitance-voltage analysis," *2D Mater.*, vol. 5, no. 3, p. 031002, Apr. 2018, doi: 10.1088/2053-1583/aab728.
- [212] N. Fang and K. Nagashio, "Band tail interface states and quantum capacitance in a monolayer molybdenum disulfide field-effect-transistor," *J. Phys. D. Appl. Phys.*, vol. 51, no. 6, p. 065110, Feb. 2018, doi: 10.1088/1361-6463/aaa58c.
- [213] W. Li *et al.*, "Uniform and ultrathin high- $\kappa$  gate dielectrics for two-dimensional electronic devices," *Nat. Electron.*, vol. 2, no. 12, pp. 563–571, Dec. 2019, doi: 10.1038/s41928-019-0334-y.
- [214] S. Luryi, "Quantum capacitance devices," *Appl. Phys. Lett.*, vol. 52, no. 6, pp. 501–503, Feb. 1988, doi: 10.1063/1.99649.

- [215] A. Pilotto, P. Khakbaz, P. Palestri, and D. Esseni, "Semi-classical transport in MoS<sub>2</sub> and MoS<sub>2</sub> transistors by a Monte Carlo approach," *Solid. State. Electron.*, vol. 192, no. 2, p. 108295, Jun. 2022, doi: 10.1016/j.sse.2022.108295.
- [216] A. B. Sachid *et al.*, "Monolithic 3D CMOS Using Layered Semiconductors," *Adv. Mater.*, vol. 28, no. 13, pp. 2547–2554, Apr. 2016, doi: 10.1002/adma.201505113.
- [217] Kain Lu Low, Wen Huang, Yee-Chia Yeo, and Gengchiao Liang, "Ballistic Transport Performance of Silicane and Germanane Transistors," *IEEE Trans. Electron Devices*, vol. 61, no. 5, pp. 1590–1598, May 2014, doi: 10.1109/TED.2014.2313065.
- [218] Fei Liu, Yijiao Wang, Xiaoyan Liu, Jian Wang, and Hong Guo, "Ballistic Transport in Monolayer Black Phosphorus Transistors," *IEEE Trans. Electron Devices*, vol. 61, no. 11, pp. 3871–3876, Nov. 2014, doi: 10.1109/TED.2014.2353213.
- [219] Y. Yoon, K. Ganapathi, and S. Salahuddin, "How Good Can Monolayer MoS<sub>2</sub> Transistors Be?," *Nano Lett.*, vol. 11, no. 9, pp. 3768–3773, Sep. 2011, doi: 10.1021/nl2018178.
- [220] D. Bednarczyk and J. Bednarczyk, "The approximation of the Fermi-Dirac integral," *Phys. Lett. A*, vol. 64, no. 4, pp. 409–410, Jan. 1978, doi: 10.1016/0375-9601(78)90283-9.
- [221] T. Dutta, B. S. Syamalaraju, S. Bhowmick, A. Agarwal, and Y. S. Chauhan, "Performance projection of mono and multi-layer silicane FETs in the ballistic limit," in *2016 3rd International Conference on Emerging Electronics (ICEE)*, Dec. 2016, pp. 1–4. doi: 10.1109/ICEmElec.2016.8074600.
- [222] P. Chang, X. Liu, F. Liu, and G. Du, "First-principles based ballistic transport simulation of monolayer and few-layer InSe FETs," *Jpn. J. Appl.*

- Phys.*, vol. 58, no. SB, p. SBBA02, Apr. 2019, doi: 10.7567/1347-4065/aafb4f.
- [223] K. Sotthewes *et al.*, “Universal Fermi-Level Pinning in Transition-Metal Dichalcogenides,” *J. Phys. Chem. C*, vol. 123, no. 9, pp. 5411–5420, Mar. 2019, doi: 10.1021/acs.jpcc.8b10971.
- [224] R.-S. Chen, G. Ding, Y. Zhou, and S.-T. Han, “Fermi-level depinning of 2D transition metal dichalcogenide transistors,” *J. Mater. Chem. C*, vol. 9, no. 35, pp. 11407–11427, Jun. 2021, doi: 10.1039/D1TC01463C.
- [225] J. Kang, W. Liu, D. Sarkar, D. Jena, and K. Banerjee, “Computational Study of Metal Contacts to Monolayer Transition-Metal Dichalcogenide Semiconductors,” *Phys. Rev. X*, vol. 4, no. 3, p. 031005, Jul. 2014, doi: 10.1103/PhysRevX.4.031005.
- [226] Y. S. Ang, L. Cao, and L. K. Ang, “Physics of electron emission and injection in two-dimensional materials: Theory and simulation,” *InfoMat*, vol. 3, no. 5, pp. 502–535, May 2021, doi: 10.1002/inf2.12168.
- [227] R. A. Ragi, M. A. Romero, and B. Nabet, “Modeling the Electrical Characteristics of Schottky Contacts in Low-Dimensional Heterostructure Devices,” *IEEE Trans. Electron Devices*, vol. 52, no. 2, pp. 170–175, Feb. 2005, doi: 10.1109/TED.2004.842718.
- [228] R. H. Fowler and L. Nordheim, “Electron emission in intense electric fields,” *Proc. R. Soc. London. Ser. A, Contain. Pap. a Math. Phys. Character*, vol. 119, no. 781, pp. 173–181, May 1928, doi: 10.1098/rspa.1928.0091.
- [229] E. L. Murphy and R. H. Good, “Thermionic Emission, Field Emission, and the Transition Region,” *Phys. Rev.*, vol. 102, no. 6, pp. 1464–1473, Jun. 1956, doi: 10.1103/PhysRev.102.1464.
- [230] J. G. Simmons, “Generalized Formula for the Electric Tunnel Effect between Similar Electrodes Separated by a Thin Insulating Film,” *J. Appl.*

*Phys.*, vol. 34, no. 6, pp. 1793–1803, Jun. 1963, doi: 10.1063/1.1702682.

- [231] N. Matthews, M. J. Hagmann, and A. Mayer, “Comment: ‘Generalized formula for the electric tunnel effect between similar electrodes separated by a thin insulating film’ [J. Appl. Phys. 34 , 1793 (1963)],” *J. Appl. Phys.*, vol. 123, no. 13, pp. 1–2, Apr. 2018, doi: 10.1063/1.5019788.
- [232] M. Balaguer, B. Iñiguez, and J. B. Roldán, “An analytical compact model for Schottky-barrier double gate MOSFETs,” *Solid. State. Electron.*, vol. 64, no. 1, pp. 78–84, Oct. 2011, doi: 10.1016/j.sse.2011.06.045.



***EESC • USP***