HEINER GROVER ALARCÓN CUBAS

Projeto de um Modulador Sigma-Delta de Baixo Consumo para Sinais de Áudio

Dissertação apresentada : Escola de Engenharia de São Carlos da Universidade de São Paulo como pre-requisito para a obtenção do Título de Mestre em Ciências. Programa de Engenharia Elétrica.

Área de concentração:
Telecomunicações

Orientador:
Prof. Dr. João Navarro Soares Junior

São Carlos
2013

¹Trata-se da versão corrigida da dissertação. A versão original se encontra disponível na EESC/USP que aloja o Programa de Pós-Graduação de Engenharia Elétrica.

AUTORIZO A REPRODUÇÃO TOTAL OU PARCIAL DESTE TRABALHO,
POR QUALQUER MEIO CONVENCIONAL OU ELETRÔNICO, PARA FINS
DE ESTUDO E PESQUISA, DESDE QUE CITADA A FONTE.

ALARCÓN CUBAS, HEINER GROVER
A321 / Heiner Grover Alarcón Cubas; orientador João
Navarro Soares. São Carlos, 2013.

Dissertação (Mestrado) - Programa de Pós-Graduação em
Engenharia Elétrica e Área de Concentração em Telecomunicações
– Escola de Engenharia de São Carlos da Universidade de São Paulo,
2013.

1. Microeletrônica. 2. Moduladores Sigma-Delta. 3. Baixo Consumo
de Potência. 4. Metodologia gm/ID. I. Título.

FOLHA DE JULGAMENTO

Candidato: Engenheiro **HEINER GROVER ALARCÓN CUBAS**.

Título da dissertação: "Projeto de um modulador sigma-delta de baixo consumo para sinais de áudio".

Data da defesa: 23/05/2013

Comissão Julgadora:

Resultado:

Prof. Dr. **João Navarro Soares Júnior (Orientador)**
(Escola de Engenharia de São Carlos/EESC)

APROVADO

Prof. Dr. **Maximilian Luppe**
(Escola de Engenharia de São Carlos/EESC)

Aprovado

Prof. Dr. **José Vieira do Vale Neto**
(Escola Politécnica/USP)

APROVADO

Coordenador do Programa de Pós-Graduação em Engenharia Elétrica e Presidente da
Comissão de Pós-Graduação:
Prof. Titular **Denis Vinicius Coury**

Dedico esta dissertação aos meus pais:
Mercedes Cubas Estela e Leoncio Alarcon Alejandria, que com seu esforço e
dedicação me motivaram para dar o melhor de mim em todos meus
empreendimentos.

Agradecimentos

Aos meus pais, porque sempre se preocuparam pela minha educação e combateram incansáveis jornadas para eu consegui-la.

A minha irmã, Cyndi Alarcon Cubas, pela dedicação com que enfrenta seus objetivos, que é a minha inspiração.

A Adriana Barboza Stelet por estar sempre ao meu lado nestes anos de mestrado oferecendo seu sincero e desinteressado apoio e compreensão.

Ao Prof. Dr. João Navarro Soares Junior pela oportunidade de ser seu orientando e por todo o aprendizado que consegui no Mestrado.

A todos meus familiares por seu constante apoio.

A Julio Saldaña e Carlos Silva, que me incentivaram a realizar minha pesquisa na área de Microeletrônica.

Aos Doctores Hugo Puertas e Fernando Chavez pelas suas recomendações para o ingresso na USP.

Aos amigos do Grupo de Microeletrônica (GuE), Mario Raffo, Erick Raygada, Hector Villacorta, Raul Paucar, Jorge Tonfat, Jorge Benavides, Joel Muños, Manuel Monge, Roddy Romero, Jorge De La Cruz e Oscar Robles, com quem compartilho a paixão pela Microeletrônica e os grandes desafios.

Aos meus colegas e ex colegas do LSItec, Hugo Hernandez, Jefferson Soldera, Armando Ayala, Jorge Oliveros, Juan Jose Carrilo e Wilmar Carvajal pela ajuda no desenvolvimento da minha pesquisa.

Ao LSItec pelas licenças semanais, durante meu primeiro ano de pesquisa e pela flexibilidade nos horários que ajudaram no desenvolvimento de minha pesquisa.

Aos novos amigos que conheci no Brasil.

Ao Peru por ser minha pátria e ao Brasil por ter me acolhido.

Resumo

ALARCON C. H. G. **Projeto de um Modulador Sigma-Delta de Baixo Consumo para Sinais de Áudio**. 2013. 139 p. Tese (Mestrado) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2013.

Este trabalho descreve o projeto de um modulador Analógico-Digital (A/D) Sigma-Delta de 16 *bits* (98dB de SNR) de baixo consumo em tecnologia CMOS para a aquisição de sinais de áudio. Para projetar o modulador foi utilizada a metodologia *top – down*, a qual consiste em projetar desde o nível de sistema até os blocos básicos em nível de transistores. O sistema foi analisado e projetado utilizando equações e modelos comportamentais para obter as especificações de cada bloco do modulador. Considerando um baixo consumo de potência foi escolhida a topologia CIFF (do inglês *Chain of Integrator with FeedForward*) de terceira ordem e quatro *bits* implementado com capacitores chaveados. O modulador projetado é composto por três integradores chaveados, um somador analógico, um *weighed* DAC e um quantizador de quatro *bits*. A técnica de *Chopper* é incluída no modulador para diminuir o ruído *Flicker* na entrada do modulador. Os blocos de maior consumo dentro do modulador são as OTAs. Por esta razão eles são projetados utilizando a metodologia gm/I_D reduzindo assim o consumo de potência. O projeto foi realizado na tecnologia IBM 0,18 μm sendo utilizado o simulador *spectre* do *Cadence*. O modulador Sigma-Delta atinge um SNR de 98dB para uma banda de 20kHz e um consumo de potência de 2,4mW para uma fonte de alimentação de 1,8V.

Palavras-chave: Modulador Sigma-Delta, Metodologia *top – down*, Baixo consumo, Metodologia gm/I_D .

Abstract

ALARCON C. H. G. **Low Power Audio Sigma Delta modulator design** . 2013. 139 p. Tese (Mestrado) - Escola de Engenharia de São Carlos, Universidade de São Paulo, São Carlos, 2013.

This work describes the design of a 16 bits low power Sigma-Delta modulator (98dB SNR) in a CMOS technology for the acquisition of audio signals. To design the modulator it was used the top-down methodology, which consists on the design from system level to the transistor-level basic blocks. The system was analyzed and designed using behavioral models and equations to obtain the specifications of each block of the modulator. Considering a low power consumption it was chosen a third-order four bits CIFF topology(Chain Integrator with feedforward) implemented with switched capacitors. The modulator is composed by three integrators, one analog adder, one weighed DAC and one four bit quantizer. The Chopper technique is included in the modulator to reduce the Flicker noise at the input of the modulator. The blocks of higher consumption within the modulator are the OTAs. Hence, they was designed using the methodology gm/I_D to reduce power consumption. It was designed on the $0.18\mu\text{m}$ IBM technology and using the Cadence Spectre simulator. The Sigma-Delta modulator achieves a SNR of 98dB for a bandwidth of 20kHz and a power consumption of 2.4mW with a 1.8V power supply.

Keywords: Sigma-Delta Modulators, *Top – Down* Methodology, Low Power, gm/I_D Methodology.

Sumário

1	Introdução	3
1.1	Objetivos	5
1.2	Metodologia	6
2	Modulador A/D Sigma-Delta	7
2.1	Ruído de Quantização	7
2.2	Conversão com Sobre-amostragem	8
2.3	Formatação do Ruído	9
2.4	Estabilidade de moduladores Sigma-Delta de ordens maiores que dois	12
2.4.1	Modulador Binário	12
2.4.2	Moduladores Multi-bit	13
2.5	Especificações dos moduladores Sigma-Delta	14
2.5.1	Razão Sinal Ruído (SNR)	15
2.5.2	Razão Sinal Ruído e Distorção ($SNDR$)	16
2.5.3	Faixa Dinâmica (DR)	16
2.5.4	Número Efetivo de bits ($ENOB$)	16
2.5.5	Figura de Mérito (FoM)	17
2.6	Técnicas de Baixo Consumo de Potência nos moduladores Sigma-Delta	17
2.6.1	Técnica de otimização do número de níveis de quantização . . .	17
2.6.2	Técnicas de redução do número de OTAs	20
2.7	Técnica de Intercalação no Tempo (IT)	23

3	Sistema e Arquitetura	25
3.1	Escolha da Técnica de Baixo Consumo de Potência	25
3.2	Arquiteturas dos moduladores Sigma-Delta	27
3.3	Implementação do modulador Sigma-Delta com blocos analógicos . . .	29
3.3.1	Capacitores Chaveados	30
3.3.2	Integrador	34
3.3.3	Somador Analógico	38
3.3.4	Técnica de <i>Chopper</i>	40
3.3.5	Quantizador	42
3.3.6	Conversor D/A de quatro <i>bits</i>	44
3.3.7	Modulador Sigma-Delta	45
4	Especificações do Modulador Sigma-Delta	47
4.1	Tensões de Referência	48
4.2	Orçamento de Ruído do Modulador Sigma-Delta	49
4.3	Modelamento matemático do modulador Sigma-Delta <i>CIFF</i> de Terceira Ordem e 4 bits	50
4.4	Ganho DC Finito dos OTAs	53
4.5	<i>Slew Rate</i> e Largura de Banda dos OTAs	56
4.6	Ruído do Modulador Sigma-Delta	60
4.7	Especificações do Quantizador	62
4.7.1	<i>Offset</i>	63
4.7.2	Erro de Ganho	63
4.7.3	DNL	63
4.7.4	INL	63
5	Projeto Analógico dos blocos básicos do Modulador Sigma-Delta e Resultados	65

5.1	Arquitetura do OTA dos integradores e do somador analógico	66
5.1.1	Realimentação de Modo Comum (CMFB)	68
5.1.2	Projeto do OTA Miller	70
5.2	Projeto das Chaves	79
5.3	Projeto do Comparador do Quantizador	80
5.3.1	Projeto do OTA do Comparador	82
5.4	Simulações e Resultados	85
5.4.1	Simulações e Resultados dos OTA dos integradores e do somador	85
5.4.2	Simulações e Resultados do OTA do comparador	92
5.4.3	Simulações do Comparador	95
5.4.4	Simulações do Quantizador	97
5.4.5	Simulações e Resultados do OTA 1 com <i>Chopper</i>	99
5.4.6	Simulações e Resultados do Modulador Sigma-Delta	100
6	Conclusões e Trabalhos Futuros	107
6.1	Conclusões	107
6.2	Trabalhos Futuros	109
	Apêndice A – Análise de Ruído do Modulador Sigma-Delta	115
	Apêndice B – Código em Matlab para projetar e obter as especificações do SDM	123
	Apêndice C – Modelos em VerilogA dos blocos analógicos e digitais	127
	Apêndice D – Esquemáticos dos blocos analógicos e digitais	133

Lista de Figuras

1.1	Taxa de Amostragem e Resolução das Principais Topologias de Conversores Analógicos-Digitais	4
1.2	Diagrama de blocos de um conversor A/D Sigma-Delta	5
1.3	Fluxo de Projeto utilizando a metodologia <i>top-down</i>	6
2.1	Quantizador e seu modelo linear [1]	7
2.2	Espectro de frequência em cada estágio de um conversor Sigma-Delta [2]	9
2.3	Modelo linear completo do modulador Sigma-Delta adicionando ruído de quantização [1]	10
2.4	Estrutura de um modulador Sigma-Delta de ordem maior	12
2.5	Definições das especificações para moduladores Sigma-Delta. P_{IN} é a potência do sinal de entrada [3]	15
2.6	Potência Total Normalizada vs número de comparadores para $L = 2$ [4]	19
2.7	Diagrama de blocos de um modulador com quantização Multi-bit utilizando DEM [2]	20
2.8	Esquemático de um Modulador de segunda ordem utilizando a técnica de tempo compartilhado [4]	21
2.9	a) Diagrama de Blocos de um Modulador de ordem n em cascata b) Diagrama de blocos equivalente com um único <i>feedback</i> [5]	22
2.10	Forma equivalente de H_T [5]	22
2.11	Arquitetura de Intercalação no tempo utilizando três Caminhos [2]	23
3.1	Consumo de Potência das técnicas de tempo compartilhado e otimização do número de OTAs	26
3.2	Modelo Linear simplificado de um modelo modulador Sigma-Delta	27
3.3	Modelo Linear completo do modulador Sigma-Delta CIFB	27

3.4	Modelo linear Completo de um modulador Sigma-Delta <i>CIFF</i> com <i>feedback</i> local de terceira ordem	28
3.5	Equivalente resistivo utilizando capacitores chaveados	30
3.6	Implementação das chaves analógicas	31
3.7	Circuito para obter sinais de <i>Clock</i> complementares	32
3.8	Injeção de carga quando o transistor desliga	32
3.9	Circuito de Amostragem	34
3.10	a) Integrador Contínuo; b) Integrador com capacitores chaveados; c) Fases dos sinais Φ_1 e Φ_2	35
3.11	a) Diagrama de um integrador insensível à capacitâncias parasitas; b) Fase de carga do integrador; c) Fase de integração	36
3.12	Fases do Integrador	37
3.13	Integrador totalmente diferencial Implementado com chaves complementares	38
3.14	Amplificador Chaveado de Reset Capacitivo	39
3.15	a) Fase de Carga do Somador/Amplificador b) Fase de Amplificação do Somador/Amplificador	39
3.16	Somador Diferencial	40
3.17	Diagrama de Blocos da Técnica de <i>Chopper</i>	41
3.18	Estrutura do modulador de <i>Chopper</i>	41
3.19	Esquemático do quantizador de quatro <i>bits</i>	42
3.20	Esquemático do Conversor D/A	44
3.21	Estrutura Diferencial do modulador Sigma-Delta de terceira ordem Multi-bit	46
4.1	Esquemático em <i>Simulink</i> do Modulador Sigma-Delta	47
4.2	Tensões nos nós de entrada do modulador comparado com as tensões de referência V_{REFH} e V_{REFL}	48
4.3	Composição das fontes da potência de ruído	50
4.4	Relação entre $ NTF(z) $ e o SQNR	51

4.5	Espectro de Frequência na saída do modulador para um tom de $3,64kHz$ na entrada	53
4.6	Resposta em Frequência de $NTF(z)$ e $STF(z)$ teóricos	53
4.7	Equivalente diferencial do integrador	54
4.8	Deslocamento dos zeros de $NTF(z)$ em função do ganho Finito	55
4.9	Variação do SQNR com o Ganho DC	56
4.10	Domínio do <i>Slew Rate</i> e da Largura de Banda dos OTAs	56
4.11	Saídas <i>Single-Ended</i> dos estágios do modulador Sigma-Delta em <i>Simulink</i>	58
4.12	SQNR versus frequência para diferentes valores de <i>Slew Rate</i>	59
4.13	Relação entre o Ruído RMS do primeiro estágio e a capacitância de carga na entrada	61
4.14	Relação entre o Ruído RMS do OTA do segundo estágio referido à saída e o ruído RMS do OTA do segundo estágio referido à sua entrada	62
5.1	gm/I_D vs V_{GS} para cada transistor nas três regiões de inversão para $ V_{THP} = 420mV$ e $ V_{THN} = 355mV$	65
5.2	gm/I_D vs $I_D/(W/L)$ dos transistores tipo-P e tipo-N	66
5.3	Estrutura Diferencial do OTA Miller	67
5.4	Circuito de Realimentação de Modo Comum	68
5.5	Circuito de Realimentação de Modo Comum implementado com Capacitores Chaveados (SC-CMFB)	69
5.6	Sensor de Modo Comum com capacitores chaveados de carga simétrica	70
5.7	Fontes de Offset do OTA diferencial	70
5.8	Obtenção do limite de I_{D1} do OTA 1 em função do gm_1/I_{D1}	75
5.9	Relação entre I_{D7} e gm_7/I_{D7} para as quatro OTAs	76
5.10	Portas de Transmissão e sua resposta para um degrau	79
5.11	Topologia de um comparador chaveado com cancelamento de offset	81
5.12	Fases do comparador chaveado com técnica de cancelamento de offset	81

5.13 Esquemático do Comparador	82
5.14 Modelo em pequeno sinal do Comparador Completamente Diferencial .	83
5.15 Circuito de simulação de estabilidade para os OTA dos integradores e o somador	86
5.16 Resposta em Frequência dos OTA do integrador e do somador	87
5.17 PSD da análise de ruído dos OTA dos integradores	88
5.18 Circuito de simulação de <i>Slew Rate</i> dos OTA de integração e do OTA do somador	88
5.19 SR dos OTA dos integradores e do somador	89
5.20 Distribuição da Tensão de <i>Offset</i> referida à saída dos OTA 1, OTA 2, OTA 3 e OTA 4	90
5.21 Circuito de simulação STB do OTA do comparador	92
5.22 Resposta em Frequência do OTA do comparador em laço fechado . . .	92
5.23 Circuito de simulação AC do OTA do comparador	93
5.24 Resposta em Frequência do OTA do comparador em laço aberto	93
5.25 Circuito de Simulação da tensão de offset referida na entrada do OTA do comparador	94
5.26 Distribuição da Tensão de <i>Offset</i> na entrada do OTA do comparador .	94
5.27 Circuito de Simulação de <i>Offset</i> do Comparador	95
5.28 Distribuição da tensão de <i>offset</i> na saída do comparador	96
5.29 Principais sinais do comparador chaveado	96
5.30 Circuito de Simulação do Quantizador	97
5.31 Curvas de transferência do quantizador	97
5.32 INL e DNL do quantizador no caso típico	98
5.33 Distribuição dos parâmetros de medição do quantizador	98
5.34 Circuito de Simulação do OTA1 com Chopper	99
5.35 Resultados do Ruído referido à entrada do OTA 1 com chopper	100

5.36 Circuito de Simulação do modulador Sigma-Delta para obter o PSD equivalente referido à entrada	102
5.37 PSD do Modulador Sigma-Delta em tensão e em dB	103
5.38 Ruído gerado do PSD	103
5.39 Circuito de Simulação de Ruído do Modulador Sigma-Delta	104
5.40 Espectro em Frequência da saída do modulador Sigma-Delta	104
5.41 Consumo de corrente do modulador Sigma-Delta	105
A.1 Modelo linear do modulador Sigma-Delta com fontes de ruído	115
A.2 a) Circuito equivalente para a fase de carga do integrador, b) Modelo em pequeno sinal do estágio de carga do capacitor de entrada, c) Modelo em pequeno sinal do estágio de carga do capacitor de saída do integrador	116
A.3 a)Circuito equivalente para a fase de integração do integrador; b)Modelo em pequeno sinal na fase de integração do integrador de entrada	117
A.4 Densidade Espectral de Potência Referida à Entrada através do método gráfico	121
D.1 Esquemático da OTA 1	133
D.2 Esquemático da OTA 2	134
D.3 Esquemático da OTA 3	135
D.4 Esquemático da OTA 4	136
D.5 Esquemático do CMFB	137
D.6 Esquemático da Quantizador	138
D.7 Esquemático da Quantizador	138
D.8 Esquemático da Quantizador	139

Lista de Tabelas

2.1	Estado da Arte dos Moduladores Sigma-Delta Multi-bit	20
2.2	Estado da Arte dos Moduladores Sigma-Delta com redução do número de OTA's	23
2.3	Estado da arte dos conversores com técnica de intercalação no Tempo	24
3.1	Vantagens e Desvantagens das implementações SC e CT	30
3.2	Código Termométrico e Binário na saída do conversor	43
4.1	Comparação de Faixas de Entrada	48
4.2	Distribuição de Ruído RMS	50
4.3	Coeficientes do modulador Sigma-Delta de arquitetura CIFF	52
4.4	Máxima diferença de amplitudes, SR e excursão de saída diferencial nos OTA's dos integradores e do somador	59
4.5	f_T dos OTAs	60
4.6	Especificações de Ruído	62
5.1	Regiões de Inversão recomendadas dos transistores do OTA Miller	73
5.2	Dados obtidos no projeto dos OTA	77
5.3	Dimensões dos transistores dos OTA 1, 2, 3 e 4	77
5.4	Resistores e capacitâncias dos OTA 1, 2, 3 e 4	78
5.5	Dimensões dos transistores das chaves do OTA	80
5.6	Dados obtidos no projeto do OTA do comparador	85
5.7	Dimensões dos transistores do OTA dos comparadores	85
5.8	Resultados das Simulações do OTA 1	90
5.9	Resultados das Simulações do OTA 2	91

5.10 Resultados das Simulações do OTA 3	91
5.11 Resultados das Simulações do OTA 4	91
5.12 Resultados das Simulações do OTA do comparador	95
5.13 Resultados das simulações do quantizador	99
5.14 Resultados das simulações do Modulador Sigma-Delta	105
A.1 Fontes de Ruído do modulador Sigma-Delta de Terceira Ordem em V_{n1} e V_{n2}	118
A.2 Fontes de Ruído do modulador Sigma-Delta de Terceira Ordem em V_{n3} e V_{n4}	119

Lista de símbolos

A/D	Analógico-Digital
α	Erros de casamento e ganho finito
A_o	Ganho DC
$A_{O,C}$	Ganho DC do OTA do comparador
β_f	fator de <i>feedback</i>
β	Razão entre o OSR final e o OSR_0
β_N	Constante de Corrente do transistor MOS tipo-N
β_P	Constante de Corrente do transistor MOS tipo-P
$\Delta\beta_{P(N)}$	Variação do parâmetro $\beta_{P(N)}$
C_S	Capacitância de amostragem
C_C	Capacitância de Compensação
C_{comp}	Capacitância do comparador chaveado
C_f	Capacitância de <i>feedback</i>
C_{GD}	Capacitância porta-dreno
C_{GS}	Capacitância porta-fonte
C_H	Capacitância de carga
C_i	Capacitor número i
C_i	Capacitância de integração
CK	Sinal de <i>Clock</i>
C_L	Capacitância de carga na saída
a_i, b_i, c_i	Coefficientes do modulador Sigma-Delta
C_{ox}	Capacitância de óxido do transistor
C_{Pn}	Capacitância parasita número n
CT	Tempo Continuo
Cu_i	Capacitor unitário do OTA i
D/A	Digital-Analógico
L_i	Função de Transferência do ruído no filtro de Laço
L_0	Função de Transferência do sinal no filtro de Laço
Δ	Diferença entre dois níveis de quantização
$S_e(f)$	Densidade espectral do ruído de quantização

ΔI	Variação da corrente
DNL	<i>Differential Non – Linearity Error</i>
DR	Faixa Dinâmica
$\Delta r(k)$	Largura do passo analógico para o código k
ΔV	Erro de Tensão
ΔV_{eq}	Variação de tensão devido à Injeção de carga
ΔV_{mis}	Variação das tensões de referências devido ao descasamento dos resistores
ΔV_{REF}	Tensão diferencial de referência
$e(n)$	Ruído de quantização discreto
e_{DAC}	não-linearidade RMS do DAC
e_{ext}	Ruído RMS externo
E_{ganho}	Erro de ganho do quantizador
ENOB	Número Efetivo de <i>bits</i>
E_{off}	Erro de <i>Offset</i> do quantizador
e_q	Ruído RMS de quantização
$erro$	Erro requerido no tempo de <i>setup</i>
e_{tot}	Ruído RMS total
$e_{t,f,k}$	Ruído RMS térmico, Flicker e KT/C
f	Frequência
$f_{-3dB,C}$	Frequência de corte do OTA do Comparador
f_B	Frequência do sinal de entrada
f_S	Frequência de amostragem
f_c	Frequência normalizada do zero maior
$f_Q(x)$	Função de densidade de probabilidade do ruído de quantização
F.E.	Feedback Equivalente
IT	Intercalação no Tempo
$H_d(f)$	Função de transferência no domínio da frequência do filtro passa-baixa
f_N	Frequência máxima no intervalo de Nyquist
F_{OM}	Figura de Mérito de Potência em conversores A/D
f_T	Produto unitário de ganho-frequência da OTA
$f_{T,C}$	Frequência de ganho unitário do OTA do comparador
f_{test}	Frequência de teste de um modulador Sigma-Delta
k_c	Ganho do quantizador
gm_1	Transcondutância do par diferencial
GND	Terra do Sistema

$H_i(z)$	Função de transferência de um estágio i no domínio Z
$h_n(n)$	Função inversa de $NTZ(z)$
$H_{OTA,i}(f)$	Função de transferência do OTA i
$H_T(z)$	Função de transferência equivalente de L estágios no domínio Z
I_{AB}	Corrente através de uma chave MOS
I_D	Corrente de Dreno
I_{Di}	Corrente de dreno do transistor i
$I_D/(W/L)$	Corrente Normalizada
INL	<i>Integral Non – Linearity Error</i>
$J/conv$	Joules/conversão
k	Constante de Boltzman: $1,3806503 \times 10^{-23} m^2 Kgs^{-2} K^{-1}$
k_T	Feedback equivalente de um modulador Sigma-Delta
k_i	Feedback do estágio i de um modulador Sigma-Delta
l	Atraso em número de períodos do sinal de <i>Clock</i>
L	Ordem de um modulador Sigma-Delta
L_N	Comprimento do transistor tipo-N
L_P	Comprimento do transistor tipo-P
LSB	do Inglês <i>Less Significant Bit</i>
$m_1(t)$	Sinal de modulação de <i>Chopper</i>
$m_2(t)$	Sinal de demodulação de <i>Chopper</i>
MF	Margem de Fase
n	Número de <i>bits</i> do quantizador
N_{ADC}	Número de comparadores do <i>ADC</i>
$\overline{N_{iO}}$	Potência de ruído referida à saída da fonte i
n_q	Índice da tensão de referência no quantizador
n_T	Número de Períodos
N_{test}	O número de amostras de um período de f_{test}
$NTF(z)$	Função de transferência do ruído de quantização
$H(z)$	Função de transferência do integrador
m_3, m_2, m_1, m_0	Coefficientes do numerador de STF(z)
OSR	Razão de Sobre-Amostragem
OSR_0	OSR inicial para um modulador de ordem L e um <i>bit</i> de quantização
p	Número de atrasos num modulador Sigma-Delta
P_{amp}	Potência de um amp-op
P_{amp0}	Potência para um OSR_0

P_{compO}	Potência de cada comparador
P_{efr}	Potência do ruído de quantização com formatação do ruído
Φ_1, Φ_2	Fases dos circuitos chaveados
Φ_{1d}, Φ_{2d}	Fases atrasadas dos circuitos chaveados
ϕ_{C1}, ϕ_{C2}	Fases do modulador <i>Chopper</i>
ϕ_{C1d}, ϕ_{C2d}	Fases <i>atrasadas</i> do modulador de <i>Chopper</i>
$P_{n,ktc}$	Potência do ruído KT/C na banda base
P_n	Potência do Ruído dos Blocos analógicos
P_{esa}	Potência do Ruído de Quantização do Conversor com sobre-amostragem
P_e	Potência do ruído de quantização
P_S	Potência do Sinal de entrada
PSD	Densidade espectral do ruído
P_{tot}	Potência total do conversor A/D
Δ	Diferença entre dois níveis de quantização
q	Número de níveis de quantização
Q_{ch}	Carga do canal do transistor
$\overline{CK}$	Sinal de <i>Clock</i> complementar
Q_{Ci}	Carga do capacitor número i
R_C	Resistência de Compensação
$R_{DS,eq}$	Resistência R_{DS} equivalente da porta de transmissão
$R_{DS,N}$	Resistência dreno-fonte do transistor tipo-N
$R_{DS,P}$	Resistência dreno-fonte do transistor tipo-P
R_{ON}	Resistência associada nas chaves
R_S	Resistência da chave fechada em séries com a resistência da fonte
$V_{N(rms)}$	Tensão RMS do ruído de quantização
S_i	Chave número i
SC	Capacitor Chaveado
σ	Desvio Padrão
$SNDR$	Razão Sinal Ruído e Distorção
SNR	Razão Sinal a Ruído
$SQNR$	Razão Sinal-Ruído de quantização
SR	<i>Slew Rate</i>
$STF(z)$	Função de transferência do sinal de entrada
$NTF_{io}(z)$	Função de transferência de cada fonte de ruído referido à saída
$S_{vi,R}$	PSD para a fonte de ruído kT/C

T	Temperatura
t_0	Tempo inicial
τ	Constante de Integração
τ_A	Pólo produzido pelo ruído do OTA
τ_R	Pólo produzido pelo ruído das chaves
f_C	Frequência de modulação de <i>Chopper</i>
T_C	Período de modulação de <i>Chopper</i>
$T.C.$	Tempo Compartilhado
T_d	Período do sinal de <i>CLK</i>
$E(z)$	Transformada Z do ruído de quantização do modulador Sigma-Delta
T_S	Inversa de f_s
t_{slew}	Tempo de <i>Slew</i>
t_{stb}	Tempo de <i>setup</i>
t_{total}	Tempo total de Simulação
$U(z)$	Transformada Z do sinal de entrada do modulador Sigma-Delta
$V(z)$	Transformada Z do sinal de saída do modulador Sigma-Delta
$u(n)$	Entrada do modulador em tempo discreto
μ_N	Mobilidade do transistor tipo-N
μ_P	Mobilidade do transistor tipo-P
V_0	Tensão inicial
$V_{0...1}$	A tensão de transição entre o código 00..00 e 0...01
$V_{1...1}$	A tensão de transição entre o código 01..11 e 1...11
v_{n,R_s}^2	Densidade Espectral de Potência de uma resistência R_s
V_{bias}	Tensão de Polarização do CMFB
V_C	Tensão de modo comum
C_{OV}	Capacitância de <i>overlap</i> porta-dreno e porta-fonte
V_{CK}	Tensão do Sinal de <i>Clock</i>
V_{CMFB}	Tensão de CMFB
V_{DD}	Tensão de alimentação
V_{DS}	Tensão de dreno-forte
V_{FS}	Tensão de <i>Full-Scale</i>
$V_{FS,RMS}$	Tensão <i>Full-Scale</i> RMS
V_{GS}	Tensão porta-fonte do transistor
V_{in}	Tensão de entrada
$V_{in,MAX}$	Máxima tensão de entrada

$V_{in,max,RMS}$	Máxima tensão de entrada RMS
V_{in-}	Sinal de entrada no pino negativo
V_{in+}	Sinal de entrada no pino positivo
$v(n)$	Saída do modulador Sigma-Delta em tempo discreto
$V_{n,A}$	Tensão RMS do ruído dos OTAs
V_{ni}	Fonte de ruído do estágio i
$V_{n,R}$	Tensão RMS do ruído térmico das chaves
V_{off}	Tensão de <i>Offset</i>
$V_{off,Comp}$	Tensão de Offset do Comparador
V_{Oi}	Tensão de <i>offset</i> da fonte i
V_{O-}	Tensão de saída negativa do OTA totalmente diferencial
V_{O+}	Tensão de saída positiva do OTA totalmente diferencial
V_{out}	Tensão de saída
V_{REFH}	Tensão de referência superior
V_{REFL}	Tensão de referência inferior
V_{THN}	Tensão limiar do transistor tipo-N
V_{THP}	Tensão limiar do transistor tipo-P
$\Delta V_{THP(N)}$	Variação da tensão limiar do transistor do tipo-P e tipo-N
$V_{Xi}(n)$	Tensão amostrada no período n do OTA i
w	frequência em rad/s
$w_{-3dB,C}$	Frequência de corte do OTA do Comparador em rad/s
w_{eq}	Frequência do pólo que modela os pólos de frequências altas
W_N	Largura do transistor tipo-N
W_P	Largura do transistor tipo-P
V_P	Tensão de fonte do transistor M_1 dos OTA
w_{pi}	Frequência do i -ésimo pólo dominante
w_t	Frequência unitária de laço aberto
w_{ta}	Produto de Ganho por frequência unitária em rad/s
$w_{T,C}$	Frequência de ganho unitário do OTA do comparador em rad/s
w_{xi}	Frequência do i -ésimo zero dominante
$w_{z,RC}$	Frequência do zero produzido por R_C
V_{ik}	Ponto de transição entre dois códigos sucessivos, $k - 1$ e k
X_k	Ponto de transição entre dois códigos sucessivos, $k - 1$ e k
$y(n)$	Entrada do quantizador em tempo discreto

1 Introdução

A redução da largura de canal nas tecnologias CMOS tem feito com que o projeto de circuitos digitais tenha se desenvolvido mais rápido que o projeto de circuitos analógicos. As maiores vantagens do uso das tecnologias de menores dimensões para os circuitos digitais são a redução de consumo de potência, o aumento de velocidade e a diminuição da área, portanto menor custo. Por outro lado os circuitos analógicos sofrem efeitos de canal curto, dificuldade no casamento de parâmetros, pequena excursão de entrada e saída, etc. Em razão do que foi dito, projetistas tem como estratégia passar o maior número de blocos do domínio analógico ao domínio digital. Como os sinais obtidos da natureza são analógicos o uso de conversores A/D é indispensável para ter o maior número de blocos no domínio digital [6].

Os conversores A/D podem ser classificados pela taxa de amostragem como conversores com taxa de amostragem de Nyquist e conversores com taxa de sobre-amostragem. Os conversores com taxa de amostragem de Nyquist convertem o sinal de entrada utilizando taxas de amostragem próximas à frequência de Nyquist do sinal de entrada (entre 3 e 20 vezes a frequência de Nyquist) sendo utilizados geralmente para converter sinais à altas frequências. Para este tipo de conversor existem as topologias *flash*, de Interpolação, *folded*, *pipelined*, Sub-Faixa, etc. Por outro lado, os conversores com taxa de sobre-amostragem tem taxas muito mais elevadas que a frequência de Nyquist (entre 20 e 512 vezes) e aumentam a Razão Sinal Ruído (*SNR*) filtrando o ruído fora da banda do sinal através de um filtro digital na saída. Também utilizam a técnica de formatação de ruído (do inglês, *noise shaping*) para enviar uma parte do ruído de quantização para fora da banda do sinal de entrada [1].

A figura 1.1 mostra as diferentes topologias dos conversores A/D e as regiões onde atuam com a resolução e a taxa de amostragem. Neste trabalho desejamos operar com sinais de áudio, os quais operam na banda de 20 kHz e precisam de uma resolução de conversão de 16 *bits*, como mínimo, para se ter uma ótima qualidade de som. A partir da figura 1.1 pode-se verificar que a topologia de conversor que melhor

se adéqua às características dos sinais de áudio é a topologia Sigma-Delta.

Figura 1.1: Taxa de Amostragem e Resolução das Principais Topologias de Conversores Analógicos-Digitais

Atualmente conversores Sigma-Delta são amplamente utilizados em sistemas de áudio comerciais, tais como telefones móveis, dispositivos de áudio de alta qualidade, sistemas auditivos, etc. [7], muitos dos quais são portáteis. Para estes sistemas portáteis a principal preocupação é ter uma boa duração do tempo da bateria. Portanto, baixo consumo é também importante no projeto de conversores Sigma-Delta.

O conversor A/D Sigma-Delta, cujo diagrama de blocos é mostrado na figura 1.2, é composto de uma parte analógica (modulador Sigma-Delta, com um integrador-amostrador, um quantizador e um conversor D/A) e uma parte digital (filtro decimador passa-baixa). Na parte analógica o sinal é amostrado e filtrado pelo integrador de ordem L (ordem do modulador), o qual é um filtro passa-baixa de ordem L , e digitalizado pelo quantizador, um conversor A/D de n bits. O quantizador adiciona ruído ao sistema, que é formatado utilizando um *feedback* negativo. Como a saída do modulador é digital, o *feedback* é feito utilizando um conversor Digital-Analógico (D/A). A parte digital filtra o ruído de quantização desde f_B , banda de frequência do sinal de entrada, até $f_s/2$, frequência de amostragem dividida por dois. Isto faz com que o ruído de quantização seja reduzido pelo fator $f_s/(2f_B)$, sendo este fator conhecido como *OSR* (*Oversampling Ratio* do inglês Razão de Sobre-Amostragem). Finalmente, para re-

duzir a potência nos blocos conectados à saída do conversor A/D , a frequência de amostragem é reduzida até a frequência de *Nyquist* pelo bloco decimador [2].

Figura 1.2: Diagrama de blocos de um conversor A/D Sigma-Delta

O modulador Sigma-Delta é encarregado de reduzir o ruído de quantização do conversor e é o bloco que domina o consumo de potência do conversor Sigma-Delta. É por isto que neste documento será desenvolvido o projeto de um modulador Sigma-Delta orientado ao baixo consumo de potência.

1.1 Objetivos

O objetivo geral do presente trabalho é o projeto de um modulador A/D Sigma-Delta na tecnologia CMOS IBM 0,18 μm com uma Razão Sinal Ruído (SNR) de 98 dB, baixo consumo de potência para aplicações de sinais de áudio (20 Hz-20 KHz). Os objetivos específicos são os seguintes:

- Adquirir conhecimento das diferentes arquiteturas de moduladores A/D Sigma-Delta de baixo Consumo.
- Definir a arquitetura a ser utilizada.
- Definir uma metodologia de projeto para moduladores Sigma-Delta de baixo consumo.
- Definir uma metodologia para projetar blocos básicos de baixo consumo.

1.2 Metodologia

Para este projeto será utilizada a metodologia de projeto *top-down*, a qual consiste em ir do nível mais elevado de abstração até o nível mais baixo. Considerando o projeto de circuitos integrados, isto implica em ir desde o modelamento do sistema até o projeto de baixo nível. O diagrama de fluxo de projeto utilizando a metodologia *top-down* é mostrada na figura 1.3.

Figura 1.3: Fluxo de Projeto utilizando a metodologia *top-down*

Para realizar este trabalho, no capítulo 2 será feito o estudo da teoria dos moduladores Sigma-Delta assim como o estudo das principais técnicas de baixo consumo. No capítulo 3 será definida a arquitetura do sistema e de seus componentes. No capítulo 4 serão definidas as especificações dos blocos principais da arquitetura. No capítulo 5 será realizado o projetos dos blocos básicos do modulador Sigma-Delta e serão apresentados os resultados das simulações no *Cadence – Spectre* [8]. Finalmente no capítulo 6 serão apresentadas as Conclusões e Trabalhos Futuros.

2 Modulador A/D Sigma-Delta

Como foi mencionado na introdução, o modulador Sigma-Delta reduz o ruído de quantização dentro da banda do sinal no conversor A/D. Para isto utiliza as técnicas de formatação de ruído e sobre-amostragem. Estas técnicas trazem compromissos com a estabilidade e a resolução do conversor. Para entender melhor o funcionamento e os compromissos de um modulador Sigma-Delta, a seguir serão detalhados os conceitos de ruído de quantização, de conversão com sobre-amostragem, de formatação do ruído, e de estabilidade, as especificações de um modulador Sigma-Delta e as técnicas de baixo consumo dos moduladores Sigma-Delta.

2.1 Ruído de Quantização

O ruído de quantização, $e(n)$, é o erro na quantização de um conversor A/D. Este ruído pode ser modelado como um sinal aditivo ao sinal de entrada do quantizador, como pode ser visto na figura 2.1. Quando o sinal de entrada $y(n)$ varia rapidamente ou quando o número de *bits* é muito grande, $e(n)$ pode ser aproximado por um sinal aleatório uniformemente distribuído entre $\pm\Delta/2$, onde Δ é a diferença entre dois níveis de quantização adjacentes. Considerando $e(n)$ uniformemente distribuído, sua função de densidade de probabilidade, $f_Q(x)$, será igual a $1/\Delta$ [1].

Figura 2.1: Quantizador e seu modelo linear [1]

O valor RMS (do inglês, *Root Mean Square*) ao quadrado do ruído de quantização,

$V_{N(rms)}^2$, é dado pela equação 2.1.

$$V_{N(rms)}^2 = \int_{-\Delta/2}^{\Delta/2} x^2 f_Q(x) dx = \frac{\Delta^2}{12} \quad (2.1)$$

Considerando $e(n)$ com espectro aproximadamente constante e banda de $f_S/2$, o $V_{N(rms)}^2$ pode ser expresso em função da densidade espectral de frequência, $S_e(f)$, como é mostrado na equação 2.2.

$$V_{N(rms)}^2 = \int_{-f_S/2}^{f_S/2} S_e^2(f) df = \frac{\Delta^2}{12} \quad (2.2)$$

A partir da equação anterior, é obtido $S_e^2(f)$, o qual é dado na equação 2.3.

$$S_e^2(f) = \frac{\Delta^2}{12f_S} \quad (2.3)$$

Outro parâmetro importante é a potência do erro de quantização, P_e , o qual é obtido integrando o produto de $S_e^2(f)$ e o quadrado do modulo da função de transferência do filtro passa-baixo digital, $H_d(f)$, o qual é ideal com ganho unitário.

$$P_e = \int_{-f_B}^{f_B} S_e^2(f) |H_d(f)|^2 df = \frac{2f_B \Delta^2}{12f_S} \quad (2.4)$$

Considerando um sistema amostrado na frequência de Nyquist com $f_S = 2f_B$, a potência será igual a:

$$P_e = \frac{\Delta^2}{12} \quad (2.5)$$

2.2 Conversão com Sobre-amostragem

A sobre-amostragem faz com que a banda do sinal ocupe uma pequena fração do intervalo de Nyquist, intervalo de frequência onde pode se encontrar um único espectro do sinal. Isto faz com que seja possível filtrar digitalmente boa parte do ruído de quantização no intervalo de Nyquist.

Figura 2.2: Espectro de frequência em cada estágio de um conversor Sigma-Delta [2]

Na figura 2.2 é mostrado o modelo de um conversor A/D com sobre-amostragem e os espectros dos sinais que aparecem na saída de cada estágio. A partir de um sinal com uma largura de banda igual a f_B , é obtida na saída do conversor A/D um sinal cujo espectro é composto pelos espectros do sinal de entrada e do ruído de quantização, representado por um retângulo cor cinza. O f_N é a frequência máxima do intervalo de Nyquist [2] e é igual a $f_S/2$. Ao passar por um filtro digital de banda f_B o ruído de quantização é eliminado desde f_B até f_N . Finalmente um decimador diminui a frequência de amostragem para $f'_N = 2f_B$. A potência do ruído de quantização no sinal de saída para um conversor com sobre-amostragem, P_{esa} , é obtida integrando o produto de $S_e^2(f)$ e o quadrado do modulo da função de transferência do filtro passa-baixa ideal com ganho unitário, $H_d(f)$, como mostra a expressão 2.6.

$$P_{esa} = \int_{-f_B}^{f_B} S_e^2(f) |H_d(f)|^2 df = \frac{\Delta^2 2f_B}{12f_S} = \frac{\Delta^2}{12OSR} \quad (2.6)$$

Como pode ser visto na equação 2.6, P_{esa} é igual a potência P_e diminuída pelo OSR .

2.3 Formatação do Ruído

Aumentar a frequência de amostragem é uma boa opção para diminuir o ruído de quantização, porém frequências muito altas tornam difícil e muitas vezes impossível o projeto dos conversores. Outra opção para diminuir o ruído de quantização, sem aumentar a frequência de amostragem, é utilizar a técnica de formatação de ruído. Esta técnica consiste em modificar o espectro branco do ruído de quantização redu-

zindo seu valor para baixas frequências e aumentando para altas frequências. O ruído em altas frequências é fácil de filtrar utilizando um filtro digital na saída do modulador Sigma-Delta.

Esta técnica pode ser explicada melhor utilizando o modelo linear completo do modulador Sigma-Delta mostrado na figura 2.3. Nesta figura o quantizador é modelado como um amplificador de ganho k_c com uma perturbação $e(n)$, que representa o ruído de quantização. O integrador é modelado como uma função de transferência $H(z)$. A partir deste modelo a função de transferência do modulador completo é mostrada na equação 2.7.

Figura 2.3: Modelo linear completo do modulador Sigma-Delta adicionando ruído de quantização [1]

$$V(z) = U(z) \frac{H(z)k_c}{1 + H(z)k_c} + \frac{E(z)}{1 + H(z)k_c} \quad (2.7)$$

$$V(z) = U(z)STF(z) + E(z)NTF(z) \quad (2.8)$$

Na equação 2.8, $STF(z)$ representa a função de transferência para o sinal de entrada e $NTF(z)$ a função de transferência para o ruído de quantização, $U(z)$ é a transformada Z de $u[n]$, $V(z)$ é a transformada Z de $v[n]$ e $X(z)$ é a transformada Z de $x[n]$. Por um lado $STF(z)$ deve deixar passar o sinal de entrada para saída. Por outro lado $NTF(z)$ deve ser um filtro passa-alta, com frequência de corte na banda do sinal, de modo que o ruído seja atenuado na banda do sinal. Para obter isto, $STF(z)$ é igualado a z^{-1} e $NTF(z)$ é igualado a $(1 - z^{-1})$. Considerando $k_c = 1$, o $H(z)$ fica igual a $z^{-1}/(1 - z^{-1})$. Para ver como o ruído de quantização é filtrado por $NTF(z)$, esta

função é transformada no domínio da frequência da seguinte forma:

$$NTF(f) = 1 - e^{-j2\pi f/f_s} = \text{sen}\left(\frac{\pi f}{f_s}\right) 2je^{-j\pi f/f_s} \quad (2.9)$$

Normalizando $NTF(f)$, é obtido a função de um filtro passa-alta, mostrado na equação 2.10

$$|NTF(f)| = 2\text{sen}\left(\frac{\pi f}{f_s}\right) \quad (2.10)$$

A potência do ruído de quantização com formatação do ruído, P_{efr} , pode ser obtido utilizando a equação 2.4 e a equação 2.10.

$$P_{efr} = \int_{-f_B}^{f_B} S_e^2(f) |NTF(f)|^2 df = \int_{-f_B}^{f_B} \frac{\Delta^2 2f_B}{12f_s} |2\text{sen}\left(\frac{\pi f}{f_s}\right)|^2 df \quad (2.11)$$

Fazendo $f_B \ll f_s$, a equação 2.11 pode se aproximar como:

$$P_{efr} = \left(\frac{\Delta^2}{12}\right) \left(\frac{\pi^2}{3}\right) \left(\frac{2f_B}{f_s}\right)^3 = \frac{\Delta^2 \pi^2}{36OSR^3} \quad (2.12)$$

A potência do ruído de quantização com formatação do ruído agora é igual P_e diminuído por um fator de $\pi^2/(3OSR^3)$. Este fator pode ser reduzido ainda mais, aumentando a ordem do filtro $NTF(z)$, isto é fazendo $NTF(z) = (1 - z^{-1})^L$. Seguindo o procedimento anterior para um $NTF(z)$ de ordem maior, a potência do ruído de quantização será dada pela equação 2.13 [2].

$$P_e = \frac{\Delta^2}{12} \left(\frac{\pi^{2L}}{(2L+1)OSR^{(2L+1)}} \right) \quad (2.13)$$

Da equação 2.13 pode-se concluir que para um $NTF(z)$ de ordem L , P_e é reduzido por um fator de $\pi^{2L}/((2L+1)OSR^{(2L+1)})$. Aumentar L pode causar instabilidade e por isso aparece um compromisso entre a estabilidade do sistema e a redução do ruído de quantização.

2.4 Estabilidade de moduladores Sigma-Delta de ordens maiores que dois

Como foi explicado no item anterior a ordem de $NTF(z)$ influencia na redução do ruído de quantização, mas aumentá-la pode gerar problemas de instabilidade no sistema. Esta instabilidade pode ser produzida por dois motivos: o primeiro é ter algum pólo das funções $NTF(z)$ ou $STF(z)$ fora do círculo unitário; o segundo motivo é ter sinais grandes que possam saturar o sistema. O primeiro problema é solucionado projetando-se $NTF(z)$ e $STF(z)$ com pólos dentro do círculo unitário. O segundo problema depende do número de *bits* do quantizador. Por isto a estabilidade será analisada para quantizadores de um *bit* e para quantizadores de n *bits*. Para esta análise será utilizada a figura 2.4, o qual representa um modulador de ordem L e $NTF(z)$ igual a $(1 - z^{-1})^L$ [9]. Este modulador tem todos os pólos dentro do círculo unitário, garantindo a estabilidade e deixando apenas o problema com a amplitude do sinal de entrada.

Figura 2.4: Estrutura de um modulador Sigma-Delta de ordem maior

2.4.1 Modulador Binário

Os moduladores binários são estruturas que utilizam um quantizador com dois níveis de quantização ($q = 2$), um ADC de 1 *bit*. São muito utilizados devido a sua boa linearidade e baixo consumo. Para estabilizar um modulador de um *bit* de quantização, atualmente não se conhece um critério que seja necessário e suficiente, porém é muito utilizada a regra de Lee, a qual afirma que um modulador binário não satura se a seguinte desigualdade for cumprida [9]:

$$\max |NTF(e^{j\omega})| > 1.5 \quad (2.14)$$

Apesar da regra de Lee ser de grande ajuda para prever instabilidades, ela carece

de um fundamento teórico sólido e a estabilidade precisa ser confirmada realizando muitas simulações.

2.4.2 Moduladores Multi-bit

Os moduladores Multi-bit são estruturas que utilizam um quantizador com mais de dois níveis de quantização. A principal vantagem destes moduladores é que existe um critério com fundamento teórico sólido para prever instabilidades em função da amplitude do sinal de entrada. Este critério considera que para um quantizador de $(M + 1)$ níveis de quantização com sinal de entrada inicial igual a $y(0)$ e $\Delta = 1$, se garante a não saturação do quantizador para um sinal de entrada $u(n)$, se é cumprida a seguinte condição:

$$\max|u(n)| \leq M + 2 - \|h_n\|_1 \quad (2.15)$$

onde $\|h_n\|_1 = \sum_{n=0}^{\infty} |h_n(n)|$ e $h_n(n)$ é a transformada Z inversa de $NTF(z)$ [9]. Para provar que a condição anterior é suficiente, será calculado a entrada do quantizador $y(n)$. Sabemos que no domínio Z, $Y(z)$ é igual a:

$$Y(z) = V(z) - E(z) = U(z)STF(z) + E(z)NTF(z) - E(z) \quad (2.16)$$

Assumindo $STF(z)$ como um atraso de l períodos de *Clock* (Em muitas topologias de Moduladores Sigma-Delta, $STF(z)$ é projetado como um filtro passa-tudo com l períodos de atraso) [9] e $NTF(n)$ é igual a $h_n(n)$, a equação 2.16 no domínio n é expresso como:

$$y(n) = u(n-l) + (h_n * e)(n) - e(n) = u(n-l) + \sum_{i=1}^{\infty} h_n(i)e(n-i) + h(0)e(n) - e(n) \quad (2.17)$$

Na equação 2.17 o operador $(*)$ é o operador convolução. O $h_n(0)$ pode ser obtido através da equação 2.18:

$$NTF(z) = h_n(0) + h_n(1)z^{-1} + h_n(2)z^{-2} + \dots \quad (2.18)$$

Como $NTF(z)$ é um filtro passa-alta, para $z \rightarrow \infty$, $NTF(z)$ é igual a Δ . Então, $h_n(0)$

também é igual a um e a equação 2.17 pode ser reduzida a:

$$y(n) = u(n-l) + \sum_{i=1}^{\infty} h_n(i)e(n-i) \quad (2.19)$$

Para evitar a saturação do quantizador, deve se manter $|y(n)| \leq M+1$. Maximizando a equação 2.19, pode-se obter uma condição suficiente para a estabilidade de um modulador Sigma-Delta de ordem L .

$$\max|u(n)| + \max|e(n)|[\|h_n\|_1 - 1] \leq M+1 \quad (2.20)$$

Como o máximo valor de $e(n)$ é igual a um e $\|h_n\|_1$ é igual a 2^L , quando $NTF(z) = (1 - z^{-1})^L$, a inequação 2.20 pode ser expressa como:

$$\max|u(n)| \leq M+2-2^L \quad (2.21)$$

A condição 2.21 pode ser utilizada para achar o mínimo número de níveis de quantização que garanta estabilidade para uma estrutura como a da figura 2.4. Para $M = 2^{L+1}$ é garantida a estabilidade para sinais menores que $0,5(M+1)+1,5$, o qual é mais de 50% da faixa de quantização. Com $M = 2^{L+2}$, é garantida a estabilidade para sinais de mais de 75% da faixa de quantização. Estes dois exemplos mostram que ao aumentar os níveis de quantização o nível de entrada, para o qual a estabilidade é garantida, aumenta. Acrescentar os níveis de quantização tem um compromisso com o consumo de potência, porque ao aumentar o número de níveis de quantização aumenta-se da mesma forma o número de comparadores utilizados no quantizador.

2.5 Especificações dos moduladores Sigma-Delta

Especificações dos conversores de dados servem para avaliar sua eficiência. Estas podem ser divididas em Estáticas e Dinâmicas. Por um lado as especificações estáticas são aquelas que caracterizam conversores em DC ou baixa frequência, exemplo, DNL (*Differential Non – Linearity Error*) e INL (*Integral Non – Linearity Error*). Por outro lado as especificações dinâmicas são aquelas que caracterizam conversores em alta frequência e normalmente trabalham com sinais de entrada e saída no domínio da frequência. Apesar que os moduladores Sigma-Delta só formam

parte dos conversores Sigma-Delta, eles podem ser avaliados através especificações dinâmicas.

Na figura 2.5 são mostradas diversas especificações que são aplicadas em um modulador Sigma-Delta e que envolvem potências dos sinais.

Figura 2.5: Definições das especificações para moduladores Sigma-Delta. P_{IN} é a potência do sinal de entrada [3]

2.5.1 Razão Sinal Ruído (SNR)

O SNR, como pode ser visto na equação 2.22, é a razão entre a potência do sinal, P_S , e a potência total do ruído composto pelo ruído de quantização, P_e , e o ruído dos blocos analógicos, P_n .

$$SNR_{dB} = 10 \log_{10} \left(\frac{P_S}{P_e + P_n} \right) \quad (2.22)$$

Para um sinal senoidal que ocupa toda a escala de entrada, P_S é igual a [1]:

$$P_S = \frac{(q\Delta)^2}{8} \quad (2.23)$$

onde q é o número de níveis de quantização e Δ é a diferença entre dois níveis de quantização. O SNR depende da potência do sinal de entrada, como é visto na figura 2.5 [2]. Para os moduladores Sigma-Delta geralmente é atingido o SNR máximo, SNR_{max} , quando o sinal de entrada está a $-3dB$ de sua escala máxima [9]. Despre-

zando o ruído dos blocos analógicos o SNR_{max} para um modulador Sigma-Delta de ordem L é expresso na equação 2.24 [2].

$$SNR_{max} = 6,02\log_2(q) + 1,76 + 10\log_{10}(2L + 1) - 3,97L + 10(2L + 1)\log_{10}(OSR) \quad (2.24)$$

Esta expressão é chamada, também, de SQNR (Razão Sinal Ruído de Quantização).

2.5.2 Razão Sinal Ruído e Distorção (SNDR)

O SNDR é a razão entre a potência do sinal, P_s , e a soma de P_n , P_e e da potência dos harmônicos, P_h . O SNDR depende da potência do sinal de entrada e, também, da sua frequência. Como é visto na figura 2.5, o SNDR máximo geralmente é menor que o SNR máximo. Uma expressão para o SNDR é mostrado na equação 2.26.

$$SNDR_{dB} = 10\log_{10}\left(\frac{P_s}{P_e + P_h + P_n}\right) \quad (2.25)$$

2.5.3 Faixa Dinâmica (DR)

O DR é definido como a razão entre a potência de saída do modulador para um sinal senoidal na entrada de amplitude pico-pico máxima, V_{FS} , e a potência total do ruído composto pelo ruído de quantização, P_e , e o ruído dos blocos analógicos, P_n [10].

$$DR_{dB} = 10\log_{10}\left(\frac{V_{FS}^2}{8(P_e + P_n)}\right) \quad (2.26)$$

2.5.4 Número Efetivo de *bits* (ENOB)

O ENOB mede o DR utilizando *bits*. O DR em dBs e o ENOB são relacionados pela equação 2.27[10].

$$ENOB = \frac{DR_{dB} - 1,76}{6,02} \quad (2.27)$$

2.5.5 Figura de Mérito (F_oM)

A figura de mérito F_oM relaciona a Potência total do modulador, P_{tot} , o número efetivo de *bits*, $ENOB$, e a banda do sinal, f_B , definido como [6]:

$$F_oM = \frac{P_{tot}}{2^{ENOB} 2f_B} \quad (2.28)$$

Arquiteturas de baixo consumo ([11],[7],[12]) atualmente tem um F_oM de algumas dezenas de $fJ/conv$ na banda de audio, o qual é equivalente a uma potência menor que $1mW$ para resoluções de 14 *bits* e frequências na banda do audio.

2.6 Técnicas de Baixo Consumo de Potência nos moduladores Sigma-Delta

Os conversores A/D Sigma-Delta tem aproximadamente cinquenta anos [13], tendo sido modificados muitas vezes neste período. No início foram procuradas novas alternativas para aumentar a sua resolução [14] e posteriormente para solucionar o problema de estabilidade produzido pelo aumento da ordem dos moduladores Sigma-Delta [15], [16], [17], [18]. O crescente número de aplicações em sistemas portáteis faz com que na atualidade a procura seja pelo desenvolvimento de arquiteturas de baixo consumo de potência. Neste contexto Franco Maloberti e Gabor Temes propõem em [6], [19] e [20] técnicas para o projeto de conversores Sigma-Delta de baixo consumo de potência. Estas técnicas são classificadas da seguinte forma: técnica de otimização do número de níveis de quantização; técnicas de redução do número de OTAs (Amplificadores Operacionais de Transconductancia) e técnica de intercalação no tempo. A seguir serão detalhadas cada uma destas técnicas.

2.6.1 Técnica de otimização do número de níveis de quantização

Esta técnica consiste em determinar o número de níveis de quantização que otimiza o consumo de potência do conversor, sem diminuir o SNR . Isto é possível devido à potência total do conversor depender da potência dos OTAs dos integradores e dos OTAs do quantizador. Como foi visto na equação 2.24, o SNR pode ser aumentado, se for aumentada a ordem do modulador ou o número de níveis de quantização, q . Aumentar a ordem do modulador eleva o número dos OTAs no integrador, no en-

tanto a potência consumida por estes OTAs é muito maior que a potência dos comparadores do quantizador. Por esta razão é preferível aumentar o número de níveis de quantização antes de aumentar a ordem do modulador. O número de níveis de quantização não pode ser aumentado indefinidamente e há um número ótimo onde a potência atinge o mínimo. Para descobrir este número é necessário achar uma expressão para a potência total supondo um SNR constante para o modulador.

Para achar o número ótimo de níveis de quantização partiremos de um modulador de ordem L qualquer e um quantizador de um *bit*. A potência dos OTAs do modulador dependem da frequência unitária, f_T , e esta depende do OSR ; pode-se afirmar que a potência dos OTAs diminui/aumenta quase na mesma proporção que o OSR é diminuído/aumentado. A potência de cada OTA pode ser descrita em função de um OSR inicial, OSR_0 , como é mostrado na equação 2.29:

$$P_{amp} = P_{amp0} \left(\frac{OSR}{OSR_0} \right)^\alpha = \frac{P_{amp0}}{\beta^\alpha} \quad (2.29)$$

onde OSR_0 é o OSR para um modulador de ordem L e um *bit* de quantização; a variável β representa a redução de OSR , sendo igual a OSR/OSR_0 ; o valor de α é um valor próximo a um e depende da tecnologia (por questões práticas será utilizado um valor de α igual a 1,5 [4]). P_{amp0} é a potência de cada OTA para OSR_0 .

A redução do OSR causa uma perda de *bits* efetivos no modulador, deduzido a partir da equação 2.24, dada por:

$$\Delta n = (L + 1/2) \log_2(\beta) \quad (2.30)$$

Para compensar essa perda devemos aumentar o mesmo número de *bits* no quantizador, o que acarretará num aumento de $2^{\Delta n}$ comparadores ou

$$n_{comp} = 2^{(L+1/2)\log_2(\beta)} \quad (2.31)$$

A potência do comparador diminui ao baixar o OSR , mas aumenta ao reduzir o intervalo de quantização. Por isto a potência dos comparadores é considerada invariável ante variações de OSR . A potência total do modulador depende da redução do OSR

e pode se expressar como:

$$P_{TOT} = LP_{amp0}\beta^{-\alpha} + P_{comp0}2^{(L+1/2)\log_2(\beta)} \quad (2.32)$$

onde P_{comp0} é a potência de cada comparador e pode ser considerada da ordem de $P_{amp0}/30$ para resoluções do modulador até doze *bits* ou $P_{amp0}/60$ para resoluções do modulador maiores [4]. A figura 2.6 mostra a potência total normalizada *versus* o número de comparadores de um modulador Sigma-Delta de segunda ordem para comparadores com uma potência de $P_{amp0}/30$, linha contínua, e para comparadores com potência de $P_{amp0}/60$, linha tracejada, sendo P_{amp0} fixado em um. O número comparadores ótimo é oito para o primeiro caso e doze para segundo caso.

Figura 2.6: Potência Total Normalizada vs número de comparadores para $L = 2$ [4]

Uma desvantagem de aumentar o número de quantizadores é a não linearidade do conversor D/A produzindo harmônicos dentro da banda do sinal [21]. Isto pode ser solucionado acrescentando um bloco para Casamento de Elementos Dinâmicos (DEM do inglês, Dynamic Element Matching)[21] entre o quantizador e o DAC como é mostrado na figura 2.7.

Na tabela 2.1 são listados trabalhos que aplicam esta técnica.

Como pode ser visto na tabela 2.1 a potência depende do $SNDR$, da banda de frequência do sinal de entrada e da tecnologia. É por isto que o FoM deve ser to-

Figura 2.7: Diagrama de blocos de um modulador com quantização Multi-bit utilizando DEM [2]

Tabela 2.1: Estado da Arte dos Moduladores Sigma-Delta Multi-bit

Trabalho	SNDR (dB)	BW (kHz)	Potência (W)	FoM (pJ/conv)	Tecnologia (μm)
[22]	83,8	24	1,1m	1,81(Calculado)	0,18
[11]	91	2	1,2m	0,21	0,18
[7]	89	16	210 μ	0,28	0,18
[12]	91,5	24	663 μ	0,45	0,18
[23]	124	20	330m	6,3(Calculado)	0,35
[24]	114	20	68m	4,1(Calculado)	0,35
[25]	100	25	870 μ	0,21(Calculado)	0,18
[26]	84,3	24	9,3m	14,4(Calculado)	0,25

mado como referência para comparar o desempenho entre os trabalhos listados.

2.6.2 Técnicas de redução do número de OTAs

A ordem do modulador determina o número dos OTAs utilizados na arquitetura. No entanto, o número de OTAs pode ser reduzido utilizando a técnica de tempo compartilhado ou a técnica de *feedback* equivalente.

A técnica de tempo compartilhado é utilizada em circuitos de duas fases, onde uma é a fase de amostragem do sinal e a outra é a fase de processamento. No caso de moduladores Sigma-Delta de ordem maior ou igual a dois, um único OTA pode realizar a função de dois OTAs em fases diferentes. Isto reduz a área e o consumo de potência, que em alguns casos pode representar uma economia de até 30% [4]. O

Figura 2.8: Esquemático de um Modulador de segunda ordem utilizando a técnica de tempo compartilhado [4]

modulador Sigma-Delta de segunda ordem mostrado na figura 2.8 utiliza um único OTA e dois quantizadores. Isto é devido ao fato que as duas funções do OTA precisam de quantizadores. As saídas dos quantizadores são processadas digitalmente de forma que a função de transferência do modulador seja equivalente a de um modulador de segunda ordem.

A técnica de *feedback* equivalente é diferente da técnica anterior, desde que não é necessário uma fase de tempo por função do OTA. Esta técnica troca os n *feedbacks* ($k_1, k_2, k_3, \dots, k_n$) de um modulador de ordem n por um *feedback* equivalente, k_T . Isto é mostrado na figura 2.9.

$k_1, k_2, k_3, \dots, k_n$ são referidos à entrada para obter o valor de k_T do *feedback* equivalente, o qual é mostrado na equação 2.33. O k_T pode ser implementado digitalmente desde que seja deslocado à entrada do DAC do *feedback*.

$$k_T = k_1 + \frac{k_1}{H_1(z)} + \dots + \frac{k_n}{H_1(z)H_2(z)\dots H_{n-1}(z)} \quad (2.33)$$

A cascata de blocos lineares é chamada $H_T(z)$ e é igual a $H_1(z)H_2(z)\dots H_{n-1}(z)$. Como o modulador Sigma-Delta utiliza integradores, $H_T(z)$ pode ser expresso como:

$$H_T(z) = \frac{z^{-p}}{(1 - z^{-1})^n} \quad (2.34)$$

onde p é o número de atrasos na cascata. A figura 2.10 mostra uma forma equivalente

Figura 2.9: a) Diagrama de Blocos de um Modulador de ordem n em cascata b) Diagrama de blocos equivalente com um único *feedback* [5]

de implementar H_T . A função $P_n(z)$ é expressada na equação 2.35.

$$P_n(z) = -z[(1 - z^{-1})^n - 1] \quad (2.35)$$

Figura 2.10: Forma equivalente de H_T [5]

Desde que a função $P_n(z)$ possa ser implementada com elementos passivos, o modulador pode ser implementado utilizando um único OTA.

Uma vantagem desta técnica é que pode ser aplicada para qualquer ordem de modulador, enquanto, uma desvantagem é que ela só pode ser utilizado para resoluções médias e $OSRs$ baixos. Isso ocorre devido ao fato que o descasamento de capacitores causam aumentos no SNR para altas resoluções [5] [27]. Na tabela 2.2 são listados trabalhos em que são aplicadas esta técnica.

Na tabela 2.2 *T.C.* são as siglas de Tempo Compartilhado e *F.E.* as siglas de *Feedback* Equivalente. Como pode ser visto as duas técnicas são geralmente utilizadas para

Tabela 2.2: Estado da Arte dos Moduladores Sigma-Delta com redução do número de OTA's

Trabalho	SNR (dB)	BW (MHz)	Potência (mW)	FoM (pJ/conv)	Tecnologia (μm)	Técnica
[27]	66	1,94	1,2	0,3	0,09	T.C.
[4]	61,5	0,1	0,96	0,25	0,18	T.C
[28]	119,9	0,02	0,121	0,0037(Calculado)	0,35	T.C.
[5]	66	1,94	1,2	0,3	0,18	F.E.

conversores de resoluções médias.

2.7 Técnica de Intercalação no Tempo (IT)

Esta técnica aumenta a taxa de amostragem utilizando moduladores Sigma-Delta trabalhando em paralelo. A combinação adequada dos moduladores faz com que a sua operação seja equivalente a um conversor com uma taxa de amostragem multiplicada por um fator igual ao número de elementos paralelos. A figura 2.11 mostra um modulador Sigma-Delta de três caminhos.

Figura 2.11: Arquitetura de Intercalação no tempo utilizando três Caminhos [2]

Esta técnica é atraente para aplicações de alta velocidade devido ao incremento do (*OSR*) sem necessidade de aumentar a velocidade dos blocos analógicos. O problema nesta técnica é que a utilização de vários moduladores Sigma-Delta em paralelo complica a transformação dos moduladores numa estrutura equivalente. Este problema chamado de dominó, também faz com que técnica de *IT* seja limitada a utilizar apenas dois caminhos (moduladores em paralelo). Para utilizar mais caminho

é necessário acrescentar um bloco de processamento de sinais [29]. Na tabela são listados trabalhos que aplicam esta técnica.

Tabela 2.3: Estado da arte dos conversores com técnica de intercalação no Tempo

<i>Trabalho</i>	<i>SNR</i> (dB)	<i>BW</i> (MHz)	<i>Potência</i> (W)	<i>FoM</i> (pJ/conv)	<i>Tecnologia</i> (μm)
[20]	83	2,5	15m	0,33	0,18
[30]	80	0,016	600 μ	2,24(<i>Calculado</i>)	0,18

3 Sistema e Arquitetura

3.1 Escolha da Técnica de Baixo Consumo de Potência

No capítulo anterior foram apresentadas quatro técnicas para diminuir o consumo de potência dos moduladores Sigma-Delta. Destas técnicas, só a técnica de otimização do número de níveis de quantização e de tempo compartilhado serão comparadas em potência. Isto é porque a técnica de *feedback* equivalente e de intercalação são ineficientes para baixas frequências e altas resoluções [5] [2].

O consumo de potência de um modulador A/D Sigma-Delta Multi-bit em função do número de níveis de quantização foi mostrado na equação 2.32. Para a técnica de tempo compartilhado a potência total pode ser obtida a partir da equação 2.32, considerando que o número de OTAs é decrescido de um e o número de comparadores é multiplicado por dois. A expressão para a potência total de um modulador Sigma-Delta utilizando a técnica de tempo-compartilhado é dada pela equação 3.1

$$P_{TOT}(tc) = (L - 1)P_{amp0}\beta^{-\alpha} + 2P_{compO}2^{(L+1/2)\log_2(\beta)} \quad (3.1)$$

As expressões da potência total para estas duas técnicas dependem do OSR, o qual depende do SQNR. O OSR em função do SQNR é consequência da equação 2.24 e é dado na equação 3.2.

$$OSR = 10^{\frac{SQNR - 6,02\log_2(q) - 1,76 - 10\log(2L + 1) + 3,97L}{10(2L + 1)}} \quad (3.2)$$

O *SNR* para um conversor ideal com resolução de 16 bits é igual a 98,8dB. Por outro lado, perdas devido aos ruídos intrínseco e externos dos blocos analógicos podem reduzir o SNR em até 20dB [2]. Por este motivo, o modulador Sigma-Delta deve ser

projetado para um SQNR teórico de $114dB$.

Para um SQNR fixo igual a $114dB$, o consumo de potência das técnicas de tempo compartilhado e de otimização do número de níveis de quantização em função do número de quantizadores e para diferentes ordens de modulador são mostradas na figura 3.1. Com um símbolo quadrado em cada curva é indicado o número mínimo de comparadores que são necessários para manter a estabilidade para sinais maiores que 50% do *Full-Scale*.

Figura 3.1: Consumo de Potência das técnicas de tempo compartilhado e otimização do número de OTAs

Para obter as curvas da figura 3.1 foram utilizados $P_{amp0} = 1$, $\alpha = 1,5$ e $P_{comp0} = 1/60$, como foi visto no capítulo anterior. Na figura 3.1 pode-se observar:

- A potência diminuí para uma ordem maior.
- A técnica de tempo compartilhado consegue menor potência para valores reduzidos de níveis de quantização.

Segundo estas observações a menor potência será obtida com um modulador de quarta ordem, com a técnica de tempo compartilhado e dois níveis de quantização. Por outro lado, considerando dois níveis de quantização o modulador Sigma-Delta não cumpriria a condição de estabilidade para conversores *Multi-bit* 2.21. Considerando como valor mínimo do número de níveis de quantização 2^{L+1} , garantindo a estabilidade para sinais de entrada um pouco maiores que 50% da faixa de entrada do quantizador,

a menor potência é obtida com um modulador de terceira ordem e dezesseis níveis de quantização. Estas características, terceira ordem e dezesseis níveis de quantização, foram escolhidas para o nosso projeto. O número de níveis de quantização pode ser conseguido com um quantizador composto por 15 comparadores.

3.2 Arquiteturas dos moduladores Sigma-Delta

O modelo linear de um modulador Sigma-Delta pode ser dividido em duas partes, filtro de Laço e o quantizador, isto é mostrado na figura 3.2.

Figura 3.2: Modelo Linear simplificado de um modelo modulador Sigma-Delta

Na figura 3.2, L_O é a função de transferência do sinal no filtro de laço e L_i é a função de transferência do ruído no filtro de laço. As arquiteturas dos moduladores Sigma-Delta podem ser classificadas pelo tipo de filtro de laço, como arquiteturas com *feedback*, FB, ou arquiteturas com *feedforward*, FF.

Figura 3.3: Modelo Linear completo do modulador Sigma-Delta CIBF

Quando uma arquitetura com FB é formada por integradores, a arquitetura toma o

nome de CIFB (Cadeia de Integradores com *Feedback*). Esta arquitetura pode formar um $STF(z)$ com função característica de filtro passa-baixas, o qual ajuda a estabilidade do sistema contra grandes sinais transientes com energia significativa fora da banda do sinal. O modelo linear para um modulador Sigma-Delta Multi-bit desta arquitetura é mostrado na figura 3.3. A partir do diagrama de blocos da figura 3.3, podem ser obtidas as funções de transferência de ruído e do sinal, as quais são mostradas nas equações 3.3 e 3.4.

$$NTF(z) = \frac{(z - 1)^3}{a_1 + a_2(z - 1) + a_3(z - 1)^2 + (z - 1)^3} \quad (3.3)$$

$$STF(z) = \frac{b_1 + b_2(z - 1) + b_3(z - 1)^2 + b_4(z - 1)^3}{a_1 + a_2(z - 1) + a_3(z - 1)^2 + (z - 1)^3} \quad (3.4)$$

Para fazer $STF(z)$ um filtro passa-baixa é necessário que $b_2 = b_3 = b_4 = 0$ e $b_1 = 1$. Também se tem a opção de fazer $STF(z) = 1$ (Filtro Passa-tudo), para isto $b_4 = 1$ e $a_i = b_i$. Esta arquitetura tem como desvantagem necessitar capacitores maiores e apresentar maior consumo de potência.

Quando uma arquitetura FF é formada por integradores, a arquitetura toma o nome de CIFF (Cadeia de Integradores com *Feedforward*). Esta arquitetura têm como vantagem menor área e menor consumo de potência, mas precisa de um filtro *antialiasing* para prevenir problemas de instabilidade em altas frequências. O modelo linear desta arquitetura é mostrado na figura 3.4.

Figura 3.4: Modelo linear Completo de um modulador Sigma-Delta *CIFF* com *feedback* local de terceira ordem

A partir da figura 3.4 podem ser obtidos o $NTF(z)$ e $STF(z)$ em função dos seus coeficientes, como pode ser visto nas equações 3.5 e 3.6:

$$NTF(z) = \frac{(1 - z^{-1})^3}{([c_1 c_2 c_3 a_3 - c_1 c_2 a_2 - 1]z^{-3} + [c_1 c_2 a_2 - 2c_1 a_1 + 3]z^{-2} + [c_1 a_1 - 3]z^{-1} + 1)} \quad (3.5)$$

$$STF(z) = \frac{m_3 z^{-3} + m_2 z^{-2} + m_1 z^{-1} + m_0}{([c_1 c_2 c_3 a_3 - c_1 c_2 a_2 - 1]z^{-3} + [c_1 c_2 a_2 - 2c_1 a_1 + 3]z^{-2} + [c_1 a_1 - 3]z^{-1} + 1)} \quad (3.6)$$

onde m_0 , m_1 , m_2 e m_3 podem ser expressados como:

$$m_3 = [c_2 b_1 c_3 a_3 - b_3 a_3 - b_1 a_1 - b_4 - b_1 c_2 a_2 - b_2 c_3 a_3] \quad (3.7)$$

$$m_2 = [2b_2 a_3 + 2b_1 a_1 - b_1 c_2 a_2 + b_2 c_3 a_3 + 3b_4] \quad (3.8)$$

$$m_1 = [-3b_4 + b_3 a_3 + b_1 a_1] \quad (3.9)$$

$$m_0 = b_4 \quad (3.10)$$

Para fazer $STF(z) = 1$, $b_4 = 1$, $b_1 = c = 1$ e $b_2 = b_3 = 0$. Entre as duas arquiteturas será escolhida a arquitetura *CIFF*, devido a seu menor consumo de potência.

3.3 Implementação do modulador Sigma-Delta com blocos analógicos

A primeira decisão a tomar na implementação de um modulador Sigma-Delta é sobre a escolha entre uma implementação com capacitores chaveados (*SC*, do inglês *Switched Capacitor*) e uma implementação *RC* ativa (tempo contínuo). A maioria de conversores Sigma-Delta em silício são implementados utilizando capacitores chaveados enquanto que a implementação em tempo contínuo é utilizada em circuitos discretos. Os motivos para isto, são resumidos na tabela 3.1 [13].

Tabela 3.1: Vantagens e Desvantagens das implementações *SC* e *CT*

<i>Estilo</i>	<i>Vantagens</i>	<i>Desvantagens</i>
Capacitor Chaveado(<i>SC</i>)	Fácil de Simular	Grandes Capacitores são requeridos para SNR grande (limitação kT/C)
	Insensível ao ruído de <i>Jitter</i>	São propensos ao ruído digital
	Locação dos Pólos e Zeros depende das razões entre capacitores (o qual é independente do processo)	Difícil de testar Protótipos (Capacitores de $1pF$ são comparáveis com as capacitâncias do <i>protoboard</i>)
Tempo Contínuo (<i>CT</i>)	Fácil de implementar em Protoboard	Precisa capacitores e resistores muito grandes e OTAs de baixo ruído
	Menos propenso ao ruído digital	Precisão é difícil sem <i>trimming</i> por laser
	SNR não é limitado pelo tamanho dos capacitores	Propenso a erros por ruído de Jitter, ruído externo e não linearidades dos comparadores

3.3.1 Capacitores Chaveados

A técnica de capacitores chaveados nasceu da ideia de que uma resistência pode comparar-se a um agente que transporta carga de um ponto a outro em um tempo determinado. Podemos obter um comportamento semelhante ao resistor através de um capacitor chaveado a uma frequência f_S , levando certa carga desde um ponto à outro [31].

Figura 3.5: Equivalente resistivo utilizando capacitores chaveados

A corrente da figura 3.5, vai do ponto A ao ponto B, em ambos os circuitos. No caso do resistor, esta corrente é dada por $I_{AB} = R(V_A - V_B)$. No caso do capacitor, pode-se obter a corrente em função da carga deslocada ($Q = CV$) e do tempo que leva (inversa da frequência de amostragem ou f_S). Assim é obtida a seguinte expressão:

$$I_{AB} = \frac{C_S(V_A - V_B)}{f_S^{-1}} \quad (3.11)$$

Portanto, fazendo uma comparação das equações de corrente, a resistência equivalente no caso do capacitor chaveado é igual que $(C_S f_S)^{-1}$. A base dos circuitos chaveados são as chaves, as quais são compostas por transistores funcionando em corte e saturação. Estas chaves podem ser do tipo-N (figura 3.6 a), tipo-P (figura 3.6 b) ou com ambos transistores (chave complementar) (figura 3.6 c). Geralmente são escolhidas as chaves complementares para ter uma faixa de entrada *full-scale* e para diminuir as resistência das chaves, diminuindo o tempo de resposta dos circuitos chaveados.

Figura 3.6: Implementação das chaves analógicas

A resistência R_{DS} equivalente da chave complementar, $R_{DS,eq}$, é igual ao paralelo das resistências R_{DS} na porção linear da região de triodo dos transistores tipo-N e tipo-P. A expressão da resistência $R_{DS,eq}$ é mostrada na equação 3.12.

$$R_{DS,eq} = \frac{1}{\mu_n C_{ox} \left(\frac{W_N}{L_N} \right) (V_{DD} - V_{THN}) - [\mu_n C_{ox} \left(\frac{W_N}{L_N} \right) - \mu_P C_{ox} \left(\frac{W_P}{L_P} \right)] V_{in} - \mu_P C_{ox} \left(\frac{W_P}{L_P} \right) |V_{THP}|} \quad (3.12)$$

Na equação anterior W_N , L_N , W_P e L_P são as dimensões dos transistores; V_{THP} e V_{THN} são as tensões limiar dos transistores; μ_N e μ_P são as mobilidades dos transistores e C_{OX} é a capacitância por área do óxido de porta do transistor. Pode-se deduzir da equação anterior, que para eliminar a dependência de $R_{ON,eq}$ de V_{in} , os fatores $\mu_n C_{ox} \left(\frac{W_N}{L_N} \right)$ e $\mu_P C_{ox} \left(\frac{W_P}{L_P} \right)$ devem ser iguais.

Para sinais de entrada de alta velocidade é importante que os transistores tipo-N e tipo-P das chaves complementares desliguem simultaneamente. Quando existe um atraso entre estes transistores o sinal de saída continua seguindo o sinal de entrada até o último transistor desligar. Isto pode gerar distorção no sinal amostrado. Para solucionar este problema é recomendado utilizar o circuito da figura 3.7, o qual utiliza

uma chave complementar para duplicar o atraso do inversor de entrada, sincronizando os sinais CK e $\overline{CK}$ que controlam só transistores[31].

Figura 3.7: Circuito para obter sinais de *Clock* complementares

Chaves com transistores não são ideais e podem introduzir erros e não linearidades no funcionamento do circuito. Existem três tipos de mecanismos que introduzem erro na operação das chaves com transistores MOS: Injeção de carga, *Clock Feedthrough* e ruído kT/C . Estas não idealidades serão explicadas a seguir.

3.3.1.1 Injeção de Carga

Para explicar a injeção de carga será considerado o circuito de amostragem da figura 3.8. Quando o transistor MOS está conduzindo, um canal deve existir abaixo do óxido de porta. Assumindo $V_{in} \approx V_{out}$, a carga do canal Q_{ch} pode ser expressa pela equação 3.13.

$$Q_{ch} = W_N L_N C_{ox} (V_{CK} - V_{in} - V_{THN}) \quad (3.13)$$

Figura 3.8: Injeção de carga quando o transistor desliga

Quando o transistor é desativado esta carga passa para o dreno e fonte. Por um lado a carga injetada no dreno é absorvida pela entrada e não produz erro. Por outro lado

a carga injetada na fonte é depositada em C_H , introduzindo um erro na tensão carregada no capacitor. A proporção de carga que vai para a fonte é difícil de determinar e depende de muitos fatores. Neste projeto consideraremos que toda a carga Q_{ch} passa para fonte. Assumindo que toda a carga é armazenada na capacitância C_H , o erro resultante pode-se expressar pela equação 3.14.

$$\Delta V = \frac{W_N L_N C_{ox} (V_{CK} - V_{in} - V_{THN})}{C_H} \quad (3.14)$$

A partir da equação 3.14 pode-se obter a relação entre as tensões de entrada e saída da chave:

$$V_{out} = V_{in} - \Delta V = V_{in} \left(1 + \frac{W_N L_N C_{ox}}{C_H}\right) + \frac{W_N L_N C_{ox}}{C_H} (V_{CK} - V_{THN}) \quad (3.15)$$

Como podemos deduzir da equação 3.15 a injeção de carga introduz erros de ganho e de *Offset*. Para eliminar o erro no ganho é utilizada a técnica de defasagem de relógio. Para eliminar o erro de *Offset* são utilizadas estruturas diferenciais [31]. Estas técnicas serão explicadas na parte do integrador.

3.3.1.2 Clock Feedthrough

Uma chave com transistores MOS acopla as transições do sinal de CLK , através das capacitâncias de *overlap* (porta-dreno e porta-fonte), aos sinais de dreno e fonte gerando um *Offset* igual a:

$$\Delta V = \frac{V_{CK} (W_{N,P} C_{OV})}{W_{N,P} C_{OV} + C_H} \quad (3.16)$$

onde C_{OV} é a capacitância de *overlap* por unidade de largura e V_{CK} é o sinal de *Clock* ligado na porta do transistor da chave.

O erro ΔV é independente do sinal de entrada. É por isto que pode ser considerado como *Offset* e pode ser removido facilmente por uma estrutura diferencial [31].

3.3.1.3 Ruído kT/C

Este ruído é produzido pelo ruído térmico associado aos transistores das chaves. Para obter o valor do ruído kT/C é utilizado o modelo do circuito amostrador mostrado na

figura 3.9.

Figura 3.9: Circuito de Amostragem

Na figura 3.9 a) quando a chave S_1 fecha, o capacitor C_S é carregado. Na figura 3.9 b) é mostrado o circuito equivalente para estimativa do ruído, onde R_S representa a resistência da chave fechada em série com a resistência da fonte, R_i . A densidade espectral de potência contribuído pela resistência R_S é térmica e igual a $v_{n,R_S}^2 = 4kTR_S$. A rede R_SC_S forma um filtro passa-baixa que faz que a densidade espectral de potência no capacitor seja igual do que a equação 3.17:

$$\Delta V_{n,C_S}^2(w) = \frac{4kTR_S}{1 + (wR_SC_S)^2} \quad (3.17)$$

A potência do ruído total é dado pela integral da densidade espectral de potência do capacitor C_S em toda a banda. Assim, a potência total armazenada em C_S quando a chave abre pode ser expressa pela equação 3.18.

$$P_{n,ktc} = \int_0^\infty \frac{4kTR_S df}{1 + (2\pi f R_S C_S)^2} = \frac{kT}{C_S} \quad (3.18)$$

Como pode ser visto na equação 3.18, a potência do ruído não depende da resistência R_S devido ao fato de que ao aumentar o valor de R_S o ruído térmico aumenta, mas o filtro RC tem sua banda reduzida compensando o efeito do aumento do ruído.

3.3.2 Integrador

O bloco mais utilizado no modulador Sigma-Delta é o integrador. Um integrador contínuo pode ser implementado com uma capacitância e uma resistência como é mostrado na figura 3.10 a). Um integrador discreto pode ser obtido a partir do integrador contínuo, mas substituindo o resistor pelo equivalente resistivo (figura 3.5). Esta implementação baseada em capacitores chaveados é mostrado na figura 3.10 b).

Figura 3.10: a) Integrador Contínuo; b) Integrador com capacitores chaveados; c) Fases dos sinais Φ_1 e Φ_2 .

A implementação da figura 3.10 b) também é chamada de integrador sensível às capacitâncias parasitas. Para obter a função de transferência do integrador é analisado o comportamento das cargas Q_{C1} , do capacitor $C1$, e Q_{C2} , do capacitor $C2$, para as fases Φ_1 e Φ_2 . No final da fase Φ_1 , a carga Q_{C2} é igual a $V_{out}(n_T T_d - T_d)C2$ e a carga Q_{C1} é igual que $V_{out}(n_T T_d - T_d/2)C1$, onde n_T é o número de períodos e T_d é o período das fases Φ_1 e Φ_2 . No final da fase Φ_2 o capacitor $C1$ fica conectado na entrada negativa do OTA. Isto faz com que a carga do capacitor $C1$ passe negativamente para o capacitor $C2$ e que a carga do capacitor $C2$ no instante $n_T T_d$ seja igual a:

$$V_{out}(n_T T_d)C2 = V_{out}(n_T T_d - T_d/2)C2 - V_{in}(n_T T_d - T_d)C1 \quad (3.19)$$

Como a carga no capacitor $C2$ é alterada apenas no início da fase Φ_2 , podemos escrever que:

$$V_{out}(n_T T_d - T_d) = V_{out}(n_T T_d - T_d/2) \quad (3.20)$$

Substituindo a equação 3.20 na equação 3.19 é obtida a equação 3.21.

$$V_{out}(n_T T_d) C_2 = V_{out}(n_T T_d - T_d) C_2 - V_{in}(n_T T_d - T_d) C_1 \quad (3.21)$$

Fazendo a transformada Z da equação 3.21, obtém-se a seguinte expressão:

$$V_{OUT}(z) = \frac{-C_1}{C_2} \frac{z^{-1}}{1 - z^{-1}} \quad (3.22)$$

Observa-se que a função de transferência do circuito da figura 3.10 corresponde a um integrador inversor. Apesar da simplicidade desta arquitetura, ela sofre com problemas de capacitâncias parasitas e injeção de carga. Para solucionar o problema das capacitâncias parasitas é utilizada uma arquitetura insensível à capacitâncias parasitas, a qual é mostrada na figura 3.11. A figura 3.11 a) apresenta a arquitetura do integrador mostrando as capacitâncias parasitas associadas a C_1 (C_{P1} e C_{P2}); a figura 3.11 b) apresenta o integrador na fase de carga, e a figura 3.11 c) apresenta na fase de integração.

Figura 3.11: a) Diagrama de um integrador insensível à capacitâncias parasitas; b) Fase de carga do integrador; c) Fase de integração

Como pode ser visto nas figuras 3.11 b) e 3.11 c), o capacitor C_{P1} sempre tem os dois

terminais conectados ao terra, através da chave S4 ou através da chave S3 e do terra virtual da entrada negativa do OTA. Por isto a carga em C_{P1} não muda e não introduz erro na função de transferência do integrador.

O capacitor C_{P2} , por sua vez, é carregado para V_{in} quando a chave S1 é fechada e descarregado para terra quando a chave S2 é fechada. Como nenhuma carga armazenada no C_{P2} é transferida para C1, então C_{P2} não muda a função de transferência do integrador [32].

Para eliminar a dependência da injeção de carga com o sinal de entrada, fases de relógio ligeiramente defasadas são empregadas. Na figura 3.12 são mostradas as configurações das fases de relógio utilizadas no integrador, sendo Φ_1 ligado na chave S1; Φ_{1d} é ligado na chave S4; Φ_2 para a chave S2 e Φ_{2d} para a chave S3.

Desta forma a chave S4 é desligada um pouco antes da chave S1 ser fechada, injetando uma carga constante em C1. Quando S1 é desligado o capacitor C1 fica flutuando e nenhuma carga é armazenada em C1. Na fase de integração, a chave S3 é desligada primeiro injetando uma carga constante em C1. Quando S2 é desligado nenhuma carga é armazenada [31].

Figura 3.12: Fases do Integrador

Apesar desta técnica eliminar a dependência da injeção de carga do sinal, ainda ocorre uma injeção de carga constante. O erro devido a esta carga constante pode ser eliminado utilizando uma estrutura diferencial, como é mostrado na figura 3.13.

Adicionalmente será utilizada a técnica *bottom-plate* para evitar a injeção de ruído de substrato aos nós de entrada do OTA [31]. Esta técnica consiste em conectar a base

Figura 3.13: Integrador totalmente diferencial Implementado com chaves complementares

do capacitor (*bottom*) na saída do integrador ou no sinal de entrada, como é visto na figura 3.13. Isto minimiza a capacitância parasita do substrato ao nó de entrada do OTA. Adicionalmente, as chaves são implementadas utilizando o circuito da figura 3.7, para diminuir a não linearidade das chaves. Este circuito será utilizado em todos os circuitos que tem chaves.

3.3.3 Somador Analógico

Para implementar o somador analógico do modulador Sigma-Delta é necessário um amplificador chaveado. Em [1] são apresentadas algumas arquiteturas de amplificadores chaveados, sendo a arquitetura de *Reset* Capacitivo, mostrada na figura 3.14, a de menor consumo e a mais conveniente para este tipo de aplicação.

No circuito da figura 3.14, V_C é a tensão de modo comum, Φ_1 , Φ_{1d} , Φ_2 e Φ_{2d} são fases como na figura 3.12. Este circuito tem uma resposta passa-alta entre a entrada e a saída, o qual cancela a tensão de *Offset* referida à entrada e reduz o ruído *Flicker* [1].

O ganho do circuito pode ser negativo ou positivo dependendo das fases do *Clock* do estágio de entrada. Enquanto a saída do circuito inversor é uma versão sem atraso da entrada, a saída do circuito não inversor se atrasa da entrada em meio período. É por isto que será utilizado o circuito inversor.

Figura 3.14: Amplificador Chaveado de Reset Capacitivo

Para ver como o amplificador de ganho de *Reset* Capacitivo funciona, será analisado seu comportamento na suas duas fases. Na fase Φ_2 , mostrado na figura 3.15 a), é assumido que a capacitância $C3$ foi carregada na tensão de saída na fase anterior. Nesta fase os capacitores $C1$ e $C2$ são carregados na tensão de *Offset* do amplificador, V_{off} . Na fase Φ_1 , mostrado na figura 3.15 b), a soma das cargas de $C1$, $C2$ e $C3$ se mantém igual a carga da fase Φ_2 . Ao igualar a soma da carga dos capacitores de ambas as fases, se determina que $V_{OUT} = C1/C2(V_{IN})$.

Figura 3.15: a) Fase de Carga do Somador/Amplificador b) Fase de Amplificação do Somador/Amplificador

Utilizando a estrutura *single-ended* da figura 3.14 é construída a estrutura diferencial do somador na figura 3.16.

Figura 3.16: Somador Diferencial

A relação em Z entre a entrada e a saída da figura 3.16 pode ser expressa pela equação 3.23.

$$Y_O(z) = a_n X_n(z) + a_{n-1} X_{n-1}(z) + \dots a_1 X_1(z) \quad (3.23)$$

3.3.4 Técnica de Chopper

A Técnica de *Chopper* é utilizada para reduzir o ruído *Flicker* e a tensão de *Offset* referidos à entrada do OTA do primeiro estágio do modulador Sigma-Delta. Esta técnica aplica modulação para deslocar o sinal de entrada a frequências altas onde não há ruído *Flicker* e, posteriormente, para deslocar o sinal de saída para frequências baixas. Como pode ser visto na figura 3.17 a modulação é efetuada por um sinal quadrado de período T_C , $m_1(t)$, e a demodulação é efetuada por um sinal ligeiramente atrasado de $m_1(t)$, $m_2(t)$.

Como ruído e *Offset* referidos na entrada (V_n e V_{off}) apenas são modulados pelo sinal $m_2(t)$, eles serão deslocados para os harmônicos ímpares da frequência de *Chopper*, f_C . Na figura 3.17 é conectado um filtro na saída do demodulador para filtrar sinais mo-

Figura 3.17: Diagrama de Blocos da Técnica de *Chopper*

dulados fora da banda do sinal. Num conversor Sigma-Delta, esta função é realizada pelo filtro decimador.

As chaves do modulador e do demodulador devem ter banda superior a banda do OTA para não alterar sua resposta em frequência. Para isto é necessário reduzir a resistência $R_{DS,eq}$ das chaves. No lado esquerdo da figura 3.18 é mostrado como são conectados o modulador e o demodulador de *Chopper*, M_{od1} e M_{od2} respectivamente. No lado direito da figura 3.18 é mostrado a arquitetura dos moduladores de *Chopper*, baseado em portas de transmissão complementares.

Figura 3.18: Estrutura do modulador de *Chopper*

Na figura 3.18 Φ_{C1} e Φ_{C2} são sinais de relógio complementares, sem sobreposição e com uma frequência $f_{chop} = 1/T_c$. A frequência f_{chop} é fixada na metade da frequência f_s , para evitar *aliasing*. Os sinais de relógio Φ_{C1d} e Φ_{C2d} são as versões atrasadas dos sinais Φ_{C1} e Φ_{C2} , respectivamente.

3.3.5 Quantizador

O quantizador é encarregado de receber a saída do circuito somador e converte-la ao domínio digital. A arquitetura utilizada para o quantizador será a arquitetura *Flash* com divisor resistivo. Esta arquitetura é composta por $2^n - 1$ comparadores diferenciais em paralelo ligados a um *array* diferencial resistivo. Cada comparador possui duas entradas diferenciais, uma para o sinal de entrada e outra para a tensão diferencial de referência ($\Delta V_{REF} < n_q > = V_{REFH} < n_q > - V_{REFL} < n_q >$). A tensão diferencial de comparação é gerada pelo divisor resistivo formado pelo *array* diferencial resistivo e as tensões de referência V_{REFH} e V_{REFL} . Para poder comparar em toda a faixa de entrada é necessário que a tensão diferencial de *full-scale*, V_{FS} , e as tensões de referência, V_{REFH} e V_{REFL} , obedeam a relação:

Figura 3.19: Esquemático do quantizador de quatro *bits*

$$V_{FS} = 2[V_{REFH} - V_{REFL}] \quad (3.24)$$

Além disso as tensões de referência devem ser simétricas com respeito a tensão de modo comum, V_C . Assim as tensões de referência são expressas como:

$$V_{REFH} = \frac{V_{FS}}{4} + V_C \quad (3.25)$$

$$V_{REFL} = -\frac{V_{FS}}{4} + V_C \quad (3.26)$$

As tensões diferenciais de comparação, $\Delta V_{REF} < n_q >$, utilizando as expressões 3.25 e 3.26, podem ser escritas como na equação 3.27.

$$\Delta V_{REF} < n_q > = V_{FS} \left[\frac{n_q - 1 + 1/2}{16} \right] \quad (3.27)$$

As faixas diferenciais de quantização; o código formado pelas quinze saídas dos comparadores e o código binário associado são listados na tabela 3.2. O código formado na saída dos comparadores é chamado de código termométrico. Neste código, o número de uns de cada palavra indica o valor associado a ele.

Tabela 3.2: Código Termométrico e Binário na saída do conversor

Faixas de Quantização	Código Termométrico	Código Binário
$V_{FS} \left[\frac{n_q - 1 + 1/2}{16} \right] < \Delta V_{in} < V_{FS} \left[\frac{n_q - 2 + 1/2}{16} \right]$	$T_{15} \dots T_1$	$B_3 \dots B_0$
$-1 < \Delta V_{in} < -0,9375$	0000000000000000	0000
$-0,9375 < \Delta V_{in} < -0,8125$	0000000000000001	0001
$-0,8125 < \Delta V_{in} < -0,6875$	0000000000000011	0010
$-0,6875 < \Delta V_{in} < -0,5625$	0000000000000111	0011
$-0,5625 < \Delta V_{in} < -0,4375$	0000000000001111	0100
$-0,4375 < \Delta V_{in} < -0,3125$	0000000000011111	0101
$-0,3125 < \Delta V_{in} < -0,1875$	0000000000111111	0110
$-0,1875 < \Delta V_{in} < 0,0625$	0000000001111111	0111
$0,0625 < \Delta V_{in} < 0,1875$	0000000011111111	1000
$0,1875 < \Delta V_{in} < 0,3125$	0000000111111111	1001
$0,3125 < \Delta V_{in} < 0,4375$	0000001111111111	1010
$0,4375 < \Delta V_{in} < 0,5625$	0000011111111111	1011
$0,5625 < \Delta V_{in} < 0,6875$	0000111111111111	1100
$0,6875 < \Delta V_{in} < 0,8125$	0001111111111111	1101
$0,8125 < \Delta V_{in} < 0,9375$	0011111111111111	1110
$0,9375 < \Delta V_{in} < 1$	0111111111111111	1111

As faixas diferenciais de Quantização foram obtidas utilizando $V_{FS} = 2$. A saída dos comparadores é a saída do modulador, a qual também é realimentada através do DAC

de quatro *bits*. Para ser processada pela parte digital, a saída do modulador deve ser convertida em código binário.

3.3.6 Conversor D/A de quatro *bits*

O conversor *D/A* utiliza como entrada o código termométrico gerado pelo quantizador. Desta forma pode ser implementada a topologia *binary – weighted*. Com esta topologia de conversor *D/A* pode-se utilizar o capacitor de carga do integrador de entrada, dividido em 16 capacitores unitários, para formar o conversor. Isto é mostrado na figura 3.20.

Figura 3.20: Esquemático do Conversor D/A

Na figura 3.20, B1...B15 é código termométrico gerado pelo quantizador, C_{u2} é o capacitor unitário de carga do integrador de entrada, Φ_2 habilita a fase de integração do integrador, V_C é a tensão de modo comum, V_{IN} está ligado na entrada do modulador, e V_{OUT} está ligado na entrada do OTA do primeiro integrador. Como pode ser visto na figura 3.20, os capacitores unitários são ligados ao V_{REFH} ou ao V_{REFL} dependendo do código termométrico. Isto será realizado quando a fase Φ_2 estiver em alta.

3.3.7 Modulador Sigma-Delta

O modulador Sigma-Delta é construído a partir dos blocos explicados anteriormente tomando como base o diagrama de blocos da figura 3.4. A implementação é totalmente diferencial para eliminar a injeção de carga residual das chaves e para obter uma maior faixa dinâmica de entrada. Para reduzir o ruído do primeiro estágio, são implementados um modulador e demodulador de *Chopper*. Tanto o modulador como o demodulador de *Chopper* são representados como círculos no esquemático do modulador Sigma-Delta.

Na figura 3.21, é apresentado o modulador. As capacitâncias de carga são expressas em função dos ganhos c_i , a_i e b_4 e as capacitâncias de integração.

Figura 3.21: Estrutura Diferencial do modulador Sigma-Delta de terceira ordem Multi-bit

4.1 Tensões de Referência

É importante definir primeiro as tensões de referência para poder obter as especificações do *Slew Rate* (SR) e ruído. A tensão de *full-scale*, V_{FS} , dos moduladores Sigma-Delta costuma ter valores de $1V_{pp}$, $2V_{pp}$ e $4V_{pp}$. A máxima tensão de entrada, $V_{in,MAX}$, foi escolhida na seção 3.1 como $0,6V_{FS}$, porém, será utilizado um valor menor, $0,5V_{FS}$, para garantir uma boa margem de estabilidade. Como o sinal de entrada do conversor Sigma-Delta é diferencial, nos pinos de entrada, V_{in+} e V_{in-} , são aplicados sinais complementares centrados V_C . Isto é mostrado na figura 4.2.

Figura 4.2: Tensões nos nós de entrada do modulador comparado com as tensões de referência V_{REFH} e V_{REFL}

Na figura 4.2 também são mostradas as tensões de referência do quantizador que foram definidas na seção 3.3.4 como $V_{REFH} = V_{FS}/4 + V_C$ e $V_{REFL} = -V_{FS}/4 + V_C$. Como serão utilizados transistores tipo-P nos pares diferenciais dos OTAs é necessário um valor menor que a metade do $V_{DD} = 1,8V$ para evitar saturação positiva na saída dos OTAs. Por isto o valor escolhido para V_C será $0,6V$. Os valores das tensões de referência do quantizador, para diferentes V_{FS} , do *LSB* (bit menos significativo) e do $V_{in,MAX}$ são listados na tabela 4.1.

Tabela 4.1: Comparação de Faixas de Entrada

V_{FS}	V_{REFH}	V_{REFL}	<i>LSB</i>	$V_{in,MAX}$
$1V_{pp}$	$0,85V$	$0,35V$	$15,25\mu V$	$0,5V_{pp}$
$2V_{pp}$	$1,1V$	$0,1V$	$30,51\mu V$	$1V_{pp}$
$4V_{pp}$	$1,6V$	$-0,5V$	$61\mu V$	$2V_{pp}$

Como pode ser visto na tabela 4.1, o sistema é implementável para os dois primeiros valores de V_{FS} . O terceiro valor de V_{FS} exigirá tensões negativas, difíceis de serem aplicadas. Apesar de faixas altas de entrada poderem aumentar o SR dos OTAs do modulador, este efeito é compensado por uma especificação de ruído mais branda devido ao maior LSB . Por esta razão serão escolhidos os valores de $V_{REFH} = 1,1V$ e $V_{REFL} = 0,1V$ (linha do meio da tabela 4.1). Estes valores serão utilizados nos modelos comportamentais para obter as especificações que serão apresentadas nas seções seguintes.

4.2 Orçamento de Ruído do Modulador Sigma-Delta

Num modulador Sigma-Delta temos fontes de ruído intrínseco e de ruído externo. O ruído intrínseco do modulador é composto pelo ruído de quantização, pelo ruído térmico e flicker dos OTAs, pelo ruído térmico das chaves (kT/C) e pela não linearidade do DAC. O ruído externo é composto pelo ruído das referências; pelo erro do filtro digital e pelo ruído da fonte de alimentação. A faixa dinâmica do modulador, (*Dynamic Range*), para um ADC Sigma-Delta de 16 *bits* de resolução deve ser igual que 98,8dB. Portanto o ruído total é dado pela expressão 4.1.

$$e_{tot}^2 = 10^{-DR/10} V_{FS,RMS}^2 \geq e_{ext}^2 + e_{t,f,k}^2 + e_q^2 + e_{DAC}^2 \quad (4.1)$$

onde $V_{FS,RMS}$ é o valor RMS de um sinal senoidal com amplitude $V_{FS}/2$; e_{ext} é o ruído RMS externo; $e_{t,f,k}$ é o ruído RMS térmico, Flicker e kT/C ; e_q é o ruído RMS de quantização e e_{DAC} é a não-linearidade RMS. É escolhida uma contribuição de 80% e_{tot}^2 para o ruído intrínseco devido a esta fonte de ruído determinar a potência do modulador. As porcentagens das contribuições do ruído RMS ao quadrado de todas as componentes são mostrados na figura 4.3.

Sabendo que e_q^2 é 0,01 e_{total}^2 , o ruído de quantização RMS, e_q , pode ser expresso em função do DR e $V_{FS,RMS}$ como pode ser visto na equação 4.2

$$e_q = \sqrt{\frac{10^{-DR/10} V_{FS,RMS}^2}{100}} \quad (4.2)$$

Utilizando a expressão 4.2 pode-se obter o $SQNR = 20\log(V_{in,max,RMS}/e_q) = 116dB$, onde $V_{in,max,RMS}$ é o valor RMS da máxima amplitude permitida na entrada. O SQNR é

Figura 4.3: Composição das fontes da potência de ruído

utilizado no projeto do modulador Multi-bit. Das porcentagens fixadas na figura 4.3, as contribuições de ruído RMS de cada componente são determinadas e apresentadas na tabela 4.2.

Tabela 4.2: Distribuição de Ruído RMS

Fonte de Ruído	Valor [μV_{RMS}]
k/TC, Flicker e Térmico	7,4
Ruído de Quantização	0,56
Não linearidade do DAC	2,62
Ruído Externo	3,1

4.3 Modelamento matemático do modulador Sigma-Delta *CIFF* de Terceira Ordem e 4 bits

Para projetar o filtro passa-alta $NTF(z)$ é considerada uma frequência de corte, f_B , de $20,833kHz$ e uma frequência de sobre-amostragem, f_S , de 2 MHz, obtida da equação 3.2 ($OSR = 48$). O módulo do $NTF(z)$ é um parâmetro importante e que pode determinar a estabilidade para moduladores de 1 bit. No nosso caso, o valor do módulo será determinado empiricamente, variando este parâmetro até se obter o $SQNR$ especificado.

Na figura 4.4 pode-se ver a relação entre o módulo do $NFT(z)$ e o $SQNR$. O valor máximo do $SQNR$ é obtido para módulo igual 8. Esta figura foi obtida utilizando o primeiro *script* do Apêndice A.

Figura 4.4: Relação entre $|NTF(z)|$ e o SQNR

O $NTF(z)$ e $STF(z)$ para um $|NTF(z)| = 8$ é expresso nas equações 4.3 e 4.4 respectivamente.

$$NTF(z) = (1 - z^{-1})^3 \quad (4.3)$$

$$STF(z) = 1 \quad (4.4)$$

Para se determinar o valor de a_1 , a_2 e a_3 , são igualados os coeficientes dos denominadores das equações 3.5 e 4.3. Para isto será considerado que c_1 , c_2 e c_3 têm valor um. Os coeficientes a_1 , a_2 e a_3 podem ser determinados a partir das seguintes equações:

$$a_1 - 3 = 0 \quad (4.5)$$

$$a_2 - a_1 + 3 = 0 \quad (4.6)$$

$$a_3 - a_2 - 1 = 0 \quad (4.7)$$

Para que a função $STF(z)$ da equação 3.6 seja um filtro passa tudo (função de transferência igual a um), b_1 e b_4 têm que ter valor um e b_2 e b_3 têm que ter valor zero. Estes valores de a_i , c_i e b_i são considerados valores iniciais do projeto do modulador, já que

apesar de na teoria formarem um sistema estável, na prática podem causar saturação e como consequência instabilidade. Para evitar isto, os valores serão escalados de modo que a amplitude máxima na saída de cada integrador seja limitada a 20% da faixa de conversão. Para isto será utilizada a função *scaleNTF* do *SDM* toolbox de Matlab. Esta função muda o valor dos coeficientes a_i e c_i até obter o valor máximo desejado na saída de cada integrador. Os valores obtidos para todos os parâmetros são listados na tabela 4.3.

Tabela 4.3: Coeficientes do modulador Sigma-Delta de arquitetura CFF

<i>Coeficiente</i>	<i>Inicial</i>	<i>Escalado</i>	<i>Racionalizado</i>	<i>Capacitores</i>	<i>Dummys</i>
a_1	3	3,461	3,4	$34C_{u_1}/10C_{u_1}$	$5C_{u_1}$
a_2	3	2,42	2,4	$24C_{u_1}/10C_{u_1}$	$5C_{u_1}$
a_3	1	0,7033	0,7	$7C_{u_1}/10C_{u_1}$	$5C_{u_1}$
b_1	1	0,8608	0,8	$16C_{u_2}/20C_{u_2}$	0
b_2	0	0	—	0	0
b_3	0	0	—	0	0
b_4	1	1	1	$10C_{u_1}/10C_{u_1}$	$5C_{u_1}$
c_1	1	0,8608	0,8	$16C_{u_2}/20C_{u_2}$	0
c_2	1	1,4302	1,4	$14C_{u_3}/10C_{u_3}$	0
c_3	1	1,147	1,1	$11C_{u_4}/10C_{u_4}$	0

Os valores escalados determinados apresentam muitos decimais o qual torna difícil implementar os ganhos de cada integrador utilizando capacitores. Por esta razão é necessário obter números racionais a partir dos valores escalados. Além disto, é importante que os números escolhidos permitam um bom casamento entre os capacitores. Como pode-se ver na tabela 4.3 serão utilizados apenas quatro valores de referencia de capacitores C_{u_1} , C_{u_2} , C_{u_3} e C_{u_4} que permitirão garantir um bom casamento para os ganhos de cada integrador e somador. Os valores racionalizados, o número de capacitores e o número de capacitores *dummy* por casamento são mostrados na coluna quatro, cinco, e seis da tabela 4.3 respectivamente.

O *SQNR* obtido depois do escalamento dos coeficientes é igual que 116,8dB. A resposta em frequência do modulador para um tom de 3,48kHz é mostrado na figura 4.5, onde eixo X apresenta a frequência normalizada f/f_s . A figura foi gerada com uma *FFT* de 262144 (256kBytes) pontos utilizando a ferramenta de projeto de conversores Sigma-Delta do *Matlab* [34].

A figura 4.6 mostra o modelo $|NTF(z)|$, linha contínua, e o módulo de $|STF(z)|$, de linha tracejada.

Figura 4.5: Espectro de Frequência na saída do modulador para um tom de $3,64kHz$ na entrada

Figura 4.6: Resposta em Frequência de $NTF(z)$ e $STF(z)$ teóricos

4.4 Ganho DC Finito dos OTAs

O ganho finito dos OTAs pode alterar a função $NTF(z)$, deslocando os zeros para direita. Isto pode trazer como consequência o aumento do ruído de piso da banda de interesse [2]. Para verificar este problema será analisado o integrador diferencial da

figura 4.7, nas duas fases de operação. A figura 4.7 mostra os circuitos equivalentes. A partir desta figura é obtida a equação de carga, a qual é mostrada a seguir.

$$C2V_{out}(n_T T_d + T_d) + \frac{V_{out}(n_T T_d + T_d)C2}{A_O} = C2V_{out}(n_T T_d + T_d)\left(1 + \frac{1}{A_O}\right) + c_1 C2 \left[V_{in}(n_T T_d) + \frac{V_{out}(n_T T_d)}{A_O} \right] \quad (4.8)$$

A partir da equação 4.8, é obtida a função de transferência do integrador, a qual é mostrada na seguinte equação:

$$\frac{V_{out}(z)}{V_{in}(z)} = c_1 \left(\frac{A_O}{1 + A_O} \right) \left[\frac{z^{-1}}{1 - z^{-1} \left(\frac{c_1 + A_O + 1}{A_O + 1} \right)} \right] \quad (4.9)$$

Figura 4.7: Equivalente diferencial do integrador

Como pode ser visto na equação 4.9 o ganho é alterado pelo fator $A_O/(A_O + 1)$ e o pólo do integrador foi deslocado de $z = 1$ à $z = (c_1 + A_O + 1)/(A_O + 1)$. O erro do ganho não é importante, porém o deslocamento do pólo gera um mesmo deslocamento nos zeros de $NTF(z)$, sendo seu numerador expresso pela seguinte equação.

$$num_{NTF}(z) \simeq \left(1 - z^{-1} \left(\frac{A_O + 1}{c_1 + A_O + 1} \right)\right) \left(1 - z^{-1} \left(\frac{A_O + 1}{c_2 + A_O + 1} \right)\right) \left(1 - z^{-1} \left(\frac{A_O + 1}{c_3 + A_O + 1} \right)\right) \quad (4.10)$$

Substituindo os coeficientes c_1 , c_2 e c_3 pelos valores da tabela 4.3, a equação 4.10 pode ser escrita como:

$$num_{NTF}(z) \simeq (1 - z^{-1}(\frac{A_O + 1}{1,8 + A_O}))(1 - z^{-1}(\frac{A_O + 1}{2,4 + A_O}))(1 - z^{-1}(\frac{A_O + 1}{2,1 + A_O})) \quad (4.11)$$

A função $num_{NTF}(z)$ da equação 4.11 é desenhada na figura 4.8 para diferentes valores de ganhos. Um ganho baixo faz com que os zeros se aproximem do valor da frequência de corte do filtro NTF(z), diminuindo a atenuação do ruído de quantização na banda base, como pode-se ver nesta figura.

Figura 4.8: Deslocamento dos zeros de NTF(z) em função do ganho Finito

Para diminuir o efeito do erro inserido pelo deslocamento dos zeros, é necessário que a frequência f_c , frequência normalizada do maior zero, seja muito menor que a banda do sinal. Uma expressão para f_c é mostrada na equação 4.12 [2].

$$f_c = \frac{f_s}{2\pi} \ln(1 - \frac{1}{A_O + 1,8}) \simeq \frac{f_s}{2\pi(A_O + 1,8)} \quad (4.12)$$

Para $f_c \ll f_b$ teremos que

$$OSR \ll 2\pi(A_O + 1,8) \quad (4.13)$$

Tomando o OSR de 48, teremos que A_O deverá ser muito maior do que 6. Para verificar esta especificação de A_O é apresentado na figura 4.9 o SQNR como função do ganho DC, obtido das simulações do modelo de *Simulink* da figura 4.1.

Figura 4.9: Variação do SQNR com o Ganho DC

Como pode ser visto, na figura 4.9, o SQNR varia para ganhos próximos do 6. Porém, para ganhos mais elevados o SNR estabiliza. Será escolhido um ganho diferencial de 100V/V (40dB) pois este valor é suficientemente grande para manter o SQNR dentro da especificação.

4.5 *Slew Rate* e Largura de Banda dos OTAs

Os efeitos do *Slew Rate* finito combinado com uma largura de banda finita dos OTAs pode ser interpretado como um ganho não-linear [34]. O tempo de resposta na saída de um integrador é composto pelo tempo de subida, t_{sub} , dominado pelo *Slew Rate* (SR), e pelo tempo de *setup*, t_{set} , dominado pela largura de banda, como pode ser visto na figura 4.10.

Figura 4.10: Domínio do *Slew Rate* e da Largura de Banda dos OTAs

Escolhemos para t_{set} , um maior valor, $t_{set} = T_S/3$, devido à relação direta entre a largura de banda e o consumo de potência. Isto será visto no seguinte capítulo.

O efeito do SR é analisado na fase Φ_1 do circuito da figura 4.7. A resposta no tempo para um sinal de entrada V_1 será expressa pela seguinte equação.

$$V_{out}(t) = V_{out}(nT_S - T_S) + \alpha V_1(1 - e^{-\frac{t}{\tau}}) \quad (4.14)$$

onde $V_1 = V_{in}(nT_S - T_S/2)$, α representa os erros de casamento e ganho finito, $\tau = 1/(2\pi f_T)$ é a constante de integração, sendo f_T a frequência de ganho unitário. O valor da inclinação atinge seu máximo quando $t = 0$, sendo:

$$\frac{d}{dt}V_{out}(t)|_{t=0} = \alpha \frac{V_s}{\tau} \quad (4.15)$$

Aqui devemos considerar dois casos:

- Quando o valor da equação 4.15 é menor que o SR, não há limitação, e V_{out} mantém o comportamento descrito pela equação 4.14.
- Quando o valor da equação 4.15 é maior que o SR e $t < t_{slew}$ (t_{slew} é o intervalo da região SR, figura 4.10), V_{out} é dependente linearmente do SR. Assumindo $t_{slew} < T_S$, o comportamento de V_{out} é determinado pelas seguintes equações[34]:

$$t < t_{slew}, V_{out}(t) = V_{out}(nT_S - T_S) + SRt \quad (4.16)$$

$$t > t_{slew}, V_{out}(t_{slew}) = (\alpha V_1 - SRt_{slew})(1 - e^{-\frac{t_{slew}-t}{\tau}}) \quad (4.17)$$

Impondo uma condição de continuidade nas derivadas em 4.16 e 4.17, temos :

$$t_{slew} = \frac{\alpha V_1}{SR} - \tau \quad (4.18)$$

As equações e condições mencionadas anteriormente são implementadas nos modelos dos integradores em *Simulink*. Para obter a especificação do SR, o modelo em *Simulink* da figura 4.1 será simulado aplicando um sinal senoidal de amplitude 0,5 V na entrada e um SR grande em cada integrador. Desta forma os sinais obtidos na

saída de cada estágio do modelo não serão limitados pelo SR. Os sinais nas saídas de cada estágio são mostradas na figura 4.11.

Figura 4.11: Saídas *Single-Ended* dos estágios do modulador Sigma-Delta em *Simulink*

Na figura 4.11 IN é a entrada senoidal do modelo em *Simulink*. X1, X2, X3 e X4 são os sinais na saída dos integradores e do somador analógico, e Y é a saída do modulador. Conhecendo X1, X2, X3 e X4, pode-se obter o SR dos integradores e do somador utilizando a equação 4.19

$$SR = \left| \frac{\max\{V_{Xi}(n) - V_{Xi}(n-1)\}}{T_S/6} \right| \quad (4.19)$$

onde $V_{Xi}(n)$ é a tensão amostrada no período n de X_i e a função $\max\{\Delta V\}$ calcula o máximo valor de ΔV num período do sinal de entrada. Adicionalmente com os valores de X1, X2, X3 e X4 pode-se obter a máxima excursão na saída dos integradores e do somador. Os resultados da máxima diferença de amplitudes entre dois períodos dos OTAs ($\max\{V_{Xi}(n) - V_{Xi}(n-1)\}$), SR e máxima excursão de saída dos integradores e do somador analógico obtidos das simulações em *Simulink* são listados na tabela

4.4 .

Tabela 4.4: Máxima diferença de amplitudes, SR e excursão de saída diferencial nos OTA's dos integradores e do somador

OTA	$ \max\{V_{Xi}(n) - V_{Xi}(n-1)\} $	SR	Excursão de Saída
OTA 1	304mV	3,65V/ μ s	200mV
OTA 2	233mV	2,8V/ μ s	200mV
OTA 3	165mV	2,0V/ μ s	200mV
OTA 4	603mV	7,24V/ μ s	800mV

Para ver os efeitos de um SR baixo é simulado novamente o modelo em *Simulink* com três SR diferentes para o OTA 1 : 3,6V/ μ s (SR especificado), 0,9V/ μ s e 0,225V/ μ s. Os espectros em frequência para os três valores de SR é mostrado na figura 4.12.

Figura 4.12: SQNR versus frequência para diferentes valores de *Slew Rate*

Da figura 4.12 pode-se concluir que SRs baixos reduzem o *SQNR* e a linearidade do modulador Sigma-Delta.

O f_T pode ser obtido a partir da expressão de τ (constante de integração do OTA) mostrada na equação 4.20 [1].

$$\tau = \frac{1}{2\pi f_T} \quad (4.20)$$

Para determinar τ é necessário conhecer o erro requerido no tempo de *setup*, *erro*, de cada OTA. O erro pode-se definir como a diferença entre a entrada e saída de um

integrador de ganho um no final da fase de integração ($T_S/2$ da figura 4.10). O tempo de *setup* é igual a $T_S/3$, o qual é a diferença entre o tempo de *Slew Rate* e a metade do período. A expressão de τ em função do erro é mostrada na equação 4.21.

$$\tau = \frac{-T_S}{3\ln(\text{erro})} \quad (4.21)$$

Substituindo 4.21 na equação 4.20 podemos obter w_T em função de T_S :

$$w_T = \frac{-3\ln(\text{erro})}{T_S} \quad (4.22)$$

Dividindo a equação 4.22 por 2π é obtido f_T na equação 4.23.

$$f_T = \frac{-3\ln(\text{erro})}{2\pi T_S} \quad (4.23)$$

Na tabela 4.5 é mostrado o f_T das quatro OTAs e o erro correspondente a cada estágio. O erro é maior para as OTAs 2, 3 e 4 porque nessas OTAs atua a técnica de formatação de ruído.

Tabela 4.5: f_T dos OTAs

OTA	$f_T[\text{MHz}]$	Erro
OTA 1	12, 14	$2e^{-6}$
OTA 2	9, 94	$30e^{-6}$
OTA 3	9, 94	$30e^{-6}$
OTA 4	9, 28	$60e^{-6}$

4.6 Ruído do Modulador Sigma-Delta

Da análise no Apêndice A pode-se deduzir que os dois primeiros estágios tem a maior contribuição de ruído na saída. É por isto que é designada uma contribuição de 90% de $e_{t,f,k}$, para o ruído do primeiro estágio referido à saída, $\overline{N_{1O}^2}$. Para o $\overline{N_{2O}^2}$ é asignado uma contribuição de 10% de $e_{t,f,k}$.

Um parâmetro importante para o projeto dos OTAs é a capacitância de carga do integrador de entrada. Este parâmetro é calculado a partir do gráfico da potência de ruído na saída de forma diferencial, $2\overline{N_{1O}^2}$ versus o valor da capacitância C_2 , como é visto na figura 4.13. O valor de $\overline{N_{1O,A}^2}$ (potência de ruído do Amplificador referido à saída

da fonte i) do OTA será fixado em 10% de $\overline{N_{IO}^2}$, sendo este valor em RMS igual do que $2,29\mu V$. Este valor de ruído é muito baixo e para obtê-lo será necessário utilizar a técnica de *Chopper*.

Figura 4.13: Relação entre o Ruído RMS do primeiro estágio e a capacitância de carga na entrada

Na figura 4.13, a linha contínua representa o ruído referido à saída do primeiro estágio e a curva tracejada representa o valor RMS especificado. Desta figura, pode-se deduzir que a capacitância $C2$ deve ser maior do que $10pF$ para não superar a especificação de ruído.

No segundo estágio é preferível não utilizar a técnica de *Chopper* para não aumentar a área e complexidade do sistema, além disso porque o ruído desse estágio é filtrado pela função de transferência $NTF_{2o}(z)$, o qual é um filtro passa-alta. Por esta razão, neste caso será fixada a capacitância $C3 = 2,5pF$ ($C_{u3} = 0,25pF$) para obter um ruído kT/C de $0,27\mu V_{RMS}$. A figura 4.14 mostra o ruído referido à saída em função do ruído referido à entrada.

Como pode ser visto na figura anterior o ruído do segundo OTA deve ser de $30\mu V_{rms}$ na banda de $20Hz - 20KHz$ para poder atingir a especificação de ruído no segundo estágio (tabela 4.2). Como as funções de transferência do terceiro estágio, $NTF_{3o}(z)$, e quarto estágio, $NTF_{4o}(z)$, são filtros de segunda e terceira ordem, suas contribuições podem ser altas. Por esta razão, serão fixadas capacitâncias unitárias de $125fF$ para

Figura 4.14: Relação entre o Ruído RMS do OTA do segundo estágio referido à saída e o ruído RMS do OTA do segundo estágio referido à sua entrada

C_{u4} e $80fF$ para C_{u1} (valor mínimo da tecnologia *IBM 0,18\mu m*). O ruído do terceiro OTA será especificado igual ao ruído do segundo OTA, $30\mu V_{RMS}$, e o ruído no OTA do somador será especificado igual ao dobro, $60\mu V_{RMS}$. Estas especificações são listadas na tabela 4.6.

Tabela 4.6: Especificações de Ruído

Fonte	Capacitor <i>Unitário</i>	Capacitor de integração	$V_{n,A}$
V_{n1}	$1pF$	$10pF$	$2,2\mu V$
V_{n2}	$0,25pF$	$2,5pF$	$30\mu V$
V_{n3}	$0,125pF$	$1,25pF$	$30\mu V$
V_{n4}	$80fF$	$0,8pF$	$60\mu V$

4.7 Especificações do Quantizador

O quantizador é basicamente um ADC na taxa de amostragem de Nyquist (Capítulo 1). Neste tipo de conversores a função de transferência entrada *versus* saída é fundamental para medir seu desempenho. As especificações obtidas da função de transferência entrada *versus* saída são chamadas de especificações estáticas, sendo as mais importantes o *Offset*, o erro de ganho, o DNL, o INL e o ENOB. Estas especificações

serão explicadas a seguir tendo em consideração que o valor máximo para o INL e o DNL devem ser menor do que $LSB/2$ ($V_{FS}/2^5$). Considerando uma excursão de 2V, uma resolução de 4 *bits*, teremos que $LSB/2 = 62,5mV$.

4.7.1 Offset

O *Offset* num ADC pode ser definido como [1]:

$$E_{off} = \left\{ \frac{V_{0...01}}{\Delta} - \frac{1}{2} \right\} LSB \quad (4.24)$$

onde V_k é a tensão de transição entre os códigos sucessivos $k-1$ e k .

4.7.2 Erro de Ganho

O erro de ganho é definido como a diferença entre a curva ideal e a curva real. Para um ADC, o erro de ganho, E_{ganho} (em unidades de LSBs), é dado pela equação 4.25 [1].

$$E_{ganho} = \frac{V_{1...1}}{\Delta} - \frac{V_{0...01}}{\Delta} - (2^N - 2) \quad (4.25)$$

4.7.3 DNL

O DNL mede a diferença entre a largura de passo de um conversor real, Δ_r , e a largura de passo ideal, Δ , após eliminar o *Offset* e o erro de ganho [1]. A largura do passo analógico para o código k pode ser escrito como $\Delta_r(k) = (V_{k+1} - V_k)$. O DNL para cada código é definido pela equação 4.26 [2].

$$DNL(k) = \frac{\Delta_r(k) - \Delta}{\Delta} \quad (4.26)$$

4.7.4 INL

Após remover o *Offset* e o erro de ganho, o INL mede o desvio da curva real do conversor com respeito à curva ideal do conversor. Num *ADC*, o INL é definido pela

equação 4.27.

$$INL(k) = \frac{V_k - V_{ik}}{\Delta} \quad (4.27)$$

Na equação 4.27, V_{ik} é o ponto de transição ideal do conversor.

5 Projeto Analógico dos blocos básicos do Modulador Sigma-Delta e Resultados

OTAs compõem os blocos básicos do conversor Sigma-Delta: três OTAs são utilizadas nos integradores; um OTA é utilizado no circuito somador de saída e dezesseis OTAs são utilizados no conversor A/D de quatro *bits*. Estes OTAs serão projetados utilizando a metodologia gm/I_D . Nesta metodologia, todos os parâmetros de projeto são colocados em função do parâmetro gm/I_D [36] [37]. O parâmetro gm/I_D (tecnologia de $0,18\mu m$) varia entre 0 e 30, definindo as regiões de inversão do transistor neste intervalo. Para obter as curvas gm/I_D versus V_{GS} , são extraídas as correntes de saturação das curvas I_D versus V_{DS} para diferentes V_{GS} (de 0V até 1,8V). Derivando I_D com respeito a V_{GS} é obtido um gm para cada V_{GS} . O gm é dividido por I_D , formando as curvas da figura 5.1 [38].

a) Transistor tipo-P

b) Transistor tipo-N

Figura 5.1: gm/I_D vs V_{GS} para cada transistor nas três regiões de inversão para $|V_{THP}| = 420mV$ e $|V_{THN}| = 355mV$

Na figura 5.1 é mostrado o gm/I_D em função da tensão V_{GS} . Nesta figura também são mostradas as regiões de inversão fraca, forte e moderada para os dois tipos de

transistores MOS. A região de inversão fraca é definida para a faixa, $0V > V_{GS} - V_{THP(N)}$; a região de inversão moderada é definida para a faixa $0V < V_{GS} - V_{THP(N)} < 0,1V$ e a região de inversão forte é definida para uma faixa, $0,1V < V_{GS} - V_{THP(N)} < 1,8V$. Com ajuda da figura 5.1 podem ser obtida as tensões V_{GS} dos transistores. O parâmetro gm/I_D também pode ser representado em função da corrente normalizada ($I_D/(W/L)$), como é mostrado na figura 5.2.

Figura 5.2: gm/Id vs $I_D/(W/L)$ dos transistores tipo-P e tipo-N

Da figura 5.2, pode-se deduzir que sabendo o gm/I_D , pode-se obter ou a corrente de saturação do transistor ou as dimensões do transistor. A metodologia gm/I_D será utilizada para projetar os OTA do modulador considerando um baixo consumo de potência.

5.1 Arquitetura do OTA dos integradores e do somador analógico

Na literatura são apresentadas uma infinidade de arquiteturas de OTAs, sendo a arquitetura de OTA-Miller a de melhor compromisso entre potência, ruído e ganho DC [32]. Esta arquitetura será utilizada nos o OTA dos integradores (OTA 1, OTA 2, OTA 3) e no OTA do somador (OTA 4). A estrutura totalmente diferencial para esta arquitetura é mostrada na figura 5.3.

O amplificador é composto de dois estágios. O primeiro estágio composto pelos transistores M_1 , M_2 , M_3 , M_4 e M_5 , é um amplificador diferencial e o segundo estágio

composto pelos transistores M_6 , M_7 , M_8 e M_9 , é um amplificador fonte comum. A resistência R_C e o capacitor C_C conectados entre a saída do primeiro estágio e a saída do segundo estágio são utilizados para compensar o amplificador. Em amplificadores totalmente diferenciais ao adicionar uma realimentação, a tensão de modo comum na saída não fica definida com precisão, devido a que o ganho de modo comum resultante é baixo. Sem um controle apropriado a tensão de modo comum da saída tende para VDD ou GND devido a variações de processo e da tensão de alimentação, ao casamento entre transistores, etc. Por esta razão um circuito de realimentação de modo comum (CMFB-*Common Mode Feedback*) é necessário[39]. No caso do OTA-Miller, o qual tem dois estágios, é necessário utilizar um circuito de CMFB para cada estágio [31]. A tensão de modo comum na saída do primeiro estágio será fixada de acordo com o nível DC especificado pelo projeto e a tensão de modo comum na saída do segundo estágio será fixada na tensão de modo comum do modulador, $V_C = 0,6V$.

Figura 5.3: Estrutura Diferencial do OTA Miller

Na figura 5.3, V_{C1} é a tensão de modo comum do primeiro estágio, V_{B1} e V_{B2} são as tensões de polarização das estruturas de CMFB. Estas tensões são geradas pelo circuito de polarização.

Nas seguintes secções será explicado o *CMFB*, e feitas as análises AC e DC do OTA. Com a ajuda destas análises serão projetados os OTA 1, OTA 2, OTA 3 e OTA 4.

5.1.1 Realimentação de Modo Comum (CMFB)

O Circuito de Realimentação de Modo Comum é composto basicamente de um circuito que mede a tensão de modo comum na saída e um amplificador-comparador, como indicado de forma simplificada na figura 5.4. Nesta figura, a tensão medida é V_{CMFB1} . Este sinal é amplificado pelo amplificador-comparador, realimentando o modo comum da saída. No estado estável a diferença entre a tensão em modo comum de saída e V_C é aproximadamente *zero* [39].

Figura 5.4: Circuito de Realimentação de Modo Comum

O projeto do CMFB é um desafio, já que é necessário:

- Minimizar as capacitâncias parasitas do laço de realimentação de modo comum.
- Garantir um SR e f_T maiores que os especificados para o OTA.
- Obter um ganho de laço de realimentação de modo comum alto para garantir uma boa precisão na tensão de modo comum na saída.

Como o OTA é parte de um circuito chaveado, é recomendável projetar um SC-CMFB, (CMFB com capacitores chaveados), o qual tem como vantagens uma boa linearidade e capacitâncias parasitas baixas. Como desvantagens, esta topologia acrescenta injeção de carga e carga capacitiva na saída.

A topologia SC-CMFB é mostrada na figura 5.5. Este circuito tem duas fases de operação: na fase Φ_1 os capacitores C_1 armazenam a tensão $V_C - V_{B1}$; na fase Φ_2 a

Figura 5.5: Circuito de Realimentação de Modo Comum implementado com Capacitores Chaveados (SC-CMFB)

tensão $V_C - V_{B1}$ armazenada em C_1 é transferida para os capacitores C_2 , os quais são conectadas nos nós V_{O+} , V_{O-} (Figura 5.3) e V_{CMFB1} . A tensão V_{CMFB1} é amplificada pelos transistores M_3 , M_4 , M_9 e M_6 da figura 5.3, os quais atuam como amplificadores de fonte comum. Um dos desafios no projeto de um SC-CMFB é diminuir o erro entre o modo comum e a tensão de referência, o qual é inversamente proporcional à capacitância C_1 , por outro lado aumentar C_1 não é uma boa solução pois tem a necessidade de projetar transistores maiores nas chaves, o qual aumentam a injeção de carga no sistema. Por esta razão é necessário escolher um tamanho de capacitor conveniente para não aumentar a injeção de carga. Outro desafio é diminuir o tempo de *start-up* (tempo para estabilizar o modo comum), que é otimizado fazendo $C_1 \gg C_2$. Neste tipo de topologias a razão entre os valores C_1 e C_2 normalmente escolhida é de quatro ou cinco [40].

Para diminuir o tempo de *start-up* do sistema sem aumentar a injeção de carga das chaves, pode-se utilizar a topologia de carga simétrica mostrada na figura 5.6. Neste tipo de topologia a razão entre C_1 e C_2 pode ser projetada entre 5 e 10. Isto faz com que o tempo de *start-up* do circuito *CMFB* seja reduzido [39]. Para diminuir o efeito da injeção de carga as chaves serão projetadas com dimensões mínimas.

Figura 5.6: Sensor de Modo Comum com capacitores chaveados de carga simétrica

5.1.2 Projeto do OTA Miller

Para projetar o OTA Miller, o bloco básico mais utilizado no modulador Sigma-Delta, é necessário primeiramente polarizar todos os transistores de forma que fiquem em saturação e em uma região específica de inversão. Por um lado, para manter os transistores em saturação é necessário assegurar que a tensão de *overdrive*, $V_{GS} - V_{TH}$, seja menor do que a tensão $V_{DS} - 0,1V$. Por outro lado, para fixar a região de inversão de cada transistor é necessário obter as expressões dos parâmetros de projeto em função do gm/I_D .

O primeiro parâmetro a ser analisado é a tensão de offset referido à entrada V_{off} . A tensão de *offset* depende do descasamento entre transistores idênticos dentro do circuito. As maiores contribuições de *offset* são fornecidas pelos transistores do primeiro estágio. Isto é devido às tensões de *offset* do segundo estágio serem divididas pelo ganho do primeiro estágio, diminuindo seu efeito quando referida na entrada do primeiro estágio. Para obter a expressão da tensão de *Offset* referido à entrada é analisado o circuito da figura 5.7.

Figura 5.7: Fontes de Offset do OTA diferencial

Na figura 5.7 é considerado que as tensões de porta dos transistores do mesmo tipo estão polarizadas na mesma tensão DC (V_c e V_{b1}), porém os transistores apresentam variações nas dimensões e nos parâmetros de processo (V_{TH}, μ_O, C_{OX}). Por isto, duas fontes de tensão, ΔV_{O1} e ΔV_{O2} , são adicionadas ao circuito para garantir a igualdade entre as correntes de saturação $I_{D1} = I_{D2}$ e $I_{D3} = I_{D4}$. A corrente de saturação é expressa de acordo com o nível de inversão. Em fraca inversão, a equação da corrente de saturação é a seguinte:

$$I_D = I_S e^{\frac{V_{GS} - V_{THP(N)}}{n_k U_T}} \quad (5.1)$$

onde $I_S = 2n_k \beta_{P(N)} U_T^2$, $U_T = kT/q$ (26 mV à 300°K) e n_k é o fator de inclinação para fraca inversão. Utilizando a equação em fraca inversão dos transistores M_1 e M_2 pode-se obter uma expressão para a tensão ΔV_{O1} :

$$\Delta V_{O1} = V_{GS1} - V_{GS2} = \frac{1}{n U_T} \ln\left(\frac{\beta_{P1}}{\beta_{P2}}\right) + V_{THP1} - V_{THP2} \quad (5.2)$$

Chamemos $V_{THP1} - V_{THP2}$ de ΔV_{THP} e $\beta_{P1} - \beta_{P2}$ de $\Delta(\beta_P)$. Teremos então:

$$\Delta V_{O1} = \frac{1}{n U_T} \ln\left(1 + \frac{\Delta\beta_P}{\beta_P}\right) - \Delta V_{THP} \quad (5.3)$$

Assumindo $\Delta\beta_P/\beta_P \ll 1$, e notando que para $x \ll 1$, se cumpre $\ln(1+x) = x$, podemos reduzir a expressão 5.3 para:

$$\Delta V_{O1} = \frac{1}{n U_T} \frac{\Delta\beta_P}{\beta_P} - \Delta V_{THP} \quad (5.4)$$

Substituindo $gm_1/I_{D1} = \frac{1}{n U_T}$ (para fraca inversão), nós temos:

$$\Delta V_{O1} = \frac{\Delta\beta_P/\beta_P}{gm_1/I_{D1}} - \Delta V_{THP} \quad (5.5)$$

Para forte inversão é utilizada a equação de segunda ordem da corrente dos transistores M_1 e M_2 em forte inversão pode-se obter uma expressão para a tensão ΔV_{O1} :

$$\Delta V_{O1} = V_{GS1} - V_{GS2} = \sqrt{\frac{2I_{D1}}{\mu_p C_{OX} (\frac{W}{L})_1}} + V_{TH1} - \sqrt{\frac{2I_{D1}}{\mu_p C_{OX} (\frac{W}{L})_2}} - V_{TH2} \quad (5.6)$$

Chamando ΔV_{THP} e $\Delta(\beta_P)$ como antes, teremos:

$$\Delta V_{O1} = \sqrt{\frac{2I_{D1}}{\beta_P}} \left[1 - \sqrt{\frac{1}{1 + \frac{\Delta\beta_P}{\beta_P}}} \right] + \Delta V_{THP} \quad (5.7)$$

Assumindo $\Delta\beta_P/\beta_P \ll 1$, e notando que para $x \ll 1$, se cumpre $\sqrt{1+x} \cong 1 + x/2$ e $\sqrt{1+x}^{-1} \cong 1 - x/2$, podemos reduzir a expressão 5.7 para:

$$\Delta V_{O1} = \sqrt{\frac{2I_{D1}}{\beta_P}} \left[\frac{\Delta\beta_P}{2\beta_P} \right] - \Delta V_{THP} \quad (5.8)$$

Substituindo $gm_1/I_{D1} = \sqrt{\frac{I_{D1}}{2\beta_P}}$ (para forte inversão), nós temos:

$$\Delta V_{O1} = \frac{\Delta\beta_P/\beta_P}{gm_1/I_{D1}} - \Delta V_{THP} \quad (5.9)$$

Das equações 5.5 e 5.9 pode-se concluir que para fraca inversão e forte inversão, a ΔV_{O1} tem a mesma relação. Considerando as variações de β_P e $V_{THN(P)}$ como variáveis randômicas independentes, o desvio padrão de V_{O1} será:

$$\sigma^2(\Delta V_{O1}) = \frac{\sigma^2(\Delta\beta_P/\beta_P)}{(gm_1/I_{D1})^2} + \sigma^2(\Delta V_{THP}) \quad (5.10)$$

De forma equivalente é possível determinar $\sigma^2(\Delta V_{O2})$, que é igual a:

$$\sigma^2(\Delta V_{O2}) = \frac{\sigma^2(\Delta\beta_N/\beta_N)}{(gm_3/I_{D3})^2} + \sigma^2(\Delta V_{THN}) \quad (5.11)$$

Ao referir ΔV_{O2} à entrada do OTA, a equação 5.11 fica multiplicada pelo fator gm_3^2/gm_1^2 . Portanto a variança da tensão de offset referida à entrada, $\sigma^2(\Delta V_{off})$, em função de gm/I_D e das variações de processo dos transistores é dada pela equação 5.12.

$$\sigma^2(\Delta V_{off}) = \left[\frac{\sigma^2(\Delta\beta_N/\beta_N)}{(gm_3/I_{D3})^2} + \sigma^2(\Delta V_{THN}) \right] \left(\frac{gm_3/I_{D3}}{gm_1/I_{D1}} \right)^2 + \frac{\sigma^2(\Delta\beta_P/\beta_P)}{(gm_1/I_{D1})^2} + \sigma^2(\Delta V_{THP}) \quad (5.12)$$

Da equação 5.12 pode-se deduzir que o valor de gm_1/I_{D1} e gm_3/I_{D3} devem ser altos para diminuir V_{off} . Isto é conseguido projetando estes transistores perto da região de inversão fraca.

A variação de parâmetros de processo e dimensões também pode gerar erros na cópia dos espelhos de corrente. Da referência [31] é derivada a expressão 5.13 para o desvio padrão da corrente em fraca e forte inversão, $\sigma^2(\frac{\Delta I}{I})$, para um espelho de corrente com transistores tipo-P.

$$\sigma^2\left(\frac{\Delta I}{I}\right) = \sigma^2(\Delta\beta_P/\beta_P) + \sigma^2(\Delta V_{THP})(gm_5/I_{D5})^2 \quad (5.13)$$

Da equação 5.13 pode-se deduzir que o valor de gm_5/I_{D5} deve ser baixo para reduzir a variação na cópia da corrente. É por isto que os transistores que funcionam como espelhos de corrente (M_5 , M_6 e M_9) devem ser projetados perto da região de inversão forte. Na tabela 5.1 são resumidos as regiões de inversão dos transistores dos OTAs recomendadas para minimizar o *offset* de tensão e de corrente.

Tabela 5.1: Regiões de Inversão recomendadas dos transistores do OTA Miller

<i>Transistores</i>	<i>Região de Inversão</i>
M_1, M_2	<i>Fraca, Moderada</i>
M_3, M_4, M_7, M_8	<i>Fraca, Moderada</i>
M_5, M_6, M_9	<i>Forte, Moderada</i>

Da tabela 5.1 podemos obter as faixas de gm/I_D para cada transistor. Porém, não se tem os valores exatos de gm/I_D de cada transistor. Para evitar a tensão de *offset* sistemático, os espelhos de corrente M_5 , M_6 e M_9 , figura 5.3, devem ter o mesmo V_{GS} [1]. O mesmo deve ocorrer para os transistores M_3 , M_4 , M_7 e M_8 . Utilizando as condições de saturação e inversão forte estabelecidas neste capítulo, V_{G5} (tensão de porta do transistor M5) pode ser limitado pela desigualdade 5.14.

$$V_{DD} - V_{THP} - 0,15 > V_{G5} > \max\{V_{OUT,max} - V_{THP}, V_P - V_{THP}\} \quad (5.14)$$

onde V_P é a tensão de dreno do transistor M_5 . Para obter este valor é necessário saber o gm/I_D dos transistores M_1 e M_2 . Este parâmetro pode ser obtido das funções do SR e f_T (especificados na seção 4.5), considerando um baixo consumo de corrente.

Existem dois tipos de SR , o SR positivo (SR^+) e o SR negativo (SR^-). Nesta topologia estes SRs podem ser expressos pelas equações 5.15 e 5.16.

$$SR^+ = \min\left[\frac{2I_{D2}}{C_C}, \frac{I_{D6} - I_{D7} - I_{D1}}{C_L}\right] \quad (5.15)$$

$$SR^- = \min\left[\frac{2I_{D1}}{C_C}, \frac{I_{D7} - I_{D1}}{C_L}\right] \quad (5.16)$$

onde C_L é a capacitância de carga do OTA e I_{Di} é a corrente do transistor M_i .

Neste tipo de topologia $C_C \approx C_L$, $I_{D7} \gg I_{D1}$ e $I_{D6} \gg I_{D1}$. Assim $SR \cong SR^+ \cong SR^- = \frac{2I_{D1}}{C_C}$ e a corrente I_{D1} pode ser expressa como:

$$I_{D1} = \frac{C_C SR}{2} \quad (5.17)$$

O f_T , para esta topologia é dado pela equação 5.18 [1].

$$f_T = \frac{gm_1}{2\pi C_C} \quad (5.18)$$

Da equação 5.18 pode-se obter a corrente I_{D1} em função do f_T . Esta expressão é mostrada na equação 5.19.

$$I_{D1} = \frac{2\pi C_C f_T}{gm_1/I_{D1}} \quad (5.19)$$

Para determinar o menor valor de I_{D1} devem ser comparadas as curvas das equações 5.17 e 5.19. Para isto serão utilizados os valores especificados para o SR ($3,65V/\mu s$) e para o f_T ($12,1MHz$) e gm_1/I_{D1} é variado entre 0 e 30. Como C_C é diretamente proporcional às duas expressões de I_{D1} , pode-se escolher um valor arbitrário de $C_C = 12pF$. Na figura 5.8 são mostradas duas curvas I_{D1} versus gm_1/I_{D1} , uma para $SR = 3,65V/\mu s$ e outra para $f_T = 12,1MHz$.

Como pode ser visto na figura 5.8, a curva do f_T sempre é maior que a curva para SR , em consequência, o gm_1/I_{D1} pode tomar qualquer valor entre zero e trinta. Como a curva do f_T não intercepta a curva do SR pode-se dizer que o OTA não é limitada pelo SR .

Da análise anterior pode-se obter o limite de gm_1/I_{D1} dos transistores M_1 e M_2 . Porém, para obter o valor do gm_1/I_{D1} ainda é necessário conhecer os limites de estabilidade. Um parâmetro importante para verificar a estabilidade é a Margem de Fase (MF). Este parâmetro pode ser aproximado pela seguinte expressão [1]:

$$MF \cong 90 - tg^{-1}\left(\frac{w_t}{w_{eq}}\right) \quad (5.20)$$

Figura 5.8: Obtenção do limite de I_{D1} do OTA 1 em função do gm_1/I_{D1}

onde w_t é a frequência unitária de laço aberto; a frequência w_{eq} é a frequência do pólo que modela os pólos de frequências altas e é dado pela equação [1]:

$$\frac{1}{w_{eq}} = \sum_{i=2}^m \frac{1}{w_{pi}} - \sum_{i=1}^m \frac{1}{w_{zi}} \quad (5.21)$$

onde w_{pi} é a frequência do i -ésimo pólo, w_{zi} é a frequência do i -ésimo zero e $w_{p1} < w_{p2} < \dots < w_{pn}$.

Considerando que o segundo pólo, w_{p2} , é bem menor que os outros pólos e zeros, podemos aproximar w_{eq} a w_{p2} . Assim a margem de fase pode ser expressa como:

$$MF \cong 90 - tg^{-1}\left(\frac{w_t}{w_{p2}}\right) \quad (5.22)$$

Para que o OTA fique estável, o MF deve ser de pelo menos 60° , porém considerando as variações de processo, é prudente fazer o MF superior a 80° . Isto pode ser conseguido colocando o pólo w_{p2} em uma frequência pelo menos 10 vezes maior do que a frequência w_t .

Na topologia do OTA Miller, considerando $R_c = 0$ o segundo pólo dominante, w_{p2} pode ser expresso como:

$$w_{p2} = \frac{-gm_7}{C_L} \quad (5.23)$$

onde gm_i é a transcondutância do transistor M_i . A partir da equação 5.23 pode-se construir a expressão 5.24 para a corrente I_{D7} que dependa da variável de projeto gm_7/I_{D7}

$$I_{D7} = \frac{w_{p2}C_L}{(gm_7/I_{D7})} \quad (5.24)$$

A partir da equação 5.24 pode-se obter as curvas da figura 5.9 variando gm_7/I_{D7} entre 0 e 30 e fixando $w_{p2} = 10w_t$.

Figura 5.9: Relação entre I_{D7} e gm_7/I_{D7} para as quatro OTAs

Como pode ser deduzido da equação 5.24 e da figura 5.9, a corrente I_{D7} é inversamente proporcional a gm_7/I_{D7} . Para minimizar I_{D7} , a maior corrente dos estágios do OTA, tem que ser escolhidos valores altos de gm_7/I_{D7} , inversão fraca. Porém, altos valores de gm_7/I_{D7} implicam em dimensões dos transistores enormes, consequentemente, capacitâncias de saída altas. Por este motivo, o valor de gm_7/I_{D7} é convenientemente ajustado para cada OTA. Os transistores M_3 e M_4 serão projetados com o mesmo gm/I_D do transistor M_7 para assegurar uma tensão de *offset* sistemático baixa.

Para diminuir o consumo de corrente sem aumentar descasamento nos espelhos de corrente é necessário que o fator de cópia dos transistores seja três como máximo.

Portanto, será fixado a seguinte relação entre as correntes do OTA.

$$I_{D7} = 3I_{D5} = 6I_{D1} \quad (5.25)$$

Do valor de I_{D1} e com a ajuda da análise da figura 5.8 pode-se obter gm_1/I_{D1} e a tensão V_P . Por último, o capacitor de compensação C_C pode ser obtido a partir da expressão 5.26.

$$\frac{10(gm_1/I_{D1})C_L}{3(gm_7/I_{D7})} < C_C < \frac{I_{D1}}{SR} \quad (5.26)$$

Os valores de gm_1/I_{D1} , I_{D5} , C_C , V_P , gm_5/I_{D5} , V_{G5} , I_{D7} , gm_7/I_{D7} , V_{GS7} obtidos para cada OTA são listados na tabela 5.2.

Tabela 5.2: Dados obtidos no projeto dos OTA

OTA	gm_1/I_{D1} [V ⁻¹]	I_{D5} [μA]	V_P [V]	gm_5/I_{D5} [V ⁻¹]	V_{G5} [V]	I_{D7} [μA]	gm_7/I_{D7} [V ⁻¹]	V_{GS7} [mV]
OTA 1	20	90	0,97	6	1,1	270	20	370
OTA 2	22,5	25	0,9	6	1,1	75	22,5	300
OTA 3	24	15	0,87	6	1,1	45	24	270
OTA 4	24	20	0,87	6	1,1	60	24	270

Na tabela 5.2 o OTA 4 tem um gm_1/I_{D1} reduzido devido a sua limitação de *Slew Rate*. A partir dos parâmetros da tabela anterior pode-se achar as dimensões dos transistores M_1 , M_2 , M_3 , M_4 , M_5 , M_6 , M_7 , M_8 e M_9 para os quatro OTAs (tabela 5.3).

Tabela 5.3: Dimensões dos transistores dos OTA 1, 2, 3 e 4

Transistores	W_{OTA1} [μm]	L_{OTA1} [μm]	W_{OTA2} [μm]	L_{OTA2} [μm]	W_{OTA3} [μm]	L_{OTA3} [μm]	W_{OTA4} [μm]	L_{OTA4} [μm]
M_1, M_2	8x(40,5)	0,5	32x(66,6)	0,5	64x(22)	0,5	64x(30)	0,5
M_3, M_4	4x(41,25)	0,5	6x(37,5)	0,5	6x(48)	0,5	6x(64)	0,5
M_8, M_9	12x(42)	2	4x(17,3)	2	4x(2,6)	2	4x(2,4)	4
M_5	4x(42)	2	12x(17,3)	2	12x(2,6)	2	12x(2,4)	4
M_6, M_7	24x(41,8)	0,5	36x(37,5)	0,5	36x(48)	0,5	24x(64)	0,5

Na análise anterior, foi considerado $R_C = 0$. Esta condição gera um zero na função de transferência, o qual pode ser expresso na equação 5.27:

$$w_z = \frac{gm_7}{C_c} \quad (5.27)$$

Este zero introduz um deslocamento de fase positiva na função de transferência do OTA fazendo a estabilidade mais difícil. É possível conseguir uma adequada compensação do MF adicionando uma resistência em série com a capacitância C_C . Esta resistência gera um terceiro pólo a altas frequências e modifica o zero da equação 5.27. O terceiro pólo não tem muito efeito na resposta de frequência do OTA e o zero será expresso como:

$$w_{z,R_C} = \frac{1}{C_C(-1/gm_7 + R_C)} \quad (5.28)$$

Esta expressão sugere três caminhos para reduzir o efeito do zero como é mostrado em [1]. O primeiro caminho é fazer $R_C \approx 1/gm_7$ o que coloca o zero no infinito. O segundo caminho é aumentar o valor de R_C de forma a deslocar o zero ao plano esquerdo, cancelando o segundo pólo dominante. O terceiro caminho é aumentar mais R_C até o zero atingir uma frequência um pouco maior do que o w_T . Para este caso, o zero w_{z,R_C} deve satisfazer a seguinte expressão:

$$w_{z,R_C} = 1, 2w_T \quad (5.29)$$

Como $w_{z,R_C} \cong 1/(R_C C_C)$ e $w_T = gm_1/C_C$, então R_C deve ser escolhido de acordo com a relação:

$$R_C = \frac{1}{1, 2gm_1} \quad (5.30)$$

A resistência R_C é fixada utilizando um dos três caminhos de compensação apresentados anteriormente (o primeiro). O valor de R_C e C_C para cada OTA é listado na tabela 5.4

Tabela 5.4: Resistores e capacitâncias dos OTA 1, 2, 3 e 4

Bloco	R_C [kΩ]	C_C [pF]
OTA1	0, 1	10
OTA2	1, 1	4
OTA3	5	2, 1
OTA4	2, 5	3

carregada. As resistências são projetadas para um $\Delta V_{in}/V_{in} = 1e^{-6}$.

Outro parâmetro importante para o projeto das chaves é a injeção de carga. Em portas de transmissão complementares, a variação de tensão, ΔV_{eq} , devido à injeção de carga é expressa como:

$$\Delta V_{eq} = \frac{L_N^2}{R_{DS,N}\mu_N C_H} - \frac{L_P^2}{R_{DS,P}\mu_P C_H} \quad (5.34)$$

Da expressão 5.34 pode-se deduzir que quanto maiores as resistências, $R_{DS,N}$ e $R_{DS,P}$, menor é ΔV_{eq} .

Levando em consideração as relações apresentadas anteriormente e através de simulações elétricas são obtidas as dimensões dos transistores tipo-P e tipo-N. As dimensões dos transistores, a resistência $R_{DS,eq}$ e a capacitância máxima a ser carregada, C_H , são listados na tabela 5.5

Tabela 5.5: Dimensões dos transistores das chaves do OTA

Bloco	W_P [μm]	L_P [μm]	W_N [μm]	L_N [μm]	$R_{DS,eq}$ [Ω]	C_H [pF]
Chaves	47,25	0,18	12,6	0,18	113	8

5.3 Projeto do Comparador do Quantizador

Uma topologia dinâmica é escolhida para projetar os comparadores devido a sua velocidade. Os problemas destas topologias são a alta tensão de *offset* e o ruído de *kickback* [1]. A alta tensão de *offset* pode ser solucionada utilizando técnicas de *Auto – Zero* [1] [41] e o ruído *kickback* pode ser solucionado com um estágio de pre-amplificação[1]. É por isto que é escolhido um comparador chaveado com cancelamento da tensão de offset e com um *Latch* na saída, sendo sua versão diferencial mostrada na figura 5.11.

As fases Φ_1 , Φ_2 , Φ_{1d} e Φ_{2d} foram mostradas na figura 3.12. A estrutura mostrada na figura 5.11 baseia-se em [7] e [1], trabalha em duas fases e pode ser explicada utilizando a estrutura *single – ended* da figura 5.12. Na primeira fase, também chamada de amostragem [7], as chaves controladas por Φ_2 e Φ_{2d} são fechadas fazendo que o sinal de entrada e a tensão de *Offset* de entrada sejam armazenadas nos capacitores entrada. Na segunda fase, também chamada fase de comparação, as chaves

Figura 5.11: Topologia de um comparador chaveado com cancelamento de offset

controladas por Φ_1 e Φ_{1d} são fechadas e a diferença entre a tensão armazenada no capacitor de entrada e a tensão $V_{REFH} < n_q >$ seja amplificada pelo comparador $C0$.

Figura 5.12: Fases do comparador chaveado com técnica de cancelamento de offset

Na comparação as duas saídas do *Latch* vão para VDD . Na fase de amostragem as saídas do *Latch* são complementares e vão para VDD ou GND dependendo do valor do sinal de entrada.

O primeiro parâmetro a projetar será a capacitância de amostragem do comparador, C_{comp} . Para determinar o valor de C_{comp} será utilizada a equação de carga do capacitor para a fase de amostragem, onde o capacitor é carregado na tensão V_{in} .

$$V_{C_{comp}} = V_{in} \left(1 - e^{-\frac{t}{R_{DS,eq} C_{comp}}} \right) \quad (5.35)$$

Normalmente é esperado que o capacitor seja carregado num tempo menor do que

$T_S/2$, mas neste caso será escolhido um tempo igual a $T_S/10$. Desta forma a capacitância C_{comp} pode ser calculada utilizando a expressão da equação 5.36.

$$C_{comp} < \frac{-T_S/6}{R_{DS,eq} \ln(\text{erro})} \quad (5.36)$$

Na equação 5.36, o *erro* é a diferença entre a tensão de entrada, V_{in} , e a tensão de carga, $V_{C_{comp}}$. Para um $\text{erro} = 1e^{-6}$ e uma resistência $R_{DS,eq} = 113\Omega$, a capacitância C_{comp} deve ser menor que $16pF$. Para este projeto será escolhida uma capacitância de $0,5pF$, para diminuir a carga equivalente referida na saída do comparador.

A principal especificação do quantizador é o ruído de quantização e_q . O valor do ruído de quantização é igual a $V_{FS}/2^{n+1}$, onde n é o número de *bits* do quantizador. O ruído de quantização é composto pelo erro das tensões de referências devido ao descasamento dos resistores, ΔV_{mis} , e pela tensão de *offset* dos comparadores, $V_{off,Comp}$. O ΔV_{mis} depende do tipo de resistor que é escolhido para a rede resistiva e será obtido através de simulações de Monte-Carlo. Neste projeto será utilizada uma resistência RR Poly-Silicio pois eles apresentam a maior resistência por área na tecnologia, $1600\Omega/\text{quadrado}$.

5.3.1 Projeto do OTA do Comparador

O par diferencial com transistores de carga em configuração de diodo da figura 5.13 será utilizado como o OTA do comparador dinâmico da figura 5.11. Esta arquitetura foi escolhida pelo seu baixo consumo de potência e pela velocidade na comparação.

Figura 5.13: Esquemático do Comparador

O OTA do comparador funciona numa fase como comparador (laço aberto) e na outra

fase como amplificador (laço fechado). Na fase de laço aberto deve-se garantir que o tempo de *setup* do OTA do comparador, t_{stb} , fixado em $T_S/3$, seja menor que a constante de tempo do OTA, $\tau = 2\pi/f_{-3dB,C}$, onde $f_{-3dB,C}$ é a frequência de corte do comparador. Neste caso $f_{-3dB,C}$ deve ser menor do que $3,76\text{MHz}$.

Na fase de laço fechado, a frequência de ganho unitário do OTA do comparador, $f_{T,C}$, é determinado pela equação 4.22. Para o caso do comparador, $\beta_f = 1$ e o *erro* = $1e^{-6}$, portanto, $f_{T,C}$ deve ser maior do que 14MHz . Para obter as expressões de $f_{-3dB,C}$ e $f_{T,C}$ será realizada uma análise AC do OTA utilizando o modelo em pequeno sinal mostrado na figura 5.14.

A função de transferência obtida do modelo em pequeno sinais é mostrado na equação 5.37:

$$\frac{V_{OUT}}{V_{IN}} = \frac{-g_{m1}(R_{DS,P1} // R_{DS,N3} // (1/g_{m3}))[1 - sC_{GD1}/g_{m1}]}{1 + s(C_{GD1} + C_{GS3} + C_L)R_{DS,P1} // R_{DS,N3} // (1/g_{m3})} \quad (5.37)$$

Figura 5.14: Modelo em pequeno sinal do Comparador Completamente Diferencial

Da equação 5.37 podem ser obtidos $w_{-3dB,C} = 2\pi f_{-3dB,C}$, $w_{T,C} = 2\pi f_{T,C}$ e o ganho DC, $A_{O,C}$, expressos em 5.38, 5.39 e 5.40 respectivamente.

$$w_{-3dB,C} = \frac{1}{(C_{GD1} + C_{GS3} + C_L)R_{DS,P1} // R_{DS,N3} // (1/g_{m3})} \quad (5.38)$$

$$w_{T,C} = \frac{g_{m1}}{C_{GD1} + C_{GS3} + C_L} \quad (5.39)$$

$$A_{O,C} = g_{m1}(R_{DS,P1} // R_{DS,N3} // (1/g_{m3})) \quad (5.40)$$

Como normalmente $1/g_{m3} \ll R_{DS,P1} // R_{DS,N3}$ e $C_{OUT} = C_L + C_{GD1} + C_{GS3}$ [31], $w_{T,C}$,

$w_{-3dB,C}$ e $A_{O,C}$ ficam como:

$$w_{T,C} \approx \frac{gm_1}{C_{OUT}} = \frac{(gm_1/I_{D1})I_{D1}}{C_{OUT}} \quad (5.41)$$

$$w_{-3dB,C} \approx \frac{gm_3}{C_{OUT}} = \frac{(gm_3/I_{D3})I_{D3}}{C_{OUT}} \quad (5.42)$$

$$A_{O,C} \approx \frac{gm_1/I_{D1}}{gm_3/I_{D3}} \quad (5.43)$$

Considerando um ganho $A_O = 5$, pode se obter a relação entre gm_1/I_{D1} e gm_3/I_{D3} . Da análise de *offset* realizada na seção 5.1 é recomendável fixar os transistores M_1 e M_2 em inversão fraca e os transistores M_4 e M_3 em inversão forte. Para manter os transistores em saturação e na região de inversão correspondente, as tensões V_{G5} , V_{OUT} e V_P (tensão de dreno do transistor M_1) obedecem as desigualdades:

$$0,1 + V_{THN} < V_{OUT} < V_C + V_{THP} \quad (5.44)$$

$$V_{G5} + |V_{THP}| < V_P < |V_{THP}| + V_C \quad (5.45)$$

$$1,65 + |V_{THP}| < V_{G5} < V_P - |V_{THP}| \quad (5.46)$$

onde V_C é a tensão de modo comum, $0,6V$. Substituindo nas desigualdades anteriores $|V_{THP}| = 420mV$, $|V_{THN}| = 355mV$, $V_C = 0,6V$ obtemos:

$$0,405V < V_{OUT} < 0,955V \quad (5.47)$$

$$V_P < 1,02V \quad (5.48)$$

$$0,5V < V_{G5} < 1,23V \quad (5.49)$$

Das desigualdades 5.47, 5.48 e 5.49, podem-se projetar os transistores M_3 e M_4 para um $V_{OUT} = 0,8$ ($gm_3/I_{D3} = 4$), os transistores M_1 e M_2 para um $V_P = 0,975V$

($gm_1/I_{D1} = 20$) e os transistores M_5 e M_6 para um $V_{G5} = 1,1V$ ($gm_5/I_{D5} = 6$). Utilizando o gm_1/I_{D1} é obtida a corrente I_{D1} , para uma capacitância de saída igual a $0,6pF$. Os parâmetros de projeto são resumidos na tabela 5.6.

Tabela 5.6: Dados obtidos no projeto do OTA do comparador

gm_1/I_{D1} [V^{-1}]	I_{D1} [μA]	C_L [pF]	V_{OUT} [V]	gm_3/I_{D3} [V^{-1}]	$f_{-3dB,C}$ [MHz]	$f_{T,C}$ [MHz]
20	3	0,5	0,8	4	3,76	13

Utilizando os parâmetros de projeto da tabela 5.6 e a curva gm/I_D vs $I_D/(W/L)$ da figura 5.2, são obtidas as dimensões dos transistores do OTA do comparador.

Tabela 5.7: Dimensões dos transistores do OTA dos comparadores

Transistores	W [μm]	L [μm]
M_1, M_2	54	0,5
M_3, M_4	1,8	16
M_5, M_6	$2x4$	4

5.4 Simulações e Resultados

Para verificar que as especificações dos blocos são cumpridas pelo projeto dos circuitos analógicos básicos, eles são testados através das análises *DC*, *STB* (Análise de estabilidade), ruído, transiente e de Monte-Carlo. Para isto foi utilizado o simulador *Spectre* da ferramenta de projeto de circuitos integrados *Cadence*. As simulações foram divididas em simulações dos OTA dos Integradores e do somador; simulações do *Chopper*; simulações do OTA do comparador; simulações do comparador; simulações do quantizador e, por fim, as simulações do modulador Sigma-Delta.

5.4.1 Simulações e Resultados dos OTA dos integradores e do somador

Para verificar o cumprimento das especificações nos OTA totalmente diferenciais dos integradores serão utilizadas as análises *STB*, *DC*, ruído, transiente e de Monte-Carlo. No OTA do somador serão realizadas as análises mencionadas anteriormente com exceção da análise de ruído.

Os modelos da tecnologia *IBM018* escolhidos para simular os transistores são os modelos típico (tt), pior caso de potência (ff) e pior caso de velocidade (ss). Estes modelos são simulados variando a temperatura entre -20°C e 80°C .

Para realizar as análises é necessário que o OTA atinja o estado estável. Em circuitos com *CMFB*, o estado estável é conseguido após alguns micro segundos. É por isto que uma análise transiente deve ser realizada até o circuito se estabilizar e então é salvo o ponto de operação. Este ponto de operação é utilizado nas análises STB, DC e de ruído.

Figura 5.15: Circuito de simulação de estabilidade para os OTA dos integradores e o somador

Outra consideração importante para estabilizar os OTA é adicionar uma realimentação entre a entrada e a saída diferenciais para manter o ponto de operação dos transistores no nível estável sob qualquer variação de processo. Esta realimentação é mostrada no circuito de simulação da figura 5.15. Neste circuito a realimentação é realizada através da fonte dependente E6. A fonte de tensão V28 é utilizada pela análise STB para abrir o laço e calcular a resposta em frequência de laço aberto. Utilizando a análise STB é possível obter a MF, a Margem de Ganho (GM) e o f_T .

A análise STB é realizada entre 1Hz e 1GHz com 20 pontos por década. A resposta em frequência do OTA 1, OTA 2, OTA 3 e OTA 4 para os piores casos de MF , GM e f_T obtidos da análise *STB* são mostrados na figura 5.16. A figura 5.16 a) tem só um

a) OTA 1

b) OTA 2

c) OTA 3

d) OTA 4

Figura 5.16: Resposta em Frequência dos OTA do integrador e do somador

resultado, porque os piores casos de MF , GM e f_T coincidem.

Os piores resultados de MF , GM e f_T de cada OTA e para que condições eles ocorreram, são listadas nas tabelas 5.8, 5.9, 5.10 e 5.11.

Para obter o ruído equivalente referido à entrada, V_{NIN} , é utilizada a fonte de realimentação V28 como a fonte ao qual ele será referido. O objetivo desta análise é gerar o PSD referido à entrada e obter a tensão RMS de ruído entre 20Hz e 20kHz. A análise é realizada entre 1Hz e 1GHz. As curvas de PSD para cada OTA são mostradas na figura 5.17

Os piores resultado das tensões RMS de ruído referido à entrada de cada OTA são listadas nas tabelas 5.8, 5.9, 5.10 e 5.11.

Figura 5.17: PSD da análise de ruído dos OTA dos integradores

Para obter o SR dos OTA são utilizados os circuitos da figura 5.18 a) e b). Na figura 5.18 a) é mostrada a configuração do integrador chaveado e na figura 5.18 b), a configuração do somador chaveado. Em ambos os circuitos a entrada é uma fonte de onda quadrada com período igual a $1/f_S$. Esta fonte tem valor igual a tensão de modo comum nos primeiros $7\mu s$ de simulação para que haja a estabilização da saída do OTA. Após este intervalo é que a onda é de fato aplicada. A amplitude do sinal de entrada é fixada num valor suficiente elevado para se obter na saída a amplitude máxima.

Figura 5.18: Circuito de simulação de *Slew Rate* dos OTA de integração e do OTA do somador

As curvas dos piores resultados do SR para cada OTA são mostradas na figura 5.19.

Figura 5.19: SR dos OTA dos integradores e do somador

Para obter a tensão de offset referida à saída é utilizado o circuito da figura 5.15. A tensão de *Offset* é obtida da média da diferença entre o nó positivo e o nó negativo do OTA no intervalo entre $7\mu s$ e $10\mu s$, considerando $7\mu s$ como o tempo necessário para o OTA estabilizar. Para realizar uma correta medição da tensão de *Offset* é necessário que as variações entre dispositivos iguais sejam consideradas. Isto só é conseguido através de uma análise de Monte Carlo.

Os resultados da distribuição da tensão de offset referida à entrada de 200 amostras, temperaturas entre $-20^{\circ}C$ e $80^{\circ}C$ dos OTA 1, OTA 2, OTA 3 e OTA 4 são mostrados nas figura 5.20.

Os piores resultados da tensão de *offset* de cada OTA são listados nas tabelas 5.8, 5.9, 5.10 e 5.11.

a) OTA 1

b) OTA 2

c) OTA 3

d) OTA 4

Figura 5.20: Distribuição da Tensão de *Offset* referida à saída dos OTA 1, OTA 2, OTA 3 e OTA 4

Tabela 5.8: Resultados das Simulações do OTA 1

Parâmetro	Especificações	Resultados	Pior Condição
f_T [MHz]	$> 12,1$	12,27	$ss, 80^\circ C$
SR [V/ μs]	$< 3,64$	4,23	$ss, 80^\circ C$
A_O [dB]	> 40	64,62	$ff, -20^\circ C$
Margem de Fase[$^\circ$]	> 60	76,46	$ss, 80^\circ C$
Margem de Ganho[dB]	< -8	-23,07	$ss, 80^\circ C$
Ruído referido à Entrada[μV_{rms}]	< 2	19	$ss, 80^\circ C$
Consumo de Corrente[mA]	> 1	0,660	$ff, 80^\circ C$
Tensão de Offset[mV]	5	1,9	3σ

Tabela 5.9: Resultados das Simulações do OTA 2

Parâmetro	Especificações	Resultados	Pior Condição
$f_T [MHz]$	$> 9,94$	10,55	$ss, 80^\circ C$
$SR [V/\mu s]$	$> 2,8$	2,92	$ss, 80^\circ C$
$A_O [dB]$	> 40	65	$ff, 80^\circ C$
<i>Margem de Fase</i> [°]	> 60	66,24	$ss, 80^\circ C$
<i>Margem de Ganho</i> [dB]	< -8	-14,8	$ss, -20^\circ C$
<i>Ruído referido à Entrada</i> [μV_{rms}]	< 20	15,17	$ff, 80^\circ C$
<i>Consumo de Corrente</i> [mA]	2	0,200	$ff, 80^\circ C$
<i>Tensão de Offset</i> [mV]	10	5,69	3σ

Tabela 5.10: Resultados das Simulações do OTA 3

Parâmetro	Especificações	Resultados	Pior Condição
$f_T [MHz]$	$> 9,94$	9,96	$ss, 80^\circ C$
$SR [V/\mu s]$	2,0	2,07	$ss, 80^\circ C$
$A_O [dB]$	> 40	65,01	$ff, 80^\circ C$
<i>Margem de Fase</i> [°]	> 60	60	$ss, 80^\circ C$
<i>Margem de Ganho</i> [dB]	< -8	-9,84	$ss, -20^\circ C$
<i>Ruído referido à Entrada</i> [μV_{rms}]	< 30	14,33	$ff, 80^\circ C$
<i>Consumo de Corrente</i> [mA]	1	0,130	$ff, 80^\circ C$
<i>Tensão de Offset</i> [mV]	5	1,6	3σ

Tabela 5.11: Resultados das Simulações do OTA 4

Parâmetro	Especificações	Resultados	Pior Condição
$f_T [MHz]$	$> 9,28$	10,31	$ss, 80^\circ C$
$SR [V/\mu s]$	7,24	7,889	$ss, 80^\circ C$
$A_O [dB]$	> 40	64,56	$ff, 80^\circ C$
<i>Margem de Fase</i> [μV_{rms}]	> 60	62,22	$ss, 80^\circ C$
<i>Margem de Ganho</i> [dB]	< -8	-25,28	$ss, -20^\circ C$
<i>Consumo de Corrente</i> [mA]	2	0,145	$ff, 80^\circ C$
<i>Tensão de Offset</i> [mV]	5	12,45	3σ

5.4.2 Simulações e Resultados do OTA do comparador

Para verificar o cumprimento das especificações no OTA diferencial do comparador serão utilizadas as análises *STB*, *AC*, *DC* e de Monte-Carlo. A análise *STB* será realizada com o mesmo circuito utilizado para os OTA diferenciais dos integradores. Esta análise será utilizada para obter $f_{T,C}$ e a estabilidade do OTA em laço fechado. A carga capacitiva de saída do OTA é determinada pela capacitância de saída em laço fechado, $C_L = 500fF$, e a capacitância de porta do transistor tipo-N na entrada do *Latch*. O circuito de simulação é mostrado na figura 5.21.

Figura 5.21: Circuito de simulação STB do OTA do comparador

Figura 5.22: Resposta em Frequência do OTA do comparador em laço fechado

A análise *STB* é realizada entre 1Hz e 1GHz com 20 pontos por década. A resposta

em frequência do OTA do comparador é mostrada na figura 5.22.

Para obter $f_{-3dB,C}$ é utilizada a análise AC e o circuito em laço aberto da figura 5.23. Nesta figura a capacitância de saída é determinada pela capacitância de entrada do *Latch*.

Figura 5.23: Circuito de simulação AC do OTA do comparador

A análise AC é realizada entre 1Hz e 1GHz com 20 pontos por década. A resposta em frequência do OTA do comparador em laço aberto é mostrado na figura 5.24.

Figura 5.24: Resposta em Frequência do OTA do comparador em laço aberto

Para obter a distribuição da tensão de *offset* referida na entrada, primeiro será obtida a tensão de *offset* na saída do OTA. Esta tensão pode ser obtida utilizando o circuito da figura 5.25 e a análise de Monte Carlo (variando processo e *mismatch*).

Tabela 5.12: Resultados das Simulações do OTA do comparador

Parâmetro	Especificações	Resultados	Pior Condição
$f_{T,C}$ [MHz]	> 13	13,74	$ss, 80^{\circ}C$
$f_{-3dB,C}$ [MHz]	$> 3,76$	11,61	$ss, 80^{\circ}C$
Ganho DC[V/V]	≈ 5	3,691	$ff, 80^{\circ}C$
MF [°]	> 60	100	$ss, -20^{\circ}C$
MG [dB]	-8	$-28,3$	$ss, -20^{\circ}C$
Consumo de Corrente[μA]	< 20	12	$ff, 80^{\circ}C$
Tensão de Offset[mV]	< 60	2,6	3σ

5.4.3 Simulações do Comparador

Para verificar o funcionamento do comparador são realizadas simulações de *Offset* e transientes. Para obter a tensão de *Offset* referida à saída, é medida a saída do OTA do comparador, na fase de comparação com a entrada é ligada a tensão de modo comum de 0,6V. O circuito da figura 5.27 é utilizado para obter a tensão de *Offset* do comparador.

Figura 5.27: Circuito de Simulação de *Offset* do Comparador

A análise de Monte-Carlo é realizada para obter a tensão de *offset* do comparador chaveado. O resultado é mostrado na figura 5.28. A distribuição da tensão de *offset* na saída para 100 amostras e temperaturas entre $-20^{\circ}C$ e $80^{\circ}C$ é mostrada na figura 5.28.

A tensão referida à saída dividida pelo ganho DC ($\approx 3,6$) fornece a tensão de offset referida à entrada que apresenta um desvio padrão de $0,12\mu V$.

Figura 5.28: Distribuição da tensão de *offset* na saída do comparador

O funcionamento do comparador é verificado utilizando uma análise transiente, conectando à entrada um sinal tipo escada que incrementa a cada $1\mu s$. A tensão diferencial de referência é gerada por uma rede resistiva. Na figura 5.29 são mostradas a saída do OTA diferencial e a saída do comparador. Como pode-se observar nesta figura, quando o sinal de entrada é maior que o sinal de referência, a saída diferencial do OTA muda de negativo a positivo na fase de comparação, passando a saída do *Latch* para VDD.

Figura 5.29: Principais sinais do comparador chaveado

5.4.4 Simulações do Quantizador

Para obter as especificações do quantizador mencionadas na seção 4.7, será utilizado o circuito da figura 5.30. Neste circuito, um sinal diferencial tipo rampa que vai de $-1V$ e $1V$ num intervalo de $1ms$ é aplicado à entrada do conversor.

Figura 5.30: Circuito de Simulação do Quantizador

O *offset*, o erro de ganho, o máximo *DNL* e o máximo *INL* serão obtidos através de uma simulação transiente. Primeiramente será obtido o *offset* com ajuda da equação 4.24. Logo o offset será removido da curva de transferência do *ADC* para calcular o erro de ganho. A curva inicial, a curva sem *offset* e a curva sem erro de ganho para o modelo típico e temperatura de $27^{\circ}C$ são mostradas na figura 5.31.

Figura 5.31: Curvas de transferência do quantizador

A curva sem offset e sem erro de ganho é utilizada para calcular o DNL e o INL do ADC . O INL e DNL para cada código no caso típico são mostrados na figura 5.32.

Figura 5.32: INL e DNL do quantizador no caso típico

Como estes parâmetros são dependentes do casamento dos dispositivos será realizada uma análise de Monte-Carlo seguindo o mesmo procedimento.

Figura 5.33: Distribuição dos parâmetros de medição do quantizador

Nas figuras 5.33 a), b), c), d) são mostradas as distribuições do *offset*, erro de ga-

no, INL máximo e DNL máximo do quantizador, respectivamente, para 50 amostras e temperaturas entre $-20^{\circ}C$ e $80^{\circ}C$. Os resultados destas simulações e as especificações são resumidas na tabela 5.13.

Tabela 5.13: Resultados das simulações do quantizador

Parâmetro	Especificações	Resultados	Condição
<i>Consumo de Corrente</i>	$\approx 166\mu A$	$219\mu A$	$f f, 80^{\circ}$
<i>Offset</i>	$> 1LSB/2$	$0,43LSB$	3σ
<i>Erro de Ganho</i>	$> 1LSB$	$0,7LSB$	3σ
$max(DNL)$	$> 1LSB/2$	$0,05LSB$	3σ
$max(INL)$	$> 1LSB/2$	$0,35LSB$	3σ

5.4.5 Simulações e Resultados do OTA 1 com Chopper

Para verificar a técnica de Chopper será utilizado o circuito da figura 5.34. Neste circuito, os círculos representam os moduladores de Chopper. As fontes V21, V23, V22 e V24 geram fases de relógio Φ_{C1} , Φ_{C2} , Φ_{C1d} e Φ_{C2d} (figura 3.18), respectivamente. Uma consideração importante para estabilizar o OTA é adicionar uma realimentação entre a entrada e a saída diferenciais para manter o ponto de operação dos transistores no nível estável sob qualquer variação de processo. Isto é realizado pela fonte dependente E6.

Figura 5.34: Circuito de Simulação do OTA1 com Chopper

Para verificar que o ruído do OTA é reduzido utilizando a técnica de *Chopper* será com-

parado o espectro de ruído obtido na análise do OTA com o espectro de ruído obtido da técnica de Chopper para o modelo SS à temperatura 80°C (pior caso de ruído). O espectro de ruído da técnica de Chopper será obtida utilizando as análises PSS (siglas do inglês *Periodic Steady State Analysis*) e PNoise do RF Spectre. Estas análises são utilizadas quando existem sinais sendo modulados periodicamente. A análise PSS é utilizada para obter o ponto de operação do circuito em estado estável. Este ponto de operação é utilizado pela análise PNoise para obter o espectro de frequência do ruído do circuito. O resultado desta análise é mostrado na figura 5.35.

Figura 5.35: Resultados do Ruído referido à entrada do OTA 1 com chopper

O ruído referido à entrada integrado entre 20 Hz e 20 kHz do OTA 1 com *Chopper* é igual a $1,39\mu\text{V}_{RMS}$, resultado inferior a especificação de $2,2\mu\text{V}_{RMS}$, enquanto o ruído do OTA 1 referido à entrada sem *Chopper* é $19\mu\text{V}_{RMS}$. Assim vemos que a técnica de *Chopper* conseguiu reduzir o ruído num fator de 16.

5.4.6 Simulações e Resultados do Modulador Sigma-Delta

O SNR é a principal especificação do modulador Sigma-Delta desde que pode ser utilizado para obter o SNDR, o DR, o ENOB e o FoM. O método tradicional para obter o SNR é através de simulações de ruído transiente do circuito em nível de transisto-

res. Para isto um sinal senoidal de frequência f_{test} e amplitude $1V_{pp}$ é conectado na entrada do modulador Sigma-Delta (figura 5.39) durante um tempo de simulação t_{total} , obtendo-se como resultado na saída um sinal PWM. Como o SNR é um parâmetro dependente da frequência é transformado para o domínio da frequência utilizando FFT. Para evitar erros nos resultados da FFT é necessário que f_{test} odebeça a seguinte relação 5.50.

$$f_{test} = \frac{N_{test}f_s}{N} \quad (5.50)$$

onde N_{test} é o número de amostras de um período de f_{test} , N é o número de amostras total. Além de obedecer a relação, também é necessário que N e N_{test} sejam números primos entre si e N seja potência de dois. Para cumprir estes requerimentos, N será fixado em 2^{15} e N_{test} em 111. Portanto f_{test} será igual a $6,76kHz$. O tempo necessário para obter as 2^{15} amostras, t_{total} , é igual a $16,38ms$.

A nível de transistores, o tempo de processamento da simulação requerida para obter essa quantidade de amostras pode ser de semanas ou meses. Uma boa opção para reduzir o tempo de processamento é utilizar modelos comportamentais (circuitos em *VerilogA*) dos blocos que compõem o modulador Sigma-Delta. Os blocos comportamentais serão configurados para os piores casos de SR , f_T , e Ganho. Apesar da maioria dos parâmetros poder ser modelados utilizando *verilogA*, o ruído é um parâmetro que deve ser modelado de forma diferente.

Uma forma de obter o ruído referido na saída do modulador no nível de transistores é utilizar uma ferramenta capaz de fornecer o PSD de circuitos com ponto de operação variável periodicamente no tempo, como o *RF Spectre* [42]. Em moduladores Sigma-Delta o ponto de operação varia periodicamente no tempo quando a entrada é zero. Para ter uma boa estimativa de ruído quando a entrada é zero deve-se assumir que o ruído é independente da entrada, o qual é demonstrado em [42].

No modulador Sigma-Delta existem duas fontes de ruído predominantes, o ruído de quantização e o ruído dos dispositivos. Os valores das duas fontes de ruído podem-se obter separadamente para depois serem adicionadas. O valor do ruído de quantização pode ser obtido através do DNL do quantizador e modelado como ruído branco utilizando Matlab. O valor do ruído dos dispositivos, por sua vez, pode ser obtido através da análise PNnoise do circuito de simulação da figura 5.36.

No circuito da figura 5.36, o quantizador é removido e a saída do somador é reali-

Figura 5.36: Circuito de Simulação do modulador Sigma-Delta para obter o PSD equivalente referido à entrada

mentado diretamente na entrada. Esta realimentação serve para manter a função de transferência do modulador. O ruído é coletado na saída do somador após realizar a análise PSS e PNoise. O PSD do ruído referido à entrada, no pior caso, em tensão e em dB é mostrado na figura 5.37.

Figura 5.37: PSD do Modulador Sigma-Delta em tensão e em dB

O PSD obtido desta análise é convertida ao domínio do tempo utilizando um bloco do *Simulink* do *toolbox* de SDM, o *colored noise*. O ruído gerado pelo bloco *colored noise* é mostrado na figura 5.38.

Figura 5.38: Ruído gerado do PSD

O ruído gerado pela análise anterior é utilizado como parâmetro de entrada de uma fonte *PWLfile* (fonte de PWL que tem como entrada um arquivo de texto). Esta fonte é

conectada na entrada do modulador Sigma-Delta, modelando o ruído dos dispositivos referido à entrada do modulador, como pode ser visto na figura 5.39.

Figura 5.39: Circuito de Simulação de Ruído do Modulador Sigma-Delta

O espectro em frequência do sinal na saída do modulador do circuito da figura 5.39, é mostrado na figura 5.40.

Figura 5.40: Espectro em Frequência da saída do modulador Sigma-Delta

O consumo de corrente total do modulador Sigma-Delta para o pior caso de potência é

1,354mA. A distribuição percentual do consumo de corrente de cada bloco é mostrado na figura 5.41.

Figura 5.41: Consumo de corrente do modulador Sigma-Delta

Os resultados das simulações do modulador Sigma-Delta são resumidos na tabela 5.14.

Tabela 5.14: Resultados das simulações do Modulador Sigma-Delta

Parâmetro	Especificações	Resultados	Condição
SNR	> 96dB	98dB	--
Consumo de Corrente	< 2mA	1,354mA	ff, 80°C
FoM	< 2pJ/conv	0,66pJ/conv	--
ENOB	16	16	--
DR	> 98dB	101dB	--

6 Conclusões e Trabalhos Futuros

6.1 Conclusões

Foi projetado um modulador Sigma-Delta para ser utilizado em aplicações de áudio (20 Hz-20 kHz). A topologia *CIFF* de terceira ordem e quatro *bits* foi escolhida visando baixo consumo de potência. O modulador opera com uma frequência de amostragem, $f_s = 2MHz$. Esta frequência é necessária para gerar um SNR de 98dB ou o equivalente a uma resolução de 16 *bits*.

Na metodologia proposta para o projeto do modulador inicia-se no nível de sistema, com a escolha de topologias de baixo consumo para o modulador e para os blocos internos. Foram escolhidas estruturas de capacitores chaveados como base para os blocos internos do modulador devido a sua facilidade de implementação em circuitos integradores e a menor dependência com o processo da posição dos pólos e zeros. O modulador é composto por três integradores, um somador analógico, um conversor D/A e um quantizador. Estes blocos foram implementados da seguinte forma:

- Os integradores foram implementados com integradores insensíveis às capacitâncias parasitas.
- O somador analógico foi implementado com a arquitetura de *Reset Capacitivo*.
- O conversor D/A foi implementado com a arquitetura *binary-weighted*.
- O quantizador foi implementado com a arquitetura *Flash*.

As estruturas de capacitores chaveados utilizam chaves compostas por transistores MOS. Estes transistores introduzem erros e não linearidades no funcionamento dos circuitos. Entre estes erros, pode-se mencionar a injeção de carga, o *Clock Feedthrough* e o ruído kT/C . Para reduzir os dois primeiros erros são utilizadas estruturas totalmente diferenciadas e fases de relógio ligeiramente desfasadas. Para reduzir o ruído kT/C são utilizados valores de capacitâncias altas.

Uma tensão *Full-Scale* de $2V_{PP}$ foi escolhido, com o qual as tensões de referência necessárias são fixadas em $1,1V$ e $0,1V$ para uma tensão de modo comum de $0,6V$. Valores maiores de V_{FS} exigiriam tensões de referência negativas, difíceis de serem aplicadas.

A partir da tensão V_{FS} e o DR podem-se determinar as contribuições de ruído do modulador Sigma-Delta. Entre as contribuições de ruído mais importantes pode-se mencionar o ruído dos blocos internos e o ruído de quantização. Para reduzir o consumo de potência dos blocos internos do modulador é fixado que a contribuição desses blocos é 80% do ruído total. Para o ruído de quantização é escolhida uma contribuição de 1% do ruído total. Com o valor do ruído de quantização é calculado um SQNR de $116dB$. O valor do SQNR, a frequência de amostragem, a ordem do modulador e o número de *bits* do quantizador são utilizados junto as funções do *SDM toolbox* do Matlab para se obter os valores dos coeficientes do modulador Sigma-Delta.

Os blocos de maior consumo dentro do modulador Sigma-Delta são os OTAs. O consumo de potência destes blocos dependem dos seus parâmetros, como o *Slew Rate*, o Ganho DC, a largura de banda e a excursão de saída. As especificações destes parâmetros foram calculadas através de análises teórica e verificadas utilizando modelos comportamentais em *Simulink* do Matlab. Outro parâmetro ligado ao consumo de potência é o valor do capacitor de carga dos integradores. Este parâmetro foi calculado a partir da análise de ruído dos blocos internos do modulador. Desta análise, também, foram obtidas as especificações do ruído referido na entrada dos OTAs dos integradores.

Os blocos internos do modulador Sigma-Delta foram projetados na tecnologia IBM $0,18\mu m$, com uma tensão de alimentação de $1,8V$. Para o projeto dos OTAs dos integradores e do somador analógico foi escolhida a topologia OTA-Miller totalmente diferencial, por ter o melhor compromisso entre potência, ruído e ganho DC. Em amplificadores totalmente diferenciais ao adicionar uma realimentação, a tensão de modo comum na saída não fica definida com precisão, devido a que o ganho de modo comum resultante é baixo. Sem um controle apropriado a tensão de modo comum da saída tende para VDD ou GND devido a variações de processo e da tensão de alimentação, ao casamento entre transistores, etc. Por esta razão um circuito de realimentação de modo comum (CMFB-*Common Mode Feedback*) é necessário. No caso do OTA-Miller, o qual tem dois estágios, é necessário utilizar um circuito de CMFB para cada estágio. Como o OTA foi utilizado num circuito com capacitores chaveados é projetado

um SC-CMFB de cargas simétricas (CMFB com capacitores chaveados).

No projeto dos OTAs, o consumo de potência foi minimizado para as condições de SR, largura de banda, ruído, estabilidade e capacitância de saída. Após simulações, foi verificado que o OTA 1 é o bloco de maior consumo de potência dentro do modulador. Isto acontece pela alta capacitância saída do OTA 1. Para diminuir o ruído intrínseco da OTA 1 foi utilizada a técnica de *Chopper*, a qual reduz este ruído referido à entrada por um fator de 16.

Para os comparadores do quantizador foi escolhida uma topologia dinâmica com *Latch* na saída. Este tipo de comparadores tem a vantagem da velocidade, mas como desvantagem tem uma alta tensão de *Offset* e ruído *kickback*. Estas desvantagens são reduzidas com um circuito pre-amplificador e utilizando a técnica de *Auto-Zero*. Para o pre-amplificador foi escolhido par diferencial com transistores de carga em configuração de diodo devido a seu baixo consumo e alta velocidade.

Para simular o modulador Sigma-Delta foi utilizada a técnica descrita em [42]. Nesta técnica, o ruído referido à saída do modulador Sigma-Delta é obtido utilizando o simulador RF Spectre. Este ruído é referido na entrada e é adicionado no modelo comportamental do modulador Sigma-Delta reduzindo o tempo de simulação transiente. Como resultado desta simulação se obteve um SNR de 98dB, um DR de 101dB na banda do sinal, uma potência de 2,4mW para uma tensão de 1,8V e um FoM de $0,66pJ/conv$.

6.2 Trabalhos Futuros

Os trabalhos futuros são listados a seguir.

- Realizar o *Layout* do modulador seguindo as técnicas de baixo ruído e baixo descasamento.
- Fabricar e testar o modulador Sigma-Delta.
- Comparar o consumo de potência de diferentes topologias de OTAs para as especificações obtidas neste trabalho e determinar a topologia de menor consumo de potência.
- Analisar a relação entre a ordem do modulador e o valor do capacitor de entrada da OTA de entrada.

- Modificar a arquitetura do modulador Sigma-Delta para reduzir a capacitância de entrada da OTA de entrada.

Referências

- [1] JOHNS, D.; MARTIN, K. **Analog Integrated Circuit Design**. [S.l.]: John Wiley and Sons, Inc, 1997.
- [2] MALOBERTI, F. **Data Converters**. New York, NY: Imperial College Press, 2007.
- [3] YAO, L.; STEYAERT, M.; SANSEN, W. **Low Power Low Voltage Sigma-Delta Modulators in Nanometer CMOS**. [S.l.]: Springer, 2006.
- [4] BONIZZONI, E.; PEREZ, A.; MALOBERTI, F. Non-Conventional Sigma-Delta Architectures for Very Low-Power and Medium Resolution Applications. In: **The 2008 IEEE International Workshop on AVLSI**. [S.l.: s.n.], 2008. v. 1, p. 135–139.
- [5] FIORE, C. D.; MALOBERTI, F. Design of Sigma-Delta Modulators with Reduced Number of Operational Amplifiers. In: **Proceedings of the European Conference on Circuit Theory and Design**. [S.l.: s.n.], 2005. v. 1, p. I/205 – I/208.
- [6] MALOBERTI, F. High-Performance Data Converters: Trends, Process Technologies and Design Challenges. In: **IEEE Asia Pacific Conf. on Circuits and Systems**. [S.l.: s.n.], 2008. APCCAS 2008, p. 12–16 (Invited paper).
- [7] CHEN, L.; LIU, L.; LI, D.; ZHANG, C.; WANG, Z. A 1V 210 μ W 98dB SFDR Audio Sigma-Delta Modulator in 180nm Standard CMOS. In: **2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)**. [S.l.: s.n.], 2010. p. 379 – 381.
- [8] CDNS. **Cadence Design Systems**. 1988. Disponível em: <"http://www.cadence.com.">.
- [9] SCHREIER, R.; TEMES, G. C. **Understanding Delta-Sigma Data Converters**. Piscataway, NY: John Wiley and Sons, Inc, 2005.
- [10] ROSA, J. M. de la. Sigma-delta modulators: Tutorial overview, design guide, and state-of-the-art survey. **IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS**, v. 52, p. 1–21, 2011.
- [11] PICOLLI, L.; GRASSI, M.; ROSSON, L.; FORNASARI, A.; MALCOVATI, P. A Fourth-Order, Audio-Bandwidth, 87.5-dB SNDR Sigma-Delta Modulator for MEMS microphones. In: **Int. Symp. Circuits and Systems (ISCAS)**. [S.l.: s.n.], 2009. p. 1325 – 1328.
- [12] CHEN, L.; LIU, L.; LI, D.; ZHANG, C.; WANG, Z. A 1V 663 μ W 15-bit Audio Sigma-Delta Modulator in 0.18 μ m Standard CMOS. In: **2010 International Symposium on VLSI Design Automation and Test (VLSI-DAT)**. [S.l.: s.n.], 2010. p. 194 – 197.

- [13] NORSWORTHY, S. R.; SCHREIER, R.; TEMES, G. C. **Delta Sigma Modulators: Modeling, Design and Applications**. Piscataway, NY: IEE Press, 1997.
- [14] RITCHIE, G. R. **Higher Order Interpolation analog to digital converters**. Disserta [U+FFFD] (Mestrado) — University of Pennsylvania, 1977.
- [15] CANDY, J. A use of double integration in sigma-delta modulation. **IEEE Trans. Commun.**, v. 33, p. 249–258, 1985.
- [16] LEE, W. **A novel higher order interpolative modulator topology for high resolution oversampling A/D converters**. Tese (Doutorado) — Massachusetts Institute of Technology, 1987.
- [17] CHAO, K.; NADEEM, S.; W.L.LEE; SODINI, C. A Higher Order Topology For Interpolative Modulator For Oversampling A/D Conversion. **IEEE Trans. Circuits Syst.**, v. 37, p. 309–318, 1990.
- [18] HAYASHI, T.; INABE, Y.; UCHIMURA, K.; IWATA, A. A multistage delta-sigma modulator without double integration loop. **ISSCC Dig. Techn.**, p. 182–183, 1986.
- [19] MALOBERTI, F. Architectures and Design Methodologies for Very Low Power and Power Effective A/D Converters. In: **IEEE North-East Workshop on Circuits and Systems**. [S.l.: s.n.], 2006. NEWCAS 2006, p. 77–80 (Plenary).
- [20] TEMES, G. New architectures for low-power delta-sigma analog-to-digital converter. In: . [S.l.: s.n.], 2008. p. 1–6.
- [21] FERRAGINA, V. et al. Use of Dynamic Element Matching in a Multi-Path Sigma-Delta Modulator. In: **IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, ISCAS. Proceedings...** Vancouver, Canada, 2004. v. 1, p. 649 – 652.
- [22] LIU, L.; CHEN, L.; LI, D.; WANG, Z.; WEI, S. A 1.1mW 87dB Dynamic Range Audio Sigma-Delta Modulator in 0.18 μ m CMOS. In: **Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics**. [S.l.: s.n.], 2009. p. 17–20.
- [23] YANG, Y.; SCULLEY, T.; ABRAHAM, J. A Single-Die 124dB Stereo Audio Delta-Sigma ADC With 111dB THD. **IEEE Journal of Solid-State Circuits**, v. 43, p. 1657 – 1665, 2008.
- [24] YANG, Y.; CHOKHAWALA, A.; ALEXANDER, M.; MELANSON, J.; HESTER, D. A 114-dB 68-mW Chopper-Stabilized Stereo Multibit Audio ADC in 5.62 mm². **IEEE Journal of Solid-State Circuits**, v. 38, p. 2061 – 2068, 2003.
- [25] PARK, H.; NAM, K.; D.K., S.; VLEUGELS, K.; WOOLEY, B. A. A 0.7-V 870- μ W Digital-Audio CMOS Sigma-Delta Modulator. **IEEE Journal of Solid-State Circuits**, v. 44, p. 1078 – 1088, 2009.
- [26] LIOU, W.-R.; LIN, C.-J.; YEH, M.-L.; SIAO, H.-Y. A low-power Multi-bit Delta-Sigma modulator for audio signal processing. In: **FOURTH INTERNATIONAL CONFERENCE ON COMMUNICATIONS AND NETWORKING IN CHINA, CHINACOM 2009. Proceedings...** Xian, China, 2009. v. 1, p. 1–5.

- [27] KOH, J.; CHOI, Y.; GOMEZ, G. A 66dB DR 1.2V 1.2mW Single-Amplifier Double-Sampling 2nd order Sigma Delta ADC for WCDMA in 90nm CMOS. In: **ISSCC Dig. Techn.** [S.l.: s.n.], 2005. p. 170–172.
- [28] WANG, H.; XU, J.; ; WU, X. A Low Power Audio Delta-Sigma Modulator with Opamp-Shared and Opamp-Switched Techniques. In: INTERNATIONAL MULTI-CONFERENCE OF ENGINEERS AND COMPUTER SCIENTISTS 2010. **Proceedings...** Hong Kong, 2010. v. 2.
- [29] LEE, K.-S.; CHOI, Y.; MALOBERTI, F. Domino Free 4-Path Time-Interleaved Second Order Sigma-Delta Modulator. v. 43, p. 225–236, 2005.
- [30] MALOBERTI, F.; CHOI, Y. A 86dB DR Cross-Coupled Time-Interleaved $\Sigma\Delta$ ADC for Audio Signal Band with 322 Sigma-Delta Current Consumption. In: **IEEE International Symposium on Circuits and Systems (ISCAS)**. [S.l.: s.n.], 2007. p. 2148 – 2151.
- [31] RAZAVI, B. **Design of Analog CMOS Integrated Circuits**. New York, NY: McGraw-Hill, 2001.
- [32] BAKER, R. J. **CMOS Circuit Design, Layout, and Simulation**. Piscataway, NY: John Wiley and Sons, Inc, 2010.
- [33] A.FORNASARI; P.MALCOVATI; F.MALOBERTI. Improved Modeling of Sigma-Delta Modulator Non-Idealities in SIMULINK. In: **Proceedings of ISCAS 2005**. [S.l.: s.n.], 2005. v. 6, p. 5982–5985.
- [34] BRIGATI, S. et al. Modeling sigma-delta modulator non-idealities in simulink. In: **Proceedings of IEEE International Symposium on Circuits and Systems**. [S.l.: s.n.], 1999. ISCAS 1999, p. 384–387.
- [35] SCHREIER, R.; SILVA, J.; STEENSGAARD, J.; TEMES, G. C. Design-oriented estimation of thermal noise in switched-capacitor circuits. **IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS**, v. 52, p. 2358–2368, November–2005.
- [36] SILVEIRA, F.; FLANDRE, D.; JESPERS, P. G. A. A gm/id based methodology for the design of cmos analog circuits and its application to the síntesis of a silicon-on-insulator micropower ota. **IEEE Journal of Solid State Circuits**, v. 31, p. 1314–1319, 1996.
- [37] FOTY, D.; BINKLEY, D.; BUCHER, M. **Starting Over: gm/Id-Based MOSFET Modeling as a Basis for Modernized Analog Design Methodologies**. 28 - 31 August 2001.
- [38] ALARCÓN, H.; VILLACORTA, H. **A DESIGN-SPACE GENERATION TOOL FOR ANALOG BLOCKS OF ULTRA LOW-POWER IC'S BASED UPON THE BSIM3V3 MODEL**. March 2006.
- [39] CHOKSI, O.; CARLEY, L. R. Analysis of switched-capacitor common-mode feedback circuit. **IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: ANALOG AND DIGITAL SIGNAL PROCESSING**, v. 50, p. 906–917, December–2003.

-
- [40] OSSA, W. C. **Projeto de um conversor analogico-digital para um receptor Bluetooth em tecnologia CMOS**. Dissertação (Mestrado) — Universidade de São Paulo, 2010.
- [41] Christian C. Enz and Gabor C. Temes. Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization. In: IEEE. **IEEE Conference Proceedings**. [S.l.], 1996. p. 1584–1614.
- [42] TERROVITIS, M.; KUNDERT, K. **Device Noise Simulation of $\Sigma - \Delta$ Modulators**. [S.l.], 2006.

Apêndice A – Análise de Ruído do Modulador Sigma-Delta

As fontes de ruído intrínseco podem ser modeladas como fontes de tensão que são somadas nas entradas de cada estágio do modulador *Sigma-Delta*, como é mostrado na figura A.1.

Figura A.1: Modelo linear do modulador Sigma-Delta com fontes de ruído

Cada fonte de ruído representa o ruído armazenado nos capacitores de carga nas duas fases do integrador. Os modelos em pequenos sinais do integrador de entrada na fase de carga, figura A.2, e na fase de integração, figura A.3, serão utilizados para obter as fontes de ruído V_{n1} e V_{n2} . A análise dos outros integradores será derivada desta análise.

Na figura A.2 gm_1 é a transcondutância equivalente de uma OTA, $V_{n,R}$ representa o ruído equivalente da resistência das chaves e V_{n,A_1} representa o ruído equivalente do OTA de ganho A_1 . Na figura A.2 b) é mostrado o estágio de carga do capacitor de entrada de valor c_1C2 . Este estágio é dominado pelo ruído kT/C visto na seção

Figura A.2: a) Circuito equivalente para a fase de carga do integrador, b) Modelo em pequeno sinal do estágio de carga do capacitor de entrada, c) Modelo em pequeno sinal do estágio de carga do capacitor de saída do integrador

3.3.1.3. Portanto a fonte de ruído V_{n1} é dada pela equação A.1.

$$\overline{V_{n1}^2} = \frac{kT}{(b_3C1 + c_2C2)} \quad (\text{A.1})$$

No modelo em pequeno sinal, mostrado no esquema c) da figura A.2 existem duas fontes de ruído, o ruído das chaves e o ruído do OTA. Deste modelo podem se extrair as equações A.2 e A.3.

$$V_{n,R} = V_{n2} + R_{ON}V_{Cs}(c_2C3) + V_{out} \quad (\text{A.2})$$

$$gm_1V_{n,A1} + V_{out}(gm_1 + s(C_L + a_1C1)) = V_{n2}s(c_2C3) \quad (\text{A.3})$$

Das equações A.2 e A.3 pode-se obter a função de transferência do ruído do OTA e das chaves referidos à V_{n2} , sendo mostrado na seguinte equação:

$$V_{n2} = \frac{V_{n,A1} + V_{n,R}(1 + s\tau_R)}{1 + s(\tau_R + \tau_O + \frac{c_2C3}{C_L + a_1C1}\tau_O) + \tau_R\tau_Os^2} \quad (\text{A.4})$$

onde $\tau_R = R_{ON}c_2C2$ e $\tau_O = (C_L + a_1C1)/gm_1$. Se $(c_2C3)/(C_L + a_3C1) > 1$, o pólo mais

significativo se move levemente para baixas frequências, diminuindo a potência de ruído na entrada de 1 a 2dB [2]. Se $(c_2C3)/(C_L + b_3C1) < 1$ a função de transferência de V_{n2} é dominada pelos pólos em τ_R e τ_O , sendo o pólo dominante τ_O . Para este caso, V_{n2} pode ser expressa pela seguinte aproximação [2]:

$$V_{n2}(s) = \frac{V_{n,A}(s)}{1 + s\tau_O} + \frac{V_{n,R}(s)}{1 + s\tau_R} \quad (\text{A.5})$$

A partir da equação anterior pode-se deduzir que o RMS de V_{n2} devido a $V_{n,R}(s)$ é igual a $V_{n2,R}^2 = kT/(c_2C3)$ e o RMS de V_{n2} devido a $V_{n,A}(s)$, $V_{n2,A}^2$, é dado pela equação A.6.

$$\overline{V_{n2,A}^2} = \int_0^\infty \frac{V_{n,A}(f)}{1 + [2\pi f(\frac{a_1C1 + C_L}{gm_1})]^2} df \quad (\text{A.6})$$

Na figura A.3 é mostrado o modelo em pequeno sinal equivalente da fase de integração do integrador de entrada do modulador Sigma-Delta.

Figura A.3: a) Circuito equivalente para a fase de integração do integrador; b) Modelo em pequeno sinal na fase de integração do integrador de entrada

A partir do modelo de pequeno sinal da figura A.3, podem-se obter as potências de ruído do OTA e das chaves referidos ao capacitor de carga de valor c_1C2 , V_{n1} . Deste

modelo podem-se extrair as seguintes equações:

$$V_{out} = c_1 V_{n1} + V_X \quad (A.7)$$

$$V_X = V_{n2} R_{ON} s c_1 C_2 + V_{n,R} + V_{n1} \quad (A.8)$$

$$gm_1(V_X - V_{n,A1}) = V_{out}s(C_L) + (V_{out} - V_X)sC_2 \quad (A.9)$$

A partir das equações A.7, A.8, A.9 é obtida a função de transferência das fontes de ruído com respeito ao capacitor de carga, na seguinte equação:

$$V_{n1} = \frac{-V_{n,A1} + V_{n,R}(1 + s\tau_O)}{1 + s(\tau_O/\beta_f + \tau_O + \tau_R) + s^2\tau_O\tau_R} \quad (A.10)$$

onde $\tau_R = R_{ON}c_1C_2$, $\tau_O = (C_L)/gm_1$ e $\beta_f = c_1/(c_1 + 1)$. Considerando $\beta_f < 1$, a equação A.10 pode ser aproximada como na equação A.5. Portanto, o ruído RMS referido em V_{n1} pode ser expresso pela equação A.11.

$$\overline{V_{n1}^2} = \int_0^\infty \frac{V_{n,A1}(f)}{1 + [2\pi f(\frac{C_L}{gm_1})]^2} df + \frac{kT}{c_1 C_2} \quad (A.11)$$

Esta análise pode ser repetida para os outros dois integradores dentro do modulador Sigma-Delta. A contribuição de cada fonte de ruído dentro de cada estágio do modulador é mostrado nas tabelas A.1 e A.2.

Tabela A.1: Fontes de Ruído do modulador Sigma-Delta de Terceira Ordem em V_{n1} e

		V_{n2}	
<i>Fase</i>	<i>Fonte</i>	$\overline{V_{n1}^2}$	$\overline{V_{n2}^2}$
Φ_1	$V_{n,A}^2$	— — —	$\int_0^\infty \frac{V_{n,A1}(f)}{1 + [2\pi f(\frac{C_L + c_1 C_1}{gm_1})]^2} df$
Φ_1	$V_{n,R}^2$	$\frac{kT}{c_1 C_2}$	$\frac{kT}{c_2 C_3}$
Φ_2	$V_{n,A}^2$	$\int_0^\infty \frac{V_{n,A1}(f)}{1 + [2\pi f(\frac{C_L}{gm_1})]^2} df$	$\int_0^\infty \frac{V_{n,A2}(f) df}{1 + [2\pi f(\frac{C_L}{gm_2})]^2}$
Φ_2	$V_{n,R}^2$	$\frac{kT}{c_1 C_2}$	$\frac{kT}{c_2 C_3}$

Tabela A.2: Fontes de Ruído do modulador Sigma-Delta de Terceira Ordem em V_{n3} e

		V_{n4}	
<i>Fase</i>	<i>Fonte</i>	$\overline{V_{n3}^2}$	$\overline{V_{n4}^2}$
Φ_1	$V_{n,A}^2$	$\int_0^\infty \frac{S_{n,A_2}(f)}{1 + [2\pi f(\frac{C_L + c_2 C_1}{gm_2})]^2} df$	$\int_0^\infty \frac{S_{n,A_3}(f)}{1 + [2\pi f(\frac{C_L + c_3 C_1}{gm_3})]^2} df$
Φ_1	$\frac{kT}{c_2 C_3}$	$\frac{kT}{c_3 C_4}$	$\frac{kT}{c_1 C_2}$
Φ_2	$V_{n,A}^2$	$\int_0^\infty \frac{S_{n,A_3}(f)}{1 + [2\pi f(\frac{C_L}{gm_3})]^2} df$	— — —
Φ_2	$V_{n,R}^2$	$\frac{kT}{c_3 C_4}$	— — —

O SNR do modulador depende da razão entre a potência do sinal na saída e a potência do ruído referido à saída. Desta forma as fontes de ruído obtidas em cada estágio serão referidas na saída do modulador. Para simplificar o procedimento, as fontes de ruído do tipo kT/C e as fontes de ruído que dependem da frequência (ruído dos OTAs) serão analisadas separadamente.

Para obter a potência do ruído do tipo kT/C referido à saída é necessário, primeiro, obter a densidade espectral de potência (PSD, das siglas em inglês) de cada fonte. Desde que todas as fontes de ruído são amostradas, considerando-se ruído branco, o PSD para a i -ésima fonte de ruído kT/C , $S_{vi,R}$ (i representa o número da fonte), é expressa pela equação A.12 [35].

$$S_{vi,R} = \frac{\overline{V_{ni,R}^2}}{f_S/2} \quad (\text{A.12})$$

O passo seguinte é o calculo das funções de transferência entre cada fonte de ruído e a saída, $NTF_{io}(z)$. Isto é feito analiticamente utilizando $H(z)$. As funções de transferência para cada fonte são mostradas nas equações A.13, A.14, A.15 e A.16:

$$NTF_{1o}(z) \cong \frac{H^3(z) + 3H^2(z) + 3H(z) + 1}{1 + H^3(z) + 3H^2(z) + 3H(z)} = 1 \quad (\text{A.13})$$

$$NTF_{2o}(z) \cong \frac{H^2(z) + 3H(z)}{1 + H^3(z) + 3H^2(z) + 3H(z)} = z^{-1}(4 - z^{-1})(1 - z^{-1}) \quad (\text{A.14})$$

$$NTF_{3o}(z) \cong \frac{H(z)}{1 + H^3(z) + 3H^2(z) + 3H(z)} = z^{-1}(1 - z^{-1})^2 \quad (\text{A.15})$$

$$NTF_{4o}(z) \cong \frac{1}{1 + H^3(z) + 3H^2(z) + 3H(z)} = (1 - z^{-1})^3 \quad (\text{A.16})$$

Finalmente, para obter a potência de ruído kT/C referida à saída da fonte i , $\overline{N_{iO,R}}$, o $S_{vi,R}$ multiplicado pela função $|NTF_{io}(z)|^2$ é integrado de zero até a frequência de corte do sinal de entrada $f_S/(2OSR)$. O resultado para cada fonte é mostrado nas equações A.17, A.18, A.19 e A.20 (ruído para Φ_1 e Φ_2):

$$\overline{N_{1O,R}^2} = 2 \frac{kT}{f_S c_1 C^2} \int_0^{f_S/(2OSR)} 1 df \quad (\text{A.17})$$

$$\overline{N_{2O,R}^2} = 2 \frac{kT}{f_S c_2 C^3} \int_0^{f_S/(2OSR)} [12 \text{sen}^2\left(\frac{\pi f}{f_S}\right) - 4 \text{sen}^2\left(\frac{2\pi f}{f_S}\right)] df \quad (\text{A.18})$$

$$\overline{N_{3O,R}^2} = 2 \frac{kT}{f_S c_3 C^4} \int_0^{f_S/(2OSR)} [16 \text{sen}^4\left(\frac{\pi f}{f_S}\right)] df \quad (\text{A.19})$$

$$\overline{N_{4O,R}^2} = 2 \frac{kT}{f_S c_1 C^2} \int_0^{f_S/(2OSR)} [64 \text{sen}^6\left(\frac{\pi f}{f_S}\right)] df \quad (\text{A.20})$$

Como $OSR \gg 1$, as expressões anteriores podem ser simplificadas[35]:

$$\overline{N_{1O,R}^2} \approx \frac{2\overline{V_{n1,R}^2}}{OSR} \quad (\text{A.21})$$

$$\overline{N_{2O,R}^2} \approx \frac{2\overline{V_{n2,R}^2} \pi^2}{3OSR^3} \quad (\text{A.22})$$

$$\overline{N_{3O,R}^2} \approx \frac{2\overline{V_{n3,R}^2} \pi^4}{5OSR^5} \quad (\text{A.23})$$

$$\overline{N_{4O,R}^2} \approx \frac{2\overline{V_{n4,R}^2} \pi^6}{7OSR^7} \quad (\text{A.24})$$

Para obter a potência referida à saída das componentes de ruído da fonte V_{ni} que dependem da frequência, $\overline{N_{iO,A_i}^2}$, é necessário calcular a integral das equações A.6 e

A.11. Para isto, a potência $\overline{V_{ni,A_i}^2}$ será calculada integrando entre 0Hz e 1GHz o produto $V_{n,A_i}^2(f)|H_{OTA,i}(f)|^2$, onde $V_{n,A_i}^2(f)$ é extraído de simulações elétricas e $H_{OTA,i}(f)$ é a função de transferência do OTA i. O procedimento para obter $\overline{V_{ni,A_i}^2}$ é mostrado na figura A.4.

Figura A.4: Densidade Espectral de Potência Referida à Entrada através do método gráfico

Para achar a potência referida à saída do ruído dos OTAs, $\overline{N_{A,iO}^2}$, é utilizado o modelo em *Simulink* da figura 4.1. Na entrada de cada estágio é adicionado o bloco *colored noise* do *SDM toolbox*. Este bloco tem como parâmetro de entrada a potência $\overline{V_{n,A_i}^2}(f)$ e a frequência de sobre-amostragem f_S . Também considera o *aliasing* produzido ao amostrar o espectro de $\overline{V_{n,A_i}^2}(f)$.

Apêndice B – Código em Matlab para projetar e obter as especificações do SDM

- Para projetar o modulador Sigma-Delta são utilizados alguns comandos do *SDM Toolbox* do *Matlab*. O seguinte script é utilizado para obter os coeficientes do modulador Sigma-Delta e as figuras 4.4, 4.5 e 4.6.
- *Script* em *Matlab* para obter o $|NTF(z)|$ para diferentes A_O s
- *Script* para obter o SQNR em função do A_O

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%   Script em Matlab                                     %
%   Autor: Heiner Alarcon Cubas                         %
%   Curva SQNR vs Ganho DC                             %
%   Este Script gera a curva da                        %
%   figura 4.9, simulando o esquemático               %
%   da figura 4.1 para cada ganho DC                  %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

gain=2e2          %ganho DC inicial Ao=200
for i=1:199

    gain=gain-0.01*2e2; %Variando o ganho DC
    gain1(i)=gain;
    alfa=(gain1(i)-1)/gain1(i);
    SimOut=sim('multibit_ciff_122dBnew');%Obtendo a saída do modulador Sigma-Delta
    out=V1;
    spec2=fft(15*out(1:N)'.*ds_hann(N))/((M-1)*N/4);% FFT do SQNR
    snr_dc(i)=calculateSNR(spec2(1:Nfb),Ntest);%Calculando o SQNR

end
%Plotando o ganho DC vs SQNR
plot(gain1(1:99),114*ones(1,99),'b')
hold on
plot(gain1(1:99),snr_dc(1:99),'r')
grid on;
xlabel('Ganho DC [V/V]','fontsize',24);
```

```
ylabel( 'SNR[dB] ', 'fontsize ',24);  
legend( 'Espec.=114dB ', 'Ganho DC' );
```

- *Script* para obter as curvas gm/I_D vs V_{GS} dos transistores tipo-P e tipo-N e as curvas gm/I_D vs $I_D/(W/L)$ dos transistores tipo-P e tipo-N

[illegible]

% Figura 5.2

```
IDWLN=csvread('Idn.csv',2); % Extraindo a corrente normalizada do transistor tipo N
IDP=load('Idp.out') ;      % Extraindo a corrente normalizada do transistor tipo P
IDWLP=IDP(:,2);
figure(9);
semilogx(IDWLN(:,2)/5,gmIdn(2:1000),'—r','LineWidth',2);
hold on
semilogx(IDWLP,gmIdn(2:1001),'g','LineWidth',2);
grid on
xlabel('ID/(W/L)','fontsize',18);
ylabel('gm/ID','fontsize',18);
legend('tipo-N','tipo-P');
```


Apêndice C – Modelos em VerilogA dos blocos analógicos e digitais

```

////////////////////////////////////
//                      Script de VerilogA                      /
// Autor: Heiner Alarcon Cubas                                /
// OTA totalmente diferencial                                  /
// 11 de Outubro do 2012                                      /
////////////////////////////////////
`include "constants.vams"
`include "disciplines.vams"
`define dB2dec(x) pow(10,x/20)

module ota1(vinp,vinm,vdd,vss,voutp,voutm,vcom);

input vinp,vinm,vcom; // entrada diferencial
inout vdd,vss; // tensoes de alimentacao
output voutp,voutm; // saida differencial
electrical vinp,vinm,vdd,vss,voutp,voutm,vcom;

//Declaracao de Parametros

parameter real Voh=2.4, Vol=-2.4; // Limites de Saturacao na saida(V).
parameter real dVo=(Voh-Vol)/24; //
parameter real Voffset=0; // Tensao de Offset(V).
parameter real Av=1000; // Ganho DC(V/V).
parameter real GBW=20M; //Produto Ganho-Largura de Banda (Hz).
parameter real Tr=0,Tf=0;
parameter real SRP=(Tr==0)?GBW:(Voh-Vol)/Tr; // Slew Rate positivo (V/s).
parameter real SRN=(Tf==0)?SRP:(Voh-Vol)/Tf; // Slew Rate negativo (V/s).
parameter real Tdhl=1/SRN; // atraso deixando o maior limite de saturacao (s).
parameter real Tdlh=1/SRP; // atraso deixando o menor limite de saturacao (s).
parameter real Fp2=10*GBW; // Segundo polo dominante(Hz).
parameter real Frz=10*Fp2 from [200*GBW/Av:100*GBW*Av]; // RHP zero (Hz).
parameter real Rdc=2000; // Resistencia DC de saida(Ohms).
parameter real Rac=Rdc/4 from [Rdc*0.05:Rdc*0.8]; //Resistencia AC de saida(Ohms).
parameter real lsp=0, lsn=0; //Opcao de corrente de saida e limite de corrientes.
parameter real Debug=0 from [0:2];//bandeira de Debug 0=no, 1=params, 2 op.info;

//Declaracao de Variaveis

```

```

voltage n0;
electrical n2p,n1p,n1n,n2n;// nos internos
real a3;
real Vhs;
real gm1,ih1,il1;
real r1;
real vh2,vl2,dv2;
real cc;
real gm3,vc3;
real r3,ro;
real ih4,il4;
real I1n,I2n,I3n,I4n,I1p,I5n,I2p,I3p,I4p,I5p;
electrical vm,com,vp;

analog function real ftanh0;
input x,gain,voffset,hi,lo;
real x,gain,voffset,hi,lo;
real dv,argos;
begin
  dv=(hi-lo)/2;
  argos=atanh(-lo/dv-1);
  ftanh0=lo+dv*(1+tanh(gain*(x-voffset)/dv+argos));
end
endfunction

//Limitador de Tensao

analog function real fivxlim;
input v,Vhi,Vlo,lhi,llo,dV;
real v,Vhi,Vlo,lhi,llo,dV;
fivxlim=abs(lhi)*exp(max(4.6*(v-Vhi)/dV,-30))-abs(llo)*exp(max(4.6*(Vlo-v)/dV,-30));
endfunction

//Inicializacao

analog begin
@(initial_step("static","tran","pss","pac","pdisto"))begin
if (a3==0)begin
  r3=Rdc-Rac;
  r1=98*r3;
  a3=sqrt(0.25+0.01*Frz*Av/GBW)-0.5;
  gm1=Av/(a3*r1);
  ro=Rac;
  gm3=a3/r3;
  cc=gm1/(6.2831853*GBW*(1+1/a3));
  ih1=SRP*cc;
  il1=abs(SRN)*cc;
  Vhs=(Voh-Vol)/2;
  vh2=Vhs/a3+Tdlh*SRP;
  vl2=-Vhs/a3-Tdlh*abs(SRN);
  dv2=(vh2-vl2)/30;
  vc3=(Vol+Vhs)/a3;
  ih4=-vl2*gm3-Vhs/r3;
  il4=vh2*gm3-Vhs/r3;

```

```

    end
end

//Definimos as correntes dos nos do circuito
V(com)<+V(vcom);
V(n0)<+laplace_np(V(vinp,vinm),{1},{-6.2831853*Fp2,0});
I1p=ftanh0(V(n0),gm1,Voffset,ih1,-il1);
I2p=fivxlim(V(n1p),vh2,vl2,ih1,il1,dv2);
I3p=gm3*V(n1p);
I4p=fivxlim(V(vp),Voh,Vol,ih4,il4,dVo);
I(n1p) <+I1p+V(n1p)/r1+I2p;
I(n1p,vp)<+cc*ddt(V(n1p,vp));
I(vp)<+I3p+V(vp)/r3+I4p;
V(voutp)<+V(vp)/2+V(com);
V(voutm)<+-V(vp)/2+V(com);

```

```

end

```

```

endmodule

```

```

////////////////////////////////////
//                               /
//          Script de VerilogA   /
// Autor: Heiner Alarcon Cubas   /
// Chave CMOS                    /
// 11 de Outubro do 2012         /
////////////////////////////////////

```

```

`include "constants.vams"
`include "disciplines.vams"

```

```

module adc_tg(A, B, IN, VDDA, VSSA);

```

```

    inout A, B;
    input IN, VDDA, VSSA;
    electrical A, B, IN, VDDA, VSSA;

```

```

    parameter real vth=0.9 from (0:3.3) ;
    parameter real Ron=1 from (0:inf) ;
    parameter real Roff=1e9 from (0:inf) ;
    parameter real trf=100p from [0:inf) ;
    parameter real C=10f from (0:inf);

```

```

    integer selector;
    real Rch;

```

```

    analog begin
        selector = (V(IN) > vth) ? 1: 0;
        @ (cross(V(IN) - vth, +1))
            selector = 1;
        @ (cross(V(IN) - vth, -1))

```

```

        selector = 0;

        if (selector == 1) begin
            Rch=Ron;
        end
        else if (selector == 0) begin
            Rch=Roff;
        end

        I(A,B)<+ V(A,B) / transition(Rch,0,trf,trf) ;
        I(A) <+ ddt(C*V(A));
        I(B) <+ ddt(C*V(B));
    end

endmodule

////////////////////////////////////
//                      Script de VerilogA                      /
// Autor: Heiner Alarcon Cubas                                  /
// NAND /
// 11 de Outubro do 2012 /
////////////////////////////////////

`include "constants.vams"
`include "disciplines.vams"

module nand(O, A, B, vdd, vss);

    input A, B, vdd, vss;
    output O;
    electrical A,B,O,vdd,vss;

    parameter real vh = 1.8;          // output voltage in high state
    parameter real vl = 0;            // output voltage in low state
    parameter real vth = (vh + vl)/2; // threshold voltage at inputs
    parameter real td = 1n from [0:inf]; // delay to start of output transition
    parameter real tt = 1n from [0:inf]; // transition time of output signals

    real statusa,statusb,out_state,vout;

    analog
    begin
        @(cross(V(A) - vth) or cross(V(B) - vth));

        begin

            if (V(A)>vth)

                statusa=1;
            else

                statusa=0;

```

```
    if (V(B)>vth)

        statusb=1;
    else statusb=0;

        out_state=0;
        if (!(statusa && statusb))
            out_state=1;

    if (out_state)

        vout=vh;

    else

        vout=vl;
    end

    V(0) <+ transition( vout, td, tt,tt );
end

endmodule
```


Apêndice D – Esquemáticos dos blocos analógicos e digitais

Neste capítulo são mostrados os esquemáticos em Cadence de todos os blocos que compõem o modulador.

- Esquemático da OTA 1.

Figura D.1: Esquemático da OTA 1

- Esquemático da OTA 2.

Figura D.2: Esquemático da OTA 2

- Esquemático da OTA 3.

Figura D.3: Esquemático da OTA 3

- Esquemático da OTA 4.

- Esquemático do Circuito CMFB utilizando capacitores MIM.

Figura D.5: Esquemático do CMFB

Figura D.6: Esquemático da Quantizador

Figura D.7: Esquemático da Quantizador

Figura D.8: Esquemático da Quantizador