Serviço de Pós-Graduação EESC/USP
EXEMPLAR REVISADO
Data de entrada no Serviço: 17/06/02
Ass.:

ANÁLISE DE INDUTORES ATIVOS EM TECNOLOGIA CMOS E GaAs

Valdinei Luís Belini

Dissertação de mestrado apresentada à Escola de Engenharia de São Carlos da Universidade de São Paulo, como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica.

ORIENTADOR: Prof. Dr. Murilo Araujo Romero

DEDALUS - Acervo - EESC
31100036979

São Carlos
2002

EESC-USP Biblioteca Campus de S. Carlos

FOLHA DE JULGAMENTO

Candidato: Engenheiro **VALDINEI LUIS BELINI**

Dissertação defendida e julgada em 12-04-2002 perante a Comissão Julgadora:

Prof. Assoc. **MURILO ARAUJO ROMERO (Orientador)** — Aprovado
(Escola de Engenharia de São Carlos/USP)

Prof. Assoc. **AMÍLCAR CARELI CÉSAR** — Aprovado
(Escola de Engenharia de São Carlos/USP)

Profa. Dra. **DENISE CONSONNI** — Aprovado
(Escola Politécnica/USP)

Prof. Doutor **MURILO ARAUJO ROMERO**
Coordenador do Programa de Pós-Graduação
em Engenharia Elétrica

JOSÉ CARLOS A. CINTRA
Presidente da Comissão de Pós-Graduação

Quando você deseja algo de bom, todo o universo conspira para que você realize seu desejo.

Paulo Coelho

Dedico este trabalho....

Aos meus primeiros e grandes professores,

Meu Querido Pai, Cláudio Belini (*in memoriam*), que, apesar do pouco tempo que esteve entre nós, permitiu transparecer toda sua honestidade e sinceridade, e, mesmo estando ausente, sempre esteve ao meu lado.

E à pessoa em que me espelho, minha Maravilhosa e Dedicada Mãe, Rita Aparecida Rezende, pelo carinho, pelo exemplo de humildade e sinceridade, que sempre soube administrar todos os nossos momentos de tristeza e dificuldades com muita sabedoria, paciência e extrema compreensão.

Dedico também a minha querida e carinhosa filhinha (7 anos) "papi" pela sua existência e razão das minhas atitudes.

Obrigado por existirem e estarem ao meu lado.

Agradecimentos

A todos os professores e funcionários do Departamento de Engenharia Elétrica pelas inúmeras contribuições. Particularmente, aos excelentes profissionais que estiveram presentes na banca de defesa; professores Dr. Amílcar Carelli César, Dr. José Carlos Sartori e Dra. Denise Consonni, pelo profundo conhecimento e valiosas contribuições e, também, pela extrema transparência e facilidade na desafiante e difícil arte de ensinar.

Agradeço também, pelo mesmo reconhecimento, ao Grande Profissional e Orientador, Prof. Dr. Murilo Araujo Romero, pelo fiel e dedicado acompanhamento durante todas as etapas de realização do trabalho, pela compreensão em todos os momentos difíceis de minha vida e, acima de tudo, pela extrema competência e seriedade assumida em todos os compromissos.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pelo suporte financeiro.

E, a todos os amigos do Laboratório de Microondas que sempre estiveram presentes e se mostraram verdadeiros; Stilante, Betiol, Valtemir, Raiciano, Fábio, Juliano, João, Marcão, Pizolato, Regiane, Fernandinha, Licínius, Carlos, entre muitos outros.

Muito obrigado

SUMÁRIO

LISTA DE FIGURAS i

LISTA DE TABELAS vi

LISTA DE ABREVIATURAS E SIGLAS vii

LISTA DE SÍMBOLOS ix

RESUMO xii

ABSTRACT xiii

1 INTRODUÇÃO 1

2 INDUTORES PLANARES CONVENCIONAIS [18] 9

2.1 LINHAS DE TRANSMISSÃO E COMPONENTES CONCENTRADOS ("*LUMPED COMPONENTS*")....10

2.2 GEOMETRIAS DE INDUTORES PLANARES....11

3 INDUTORES ATIVOS 25

3.1 CIRCUITO ELEMENTAR DOS INDUTORES ATIVOS – O GIRADOR....26

3.2 CONFIGURAÇÕES DOS INDUTORES ATIVOS ANALISADOS....29

3.2.1 Procedimento de análise adotado usando o programa *Serenade*....33

3.3 INDUTOR ATIVO EMPREGANDO REALIMENTAÇÃO RESISTIVA [3]....34

3.4 INDUTOR ATIVO EMPREGANDO REALIMENTAÇÃO ATIVA [4]....37

3.5 INDUTOR ATIVO SINTONIZÁVEL [5]....40

3.5.1 Análise do indutor ativo sintonizável [5]....42

3.6 INDUTOR ATIVO COM RESISTÊNCIA SÉRIE INSENSÍVEL À FREQÜÊNCIA [6]....46

4 ARSENETO DE GÁLIO (*GaAs*) VERSUS SILÍCIO (*Si*) 50

4.1 TECNOLOGIA *COMPLEMENTARY METAL OXIDE SEMICONDUCTOR* (*CMOS*).....55

4.2 *METAL OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTORS – MOSFETs*.....55

4.2.1 Mecanismo de funcionamento de um transistor *nMOS*.....56

4.2.2 Transistor *nMOS*.....58

4.2.3 Transistor *pMOS*.....59

4.2.4 Modos de operação para transistores *MOSFETs*.....61

4.2.5 Máxima freqüência de operação de transistores *MOSFETs*.....62

4.3 CIRCUITOS *NMOS*.....64

4.4 *COMPLEMENTARY METAL OXIDE SEMICONDUCTOR – CMOS*.....66

5 INDUTORES ATIVOS EMPREGANDO TECNOLOGIA *CMOS* 71

5.1 PROCEDIMENTO DE ANÁLISE ADOTADO NO AMBIENTE *MENTOR GRAPHICS*.....72

5.2 INDUTOR ATIVO EMPREGANDO REALIMENTAÇÃO RESISTIVA [3].....74

5.3 INDUTOR ATIVO EMPREGANDO REALIMENTAÇÃO ATIVA [4].....75

5.4 INDUTOR ATIVO SINTONIZÁVEL [5].....76

5.5 INDUTOR ATIVO COM RESISTÊNCIA SÉRIE INSENSÍVEL À FREQÜÊNCIA [6].....79

5.6 REALIZAÇÃO DE *LAYOUTS* DE CIRCUITOS INTEGRADOS NO AMBIENTE *MENTOR GRAPHICS*.....81

5.6.1 Etapas envolvidas na preparação de *layouts*.....82

5.6.2 Desenvolvimento do *layout* de um indutor ativo empregando realimentação resistiva utilizando tecnologia *CMOS*.....85

CONCLUSÕES E DISCUSSÕES 89

REFERÊNCIAS BIBLIOGRÁFICAS 91

APÊNDICE I

Arquivo das verificações de *LVS* realizadas no ambiente *IC-Station*

APÊNDICE II

Arquivo de saída das simulações realizadas no ambiente *Accusim*

LISTA DE FIGURAS

FIGURA 1.1: *Layout* de um amplificador de baixo ruído (*LNA*) operando na banda-L empregando indutores espirais planares da tecnologia *CMOS* [1]...2

FIGURA 2.1: Linha de alta impedância.....12

FIGURA 2.2: Indutor de espira única.....12

FIGURA 2.3: Indutor planar tipo *meander line*.....13

FIGURA 2.4: Indutor planar no formato *S line*.....13

FIGURA 2.5: Indutor espiral circular.....14

FIGURA 2.6: Indutor espiral quadrado.....14

FIGURA 2.7: Indutor espiral octagonal.....14

FIGURA 2.8: Seção transversal de um indutor espiral mostrando as capacitâncias de efeito de borda C_f, as capacitâncias de acoplamento mútuo entre as espiras C_c e as indutâncias mútuas (L_p) entre as espiras originais do indutor e o plano de terra.....17

FIGURA 2.9: Circuito elétrico equivalente de um indutor espiral.....17

FIGURA 2.10: Circuito elétrico equivalente usando componentes concentrados para indutores espirais planares.....18

FIGURA 2.11: Circuito elétrico equivalente usando componentes semi-concentrados para indutores espirais planares.....18

FIGURA 3.1: (a) Princípio básico de um indutor ativo baseado em um circuito girador; (b) Realização de um girador empregando transistores de efeito de campo (*FETs*).....27

FIGURA 3.2: (a) Configuração de um indutor ativo empregando realimentação resistiva [3].....30

FIGURA 3.2: (b) Configuração de um indutor ativo empregando realimentação ativa [4].....31

FIGURA 3.2: (c) Configuração de um indutor ativo sintonizável [5].....31

FIGURA 3.2: (d) Indutor ativo com resistência série negativa insensível à freqüência [6].....32

FIGURA 3.3: Circuito equivalente resultante de um indutor ativo.....32

FIGURA 3.4: Indutor ativo empregando realimentação resistiva [3].....35

FIGURA 3.5: Comportamento impedância versus freqüência de um indutor ativo empregando realimentação resistiva.....36

FIGURA 3.6: Indutor ativo empregando realimentação ativa [4].....38

FIGURA 3.7: Comportamento impedância versus freqüência de um indutor ativo empregando realimentação ativa.....40

FIGURA 3.8: Configuração de um indutor ativo sintonizável [5].....41

FIGURA 3.9: Circuito equivalente simplificado de um indutor ativo sintonizável [5].....42

FIGURA 3.10: Comportamento impedância versus freqüência de um indutor ativo sintonizável.....45

FIGURA 3.11: (a) Indutor ativo com resistência série insensível à freqüência; (b) configuração básica de um indutor ativo usando um gerador de resistência série negativa e constante (FET_2); (c) circuito equivalente simplificado do indutor [6].....46

FIGURA 3.12: Comportamento impedância versus freqüência de um indutor ativo com resistência série insensível à freqüência.....49

FIGURA 4.1: Velocidade dos elétrons versus intensidade de campo elétrico presente no interior da região ativa de um dispositivo, empregando um dos seguintes materiais; silício (*Si*), arseneto de gálio (*GaAs*) e fosfeto de índio (*InP*) na temperatura de 200°C [22].....53

FIGURA 4.2: (a) Estrutura típica de um transistor *nMOS*; (b) Símbolo esquemático.....56

FIGURA 4.3: Transistor *nMOS* polarizado.....58

FIGURA 4.4: Características elétricas de um transistor *nMOS* do tipo enriquecimento.....59

FIGURA 4.5: Transistor *pMOS* polarizado.....60

FIGURA 4.6: Características elétricas de um transistor *pMOS* tipo enriquecimento.....60

FIGURA 4.7: Circuito equivalente de um transistor na configuração fonte-comum [24].....63

FIGURA 4.8: Inversor simples usando transistor *nMOS*.....64

FIGURA 4.9: (a) Símbolo esquemático de um transistor operando como resistor; (b) Curva característica *I-V* de um transistor *nMOS* tipo depleção conectado como resistor.....65

FIGURA 4.10: (a) Esquemático de um circuito inversor.....66

FIGURA 4.10: (b) Curva característica de um inversor.....67

FIGURA 4.10: (c) Corrente nos transistores.....67

FIGURA 5.1: Arranjo esquemático adotado para a realização das simulações no ambiente *Mentor Graphics*.....72

FIGURA 5.2: (a) Indutor ativo empregando realimentação resistiva [3];.....74

FIGURA 5.2: (b) Comportamento impedância versus freqüência.....74

FIGURA 5.3: (a) Indutor ativo empregando realimentação ativa [4].....75

FIGURA 5.3: (b) Comportamento impedância versus freqüência.....76

FIGURA 5.4: (a) Esquemático de um indutor ativo sintonizável [5].....77

FIGURA 5.4: (b) Comportamento impedância versus freqüência.....77

FIGURA 5.5: Curva de sintonia para o indutor ativo sintonizável.....78

FIGURA 5.6: (a) Indutor ativo com resistência série insensível à freqüência [6].....79

FIGURA 5.6: (b) Comportamento impedância versus freqüência.....80

FIGURA 5.7: Diagrama de blocos completo para a preparação de *layouts*..82

FIGURA 5.8: Esquemático de um indutor ativo empregando realimentação resistiva [3].....86

FIGURA 5.9: *Layout* do indutor ativo empregando realimentação resistiva. Área = 0,11 mm^2 (*pads* incluídos).....86

FIGURA 5.10: Comparação entre a área ocupada por indutores espirais convencionais [2] e a área ocupada pelo *layout* do indutor ativo (correspondente ao indutor mostrado na Figura 5.8) desenvolvido nesta seção.....88

LISTA DE TABELAS

TABELA 2.1: Valores típicos dos principais parâmetros para indutores de espira única (*single loop*) [2].....20

TABELA 2.2: Valores típicos dos principais parâmetros para indutores espirais circulares [2].....20

TABELA 2.3: Parâmetros extraídos do circuito elétrico equivalente para indutores espirais retangulares empregando a tecnologia *CMOS* sobre substrato de silício, medidos na freqüência de 2 GHz [18].....22

TABELA 4.1: Características do silício (*Si*) e do arseneto de gálio (*GaAs*) @ 300K [22].....51

TABELA 4.2: Símbolos esquemáticos e características de saída e transferência para os quatro modos de operação possíveis para transistores *MOSFETs* [24].....62

LISTA DE ABREVIATURAS E SIGLAS

AlGaAs	- Liga de alumínio, gálio e arsênio
ASIC	- Application Specific Integrated Circuit
AMS	- Austria Mikro Systeme
CAD	- Computer Aided Design
CI	- Circuito Integrado
CMOS	- Complementary Metal Oxide Silicon
CMP	- Circuits Multi Projects
D	- Terminal de dreno do transistor
DC	- Direct Current
DRC	- Design Rules Checker
FAPESP	- Fundação de Amparo à Pesquisa do Estado de São Paulo
FET	- Field Effect Transistor
FhG/IAF	- Fraunhofer Institut für Angewandte Festkörperphysik
GaAs	- Arseneto de Gálio
HF	- High Frequency (3 - 30MHz)
Im	- Parte imaginária de uma impedância
InGaAs	- Liga de índio, gálio e arsênio
InGaAsP	- Liga de índio, gálio, arsênio e fósforo
InP	- Fosfeto de índio
JFET	- Junction Field Effect Transistor
HBT	- Heterojunction Bipolar Transistor
HEMT	- High Electron Mobility Transistor
LNA	- Low Noise Amplifier
LVS	- Layout Versus Schematic
MESFET	- Metal Semiconductor Field Effect Transistor
MGS	- Mentor Graphics Corporation
MIC	- Microwave Integrated Circuit
MODFET	- Modulated Field Effect Transistor

MOSFET	- Metal Oxide Semiconductor Field Effect Transistor
MMIC	- Monolithic Microwave Integrated Circuit
nMOS	- Metal Oxide Semiconductor tipo-n
P	- Terminal de porta do transistor
pMOS	- Metal Oxide Semiconductor tipo-p
PMU	- Projeto Multi Usuário
Re	- Parte real de uma impedância
RF	- Rádio Freqüência
S	- Terminal de fonte do transistor
Si	- Silício
SDL	- Schematic Driven Layout
SiO_2	- Dióxido de silício
SOI	- Silicon-On-Insulator
VCO	- Voltage Controlled Oscillator
VLSI	- Very Large Scale Integration
VHDL	- Very high speed integrated circuit Hardware Description Language
UHF	- Ultra High Frequency (300 MHz – 3 GHz)

LISTA DE SÍMBOLOS

B	- elemento químico boro	
β_n	- fator de ganho de transistores *nMOS*	[S]
β_p	- fator de ganho de transistores *pMOS*	[S]
C	- capacitância	[F]
C_c	- capacitância de acoplamento mútuo entre as espiras	[F]
C_{cc}	- capacitância de acoplamento mútuo entre as espiras corrigida	[F]
C_{ds}	- capacitância entre dreno e fonte	[F]
C_f	- capacitância de efeito de borda	[F]
C_g	- capacitância entre as espirais originais do indutor e o plano terra	[F]
C_{gd}	- capacitância entre porta e dreno	[F]
C_{g1} e C_{g2}	- capacitâncias parasitas entre espiras do indutor e o plano terra	[F]
C_{g1c}	- capacitância C_{g1} corrigida (capacitância da estrutura de teste menos as correções dos terminais de contato)	[F]
C_{g2c}	- capacitância C_{g2} corrigida (capacitância da estrutura de teste menos as correções dos terminais de contato)	[F]
C_{gs}	- capacitância entre porta e fonte do transistor	[F]
C_{ox}	- capacitância do óxido de silício na porta do transistor	[F]
C_p	- capacitância parasita	[F]
f	- freqüência	[Hz]
f_o	- freqüência de ressonância do indutor	[Hz]
f_{max}	- freqüência máxima de operação	[Hz]
f_{skin}	- freqüência na qual ocorre o efeito pelicular	[Hz]
f_T	- freqüência máxima de operação de um transistor	[Hz]
g_{ds}	- condutância entre dreno e fonte do transistor	[S]
g_{in}	- condutância de entrada	[S]

g_m	- transcondutância do transistor	[S]
I_{AC}	- corrente de excitação alternada	[A]
I_d	- corrente de dreno	[A]
I_{DD}	- corrente de condução	[A]
I_{ds}	- corrente entre dreno e fonte	[A]
$I_{ds, sat}$	- corrente de saturação entre dreno e fonte	[A]
I_{DC}	- corrente contínua de polarização	[A]
I_{imp}	- corrente de monitoramento	[A]
j	- parte imaginária de um número complexo	
L	- indutância	[H]
$L_{calculado}$	- indutância calculada desconsiderando-se os terminais de contato	[H]
L_c	- indutância do indutor resultante, isto é, a indutância da estrutura de teste subtraindo a indutância dos terminais de contato	[H]
L_g	- comprimento de porta do transistor	[m]
L_{gn}	- comprimento de porta para transistores *nMOS*	[m]
L_{gp}	- comprimento de porta para transistores *pMOS*	[m]
L_N	- indutância nominal	[H]
L_p	- indutância mútua	[H]
P	- elemento químico fósforo	
Q	- fator de qualidade	
Q_1	- fator de qualidade ($Q = \omega.L_c/R_{RF1}$) medido em 10 GHz	
Q_2	- fator de qualidade ($Q = \omega.L_c/R_{RF2}$) medido em 30 GHz	
R	- resistência série associada ao indutor	[Ω]
R_c	- resistência mútua entre espiras adjacentes	[Ω]
R_{RF1}	- resistência na freqüência de 10 GHz	[Ω]
R_{RF2}	- resistência na freqüência de 30 GHz	[Ω]
R_{ex}	- resistência utilizada na malha de realimentação	[Ω]
R_{g1} e R_{g2}	- resistências entre as espiras do indutor e o plano terra	[Ω]
R_g	- resistência entre as espiras do indutor e o plano terra	[Ω]
R_i	- perdas internas	[Ω]
R_L	- resistência de carga	[Ω]
R_{out}	- resistência externa	[Ω]

s	- espaçamento entre espiras	[m]
μ	- mobilidade eletrônica	[cm^2/v.s]
μ_n	- mobilidade dos elétrons	[cm^2/V.s]
μ_p	- mobilidade das lacunas	[cm^2/V.s]
V(f)	- tensão em função da freqüência	[V]
V_d	- tensão de dreno	[V]
V_{dd}	- tensão de alimentação	[V]
V_{ds}	- tensão entre fonte e dreno do transistor	[V]
V_g	- tensão na porta do transistor	[V]
V_{gs}	- tensão entre porta e fonte do transistor	[V]
V_{in}	- tensão de entrada	[V]
V_{out}	- tensão de saída	[V]
υ_s	- velocidade de saturação	[cm/s]
V_{ss}	- tensão de polarização do substrato	[V]
V_t	- tensão de transição	[V]
V_{TD}	- tensão de limiar para transistores tipo depleção	[V]
V_{th}	- tensão de limiar (*threshold voltage*)	[V]
V_{Tn}	- tensão de limiar para transistores *nMOS*	[V]
V_{Tp}	- tensão de limiar para transistores *pMOS*	[V]
w	- largura das espiras do indutor	[m]
W_g	- largura da porta do transistor	[m]
W_{gn}	- largura de porta para transistor *nMOS*	[m]
W_{gp}	- largura de porta para transistor *pMOS*	[m]
ω	- freqüência angular (= $2.\pi.f$)	[rad/s]
ω_m	- freqüência angular máxima	[rad/s]
X_L	- reatância indutiva	[Ω]
Y	- admitância	[S]
Z	- impedância	[Ω]
Z(f)	- impedância em função da freqüência	[Ω]
Z_{ent}	- impedância de entrada	[Ω]
Z_{out}	- impedância de saída	[Ω]

RESUMO

A crescente necessidade de produzir circuitos integrados (*CIs*) cada vez mais miniaturizados para aplicações na faixa de microondas (freqüências acima de 1 GHz) com baixo custo de produção e baixo consumo de potência tem motivado a utilização da tradicional tecnologia *Complementary Metal Oxide Semiconductor* (*CMOS*) sobre substrato de silício (*Si*). Uma aplicação de particular interesse em circuitos integrados operando na faixa de microondas a dos indutores ativos. Rotineiramente, estes indutores ativos são fabricados por meio de processos relativamente custosos como aqueles normalmente envolvidos em tecnologias empregando substrato de arseneto de gálio (*GaAs*). Por outro lado, novas técnicas de litografia aplicadas à tecnologia *CMOS* têm possibilitado a construção de transistores *MOSFETs* alcançando elevadas freqüências de operação. Dessa maneira, o objetivo principal deste trabalho é realizar uma investigação da possibilidade de implementação de indutores ativos operando na faixa de microondas empregando uma tecnologia *CMOS* convencional sobre substrato de silício. Historicamente, a tecnologia *CMOS* é atrativa devido às suas características de baixo custo de produção, baixo consumo de potência, alta imunidade aos ruídos e também por oferecer maturidade tecnológica.

Palavras-chave: Indutor ativo, *CMOS*, microondas.

ABSTRACT

The growing need to produce integrated circuits (ICs) increasingly miniaturized for applications in the microwave range (frequencies above 1GHz) with low cost of production and low consumption power has been stimulating the utilization of traditional technology Complementary Metal Oxide Semiconductor (CMOS) on silicon (Si) substrate. One application of particular interest in integrated circuits operating in the microwave range is the active inductors. Ordinarily, these active inductors are fabricated by using relatively expensive technological processes like those usually involved in the gallium arsenide (GaAs) technology. Nonetheless, new techniques of lithography applied to CMOS technology have allowed fabricating MOSFETs transistors reaching high frequencies of operation. In this way, the main goal of this work is realize an investigation of the possibility to implement active inductors operating in the microwave range by using traditional CMOS technology, developed on silicon substrate. Historically, the CMOS technology is attractive by its characteristics of low cost of production, low consumption of power, high immunity to noise and also by offering technological maturity.

Keywords: Active inductor, CMOS, microwave.

CAPÍTULO I

Introdução

Indutores espirais planares são utilizados em uma variedade de aplicações em circuitos integrados monolíticos em microondas (*MMICs*), incluindo estágios de polarização, redes de casamento de impedâncias, filtros, osciladores controlados por tensão (*VCOs*), defasadores analógicos de sinais, entre outros. Entretanto, o emprego destes indutores espirais encontra três principais obstáculos: a extensa área ocupada por estes componentes, a dificuldade de obtenção de altas indutâncias com baixas capacitâncias parasitas e o baixo fator de qualidade Q geralmente alcançado. De fato, a grande área envolvida na realização destes indutores, quando comparada com aquelas tipicamente ocupadas pelos demais componentes concentrados (*lumped*)[1] utilizados em circuitos integrados, tais como capacitores, resistores e transistores de efeito de campo (*FETs*), praticamente determina o tamanho físico destes circuitos integrados (ver Figura 1) [1]. Além disso, as dimensões físicas destes indutores espirais convencionais estão diretamente relacionadas ao valor da indutância desejada. Desta maneira, quanto maior for a indutância requerida maiores serão suas dimensões. Como segundo empecilho, pode-se citar a dificuldade na realização de indutores com características de banda larga, particularmente no caso de valores de indutância relativamente elevados

[1] ***Lumped***: São componentes utilizados em circuitos, tais como resistores, capacitores, entre outros, cujas dimensões físicas são muito menores que o comprimento de onda do sinal envolvido no circuito.

(acima de 5 nH), uma vez que as capacitâncias parasitas associadas a esses componentes deixarão de ser desprezíveis, contribuindo, inevitavelmente, para uma degradarão da sua resposta em freqüência [2].

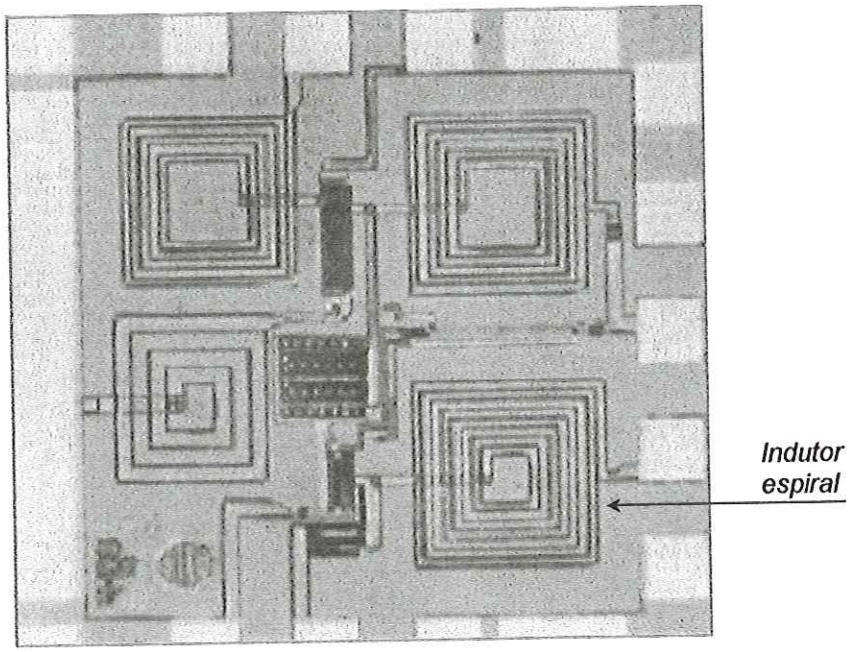


FIGURA 1.1: *Layout* de um amplificador de baixo ruído (*LNA*) operando na banda-L empregando indutores espirais planares da tecnologia *CMOS* [1].

A fim de superar estas limitações, estuda-se neste trabalho uma técnica alternativa bastante promissora: os indutores ativos. Estes indutores ativos são obtidos por meio de certas configurações de circuitos conhecidas como giradores[2]. Especificamente, uma associação conveniente de transistores, resistores e capacitores constituirão um circuito que, no seu equacionamento elétrico, será equivalente a uma impedância. Esta impedância, dependendo das condições de polarização do circuito girador, poderá ser tomada como um circuito *L-R* série. Observa-se ainda que os valores das indutâncias obtidos através desta técnica ativa podem ser bastantes elevados e, dessa maneira, superarem aqueles apresentados

[2] **Girador:** Associação conveniente de transistores, resistores e capacitores, de tal maneira que o circuito resultante seja uma impedância indutiva.

pelos convencionais indutores espirais. Além disso, nos giradores, as capacitâncias parasitas podem ser quase que totalmente canceladas, se uma topologia correta for escolhida, estendendo ainda mais a faixa de freqüência de operação desses circuitos [3-6].

Vale mencionar ainda que os valores obtidos para as indutâncias e as resistências série associadas podem ser alterados independentemente, dentro de uma estreita faixa de freqüência, mediante a aplicação de uma tensão externa [5-6]. Finalmente, dependendo da configuração escolhida, as perdas série associadas a esses indutores poderão ser praticamente nulas. Como resultado, elevados fatores de qualidade poderão ser obtidos. De fato, algumas configurações podem alcançar um fator de qualidade da ordem de milhares, superando largamente os convencionais indutores espirais [5-6]. Um outro ponto de fundamental importância nesses indutores ativos é a independência da área física ocupada com o valor da indutância desejada.

Os circuitos integrados monolíticos de microondas são uma tecnologia que desempenham um papel muito importante nos sistemas de microondas (freqüências acima de 1 GHz) e ondas milimétricas (freqüências acima de 30 GHz) em diversas aplicações de uso militar e comercial. Esta tecnologia permite combinar várias funções de circuitos ativos e passivos, incluindo estágios de amplificação, filtros, osciladores, defasadores analógicos de sinais, etc, construídos sobre um mesmo substrato semicondutor ou semi-isolante. De fato, nos *MMICs*, todos os componentes – passivos e ativos – são fabricados sobre um mesmo substrato, eliminando, dessa maneira, a necessidade da utilização de componentes discretos construídos fora do circuito integrado (*off-chip components*), como freqüentemente ocorre nos circuitos integrados híbridos em microondas (*hybrid MICs*).

Um dos componentes usualmente requeridos em circuitos integrados operando na faixa de microondas é o indutor ativo. Em geral, estes indutores têm sido fabricados empregando tecnologias desenvolvidas sobre substrato semi-isolante de arseneto de gálio (*GaAs*). Em uma primeira etapa, como parte integrante deste trabalho, realiza-se um estudo comparativo e sistemático das diversas configurações freqüentemente registradas na

literatura para a realização destes indutores ativos utilizando substrato semi-isolante de arseneto de gálio. No entanto, o alto custo atualmente envolvido na utilização destas tecnologias, envolvendo este tipo de substrato, restringe significativamente suas aplicações a circuitos com necessidades bastante específicas, tais como amplificadores de baixo ruído e faixa larga de operação.

A crescente necessidade de construir circuitos integrados cada vez mais miniaturizados, particularmente para sistemas de rádio-freqüência, motiva a tentativa de realização de circuitos integrados operando na faixa de microondas com reduzidos custos de fabricação e baixo consumo de potência. Desta maneira, as tecnologias de fabricação de circuitos integrados (*CIs*) estão se tornando cada vez mais competitivas no sentido de integrar mais e mais estágios de circuitos dentro de um mesmo encapsulamento. Como resultado, evita-se, por exemplo, a necessidade da utilização dos usuais componentes construídos fora dos circuitos integrados (*off-chip components*), como freqüentemente ocorre com os enormes indutores espirais convencionais. Afinal, circuitos empregando estes componentes passivos somente exibirão um alto fator de qualidade (Q) se forem construídos fora do circuito integrado. No entanto, a baixa taxa de reprodutibilidade com desempenho satisfatório das conexões necessárias para conectar os terminais destes indutores com o circuito no qual este componente será utilizado, usualmente realizadas por meio de conexões do tipo *bonding-wire*, contribuem, inevitavelmente, para uma degradação significativa da resposta em freqüência desse circuito.

Uma tecnologia particularmente atrativa, atendendo satisfatoriamente os compromissos citados acima, é a tradicional tecnologia *Complementary Metal Oxide Semiconductor* (*CMOS*) empregando substrato semicondutor de silício (*Si*). Historicamente, esta tecnologia é reconhecida devido as suas atrativas características de baixo consumo de potência, alta imunidade aos ruídos, alta densidade de integração, alto rendimento na produção de circuitos integrados (*CIs*), relativa facilidade de fabricação, baixo custo de produção, possibilidade de integração de circuitos digitais e analógicos sobre

um mesmo substrato (técnica conhecida como *mixed-signal*) e também por oferecer maturidade tecnológica, haja visto seu longo desenvolvimento desde meados da década de cinqüenta.

Além do mais, o surgimento de novas técnicas de litografia aplicadas à tecnologia *CMOS* sobre substrato de silício, tem possibilitado a construção de transistores *MOSFET* com um comprimento de porta suficientemente estreito (inferior a 0,25 μm) para permitir sua utilização em diversos circuitos integrados operando na faixa de microondas.

Adicionalmente, a possibilidade de associar uma outra tecnologia, qual seja, a *silicon-on-insulator (SOI)*, com as usuais técnicas rotineiramente empregadas nos processos de fabricação envolvendo a tecnologia *CMOS*, permitem, agora, desenvolver circuitos integrados sobre substrato semi-isolante, os quais não eram possíveis com uma tecnologia *CMOS* convencional. Dessa maneira, pode-se estender ainda mais o horizonte de aplicações da tecnologia *CMOS*. De fato, a adição de uma camada semi-isolante – geralmente safira - entre o substrato de silício e a camada utilizada para a construção dos transistores e componentes passivos (resistores, capacitores e indutores) permite que estes dispositivos não mais experimentem a baixa resistividade normalmente oferecida pelos usuais substratos semicondutores de silício, a qual contribuía para uma indesejável degradação do desempenho do circuito. Portanto, uma vantagem bastante expressiva da tecnologia *SOI* é uma redução significativa dos elementos parasitas normalmente encontrados nos dispositivos construídos com a convencional tecnologia *CMOS*. Como resultado, a possibilidade de aumentar a frequência máxima de operação dos transistores construídos com um processo equivalente de litografia. Transistores *nMOS* construídos com a tecnologia *SOI* alcançam uma freqüência máxima f_T[3] em torno de 20 GHz, empregando comprimento de porta de 0,85 μm e uma f_T da ordem de 150 GHz, utilizando comprimentos de porta tão estreito quanto 0,07 μm [7].

---

[3] **Freqüência de corte:** Freqüência na qual o ganho de corrente do transistor se torna unitário.

Como conseqüência, diversas técnicas de fabricação de circuitos integrados, rotineiramente desenvolvidas por intermédio da utilização da tecnologia sobre substratos semi-isolantes de arseneto de gálio, começaram, alternativamente, a serem investigadas empregando uma tecnologia *CMOS* convencional sobre substrato semicondutor de silício: amplificador de rádio-freqüência (*RF*) operando em 770 MHz, empregando transistores *MOSFETs* com 2,0 μm de comprimento de porta [8]; estágio de amplificação *front-end* em 1 GHz com tecnologia 1,0 μm [9]; amplificador de baixo ruído (*LNA*) empregando indutor ativo com tecnologia de 0,9 μm *CMOS* [10]; indutor ativo *floating*[4] utilizado em oscilador de 1,05 GHz com tecnologia de 0,8 μm [11]; amplificador de baixo ruído operando em 1,9 GHz utilizando tecnologia de 0,8 μm [12] e um conversor/misturador em 1 GHz usando tecnologia de 0,4 μm [13]; amplificador operando na Banda-ku (12-20 GHz) empregando transistores *MOSFETs* com comprimento de porta de 0,18 μm [14] e, também, um estudo sobre as perspectivas e atuais tendências da tecnologia *CMOS* em circuitos integrados operando em altas-freqüências [15].

Dessa maneira, todos os trabalhos citados acima, particularmente os resultados apresentados em [10] e [11] para um amplificador de baixo ruído (*LNA*), empregando uma técnica *inductorless*[5], envolvendo uma tecnologia 0,9 μm *CMOS* e um indutor ativo tipo *floating*, usando tecnologia 0,8 μm *CMOS*, respectivamente, incentivaram significativamente a realização de uma segunda parte deste trabalho; desenvolver uma investigação sobre a possibilidade de implementar indutores ativos empregando uma tecnologia *CMOS* convencional sobre substrato de silício para aplicações em circuitos integrados operando na faixa de microondas. Adicionalmente, estes trabalhos também contribuíram para destacar a confiabilidade e o crescente

---

[4] **Indutor ativo *floating*:** Configuração de indutor ativo que não necessita que uma de suas duas portas de acesso ao indutor esteja aterrada.

[5] ***Inductorless*:** Circuitos integrados que empregam indutores ativos em substituição aos convencionais indutores espirais planares.

potencial da utilização de uma tecnologia *CMOS* convencional em diversos circuitos, mesmo para a realização de projetos de circuitos integrados operando na faixa de microondas.

Especificamente, este trabalho utilizou um *design kit*[6] da tecnologia *CMOS* sobre substrato de silício, empregando transistores com um comprimento de porta de 0,6 μm, desenvolvido por uma das *foundries* mais tradicionais nesta tecnologia, qual seja, a austríaca *Austria Mikro Systeme* (*AMS*) [16]. Este *design kit* foi obtido por intermédio do programa *Circuits Multi Projects* (*CMP*), com o apoio do Projeto Multi Usuário (*PMU*) FAPESP.

Este trabalho está estruturado da seguinte maneira: O capítulo II apresenta algumas técnicas usuais para a construção dos convencionais indutores espirais planares, discutindo também algumas das principais vantagens e desvantagens na sua utilização em circuitos integrados operando na faixa de microondas.

O terceiro capítulo apresenta o princípio básico de funcionamento dos indutores ativos estudados, mostrando também as diversas configurações freqüentemente registradas na literatura para a realização desses indutores e, na seqüência, apresenta-se também um estudo sistemático e comparativo destas mesmas configurações. Todas as configurações analisadas nesta etapa utilizaram transistores de efeito de campo empregando dopagem modulada (*MODFETs*, também chamados *HEMTs*) da *foundry* alemã *FhG/IAF* [2], com tecnologia de 0,3 μm de comprimento de porta, a qual permite construir transistores capazes de atingir uma freqüência de corte f_T em torno de 50 GHz. Utilizando um pacote de programas de *Computer Aided Design* (*CAD*), desenvolvido pela empresa *Ansoft Corporation,* de uso geral para a realização de síntese, análise, simulação e otimização de circuitos, foi possível analisar os circuitos propostos e, conseqüentemente, desenvolver uma discussão do comportamento impedância *versus* freqüência dos indutores ativos estudados.

---

[6] ***Design kit:*** Conjunto de regras elétricas e geométricas desenvolvido pela *foundry,* o qual deve ser respeitado para uma realização bem sucedida de *layouts* de circuitos integrados (*CIs*).

No capítulo IV encontra-se uma introdução aos princípios gerais de funcionamento de uma convencional tecnologia *CMOS* sobre substrato de silício, incluindo algumas das suas principais utilizações, tais como circuitos lógicos inversores, transistores operando como carga ativa, chave, entre outros.

Posteriormente, o capítulo V apresenta uma discussão sistemática das análises realizadas com as mesmas configurações dos indutores ativos discutidas no capítulo III, utilizando, entretanto, transistores *MOSFETs* da *foundry AMS* com tecnologia *CMOS* de 0,6 μm de comprimento de porta sobre substrato semicondutor de silício. Finalmente, este capítulo encerra-se com o desenvolvimento de um *layout* para circuito integrado de uma configuração particular de indutor ativo [3]. A ferramenta computacional utilizada nesta etapa do trabalho foi um pacote de programas *CAD* desenvolvido pela empresa *Mentor Graphics Corporation (MGC)*, um ambiente de trabalho completo que permite executar satisfatoriamente todas as diversas etapas necessárias para a preparação de *layouts*, incluindo edição de esquemáticos, simulação de circuitos e edição de *layouts*.

CAPÍTULO II

Indutores planares convencionais [17]

Indutores espirais planares são freqüentemente utilizados em uma extensa variedade de aplicações envolvendo circuitos integrados monolíticos em microondas (*MMICs*), incluindo redes de casamento de impedâncias, estágios de polarização em amplificadores, osciladores controlados por tensão (*VCOs*), filtros, defasadores analógicos de sinais, ressoadores, entre outros. A palavra monolítico é derivada do grego *monos* (único) e *lithos* (pedra). Dessa maneira, circuitos integrados monolíticos são construídos diretamente sobre o substrato de um material semicondutor, geralmente silício (*Si*), ou semi-isolante, usualmente arseneto de gálio (*GaAs*) ou mesmo fosfeto de índio (*InP*). A tecnologia *MMIC* oferece certas vantagens sobre os convencionais circuitos discretos, tais como baixo custo (devido à grande quantidade de circuitos integrados fabricados de uma só vez), tamanho físico reduzido, alta confiabilidade (uma vez que todos os componentes são fabricados sobre um mesmo substrato), melhor desempenho e reprodutibilidade.

A utilização de indutores planares em diversos circuitos integrados operando na faixa de microondas (freqüências acima de 1 GHz) e ondas milimétricas (freqüências acima de 30 GHz) é bastante atrativa devido à relativa facilidade de fabricação desses dispositivos, baixo custo de produção, freqüência útil de operação relativamente elevada (podendo atingir algumas dezenas de GHz) e, também, por se tratar de um dispositivo passivo.

O objetivo deste capítulo é apresentar uma discussão das principais técnicas normalmente empregadas na fabricação dos convencionais indutores planares. Alguns valores típicos dos principais parâmetros característicos desses componentes também serão listados, tais como capacitâncias parasitas, freqüência máxima de operação, perda por inserção e fator de qualidade (Q). Como resultado dessa discussão, serão identificadas as principais vantagens e desvantagens na utilização desses indutores planares em circuitos integrados monolíticos de microondas (*MMICs*).

2.1) Linhas de transmissão e componentes concentrados ("lumped components")

Linhas de transmissão em circuitos de microondas são normalmente utilizadas para transportar sinais de um ponto para outro do circuito, podendo também ser empregadas como elementos de circuitos passivos, com aplicações em filtros, transformadores de impedâncias, acopladores direcionais, linhas de atraso, defasadores analógicos de sinais e *baluns*. Componentes passivos empregados em circuitos convencionais de microondas são, na maioria das vezes, classificados como elementos distribuídos, ou seja, empregam trechos de linhas de transmissão ou de guias de ondas, geralmente construídos com as usuais técnicas de microfita, *strip line*, *slot line*, entre outras. Isto acontece porque o tamanho físico dos componentes passivos discretos (resistores, capacitores e indutores), utilizados em circuitos eletrônicos operando em baixa freqüência, torna-se comparável ao comprimento de onda do sinal envolvido quando empregados na faixa de microondas. Dessa maneira, somente quando o tamanho físico desses componentes for reduzido o suficiente para que suas dimensões sejam muito menores que o comprimento de onda envolvido eles se tornarão adequados para utilização na faixa de microondas. Afinal, as dimensões de componentes concentrados (classificados como *lumped*) são, por definição,

muito menores que o comprimento de onda envolvido e, portanto, exibirão desprezível mudança de fase do sinal.

Circuitos integrados empregando componentes concentrados, que apresentam fator de qualidade (Q) inferior àqueles normalmente obtido por meio de componentes distribuídos, oferecem vantagens de menor tamanho físico, menor custo, e, adicionalmente, características de faixa larga. Elevadas transformações de impedâncias, da ordem de 20:1, também podem ser facilmente realizadas utilizando aproximações de componentes concentrados. Dessa maneira, é possível realizar um casamento de impedância entre uma carga, normalmente de 50 Ω, e a saída de um determinado amplificador de potência, que, para produzir uma potência elevada apresenta uma impedância de saída muito baixa.

2.2) Geometrias de indutores planares

Indutores planares usados em *MMICs* podem ser realizados empregando diversas configurações, incluindo trechos de linha de transmissão no formato de espira única (denominados *single loop*), *meander line*, *S line*, espiral circular, espiral quadrado e espiral octagonal construídos com as usuais técnicas de fabricação de dispositivos passivos; microfita, *strip line*, *slot line*, entre outras. Especificamente, qualquer uma dessas configurações pode ser realizada usando uma camada muito fina de certos materiais condutores, tais como ouro, prata, cobre ou alumínio sobre um substrato semicondutor ou semi-isolante como o silício (*Si*) ou arseneto de gálio (*GaAs*), respectivamente.

O indutor planar mais simples pode ser realizado utilizando um trecho de linha de transmissão, fabricado por meio das técnicas de microfita, sobre substrato de um material semicondutor ou semi-isolante. Este tipo de indutor também é chamado de seção de linha de alta impedância, pois, uma seção de linha de transmissão somente exibirá características indutivas quando

apresentar uma impedância característica[7] elevada. Este resultado somente é possível quando o trecho da linha de transmissão, normalmente no formato de microfita, for muito estreito. As menores dimensões possíveis de serem realizadas com sucesso por meio dos convencionais processos de fabricação envolvendo a tecnologia dos *MMICs* limitam a impedância característica exibida por essa linha e, associada ao seu comprimento físico, o valor da indutância resultante. Na prática, somente é possível a realização de reatâncias em torno de 100 Ω quando se utiliza este tipo de geometria (ver Figura 2.1).

FIGURA 2.1: Linha de alta impedância.

Uma outra geometria freqüentemente empregada para a obtenção de indutores planares de baixa indutância é a chamada espira única ou *single loop* (conforme mostra a Figura 2.2).

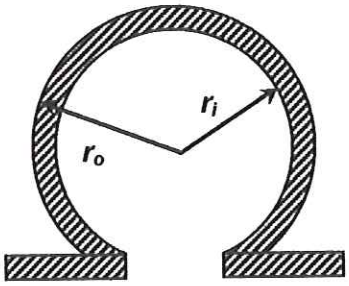


FIGURA 2.2: Indutor de espira única.

Esta segunda configuração de indutor planar é um pouco mais complicada que a anterior quando se deseja elaborar um modelo elétrico equivalente do indutor resultante para descrever seu comportamento se as

[7] **Impedância característica:** Impedância intrínseca de uma linha de transmissão cujo valor depende, entre outros, das dimensões geométricas dessa linha e da constante dielétrica do material utilizado como substrato.

contribuições das indutâncias mútuas ocasionadas pelos trechos retilíneos que compõem a estrutura original do indutor devem ser consideradas.

Para outras aplicações envolvendo indutores, onde são exigidas maiores indutâncias, as geometrias *meander line* (ver Figura 2.3) e *S line* (ver Figura 2.4) são as mais adequadas.

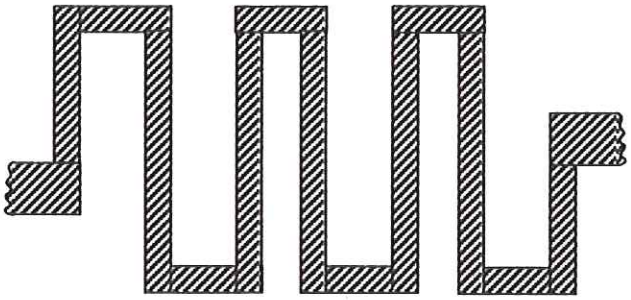


FIGURA 2.3: Indutor planar tipo *meander line.*

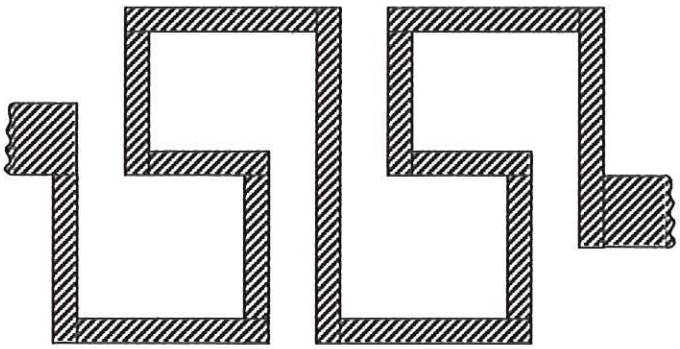


FIGURA 2.4: Indutor planar no formato *S line.*

Todavia, um desempenho satisfatório destes tipos de estruturas depende, principalmente, do acoplamento mútuo existente entre as espiras adjacentes. No entanto, estas estruturas permitem obter indutâncias elevadas ocupando uma área física relativamente pequena. O tipo de *layout* utilizado nestas configurações introduz capacitâncias parasitas entre as espiras adjacentes - principalmente naquelas formando ângulo reto - capacitâncias parasitas entre a camada onde o indutor é construído e o plano terra do substrato. Inevitavelmente, estas capacitâncias contribuem para uma redução significativa da impedância característica e do comprimento físico efetivo do indutor resultante.

Uma última configuração, extensivamente utilizada na realização de indutores planares em *MMICs*, apresenta-se em uma geometria espiral. Indutores espirais planares podem ser construídos no formato circular (ver Figura 2.5), quadrado (ver Figura 2.6) ou, alternativamente, octagonal (ver Figura 2.7).

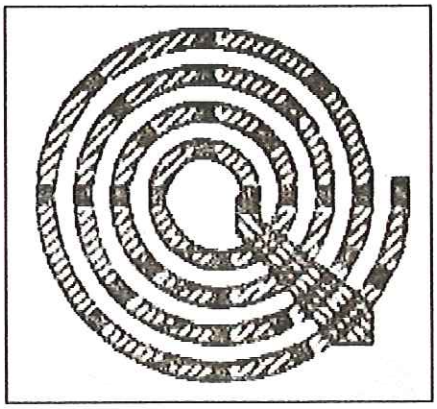


FIGURA 2.5: Indutor espiral circular.

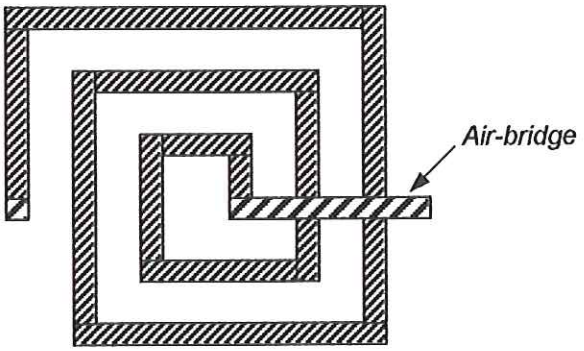


FIGURA 2.6: Indutor espiral quadrado.

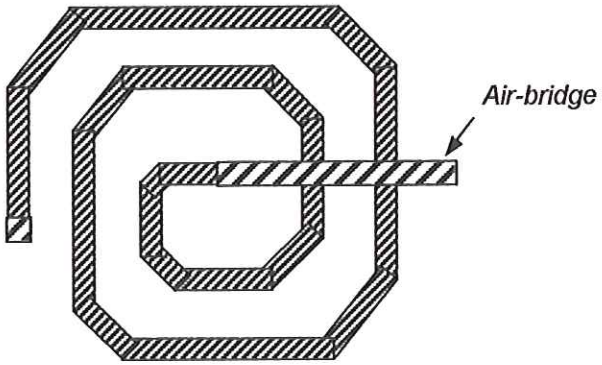


FIGURA 2.7: Indutor espiral octagonal.

O comportamento elétrico destas três geometrias depende fortemente do acoplamento mútuo existente entre as espiras adjacentes, cuja disposição adequada permite obter elevadas reatâncias indutivas, envolvendo uma área superficial relativamente pequena. Entretanto, estes tipos de indutores espirais planares são muito difíceis de serem analisados e descritos por um modelo elétrico equivalente adequado devido ao complexo acoplamento existente entre espiras adjacentes. Na prática, porém, primeiro se fabrica estes dispositivos e depois se mede as indutâncias resultantes. Na seqüência, os valores propostos para os componentes correspondentes aos elementos do modelo elétrico equivalente são devidamente ajustados para os parâmetros de espalhamento (parâmetros-S) medidos, por meio de um programa específico de *Computer Aided Design* (*CAD*).

Simuladores desenvolvidos por meio da teoria de campo eletromagnético também podem ser utilizados para auxiliar a elaboração de modelos equivalentes adequados para descrever precisamente o comportamento dos indutores espirais planares sem, no entanto, exigir a necessidade de construí-los previamente. Os desempenhos exibidos pelas estruturas dos indutores espirais mostrados nas Figuras 2.5 e 2.7 são bastante similares. Dessa maneira, durante o desenvolvimento de um determinado projeto deve-se utilizar indutores previamente testados, limitados a utilizar somente uma faixa estreita de valores de indutância. Uma nova geometria de indutor (ver Figura 2.6) fornece uma melhoria significativa desta situação, pois esta geometria de indutor, além de ser muito mais fácil de ser projetada, permite uma redução significativa dos efeitos introduzidos pelas capacitâncias parasitas geradas pelos acoplamentos cruzados entre as espiras do indutor e a conexão *air-bridge*. Muito freqüentemente, (na maioria dos *MMICs*), utiliza-se uma camada metálica atuando como plano terra para o circuito e, adicionalmente, um substrato de material semi-isolante estreito o suficiente para permitir uma adequada dissipação de calor e um aterramento eficiente para todos os componentes do circuito por meio

dos *via-holes*[8]. Entretanto, esta técnica de construção aumenta significativamente os efeitos induzidos pelo plano terra sobre as capacitâncias parasitas das estruturas de outros componentes passivos, tais como resistores e capacitores. Além do mais, as capacitâncias de efeito de borda (*fringing capacitances)* que normalmente ocorrem entre espiras próximas devem ser consideradas para modelar adequadamente a dependência da freqüência útil de operação desse tipo de indutor com suas espiras.

Outro efeito muito importante associado com a proximidade do plano de terra é o surgimento de indutâncias mútuas entre as espiras originais do indutor e aquelas induzidas pela presença do plano terra. Este efeito reduz a indutância efetiva do indutor resultante e, por esta razão, não pode ser desprezado. Os cantos das espiras no formato de ângulos retos também introduzem descontinuidades, contribuindo para o aumento dos efeitos capacitivos.

A freqüência útil de operação desses indutores espirais depende da largura e do número de espiras utilizado. Indutores espirais de baixa indutância (0,5 – 2,0 nH) alcançam uma freqüência máxima de operação superior a 20 GHz, enquanto que indutâncias mais elevadas (8 – 10 nH) exibem uma freqüência útil da ordem de 10 a 12 GHz. Acima destas freqüências, o comportamento de um indutor espiral torna-se predominantemente capacitivo, pois as capacitâncias parasitas entre as espiras adjacentes deixam de ser desprezíveis. Normalmente, a freqüência de ressonância de um indutor de espira única é mais alta que aquela alcançada pelos indutores espirais de várias espiras.

Em baixas freqüências, o fator de qualidade exibido pelos indutores espirais é comparável com aquele obtido pelos indutores de espira única. No entanto, o fator de qualidade apresentado pelos indutores espirais pode

---

[8] ***Via-hole:*** Orifício criado no substrato dos circuitos integrados (*CIs*) para permitir uma conexão elétrica entre duas camadas localizadas em níveis diferentes. Geralmente, os *via-holes* são empregados para realizar conexões elétricas entre os dispositivos eletrônicos, tais como transistores, resistores, indutores e capacitores e o plano de terra do circuito.

sofrer uma degradação significativa com o aumento da freqüência, quando comparado com o comportamento do fator de qualidade exibido pelos indutores de espira única.

Uma representação da seção transversal de um indutor espiral, formada por espiras de largura w espaçadas por uma distância s é mostrada na Figura 2.8.

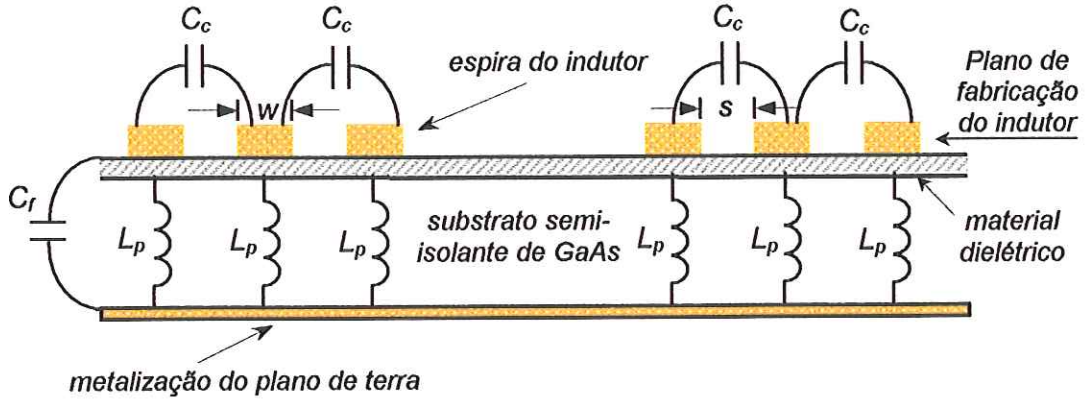


FIGURA 2.8: Seção transversal de um indutor espiral mostrando as capacitâncias de efeito de borda C_f, as capacitâncias de acoplamento mútuo entre as espiras C_c e as indutâncias mútuas (L_p) entre as espiras originais do indutor e o plano de terra.

Um circuito elétrico equivalente que descreve o comportamento do indutor espiral da Figura 2.8 é mostrado na Figura 2.9.

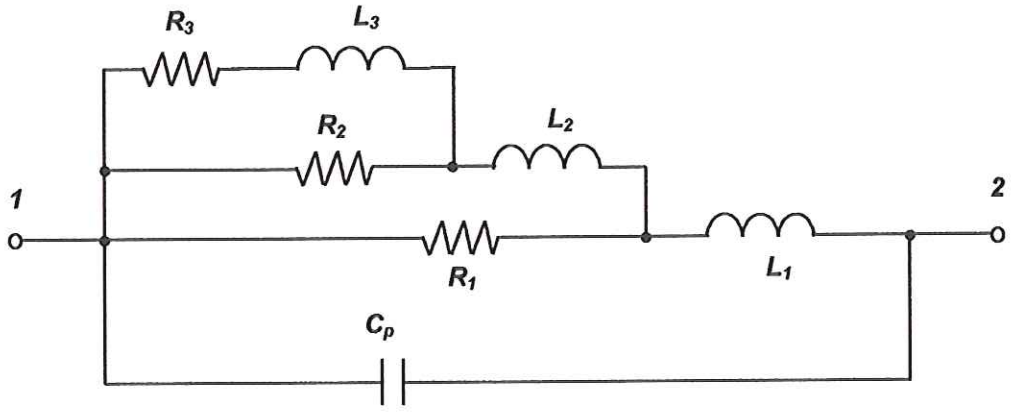


FIGURA 2.9: Circuito elétrico equivalente de um indutor espiral.

Este modelo equivalente é constituído por indutâncias e resistências em série associadas às capacitâncias parasitas, C_p. Muito freqüentemente,

uma combinação de três seções *R-L* série, constituída por elementos concentrados, é suficiente para descrever adequadamente o comportamento de um indutor espiral.

Outros circuitos equivalentes concentrados e semi-concentrados também podem ser usados para descrever o comportamento elétrico de indutores espirais planares, conforme mostram as Figuras 2.10 e 2.11.

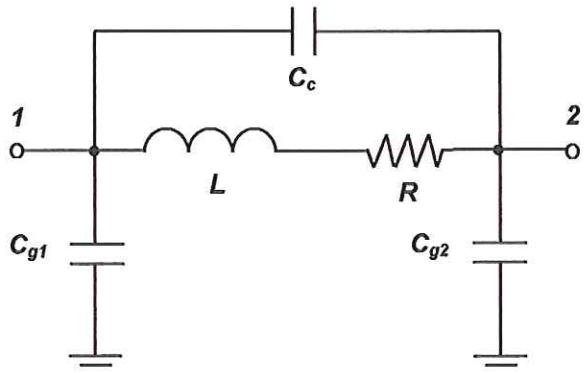


FIGURA 2.10: Circuito elétrico equivalente usando componentes concentrados para indutores espirais planares.

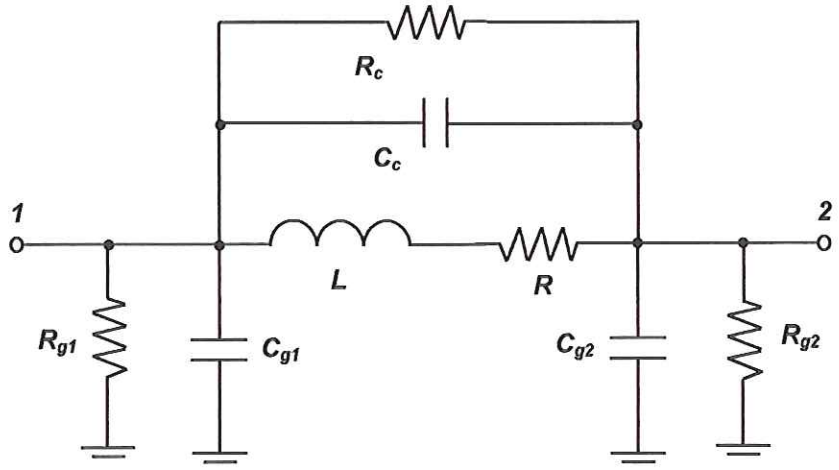


FIGURA 2.11: Circuito elétrico equivalente usando componentes semi-concentrados para indutores espirais planares.

onde:

C_{g1} e C_{g2}: capacitâncias parasitas entre espiras do indutor e o plano terra [F]
C_c: acoplamento capacitivo entre as espiras adjacentes [F]
L: indutância resultante [H]
R: resistência série parasita associada ao indutor (perdas ôhmicas) [Ω]
R_{g1} e R_{g2}: resistências entre as espiras do indutor e o plano de terra [Ω]
R_c: resistência de acoplamento entre espiras adjacentes [Ω]

O modelo considerado na Figura 2.10 inclui a indutância principal *L*, uma resistência parasita *R* e as capacitâncias C_c, C_{gi} (i = 1,2) representando o acoplamento capacitivo entre espiras adjacentes e as capacitâncias entre as espiras originais do indutor e o plano de terra, respectivamente. Para indutores fisicamente grandes, a representação dos elementos concentrados em várias seções é extremamente útil para modelar adequadamente um indutor espiral planar. A Figura 2.11 mostra um modelo de circuito equivalente mais elaborado, incluindo as resistências parasitas R_c e R_{gi} (i = 1,2), representando o acoplamento resistivo entre as espiras adjacentes e as espiras contidas no plano do indutor com o plano terra, respectivamente. Valores típicos dessas resistências estão na faixa de 10 kΩ a 30 kΩ, para substratos de arseneto de gálio (*GaAs*). Com este tipo de modelo é possível descrever o desempenho dos indutores espirais além da sua freqüência de ressonância. Novamente, o modelo considerado pode ser utilizado para representar seções de indutores espirais e, dessa maneira, descrever mais precisamente o desempenho obtido na realização prática desses componentes.

Alguns valores típicos para os parâmetros do circuito elétrico equivalente concentrado, mostrado na Figura 2.10, para indutores planares construídos sobre substrato de arseneto de gálio (*GaAs*) estão listados nas Tabelas 2.1 e 2.2.

TABELA 2.1: Valores típicos dos principais parâmetros para indutores de espira única (*single loop*) [2].

L_N (nH)	$L_{calculado}$ (nH)	R (Ω)	Área* (mm^2)	Valores extraídos do modelo do indutor					Valores corrigidos considerando os *pads* para contato						
				L (nH)	C_{g1} (fF)	C_{g2} (fF)	C_c (fF)	f_{skin} (GHz)	L_c (pH)	C_{cc} (fF)	R_{RF1} (Ω)	R_{RF2} (Ω)	Q_1	Q_2	f_o (GHz)
0,36	0,46	0,62	0,04	0,55	22,5	23,6	<1	3,0	367	12,8	1,5	2,0	20	35	105
0,19	0,28	0,34	0,02	0,37	17,9	17,1	<1	2,4	193	6,5	0,7	1,2	17	30	200
0,12	0,09	0,23	0,002	0,30	13,9	14,3	<1	2,9	122	3,0	0,4	0,7	18	31	370

TABELA 2.2: Valores típicos dos principais parâmetros para indutores espirais circulares [2].

L_N (nH)	$L_{calculado}$ (nH)	R (Ω)	Área* (mm^2)	Valores extraídos do modelo do indutor					Valores corrigidos considerando *pads* para contato externo								
				L (nH)	C_{g1} (fF)	C_{g2} (fF)	C_c (fF)	f_{skin} (GHz)	L_c (pH)	C_{g1c} (fF)	C_{g2c} (fF)	C_{cc} (fF)	R_{RF1} (Ω)	R_{RF2} (Ω)	Q_1	Q_2	f_o (GHz)
5,62	5,17	4,21	0,05	5,79	40,1	33,0	4,2	1,2	5625	26,4	25,4	4,2	-	-	-	-	16
0,92	0,84	2,26	0,008	1,05	14,9	14,2	2,6	3,3	920	7,5	7,0	2,6	4,0	6,8	14,3	25,4	67
0,32	0,27	1,42	0,004	0,46	11,5	11,8	<1	7,5	323	4,5	3,5	<1	1,8	2,9	11,1	21,1	194

*** Área calculada considerando-se um quadrado de dimensões iguais ao diâmetro externo do indutor.**

onde [2]:

L_N: indutância nominal [H]

$L_{calculado}$: indutância calculada desconsiderando os terminais de contato [H]

R: resistência série parasita associada ao indutor (perdas ôhmicas) [Ω]

L: indutância da estrutura de teste (incluindo os terminais de contato) [H]

C_{g1} e C_{g2}: acoplamentos capacitivos entre as espiras do indutor e o plano terra [F]

C_c: capacitância de acoplamento mútuo entre as espiras [F]

C_{cc}: capacitância de acoplamento mútuo entre as espiras corrigida [F]

f_{skin}: freqüência na qual o efeito pelicular se torna significativo [Hz]

L_c: indutância do indutor resultante, isto é, a indutância da estrutura de teste subtraindo a indutância dos terminais de contato [H]

C_{g1c}: capacitância C_{g1} corrigida (capacitância da estrutura de teste menos as correções dos terminais de contato) [F]

C_{g2c}: capacitância C_{g2} corrigida (capacitância da estrutura de teste menos as correções dos terminais de contato) [F]

R_{RF1}: resistência do indutor na freqüência de 10 GHz, calculado considerando-se o efeito pelicular [Ω]

R_{RF2}: resistência do indutor na freqüência de 30 GHz, calculado considerando-se o efeito pelicular [Ω]

Q_1: fator de qualidade ($Q = \omega.L_c/R_{RF1}$) do indutor resultante em 10 GHz

Q_2: fator de qualidade ($Q = \omega.L_c/R_{RF2}$) do indutor resultante em 30 GHz

f_o: freqüência de ressonância do indutor (freqüência útil de operação) [Hz]

A Tabela 2.1 lista valores dos parâmetros do circuito elétrico equivalente para indutores de espira única, enquanto que a Tabela 2.2 mostra os valores dos parâmetros para três indutores espirais circulares construídos com 2, 4 e 7 espiras, correspondendo, respectivamente, às indutâncias nominais de 0,32 nH, 0,92 nH e 5,6 nH [2].

A Tabela 2.3, também lista os valores dos parâmetros do circuito elétrico equivalente mostrado na Figura 2.11 (exceto o valor de R_c, indisponível em [18]) para indutores espirais retangulares, utilizando uma tecnologia *CMOS* sobre substrato de silício (*Si*).

TABELA 2.3: Parâmetros extraídos do circuito elétrico equivalente para indutores espirais retangulares empregando a tecnologia *CMOS* sobre substrato de silício, medidos na freqüência de 2 GHz [18].

Número de espiras	L (nH)	R (Ω)	C_c (fF)	C_{g1} (fF)	C_{g2} (fF)	R_{g1} (kΩ)	R_{g2} (kΩ)	Q @ 2 GHz	Área* (mm^2)
12	34,0	32,5	35,5	40,3	82,4	3,71	1,84	4,5	0,16
10	22,0	26,3	31,4	26,2	52,7	5,49	3,26	2,5	0,12
8	13,1	19,3	25,6	20,9	37,1	7,11	5,97	2,3	0,09
6	6,8	13,1	18,0	15,5	23,0	6,63	5,57	1,0	0,07
4	2,8	7,9	9,0	12,6	14,8	12,26	18,78	-	0,04

*** Área calculada considerando-se um quadrado com dimensões iguais ao diâmetro externo do indutor.**

Observação: Freqüência de ressonância não disponível em [18].

onde:

C_{g1} e C_{g2}: acoplamentos capacitivos entre espiras do indutor e o plano de terra [F]

C_c: acoplamento capacitivo entre as espiras adjacentes [F]

L: indutância resultante [H]

R: resistência série parasita associada ao indutor (perdas ôhmicas) [Ω]

R_{g1} e R_{g2}: acoplamentos resistivos entre as espiras do indutor e o plano de terra [Ω]

Q: fator de qualidade

Como uma outra desvantagem na utilização dos convencionais indutores espirais planares em *MMICs* pode-se citar a necessidade de manter as espiras desses indutores suficientemente espaçadas para evitar acoplamentos indesejados, os quais contribuem para aumentar a área ocupada e o custo final do circuito integrado. Dessa maneira, o desempenho em freqüência dos circuitos integrados utilizando indutores espirais fica bastante comprometido devido às limitações em freqüência dos próprios indutores passivos empregados. De fato, a degradação da faixa útil de freqüência ocorre devido às capacitâncias parasitas presentes no indutor, especialmente no caso de indutores fabricados com as usuais técnicas de microfita. Estas capacitâncias podem alcançar valores suficientemente elevados a ponto de se tornarem determinantes no desempenho em frequência do indutor resultante.

Uma outra restrição significativa nos projetos de *MMICs* surge da dificuldade na realização de indutores passivos integrados exibindo um fator de qualidade suficientemente elevado numa extensa faixa de frequência, particularmente para altas indutâncias. Além do mais, a construção desses convencionais indutores planares envolve uma área física relativamente elevada (particularmente em baixa microondas, isto é, freqüências abaixo de 1 GHz), exibem baixas indutâncias e apresentam baixo fator de qualidade, tornando-os inadequados para aplicações em circuitos de alto desempenho, tais como filtros de banda estreita, ressoadores, redes de casamento de impedâncias, entre outros.

Em meados de 1960, esforços para fabricar indutores planares de altas indutâncias sobre substrato de silício resultaram que a freqüência de ressonância ou, equivalentemente, a máxima freqüência útil de operação desses indutores em circuitos operando na faixa de microondas, era limitada pelas capacitâncias parasitas entre a estrutura original do indutor construído e o substrato utilizado. Adicionalmente, a baixa resistividade elétrica normalmente oferecida pelos usuais substratos de silício contribuía para a obtenção de indutores com altas perdas ôhmicas e, conseqüentemente, baixos fatores de qualidade.

Posteriormente, as técnicas empregadas na construção destes indutores espirais foram revistas quando a fabricação dos amplificadores sintonizados tornou-se comum sobre substratos semi-isolantes de arseneto de gálio (*GaAs*), onde as limitações na faixa de frequência, devido à baixa resistividade do substrato, não existem mais. Afinal, substratos de arseneto de gálio apresentam uma resistividade da ordem de 10^7 a 10^8 Ω.cm, muito superior àquela normalmente encontrada em substratos de silício (da ordem de 4 - 6 Ω.cm, 30 - 50 Ω.cm e 2 kΩ.cm, para os de baixa, média e alta resistividade, respectivamente). Como resultando, o surgimento de uma degradação indesejada do desempenho de circuitos operando na faixa de microondas é maior no silício do que no arseneto de gálio. Para aplicações em circuitos integrados na faixa de microondas e ondas milimétricas (freqüências acima de 30 GHz) a realização de indutores com elevados fatores de qualidade é de fundamental importância. De fato, para assegurar um desempenho satisfatório do circuito desejado, o fator de qualidade dos componentes passivos, particularmente dos indutores espirais, deve ser elevado o suficiente para aplicações em circuitos integrados operando na faixa de microondas, onde as capacitâncias parasitas deixam de ser desprezíveis.

O capítulo III apresenta o princípio básico de funcionamento dos indutores ativos estudados, mostrando também as diversas configurações freqüentemente registradas na literatura para a realização desses indutores e, na seqüência, apresenta também um estudo sistemático e comparativo destas mesmas configurações utilizando transistores de efeito de campo empregando dopagem modulada (*MODFETs*, também chamados *HEMTs*) da *foundry* alemã *FhG/IAF*, com uma tecnologia de 0,3 μm de comprimento de porta [2].

CAPÍTULO III

Indutores ativos

Freqüentemente, grandes indutores espirais são necessários nos projetos de circuitos integrados monolíticos em microondas (*MMICs*) como componentes em circuitos polarização, filtros, osciladores, redes de casamento de impedâncias, entre outros. Estes indutores tradicionais, embora bastante consolidados tecnicamente e de fácil implementação, não são indutores ótimos, pois indutores espirais de baixas perdas de inserção são difíceis de serem construídos quando elevados valores de indutâncias são exigidos, resultando em componentes com baixo fator de qualidade. Além do mais, a área do circuito integrado ocupada por indutâncias elevadas é grande o suficiente para aumentar o tamanho desses circuitos proibitivamente, dessa maneira, contribuindo para aumentar o custo de fabricação do circuito integrado desejado [1]. Além disso, as capacitâncias parasitas associadas às espiras limitam a faixa útil da freqüência de operação do indutor espiral resultante.

Uma tentativa para solucionar estes problemas consiste na utilização dos chamados indutores ativos. As indutâncias que podem ser obtidas por meio desta técnica ativa são muito maiores que aquelas rotineiramente exibidas pelos convencionais indutores espirais, podendo, também, apresentar uma perda de inserção praticamente nula dependendo da configuração de indutor ativo escolhida. Como resultado, elevados fatores de qualidade poderão ser obtidos. De fato, algumas configurações podem alcançar um fator de qualidade da ordem de milhares, superando largamente

os convencionais indutores espirais [5-6]. Adicionalmente, a faixa útil da freqüência de operação desses componentes depende essencialmente da tecnologia dos transistores utilizados. Finalmente, os indutores ativos permitem não somente valores fixos de indutância, mas também oferecem a possibilidade de alteração do valor da indutância mediante a aplicação de uma tensão externa de controle. Como resultado, a área física ocupada por um indutor ativo é totalmente independente do valor da indutância desejada.

3.1) Circuito elementar dos indutores ativos – O Girador

Uma grande variedade de diferentes configurações é possível para a realização dos indutores ativos [19-20], dependendo do número de transistores usados, das especificações do projeto e do consumo de potência d.c. De fato, as referências [19] e [20] fornecem um método original para a determinação de todos os circuitos com características indutivas possíveis de serem realizados em função do número de transistores utilizados. No entanto, nem todas essas possíveis configurações poderão ser implementadas com sucesso se um circuito mais complexo precisa ser projetado (número elevado de transistores). Basicamente, o número de transistores necessários para a implementação de um indutor ativo determina, diretamente, a potência dissipada e a complexidade envolvida na realização desse circuito. Vários estágios diferentes utilizados para polarização, controle de tensão e corrente podem ser exigidos em certas configurações, aumentando, significativamente, a complexidade do circuito desejado. Além do mais, as topologias aterradas – as quais são os tópicos de estudo desse trabalho - (em oposição às do tipo *floating*[9]) são as mais simples de serem implementadas. Dessa maneira, as configurações do tipo *floating* são escolhidas somente para situações onde as necessidades do

[9] ***Indutor ativo floating:*** Configuração de indutor ativo onde não há necessidade que uma das duas portas do indutor resultante esteja conectada ao terra do circuito no qual ele está sendo utilizado.

projeto são claramente identificadas, tais como em realimentação de amplificadores, cargas ativas e redes de casamento de impedância série.

O conceito básico dos indutores ativos foi proposto por Adams e Ho [21] em finais da década de sessenta. A idéia inicial consistia em empregar um único transistor com uma realimentação reativa visando produzir um comportamento indutivo para a impedância de entrada de base. Posteriormente, o surgimento da tecnologia dos circuitos integrados monolíticos em microondas (*MMICs*) motivou a realização de outras configurações de indutores ativos [3-6], entre outras.

Essencialmente, a grande maioria das configurações registradas na literatura para a realização de indutores ativos é formada por um circuito girador, normalmente constituído por transistores conectados na configuração fonte comum e porta comum. Uma configuração típica de um circuito girador e sua realização empregando transistores de efeito de campo (*FETs*) é mostrada na Figura 3.1(a) e Figura 3.1(b) [4].

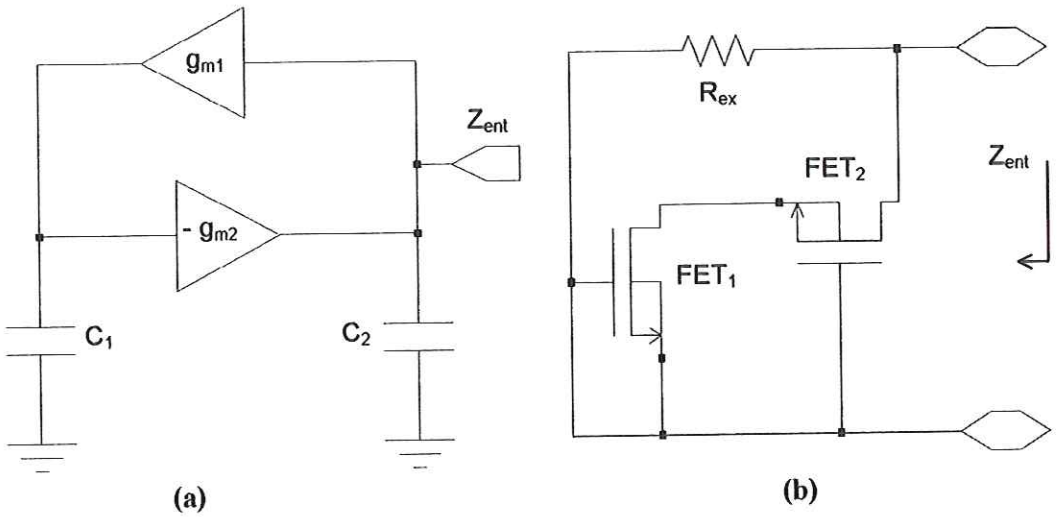


FIGURA 3.1: (a) Princípio básico de um indutor ativo baseado em um circuito girador; (b) Realização de um girador empregando transistores de efeito de campo (*FETs*).

Esta configuração é constituída por um cascode[10] em fonte comum, formado pelos transistores FET_1 e FET_2, e uma malha de realimentação resistiva, R_{ex}. Uma vez que os transistores empregados não são ideais, devido à presença de capacitâncias e resistências parasitas, a indutância resultante estará inerentemente acompanhada de altas perdas de inserção quando se emprega esta configuração elementar de um circuito girador. Altas perdas de inserção contribuem para produzir indutores com baixo fator de qualidade (Q), uma vez que este parâmetro é inversamente proporcional à resistência série da impedância resultante. Uma tentativa para aumentar este fator de qualidade é polarizar a porta do transistor FET_1 por meio de um resistor conectado entre a porta deste transistor e o terra do circuito.

Essencialmente, o circuito equivalente de um girador consiste de uma impedância *L-R* série, cujos valores dependem dos parâmetros elétricos dos transistores FET_1 e FET_2, ou, equivalentemente, da transcondutância (g_m) e da capacitância entre a porta e a fonte (C_{gs}). Conseqüentemente, há uma extrema dependência do comportamento impedância versus frequência do circuito girador com suas condições de polarização. Genericamente, essa dependência pode ser expressa como segue [4]:

$$L \propto \frac{C_{gs} . R_{ex}}{g_{m1} . g_{m2}} \qquad (1)$$

$$R \propto \frac{1}{g_{mi}} \qquad (2)$$

onde:

L: indutância resultante [H]

---

[10] **Cascode em fonte comum:** Arranjo de dois transistores, dreno e fonte do primeiro conectado à fonte e a porta do segundo, respectivamente. Dessa maneira, se consegue estender a resposta em frequência. Isso é obtido porque neste tipo de associação as capacitâncias inerentes a cada transistor se cancelam, desde que os mesmos exibam a mesma frequência de corte f_T (= $g_m/2.\pi.C_{gs}$).

R: resistência série do indutor resultante (perdas ôhmicas) [Ω]

C_{gs}: capacitância entre a porta e a fonte do *FET* [F]

R_{ex}: resistência externa de realimentação [Ω]

g_{mi}: transcondutância dos transistores [S]

A malha de realimentação dessa configuração elementar de indutor ativo é constituída por um elemento dissipativo, R_{ex}, o qual contribui para uma perda de inserção série relativamente elevada para a impedância resultante. Conforme mencionado, uma alteração conveniente dessa malha, tornando-a ativa, oferece certas vantagens; redução significativa das perdas série de inserção assim como da área física do circuito integrado [4].

Um outro inconveniente dessa configuração elementar é a impossibilidade de alterar independentemente o valor da indutância e resistência série associada. Todavia, algumas configurações mais sofisticadas [5-6] oferecem essa vantagem empregando transistores operando como resistores controlados por tensão (conhecidos na literatura como *cold FETs*[11]) colocados em pontos estratégicos do circuito. Duas conseqüências imediatas dessa inovação são uma completa independência na alteração dos valores da indutância e resistência série e, adicionalmente, um aumento significativo do fator de qualidade Q (= X_L / R; onde X_L é a reatância indutiva e R a resistência série associada).

3.2) Configurações dos indutores ativos analisados

São diversas as configurações dos circuitos freqüentemente descritos na literatura para a realização de indutores ativos. Todavia, a grande maioria está baseada na utilização de circuitos giradores empregando, basicamente, dois transistores de efeito de campo (*FET*s), sendo um na configuração fonte

[11] ***Cold FET:*** Consiste na utilização de um transistor de efeito de campo (FET) operando como uma resistência variável, entre fonte e dreno, alterada por uma tensão externa aplicada à porta desse transistor.

comum e o outro em porta comum, realimentados por intermédio de uma malha passiva [3] ou ativa [4-6].

Essencialmente, este trabalho concentrou-se em analisar quatro configurações de indutores ativos: (1) indutor ativo empregando realimentação resistiva [3], (2) indutor ativo empregando realimentação ativa [4], (3) indutor ativo sintonizável [5] e (4) indutor ativo com resistência série negativa insensível à freqüência [6].

Por conveniência, as Figuras 3.2(a), 3.2(b), 3.2(c) e 3.2(d) mostram os esquemáticos das quatro configurações de indutores ativos estudados.

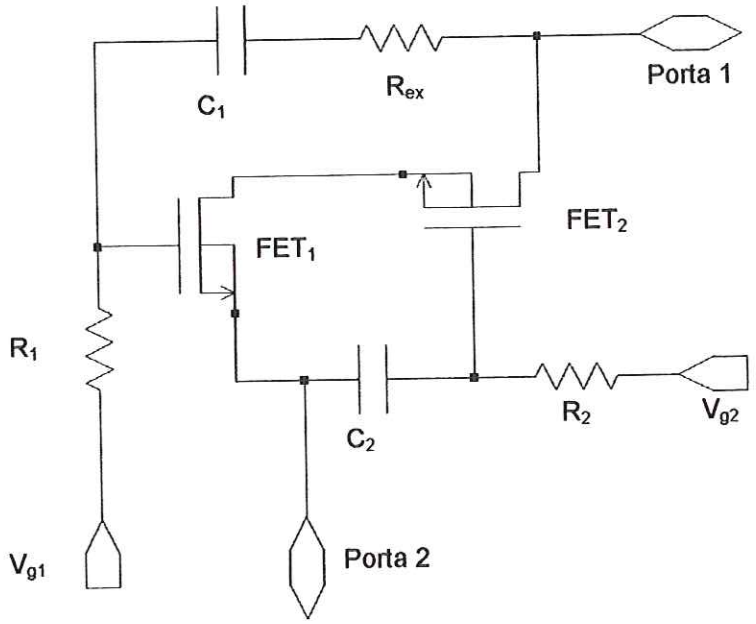


FIGURA 3.2: (a) Configuração de um indutor ativo empregando realimentação resistiva [3].

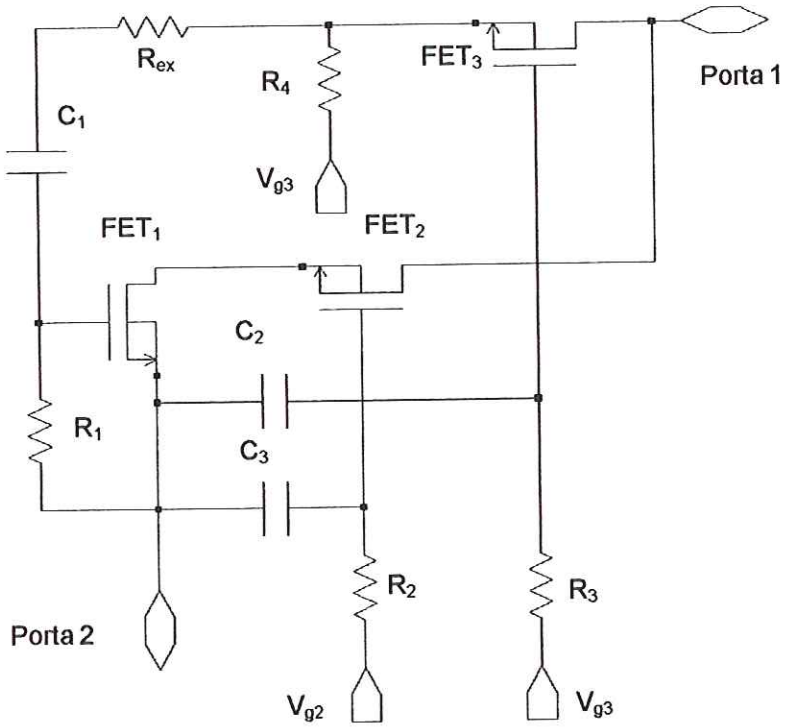


FIGURA 3.2: (b) Configuração de um indutor ativo empregando realimentação ativa [4].

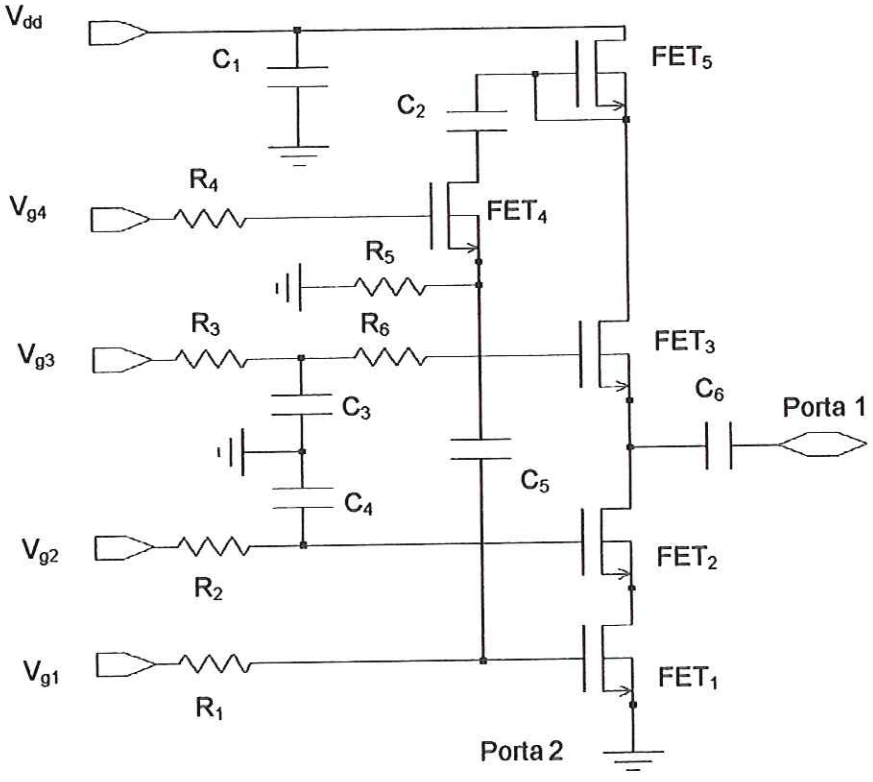


FIGURA 3.2: (c) Configuração de um indutor ativo sintonizável [5].

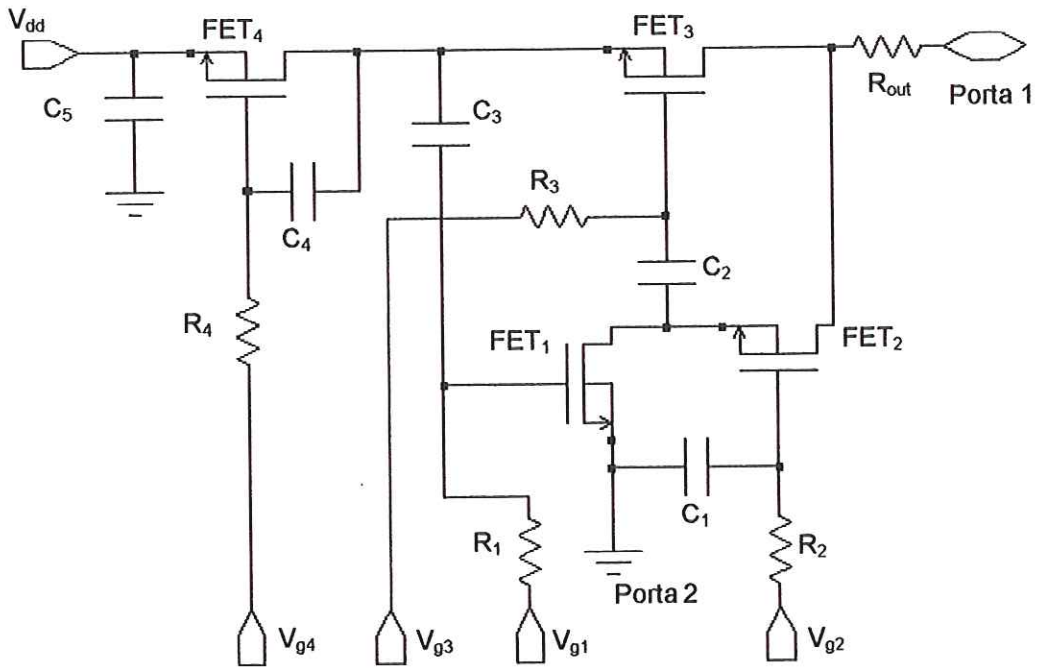


FIGURA 3.2: (d) Indutor ativo com resistência série negativa insensível à freqüência [6].

Será demonstrado também que estes indutores ativos, em condições convenientes de polarização, superam os convencionais indutores espirais planares por exibirem características de banda larga [3-4], baixa perda de inserção e também elevados fatores de qualidade [5-6]. Naturalmente, a escolha de uma determinada configuração de indutor ativo dependerá em muito da necessidade de cada aplicação.

Em todas as simulações realizadas para esses indutores ativos, independentemente da ferramenta de simulação utilizada, o circuito resultante foi considerado como sendo uma impedância *L-R* série (ver Figura 3.3).

FIGURA 3.3: Circuito equivalente resultante de um indutor ativo.

Especificamente, os valores para a indutância (*L*) e fator de qualidade (Q) da impedância resultante foram obtidos por meio da utilização da seguinte relação:

$X_L = 2.\pi.f.L$; a qual pode ser rescrita como; $L = \frac{X_L}{2.\pi.f}$ **(3)**

e

$$Q = \frac{\omega.L}{R} \quad \textbf{(4)}$$

onde:

X_L: reatância indutiva	[Ω]
f: freqüência	[Hz]
L: indutância resultante	[H]
ω: freqüência angular (= 2.π.f)	[rad/s]
R: resistência série resultante (perdas ôhmicas)	[Ω]
Q: fator de qualidade	

3.2.1) Procedimento de análise adotado usando o programa Serenade

Utilizando um pacote de *Computer Aided Design* (*CAD*) desenvolvido pela empresa *Ansoft Corporation* (*Serenade*) de uso geral para a realização de síntese, análise, simulação e otimização de circuitos foi possível simular e analisar o comportamento impedância versus freqüência exibido pelos indutores ativos estudados.

Todas as configurações de indutores ativos analisados com a utilização da ferramenta *Serenade* foram realizadas utilizando transistores de efeito de campo empregando dopagem modulada (*MODFETs*, também chamados *HEMTs*) da *foundry* alemã FhG/IAF [2], com uma tecnologia de

0,35 μm de comprimento de porta (exibindo freqüência de corte f_T em torno de 50 GHz).

As simulações necessárias para a determinação do comportamento impedância versus freqüência dos circuitos dos indutores ativos estudados foram realizadas por meio de uma polarização adequada dos circuitos analisados e também pela aplicação de uma corrente senoidal de excitação na porta 1 de cada configuração de indutor analisado, enquanto que a porta 2 era mantida aterrada. O simulador utilizado foi configurado para produzir os parâmetros de impedância de entrada do circuito, ou seja, o parâmetro Z_{11}.

O modelo adotado para os todos transistores HEMTs utilizados foi uma simples combinação da capacitância entre porta e fonte (C_{gs}) e a transcondutância (g_m). A simulação realizada foi linear, pois os parâmetros dos transistores disponíveis pela *foundry* incluíam apenas três condições de polarização, a saber; V_{gs} = -0,4 V, V_{gs} = 0,0 V e V_{gs} = 0,4 V.

3.3) Indutor ativo empregando realimentação resistiva [3]

Este tópico inicial discutirá uma das quatro configurações de indutores ativos analisados [3-6] neste trabalho, proposta originalmente por Hara [3]. Esta configuração é bastante elementar, porém, extremamente interessante devido à conveniente conexão dos transistores de efeito de campo (*FETs*) que compõem o circuito girador (cascode em fonte comum) de tal maneira a suprimir as capacitâncias parasitas indesejáveis, possibilitando, dessa maneira, estender a freqüência de ressonância (máxima freqüência útil de operação) dessa configuração de indutor ativo. No entanto, para que isso ocorra de forma completa, há a necessidade de que ambos os transistores utilizados (*FETs*) apresentem a mesma freqüência de corte f_T (= g_m / $2.\pi.C_{gs}$), ou seja, $g_{m1} = g_{m2}$ e $C_{gs1} = C_{gs2}$, onde os sub-índices 1 e 2 correspondem aos transistores FET_1 e FET_2, respectivamente.

Apenas por conveniência repete-se aqui o esquemático da configuração de um indutor ativo empregando realimentação resistiva [3].

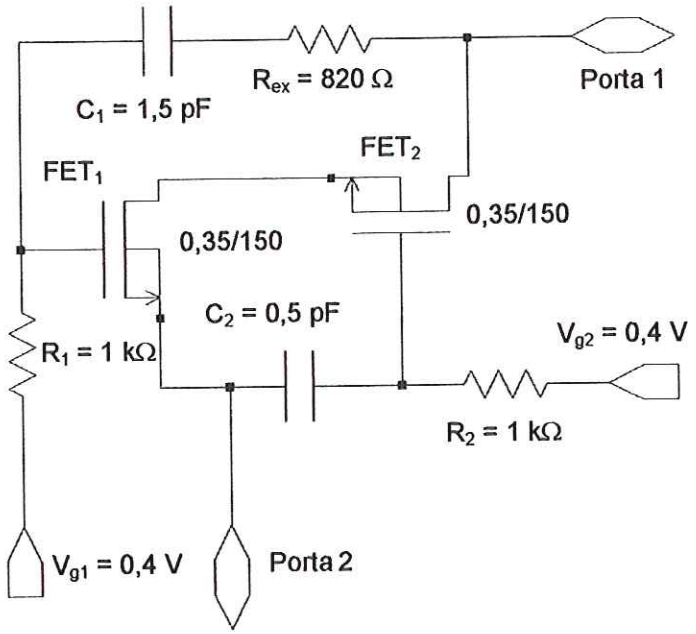


FIGURA 3.4: Indutor ativo empregando realimentação resistiva [3].

Esta configuração é formada, basicamente, por um cascode em fonte comum e um resistor, R_{ex}, formando uma malha de realimentação resistiva, ligada entre a porta do primeiro transistor (FET_1) e o dreno do segundo (FET_2).

Devido à complexidade de equacionamento desse tipo de circuito se todos os componentes do circuito equivalente dos transistores são considerados, utiliza-se aqui um circuito equivalente simplificado, constituído apenas pela combinação da capacitância entre porta e fonte, C_{gs}, e transcondutância g_m dos transistores. Dessa maneira, a impedância que será encontrada nos terminais desse circuito poderá ser expressa como segue [3]:

$$Z = \frac{1 + j.\omega.C_{gs1}.R_{ex}}{g_{m1} + j.\omega.[C_{gs1} - C_{gs2} + \omega^2.C_{gs2}.(C_{gs1}.C_{gs2} / g_{m1}.g_{m2})]} \qquad (5)$$

onde os subscritos 1 e 2 correspondem ao primeiro e segundo *FET*, respectivamente. Quando o cascode for formado por *FETs* com as mesmas capacitâncias C_{gs} e as mesmas transcondutâncias g_m, ou seja, exibindo a mesma freqüência de corte f_T (= g_m / $2.\pi.C_{gs}$), a Eq. (5) poderá ser rescrita como [3]:

$$Z = \frac{1 + j.\omega.C_{gs1}.R_{ex}}{g_{m1} + j.\omega.C_{gs1}.(\omega.C_{gs} / g_m)^2} \qquad (6)$$

A Figura 3.5 mostra o comportamento impedância versus frequência desta configuração de indutor ativo empregando uma realimentação resistiva.

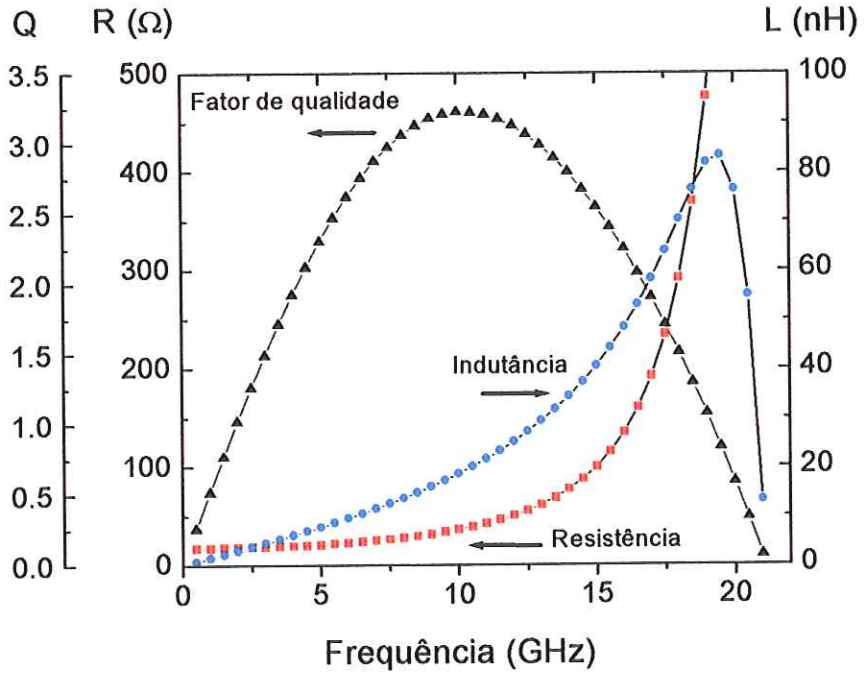


FIGURA 3.5: Comportamento impedância versus freqüência de um indutor ativo empregando realimentação resistiva.

Os resultados mostrados na Figura 3.5 foram obtidos polarizando-se convenientemente os transistores FET_1 e FET_2, alterando-se também os valores do resistor de realimentação R_{ex}, e das capacitâncias C_1 e C_2 de maneira a obter

a maior indutância possível com a menor resistência série associada, visando, dessa maneira, obter um fator de qualidade (Q) maximizado.

Embora o valor do fator de qualidade resultante desta primeira configuração de indutor ativo analisado seja da mesma ordem de grandeza daquele normalmente alcançado por um indutor espiral convencional (tipicamente em torno de 3,0 [2]), pode-se observar, contudo, que o comportamento impedância versus frequência apresentado por esse tipo de indutor ativo permite caracterizá-lo como um dispositivo com características de faixa larga, bastando observar o comportamento do fator de qualidade numa extensa faixa de freqüência (de 5 GHz a aproximadamente 17,5 GHz, onde o fator de qualidade permanece dentro da faixa de valores de 2,5 e 3,0).

Conforme mencionado anteriormente, a malha de realimentação utilizada nesta configuração de indutor ativo é do tipo dissipativa, constituída pelo resistor R_{ex}, a qual, inevitavelmente, contribui para resultar um componente com uma perda de inserção série relativamente elevada (da mesma ordem de grandeza do resistor R_{ex}). Dessa maneira, um indutor ativo com um fator de qualidade indesejavelmente baixo é obtido – próximo daqueles valores normalmente encontrados nos convencionais indutores espirais planares [2].

3.4) Indutor ativo empregando realimentação ativa [4]

A configuração analisada na seção anterior supera os convencionais indutores espirais na operação em alta freqüência para valores de indutância significativamente elevados. Entretanto, como a malha de realimentação daquele circuito é constituída por um elemento resistivo, R_{ex}, as perdas de inserção série introduzidas por aquele componente são consideráveis. A fim de reduzir essas perdas, o circuito discutido nesta seção [4] emprega um transistor de efeito de campo (FET_3) operando na configuração porta comum na malha de realimentação (ver Figura 3.6). Com isso, a ordem de grandeza dessa perda será proporcional ao recíproco da transcondutância do transistor FET_3, ver Eq. (2).

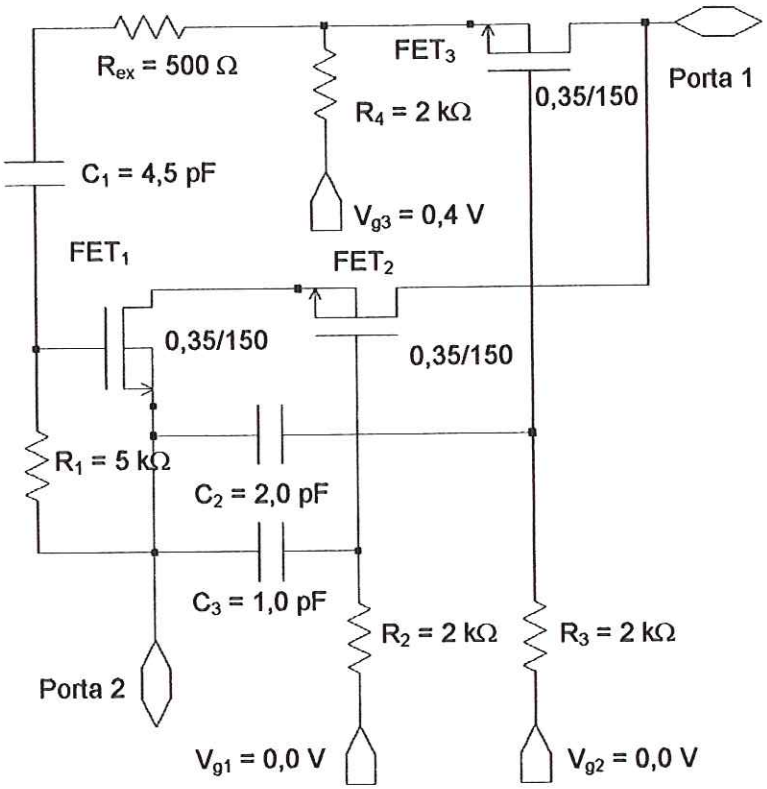


FIGURA 3.6: Indutor ativo empregando realimentação ativa [4].

Novamente, a configuração é constituída por um cascode em fonte comum, utilizando-se agora um transistor em porta comum (FET_3), formando uma malha de realimentação ativa para o circuito girador. Conforme mencionado, a vantagem dessa nova configuração está no fato de que ela exibe uma perda de inserção muito baixa ou praticamente nula, numa extensa faixa de frequência. Esse resultado somente é possível devido à substituição do resistor, R_{ex}, (utilizado na malha de realimentação da configuração analisada na sub-seção anterior) por um transistor de efeito de campo (FET_3) operando como um resistor variável por tensão – *cold FET*.

A admitância dessa nova configuração de circuito pode ser expressa como [4]:

$$Y = g_{m3} \cdot \left(1 - \frac{C_{gs2} \cdot g_{m1}}{C_{gs1} \cdot g_{m2}} \right) + \frac{g_{m1} \cdot g_{m3}}{j.\omega .C_{gs1}} \qquad (7)$$

onde os subscritos 1 e 2 da Eq. (7) correspondem ao primeiro e segundo *FET*, respectivamente, enquanto que o subscrito 3 corresponde ao *FET* empregado na configuração porta comum para formar a malha de realimentação do circuito.

Se os *FETs* utilizados no cascode em fonte comum apresentarem a mesma freqüência de corte f_T (= g_m /2.π.C_{gs}), ou seja, exibirem a mesma transcondutância g_m e a mesma capacitância C_{gs} a Eq. (7) poderá ser rescrita da seguinte maneira [4]:

$$Z = j.\omega.\left(\frac{C_{gs1}}{g_m.g_{m3}}\right) \qquad (8)$$

onde:

Z: impedância do circuito resultante [Ω]

C_{gs1}: capacitância entre a porta e a fonte do FET_1 [F]

g_m: transcondutância do FET_1 ou FET_2 [S]

g_{m3}: transcondutância do *FET* de realimentação (FET_3) [S]

Dessa última relação, Eq.(8), pode-se concluir que este circuito se comportará, em uma primeira aproximação, como um indutor ativo sem perdas, pois a componente resistiva da impedância (parte real da Eq. (8)) do circuito resultante pode ser feita nula.

A Figura 3.7 mostra a comportamento impedância versus freqüência do indutor ativo empregando realimentação ativa.

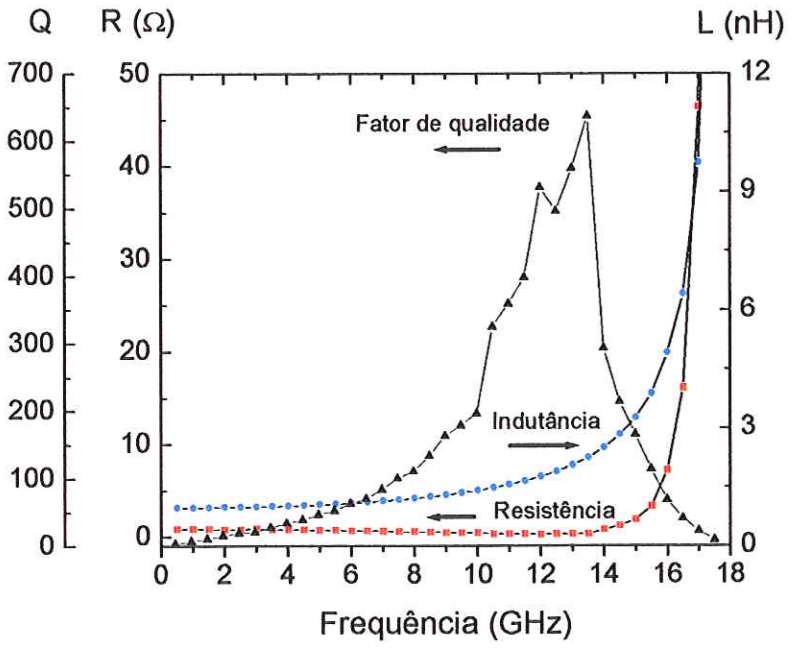


FIGURA 3.7: Comportamento impedância versus frequência de um indutor ativo empregando realimentação ativa.

Os resultados obtidos empregando uma malha de realimentação ativa (FET_3) são bastante expressivos quando comparados com aqueles apresentados pela configuração analisada na sub-seção anterior (utilizando uma realimentação passiva). A perda série de inserção apresentada por essa nova configuração de indutor ativo (da ordem de 1,5 Ω) é significativamente baixa numa extensa faixa de freqüências, de 0,5 GHz a 14 GHz. Como resultado, um indutor ativo com um alto fator de qualidade é exibido, alcançando seu valor máximo (Q = 650) em torno de 13,7 GHz.

3.5) Indutor ativo sintonizável [5]

O termo *"sintonizável"* deve ser interpretado da maneira habitual, ou seja, esta terceira configuração de indutor ativo permite modificar os valores da indutância e resistência série de maneira totalmente independente, dentro de uma determinada faixa de freqüência. Como conseqüência, se uma resistência

série suficientemente baixa é estabelecida, a configuração exibirá um elevado fator de qualidade. A configuração do indutor ativo discutida nesta sub-seção é mostrada na Figura 3.9 [5].

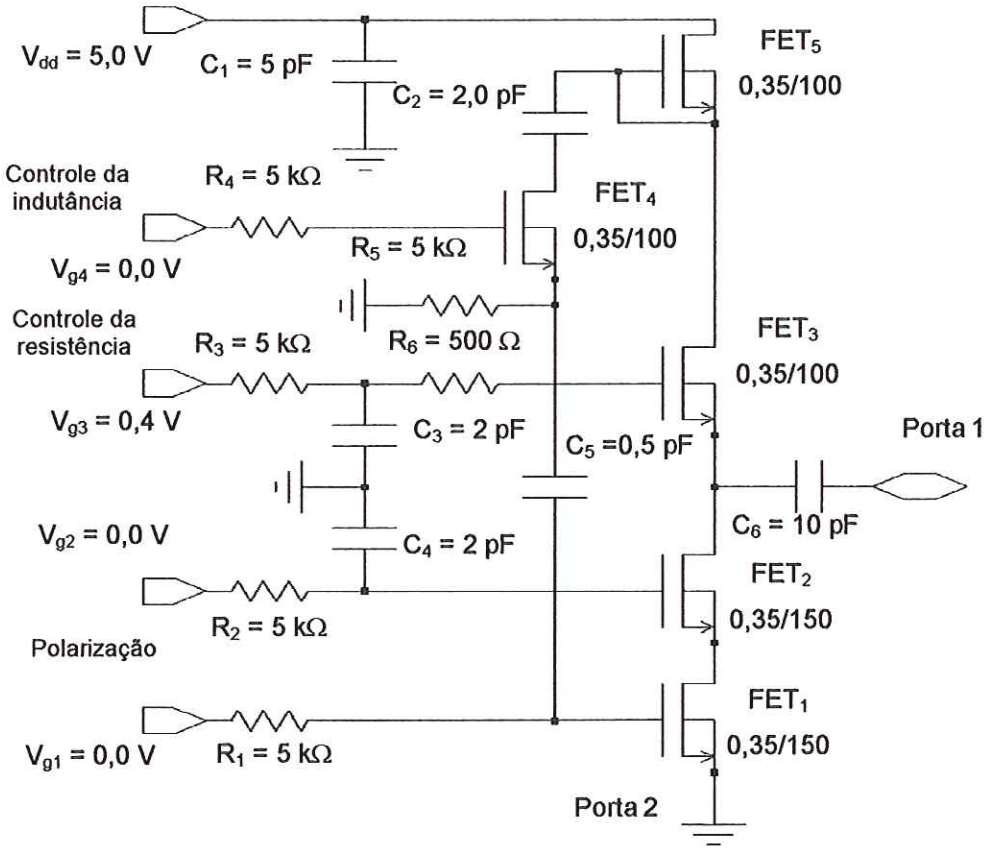


FIGURA 3.8: Configuração de um indutor ativo sintonizável [5].

O usual arranjo - cascode em fonte comum - está sendo aqui implementado por intermédio dos transistores, FET_1 e FET_2. Uma vez que das convencionais configurações básicas de indutores ativos resultava uma elevada resistência série, um transistor em porta comum é empregado na malha de realimentação, FET_3, com a finalidade de reduzir essa resistência. Na realidade, a polarização d.c. da porta deste transistor é que, efetivamente, controla o valor da resistência série da impedância resultante. O propósito desta nova configuração é produzir uma resistência série negativa e constante, numa estreita faixa de freqüência, com a finalidade de cancelar aquela produzida pelo circuito cascode. Adicionalmente, um resistor variável controlado por tensão,

FET_4, isto é, um *cold-FET*, é empregado na malha de realimentação do circuito, com o objetivo de alterar o valor da indutância resultante. A carga resistiva necessária no estágio de polarização é implementada com uma carga ativa, FET_5, a qual oferece a vantagem adicional de exigir uma área menor do circuito integrado, quando comparada com a área ocupada por um indutor espiral, normalmente utilizado em estágios de polarização.

3.5.1) Análise do indutor ativo sintonizável [5]

Para propósitos de análise, o indutor ativo sintonizável, mostrado na Figura 3.8, será representado por um circuito elétrico equivalente simplificado, conforme ilustra a Figura 3.9 [5]:

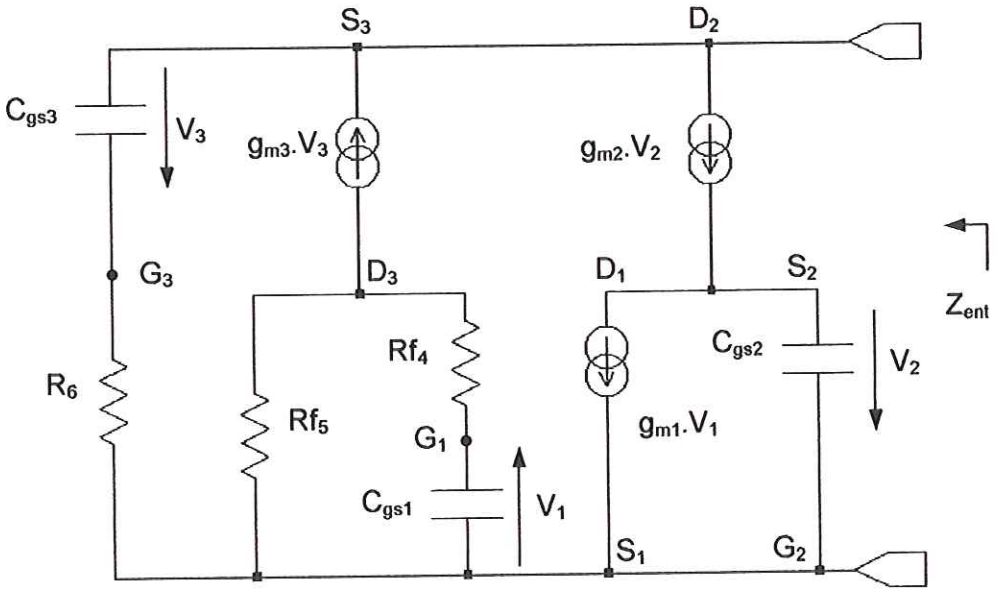


FIGURA 3.9: Circuito equivalente simplificado de um indutor ativo sintonizável [5].

Nesse modelo, os transistores de efeito de campo FET_1, FET_2, e FET_3 estão sendo representados somente por uma combinação de suas transcondutâncias, g_m, e suas capacitâncias entre porta e fonte, C_{gs}, conforme já discutido nas sub-seções anteriores. Já os transistores FET_4 e FET_5 são representados somente por suas resistências de saída entre dreno e fonte, Rf_1 e Rf_3, respectivamente. Todos os capacitores de acoplamento e

desacoplamento podem ser ignorados para o propósito desta análise na operação em alta freqüência.

Utilizando um equacionamento nodal convencional, pode-se mostrar que a indutância resultante (*L*) deste indutor ativo sintonizável e sua resistência série associada (*R*) poderão ser expressas como [5]:

$$L = \frac{\omega.C_{gs3}.R_2.(g_{m3} + \phi.\alpha) - (\omega.C_{gs3} - \phi.\beta)}{(g_{m3} + \phi.\alpha)^2 + (\omega.C_{gs3} - \phi.\beta)^2} \quad (9)$$

e

$$R = \frac{(g_{m3} + \phi.\alpha) + \omega.C_{gs3}.R_2.(\omega.C_{gs3} - \phi.\beta)}{(g_{m3} + \phi.\alpha)^2 + (\omega.C_{gs3} - \phi.\beta)^2} \quad (10)$$

onde:

$$\phi = \frac{g_{m1}.g_{m2}.g_{m3}.R_3}{\alpha^2 + \beta^2}; \qquad \alpha = g_{m2} - \omega^2.C_{gs1}.C_{gs2}.(R_1 + R_3);$$

$$\beta = \omega.[C_{gs2} + C_{gs1}.g_{m2}.(R_1 + R_3)];$$

Como os transistores FET_1, FET_2, FET_3, e FET_5 estão em um arranjo *totem*[12], todos eles serão percorridos por uma mesma corrente de dreno. Além disso, considera-se também que os transistores FET_1, FET_2, e FET_3 exibem as mesmas freqüências de corte f_T (= g_m / $2.\pi.C_{gs}$), ou, equivalentemente, quando $g_{m1} = g_{m2} = g_{m3} = g_m$ e também $C_{gs1} = C_{gs2} = C_{gs3} = C_{gs}$. Como resultado, as expressões para indutância *L* e a resistência *R* resultante poderão ser rescritas como [5]:

$$L = \frac{x.R_2.(g_m + \phi.\alpha) - (x - \phi.\beta)}{(g_m + \phi.\alpha)^2 + (x - \phi.\beta)^2} \quad (11)$$

---

[12] ***Totem:*** Associação série de vários transistores, onde a corrente que percorre qualquer um desses transistores é a mesma que percorrerá todos os demais.

$$R = \frac{(g_m + \phi.\alpha) + x.R_2.(x - \phi.\beta)}{(g_m + \phi.\alpha)^2 + (x - \phi.\beta)^2} \quad (12)$$

onde:

$$\phi = \frac{{g_m}^3.R_3}{\alpha^2 + \beta^2}; \qquad \alpha = g_m - x^2.(R_1 + R_3);$$

$$\beta = x.[1 + g_m.(R_1 + R_3)]; \qquad x = \omega.C_{gs};$$

Por meio destas expressões pode-se observar que uma extensa gama de valores para a indutância pode ser sintetizada para diversos valores de resistência série, incluindo valores positivos e negativos. Nesse momento, é oportuno salientar o interesse na obtenção de indutores ativos que exibam uma resistência série negativa. Uma vez que a resistência série resultante desses indutores pode ser feita negativa e constante em uma determinada faixa de freqüência é possível combinar essa resistência com aquelas que contribuem com as perdas internas presentes na maioria dos circuitos, tais como impedância de saída dos estágios de polarização, condutância de saída dos transistores, osciladores controlados por tensão (*VCOs*), defasadores analógicos de sinais, entre outros, de maneira a cancelar, quase que completamente, as perdas ôhmicas desses circuitos empregando um indutor ativo sintonizável. Como resultado, é possível compensar as perdas de inserção de filtros, defasadores analógicos de sinais e redes de casamento de impedâncias, atuando apenas na polarização do indutor ativo utilizado, estrategicamente localizado no circuito.

A Figura 3.10 apresenta o comportamento impedância versus freqüência de um indutor ativo sintonizável, obtido por simulação do circuito.

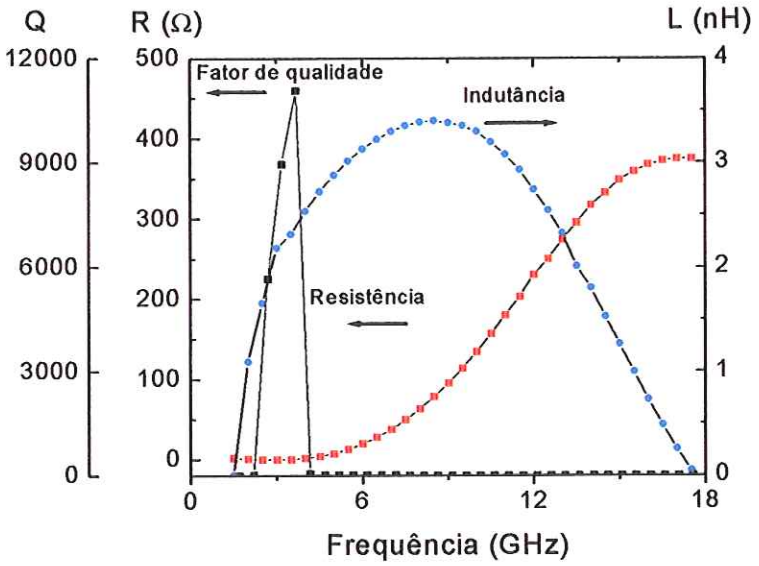


FIGURA 3.10: Comportamento impedância versus freqüência de um indutor ativo sintonizável.

A reduzida perda de inserção exibida por esta terceira configuração, dentro de uma faixa específica de freqüência, permite gerar um altíssimo fator de qualidade, atingindo um valor máximo de Q = 11000 em torno de 3,5 GHz. Este resultado somente é possível devido à resistência série negativa produzida pelo FET_3, que combinada com as perdas produzidas pelas resistências dos circuitos de polarização e da condutância de saída g_{ds} dos transistores FET_1 e FET_2 da configuração cascode, resultaram uma resistência série praticamente nula numa estreita faixa de frequência para a impedância resultante.

Utilizado como elemento de sintonia em um filtro, formado por um circuito ressoante *L-C* paralelo, onde o elemento capacitivo é um diodo *varicap* e o indutivo a configuração de indutor ativo desta seção, torna-se possível, em princípio, produzir valores negativos de resistência para compensar as perdas inerentes ao filtro, enquanto que os valores da indutância possibilitam realizar ajustes na tentativa de obter a resposta desejada dentro da faixa de freqüência de interesse. Adicionalmente, esta combinação permite que o ajuste da faixa de freqüência de operação do ressoador ativo seja o produto de duas faixas individuais de sintonia, uma atribuída ao indutor ativo e a outra ao diodo *varicap* [5].

3.6) Indutor ativo com resistência série insensível à freqüência [6]

Esta quarta e última configuração de indutor ativo também é constituída por meio de um circuito cascode em fonte comum (FET_1 e FET_2) e uma malha de realimentação ativa (FET_3) (ver Figura 3.11 (a)).

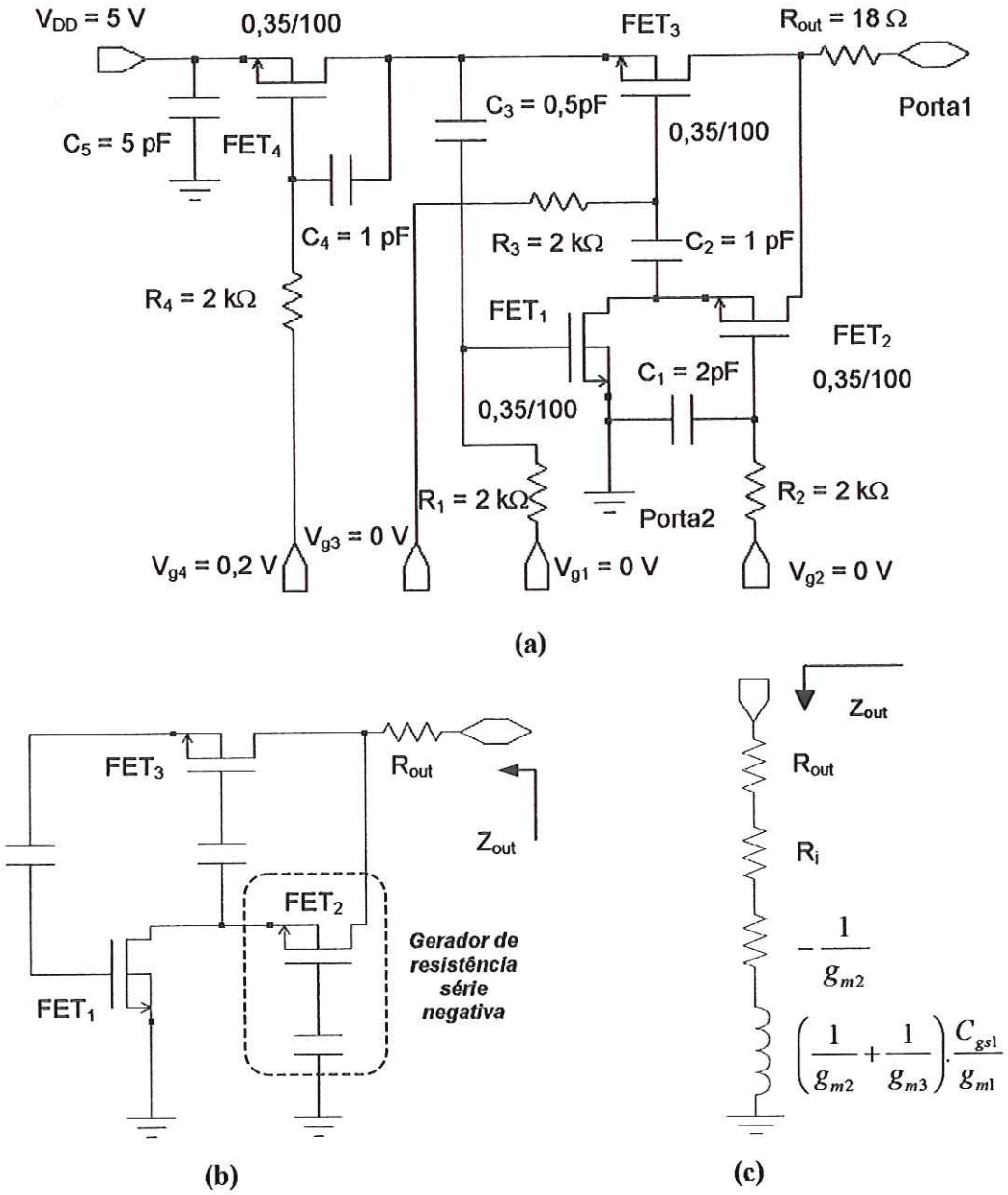


FIGURA 3.11: (a) Indutor ativo com resistência série insensível à freqüência; (b) configuração básica de um indutor ativo usando um gerador de resistência série negativa e constante (FET_2); (c) circuito equivalente simplificado do indutor [6].

Novamente, da mesma forma que na seção anterior, a idéia consiste em inserir um resistor na porta de um transistor na configuração porta comum com a finalidade de gerar uma resistência série e negativa, a qual contribuirá para produzir um aumento no fator de qualidade do indutor resultante. Todavia, nesta nova configuração [6], a porta do FET_3 está conectada ao dreno do FET_1 e à fonte do FET_2, permitindo gerar uma resistência série negativa e constante insensível à freqüência dentro de uma determinada faixa de freqüência.

Adicionalmente, nesta última configuração, um resistor externo (R_{out}) é inserido entre o dreno do FET_2 e a porta de saída do circuito (porta 1). Pode-se demonstrar que as perdas internas (R_i) causadas, principalmente, pela condutância entre os terminais de dreno e fonte dos transistores (g_{ds}) e pelas resistências do circuito de polarização assumem valores quase que constantes em uma faixa de frequência de operação abaixo da metade da frequência de corte dos transistores empregados [3]. Dessa maneira, torna-se possível a realização de circuitos com uma perda série praticamente nula numa faixa de freqüência maior que aquela obtida por meio da configuração de indutor ativo discutida na sub-seção anterior. Se o circuito equivalente dos *FETs* for considerado como uma combinação da transcondutância g_m e da capacitância entre porta e fonte, C_{gs}, a impedância de saída do circuito, Z_{out}, pode ser dada por [6]:

$$Z_{out} = \frac{\frac{j.\omega.C_{gs1}}{g_{m1}}.\left(\frac{1}{g_{m2}} + \frac{1}{g_{m3}}\right) - \frac{1}{g_{m2}}}{1 - \left(\frac{f}{f_T}\right)^2} + R_{out} \qquad (13)$$

onde:

Z_{out}: impedância resultante [Ω]

C_{gs1}: capacitância entre porta e fonte do FET_1 [F]

g_{mi} (i = 1,2,3): transcondutância dos *FETs* [S]

f: freqüência de operação do indutor [Hz]

f_T: freqüência de corte dos *FETs* [Hz]

R_{out}: resistência externa [Ω]

Desde que a frequência de operação do indutor ativo seja feita muito menor que a frequência de corte dos transistores utilizados, isto é, $(f / f_T)^2 << 1$, pode-se observar (por meio da Eq. (13)) que a componente resistiva da impedância resultante (resistência negativa) será constante e independente da variação da freqüência dentro de uma faixa específica de freqüência de interesse. Como resultado, a resistência de perda R_i intrínseca à configuração poderá ser quase que completamente cancelada por intermédio de um ajuste conveniente do valor de R_{out} e g_{m2} em toda a faixa de freqüência de operação dessa configuração de indutor ativo.

Finalmente, deve ser mencionado que, uma vez que os transistores FET_1, FET_2, e FET_3 estão sendo percorridos pela mesma corrente de dreno, torna-se difícil alterar a indutância e a resistência série negativa independentemente. Um método para obter um indutor ativo sintonizável é usar um *cold-FET* (resistor variável por tensão) juntamente com um resistor externo (R_{out}) visando alterar a resistência série negativa. Dessa maneira, g_{m2} ou g_{m3} poderão ser variados, por intermédio de uma mudança conveniente do ponto de polarização dos transistores, para alterar o valor final da indutância resultante, enquanto a resistência série é mantida constante, numa determinada faixa de frequência, ajustando-se a polarização do *cold-FET* adequadamente.

A Figura 3.12 mostra o comportamento impedância versus freqüência de um indutor ativo com resistência série negativa insensível à freqüência.

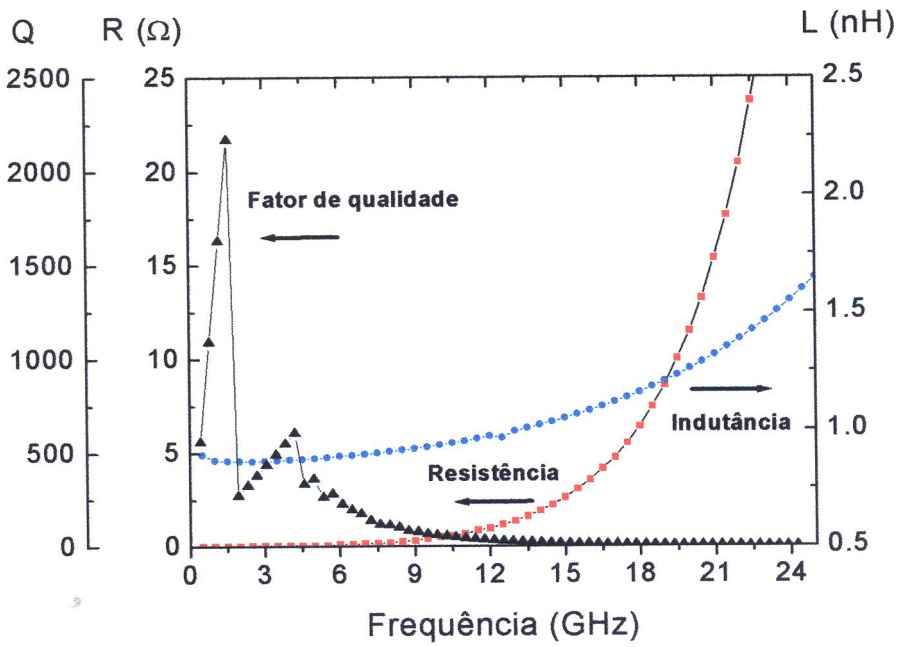


FIGURA 3.12: Comportamento impedância versus freqüência de um indutor ativo com resistência série insensível à frequência.

Esta última configuração exibe uma perda série de inserção praticamente constante e extremamente baixa numa ampla faixa de freqüência, 0,5 GHz a 20 GHz, obtida por meio de uma conveniente polarização do circuito do indutor ativo. Desde que o circuito estudado utiliza um gerador de resistência série negativa e insensível à freqüência (FET_2), para compensar as perdas internas do indutor ativo, resultante, principalmente, da condutância entre fonte e dreno dos transistores, g_{ds}, e também do circuito de polarização d.c., um elevado fator de qualidade também é exibido, atingindo seu valor máximo Q = 2200 em torno de 2,7 GHz.

No capítulo IV encontra-se uma introdução aos princípios gerais de funcionamento de uma convencional tecnologia *CMOS* sobre substrato de silício, incluindo algumas das suas principais utilizações, tais como circuitos lógicos inversores, transistores operando como carga ativa, entre outros.

CAPÍTULO IV

Arseneto de Gálio (GaAs) versus Silício (Si)

Os circuitos integrados monolíticos de microondas (*MMICs*) são uma tecnologia que desempenha um papel muito importante em sistemas de rádio-freqüência (*RF*) operando na faixa de microondas (freqüências acima de 1 GHz) em diversas aplicações de uso militar e comercial. Esta tecnologia permite combinar várias funções de circuitos ativos e passivos em projetos de amplificadores, filtros, osciladores, entre outros, sobre um mesmo substrato. Nos *MMICs*, todos os componentes – passivos e ativos – são fabricados sobre um mesmo substrato de material semi-isolante, contribuindo, dessa maneira, para eliminar a necessidade de empregar componentes discretos construídos fora do circuito integrado (*off-chip components*), freqüentemente utilizados em circuitos integrados híbridos operando na faixa em microondas (*Hybrid MICs*).

Historicamente, a realização de uma extensa variedade de circuitos integrados operando na faixa de microondas somente era possível por meio de processos tecnológicos relativamente custosos, complexos e sofisticados como aqueles empregando a tecnologia dos circuitos integrados monolíticos em microondas (*MMICs*), envolvendo substrato semi-isolantes de arseneto de gálio (*GaAs*) ou fosfeto de índio (*InP*).

Circuitos de rádio-freqüência (*RF*) operando nas bandas mais baixas de microondas, por exemplo, a banda-L (1 – 2 GHz), podem ser realizados utilizando-se a tecnologia dos *MMICs* sobre substrato semicondutor de silício (*Si*) com resultados bastante satisfatórios [1; 8-14]. Entretanto, o arseneto de

gálio (*GaAs*) é o material normalmente escolhido para a construção de circuitos integrados operando acima destas freqüências, devido à sua maior mobilidade eletrônica (ver Tabela 4.1).

TABELA 4.1: Características do silício (*Si*) e do arseneto de gálio (*GaAs*) @ 300K [22].

Parâmetro		*Silício*	*GaAs*
Mobilidade [cm^2/V-s]:	(elétrons)	1500	8500
	(lacunas)	450	400
Energia da banda proibida	[eV]	1,12	1,42
Figura de ruído	[NF]	alta	baixa
Imunidade à radiação		mais susceptível	menos susceptível
Banda de ótimo desempenho		HF, UHF, banda-L	banda-S e acima
Tipo de transistor empregado		bipolar, JFET e MOSFET	MESFET, HEMT e HBT
Eficiência de conversão de potência		melhor em UHF e banda-L	pobre na banda-L
		Pobre na banda-S e acima	alta acima de 3 GHz

Isto ocorre porque a realização de dispositivos semicondutores somente se torna possível devido ao fato da condutividade de certos cristais de determinados materiais poder ser alterada mediante a adição de pequenas quantidades de certas impurezas (processo conhecido como dopagem). Usualmente, utilizam-se os elementos químicos da família IIIA e VA da tabela periódica, tais como boro (B) e fósforo (P), respectivamente. A condutividade é determinada pela quantidade de cargas elétricas livres presentes no cristal e também pelas características de transporte destas cargas. Dessa maneira, a operação de um dispositivo semicondutor fica determinada pela capacidade de mover e remover estas cargas elétricas livres de uma maneira controlada.

As propriedades apresentadas por um determinado material variam muito para diversos semicondutores, e, somente certos materiais são efetivamente adequados para utilização na fabricação de dispositivos eletrônicos. Os materiais usualmente empregados em substratos de circuitos integrados são o silício (*Si*) e o arseneto de gálio (*GaAs*), embora as ligas

composta por fosfeto de índio (*InP*) e diversos outros compostos terciários e quaternários, empregando elementos químicos da família IIIA e IVA da tabela periódica, respectivamente, tais como *InGaAs*, *InGaAsP* e *AlGaAs* também sejam freqüentemente utilizados na fabricação de muitos outros dispositivos eletrônicos e opto-eletrônicos.

O fato da condutividade de certos materiais poder ser controlável por meio de pequenos níveis de impurezas é uma característica bastante atrativa e determinante para que esses materiais possam ser utilizados na fabricação de dispositivos eletrônicos. Isto significa que a concentração intrínseca de impurezas presentes em um determinado material na temperatura de operação do dispositivo precisa ser baixa, tipicamente da ordem de 10^{14} cm^{-3} ou menos. Desde que a densidade intrínseca de impurezas presentes no arseneto de gálio (*GaAs*) é menor que a encontrada no silício (*Si*), substratos de maior resistividade elétrica são disponíveis em arseneto de gálio, os quais são denominados substratos semi-isolantes.

A utilização de substratos semi-isolantes de arseneto de gálio (substratos de alta resistividade elétrica, tipicamente da ordem de 10^7 - 10^8 Ω.cm) é extremamente atrativa e desejável para a realização de circuitos integrados operando na faixa de microondas e ondas milimétricas, pois, por meio desses materiais, é possível construir transistores de *Metal Semiconductor Field Effect Transistor* (*MESFET*), *High Electron Mobility Transistor* (*HEMT*) e *Heterojunction Bipolar Transistor* (*HBT*) que não mais experimentarão a baixa resistividade normalmente encontrada em substratos semicondutores de silício (da ordem de 4 - 6 Ω.cm, 30 - 50 Ω.cm e 2 kΩ.cm para os substratos de baixa, média e alta resistividade, respectivamente). Dessa maneira, transistores construídos com estes materiais apresentarão baixas capacitâncias parasitas, as quais permitirão a estes dispositivos alcançar freqüências de operação mais elevadas. Adicionalmente, também é possível realizar interconexões de baixas capacitâncias em estruturas do tipo *air-bridge*[13] e dispositivos passivos de alto fator de qualidade,

[13] ***Air-bridge***: Interconexão utilizada, por exemplo, em indutores espirais para permitir acesso aos terminais deste componente.

particularmente indutores espirais planares, normalmente requeridos para aplicações em filtros de alta seletividade.

A capacidade de mover cargas elétricas é determinada pelas propriedades de transporte apresentadas pelo material. Freqüentemente, esta informação é apresentada por meio das características da velocidade dos portadores de cargas elétricas versus intensidade de campo elétrico presente dentro da região ativa do dispositivo (ver Figura 4.1).

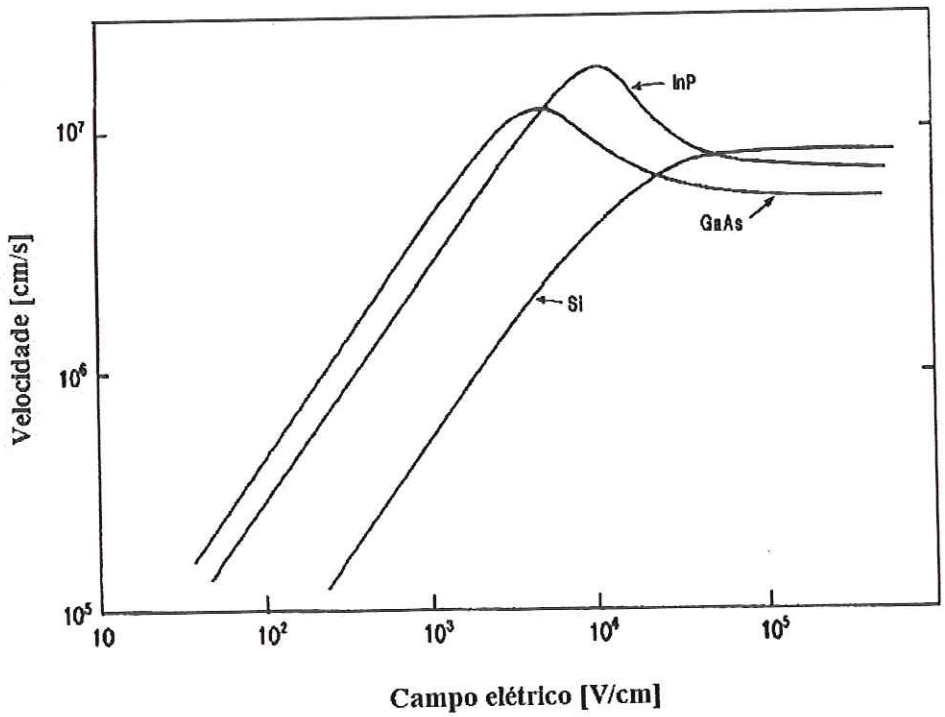


FIGURA 4.1: Velocidade dos elétrons versus intensidade de campo elétrico presente no interior da região ativa de um dispositivo, empregando um dos seguintes materiais; silício (*Si*), arseneto de gálio (*GaAs*) e fosfeto de índio (*InP*) na temperatura de 200°C [22].

Para baixas intensidades de campo elétrico, a velocidade dos portadores de carga elétrica está linearmente relacionada à intensidade deste campo. A constante de proporcionalidade relacionada a este comportamento é denominada mobilidade eletrônica, μ. Resistências parasitas presentes em certos dispositivos têm seu valor diretamente

dependente desta mobilidade em baixos níveis de campo elétrico. A mobilidade também é muito importante na determinação das características de ruído exibidas por um dispositivo semicondutor operando em rádio-freqüência (*RF*). Geralmente, um alto valor para esta mobilidade é desejável para se obter dispositivos que apresentem ótimo desempenho de ruído. Desde que a mobilidade dos elétrons no arseneto de gálio (da ordem de 6500 $cm^2/V\text{-}s$) é aproximadamente seis vezes maior do que aquela apresentada pelo silício (em torno de 1200 $cm^2/V\text{-}s$), faz com que o primeiro material se torne mais atrativo para aplicações em circuitos integrados operando na faixa de microondas, circuitos integrados digitais trabalhando em elevadas taxas de *bits* ou mesmo em circuitos de chaveamento de alta velocidade de comutação. Esta vantagem de maior mobilidade, associada à disponibilidade de substratos de alta resistividade, tornam o arseneto de gálio o material mais freqüentemente empregado para aplicações na faixa de microondas e ondas milimétricas.

À medida que a intensidade do campo elétrico aumenta, a velocidade dos portadores de carga elétrica atinge um valor de saturação. Para o máximo desempenho em altas freqüências é desejável operar o dispositivo no modo de máxima velocidade dos portadores, o qual se torna possível somente em dispositivos de canal curto (sub-microns). Nestes dispositivos, a reduzida dimensão do canal faz com que a intensidade do campo elétrico seja da ordem de 10^5 V/cm (correspondente à velocidade de saturação). Valores registrados na literatura para a velocidade de saturação, υ_s, do arseneto de gálio (*GaAs*) e do silício (*Si*), em condições de equilíbrio, estão na faixa de 2.10^6 - 8.10^6 cm/s e da ordem de 10^7 cm/s, respectivamente.

Este capítulo tem por finalidade realizar uma discussão introdutória sobre os princípios gerais de funcionamento da tecnologia *CMOS* sobre substrato de silício, incluindo também algumas das suas principais utilizações em circuitos analógicos e digitais, tais como transistores operando como carga ativa, transistores operando como chave e, finalmente, circuitos inversores implementados com um par complementar de transistores *MOS* ou, equivalentemente, *Complementary MOS - CMOS*.

EESC-USP Biblioteca CAMPUS DE S. CARLOS

4.1) Tecnologia Complementary Metal Oxide Semiconductor (CMOS)

Recentemente, a tradicional tecnologia *Complementary Metal Oxide Semiconductor* (*CMOS*), desenvolvida sobre substrato de silício, tem se tornado bastante atrativa para aplicações em circuitos de comunicação sem fio, particularmente na faixa de microondas (freqüências acima de 1 GHz), devido ao elevado volume de aplicações comerciais.

Historicamente, a tecnologia *CMOS* é atrativa devido às suas características de baixo consumo de potência, alta imunidade aos ruídos (devido à tensão de operação dos transistores ser relativamente elevada – normalmente da ordem da metade da tensão de alimentação do circuito), alta densidade de integração, alto rendimento na produção de circuitos integrados (*CIs*), relativa facilidade de fabricação, baixo custo de produção, possibilidade de integrar circuitos digitais e analógicos em um mesmo substrato (técnica conhecida como *mixed-signal*) e também por oferecer maturidade tecnológica, haja visto seu longo desenvolvimento desde meados da década de cinqüenta.

Adicionalmente, o surgimento de novas técnicas de litografia aplicadas à convencional tecnologia *CMOS* sobre substrato de silício têm possibilitado a fabricação de transistores de efeito de campo (*FETs*) - originalmente chamados de *Metal Oxide Semiconductor Field Effect Transistor – MOSFET* - com uma largura de porta suficientemente estreita (atualmente da ordem de 0,25 μm ou menor [16]) para permitir sua utilização em diversos circuitos integrados operando na faixa de microondas.

4.2) Metal Oxide Semiconductor Field Effect Transistor – MOSFET [23]

Essencialmente, há dois tipos de transistores disponíveis na tecnologia *MOS*: transistor com canal-n (denominado *nMOS*) e transistor

com canal-p (denominado *pMOS*). A notação *n* significa que elétrons são os portadores majoritários responsáveis pela condução da corrente elétrica, enquanto que a notação *p* significa que as lacunas (ausência de elétrons) são os portadores majoritários nos transistores *nMOS* e *pMOS*, respectivamente. Devido a este fato, os transistores *MOS* também são chamados de transistores unipolares, isto é, apenas um tipo de portador é responsável pela condução da corrente elétrica, em oposição aos transistores bipolares (*Bipolar Junction Transistor - BJT*), os quais contam com a participação de elétrons e lacunas para realizar a condução da corrente elétrica.

4.2.1) Mecanismo de funcionamento de um transistor nMOS

Uma estrutura típica de um transistor *nMOS* é mostrada na Figura 4.2.

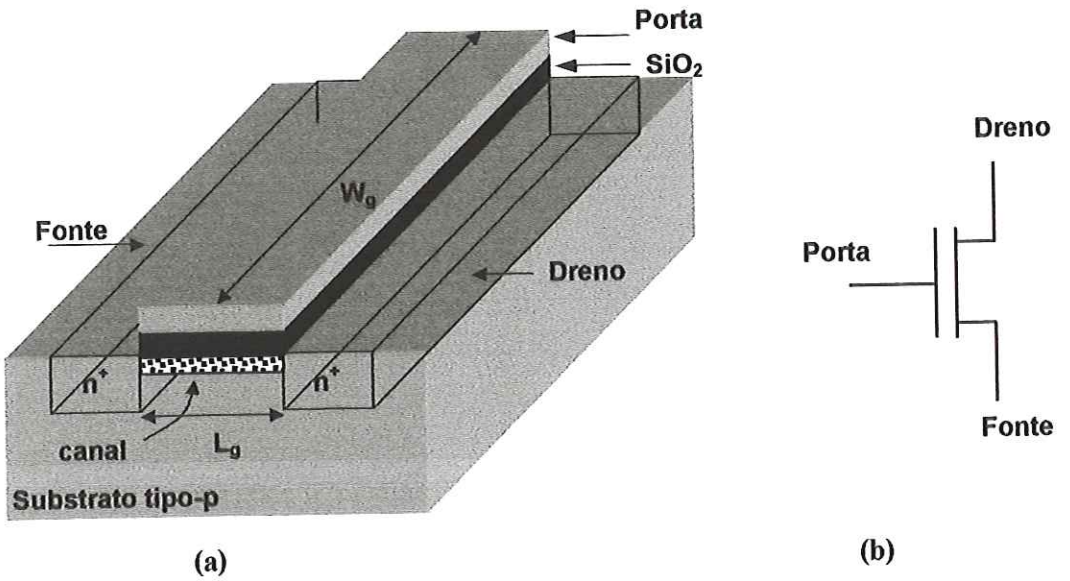


FIGURA 4.2: (a) Estrutura típica de um transistor *nMOS*; (b) Símbolo esquemático.

Quando não há tensão aplicada ao terminal porta (*gate*) de um *MOSFET* de canal-n (*nMOS*), a conexão entre os terminais de dreno e fonte corresponde a uma ligação de duas junções *p-n* conectadas face a face (*back-to-back*). A única corrente que pode fluir da fonte para o dreno é uma

corrente de intensidade muito pequena, chamada de corrente de fuga (*leakage current*). Quando uma tensão positiva em relação à fonte for aplicada à porta do transistor (com o substrato aterrado ou conectado à fonte), cargas positivas são depositadas sobre o metal do terminal de contato da porta. Como resultado, surgem cargas negativas induzidas no substrato tipo-p na interface isolante (SiO_2)-semicondutor. Dessa maneira, forma-se uma camada de inversão muito fina contendo elétrons livres. Estes elétrons induzidos formam um canal de condução (neste caso, canal-n do *MOSFET*) e permite o fluxo de corrente elétrica do terminal de dreno para o terminal fonte. Para um determinado valor da tensão de porta, V_g, a corrente de dreno, I_d, se tornará saturada para uma certa tensão de dreno, V_d.

A mínima tensão de porta necessária para induzir cargas elétricas no canal do transistor é chamada tensão de limiar (*threshold voltage*), V_{th}. Para transistores do tipo *nMOS* a tensão de porta, V_g, deve ser positiva em relação à fonte e maior que a tensão de limiar, V_{th}. Analogamente, para transistores do tipo *pMOS*, a tensão de porta, V_g, deve ser negativa em relação à fonte e menor que a tensão de limiar, V_{th}.

As dimensões L_g e W_g, ilustradas na Figura 4.2 (a), correspondem ao comprimento e a largura do terminal de porta, respectivamente. As dimensões desse terminal, efetivamente, determinam as principais características e parâmetros elétricos exibidos pelo transistor fabricado, tais como capacitâncias entre terminais, freqüência de corte, ganho de transcondutância, etc. Quanto menor o comprimento L_g da porta, maior será a freqüência de corte, f_T, alcançada pelo transistor. Todavia, o tamanho mínimo de um transistor é completamente dependente das contínuas mudanças e atualizações das tecnologias de fabricação. Atualmente, a tecnologia *CMOS* permite a construção de transistores com um comprimento de porta tão estreito quanto L_g = 70 nm, permitindo a esses transistores alcançar uma freqüência de corte em torno de 150 GHz [7]. Por outro lado, a largura de porta, W_g, depende, essencialmente, do manuseio da capacidade de corrente realizado pelo transistor, ganho de transimpedância, entre outros, podendo atingir valores dentro da faixa de 50 a 1000 μm ou mais.

4.2.2) Transistor nMOS

Inicialmente, para um completo entendimento dos circuitos *MOS* é preciso conhecer o comportamento elétrico dos transistores *MOS*. A Figura 4.3 mostra um esboço de uma típica estrutura de um transistor *nMOS* tipo enriquecimento[14] polarizado convenientemente.

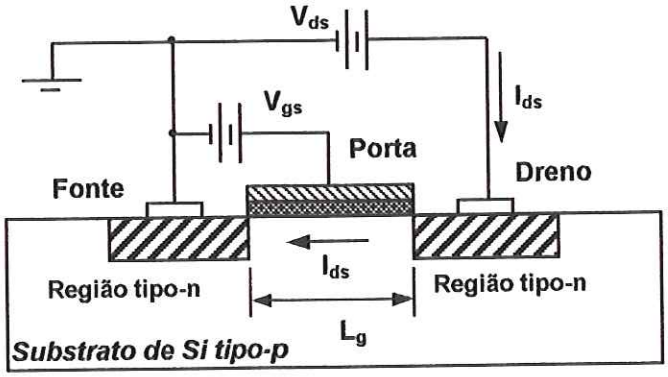


FIGURA 4.3: Transistor *nMOS* polarizado.

Quando a tensão na porta do transistor for igual a zero a corrente entre fonte e dreno, I_{ds}, é desprezível, pois a junção *p-n* em torno do dreno se encontra reversamente polarizada. Entretanto, quando estiver presente uma tensão positiva, V_{gs}, maior que a tensão de limiar, V_{th}, na porta deste transistor, elétrons serão induzidos para a superfície do silício tipo-p criando um canal de condução tipo-n entre os terminais de fonte e dreno. Estes elétrons induzidos se movem ao longo do canal em direção ao dreno, sobre a influência de um potencial positivo neste terminal, V_{ds}. Dessa maneira, estabelece-se um caminho para a condução de uma corrente elétrica entre os terminais de dreno e fonte.

A variação da corrente I_{ds} com a tensão V_{ds}, para vários valores da tensão de controle, V_{gs}, é mostrada na Figura 4.4 (a).

---

[14] **Enriquecimento**: Tipo de transistor que se encontra no estado normalmente desligado (off) quando não existe tensão aplicada em sua porta. No entanto, quando uma tensão adequada estiver presente na sua porta, inicia-se a condução de uma corrente elétrica, isto é, o transistor passa para o estado ligado (on).

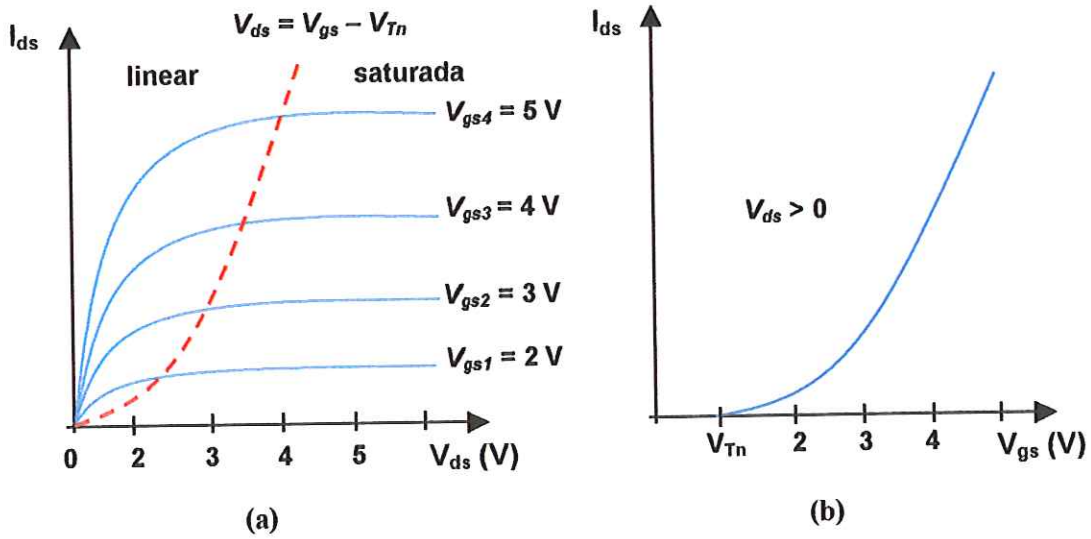


FIGURA 4.4: Características elétricas de um transistor n*MOS* do tipo enriquecimento.

Como se pode observar, há um fluxo de corrente elétrica somente para valores de V_{gs} maiores que a tensão de limiar do transistor V_{Tn}, tipicamente da ordem de 0,5 a 1,0 V. A partir deste valor de tensão, a corrente aumenta rapidamente com V_{gs}, como pode ser observado pela Figura 4.4 (b). As características ilustradas na Figura 4.4 (a) são classificadas em duas regiões distintas: linear e saturada. Todavia, a curva I_{ds} versus V_{ds} é linear para baixos valores de V_{ds}, mas sofre uma mudança à medida que ela se aproxima da região de saturação. Esta região de operação do transistor também é chamada de região triodo, referindo-se ao fato de que ambas as tensões, de porta e dreno, afetam o valor da corrente I_{ds}. O transistor é considerado saturado quando a corrente de dreno I_{ds} se torna praticamente constante e independente do aumento da tensão V_{ds} para valores maiores que a diferença (V_{gs} - V_{Tn}).

4.2.3) Transistor pMOS

O transistor do tipo *pMOS* funciona de maneira análoga à descrita na sub-seção anterior para transistores *nMOS*, entretanto, as polaridades das tensões de polarização devem ser invertidas (ver Figura 4.5).

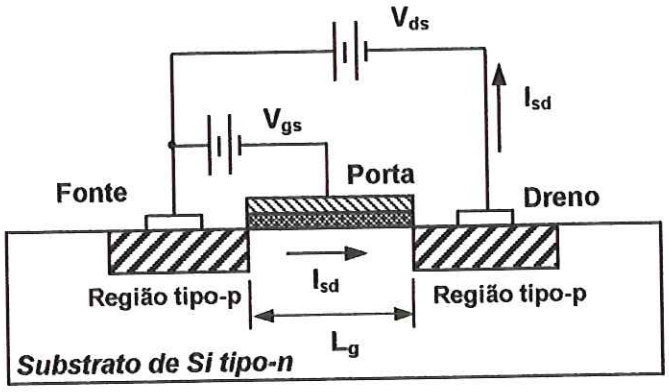


FIGURA 4.5: Transistor *pMOS* polarizado.

Neste dispositivo, a condução da corrente é realizada predominantemente por intermédio de lacunas se movendo através de um canal que, neste caso, é induzido sobre um substrato de silício do tipo-n. Necessariamente, o terminal de dreno deve estar conectado a um potencial negativo em relação ao terminal da fonte para poder atrair as lacunas. Neste tipo de transistor, a tensão de limiar, V_{Tp}, deve ser negativa. Somente ocorrerá condução de corrente elétrica quando a tensão presente na porta, V_{gs}, for mais negativa que V_{Tp}. As características elétricas apresentadas por este tipo de transistor estão mostradas na Figura 4.6.

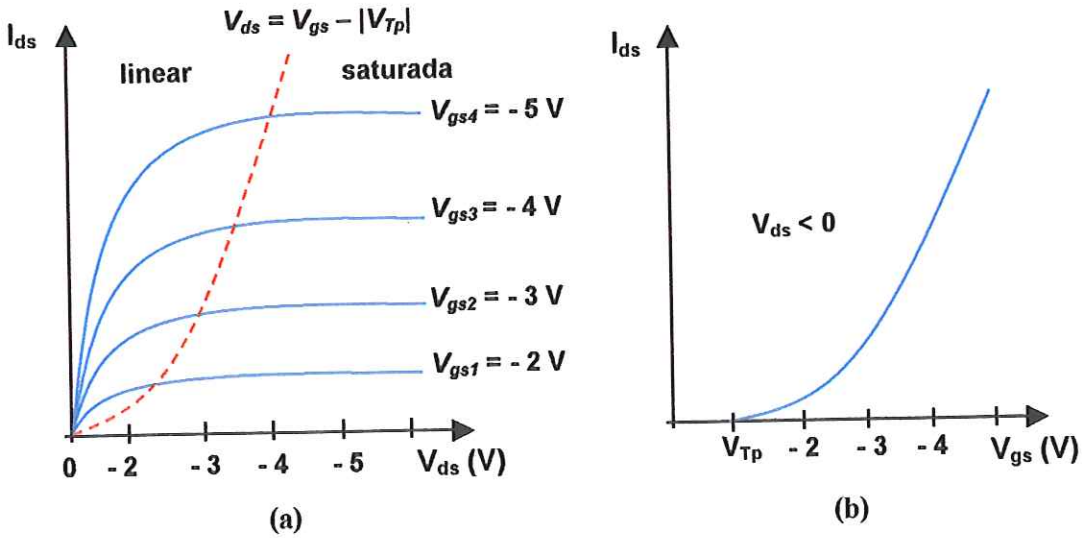


FIGURA 4.6: Características elétricas de um transistor *pMOS* tipo enriquecimento.

Qualitativamente, estas características são as mesmas exibidas pelos transistores *nMOS*, no entanto, com as polaridades das tensões invertidas.

4.2.4) Modos de operação para transistores MOSFETs

Basicamente, pode-se estabelecer quatro modos possíveis de operação para transistores do tipo *nMOS* e *pMOS* [24].

1.) Transistor *nMOS* tipo enriquecimento (normalmente desligado): Quando a tensão de porta é zero, a condutância do canal é muito baixa e, dessa maneira, o transistor não estará conduzindo. Uma tensão positiva deve ser aplicada à porta deste transistor para formar um canal de condução tipo-n. A corrente de dreno aumenta para valores crescentes desta tensão.

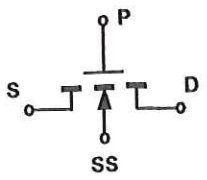
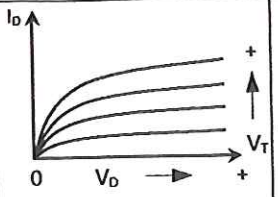
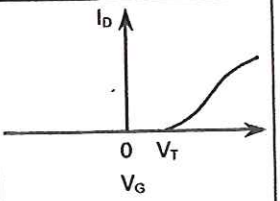
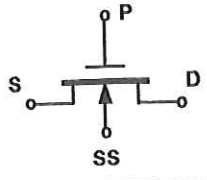
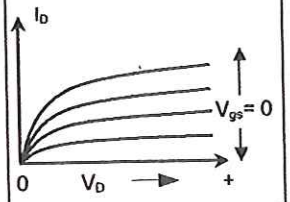
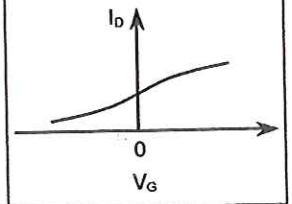
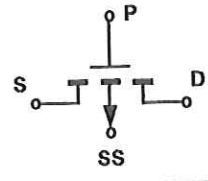
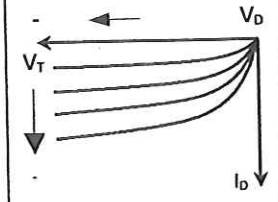
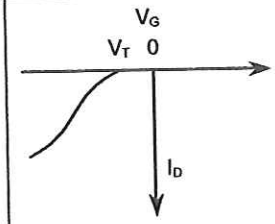
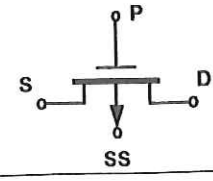
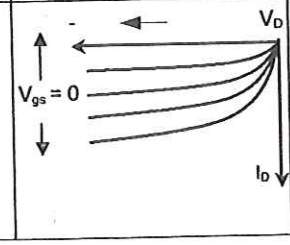
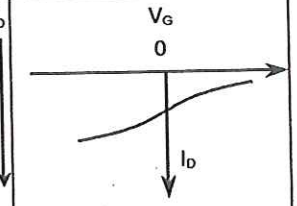
2.) Transistor *nMOS* tipo depleção (normalmente ligado): Se um transistor com canal-n estiver no equilíbrio (isto é, quando nenhuma tensão de polarização estiver presente), uma tensão negativa deve ser aplicada à porta para que ocorra depleção dos portadores de carga presentes no canal.

3.) Transistor *pMOS* tipo enriquecimento (normalmente desligado): Uma tensão negativa deve ser aplicada à porta do transistor para induzir um canal-p para possibilitar condução de portadores de carga.

4.) Transistor *pMOS* tipo depleção (normalmente ligado): Condição na qual uma tensão positiva deve ser aplicada à porta do transistor de maneira a ocorrer depleção dos portadores de carga no canal para que não ocorra condução de corrente.

A Tabela 4.2 lista os usuais símbolos esquemáticos normalmente adotados, as características de saída - I_{ds} versus V_{ds} - e a característica de transferência para transistores *nMOS* e *pMOS* do tipo depleção e enriquecimento.

TABELA 4.2: Símbolos esquemáticos e características de saída e transferência para os quatro modos de operação possíveis para transistores *MOSFETs* [24].

Tipo	Símbolo esquemático	Característica de saída	Característica de transferência
***nMOS* tipo enriquecimento (normalmente desligado)**			
***nMOS* tipo depleção (normalmente ligado)**			
***pMOS* tipo enriquecimento (normalmente desligado)**			
***pMOS* tipo depleção (normalmente ligado)**			

4.2.5) Máxima freqüência de operação para transistores MOSFETs

A máxima freqüência de operação para transistores *MOSFETs* é determinada por meio dos parâmetros de seu circuito elétrico equivalente. A Figura 4.7 ilustra um típico circuito elétrico equivalente de um transistor MOS na configuração fonte-comum [24].

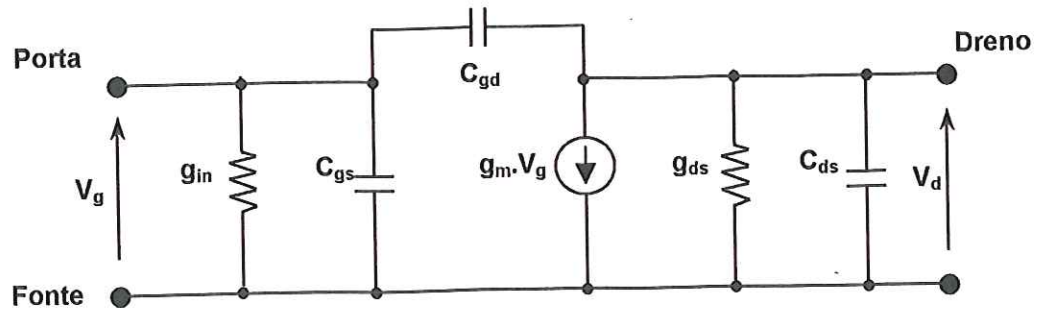


FIGURA 4.7: Circuito equivalente de um transistor na configuração fonte-comum [24].

onde:

g_{in}: condutância de entrada devido às correntes de fuga (*leakage current*). Desde que essa corrente é muito pequena, da ordem de 10^{-10} A/cm^2, g_{in} se torna desprezível [S]

C_{gs}: capacitância entre porta e fonte [F]

C_{gd}: capacitância entre dreno e porta [F]

g_{ds}: condutância de saída [S]

C_{ds}: capacitância entre dreno e fonte [F]

V_g: tensão na porta do transistor [V]

V_d: tensão de dreno do transistor [V]

A máxima freqüência de operação de um transistor *MOSFET* operando na região linear pode ser expressa como [24];

$$f_{\max} = \frac{\omega_m}{2.\pi} = \frac{g_m}{2.\pi.C_{gs}} = \frac{\mu_n.V_d}{2.\pi.L_g^{\,2}} \quad [\text{Hz}]$$

onde:

f_{max}: freqüência máxima de operação [Hz]

ω_m: freqüência angular máxima [rad/s]

g_m: transcondutância máxima [S]

μ_n: mobilidade eletrônica dos elétrons [cm^2/V.s]

V_d: tensão de dreno [V]

L_g: comprimento de porta do transistor [m]

4.3) Circuitos nMOS

Transistores *nMOS* são os dispositivos dominantes em circuitos integrados de alta densidade de integração, tal como *Very Large Scale Integration - VLSI*. Em meados da década de sessenta, os circuitos integrados *MOS* usavam somente transistores *pMOS*, devido à relativa facilidade de fabricação. No entanto, a partir da década de setenta começaram a ser construídos circuitos integrados empregando transistores *nMOS*, devido ao vantajoso fato da mobilidade dos elétrons (1500 $cm^2/V.s$) ser superior àquela apresentada pelas lacunas (450 $cm^2/V.s$) em substrato de silício (*Si*).

Um circuito *nMOS* muito utilizado nesta tecnologia é o tradicional circuito inversor estático, ou seja, um circuito cuja resposta de saída dependente exclusivamente das condições de polarização da tensão de entrada. Muito freqüentemente, a maioria dos projetos desenvolvidos para circuitos digitais utiliza circuitos inversores. A Figura 4.8 ilustra um esquemático básico de um inversor.

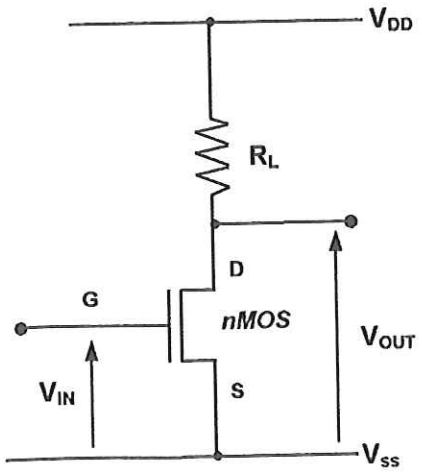


FIGURA 4.8: Inversor simples usando transistor *nMOS*.

Essencialmente, este tipo de inversor usa somente um transistor *MOS* polarizado por meio de uma carga resistiva, R_L. Geralmente, o valor desta carga resistiva é relativamente elevado, da ordem de 20 kΩ, a qual não

precisa ser gerada por um dispositivo necessariamente linear. Dessa maneira, em circuitos integrados, é mais conveniente construir resistores a partir de transistores *nMOS*, uma vez que estes últimos são fisicamente menores que os convencionais resistores e também por oferecerem a possibilidade de serem controlados mediante aplicação de uma tensão externa. É possível obter um dispositivo que apresente um comportamento resistivo conectando-se a porta de um transistor *nMOS* tipo enriquecimento ao seu terminal dreno. Este tipo de resistor também é chamado de carga ativa. Entretanto, esta técnica vem sendo substituída em diversas aplicações nos circuitos integrados digitais *MOS* por resistores implementados por um tipo modificado de transistor, conhecido como transistor de depleção.

O transistor *MOS* tipo depleção tem a mesma estrutura física de um transistor *nMOS* tipo enriquecimento, no entanto, com um canal de condução permanentemente formado entre os terminais de fonte e dreno. Este canal é formado por uma camada tipo-n muita estreita sobre a superfície do substrato de silício. A barra espessa mostrada no símbolo deste tipo de transistor indica a presença do canal permanente (ver Figura 4.9).

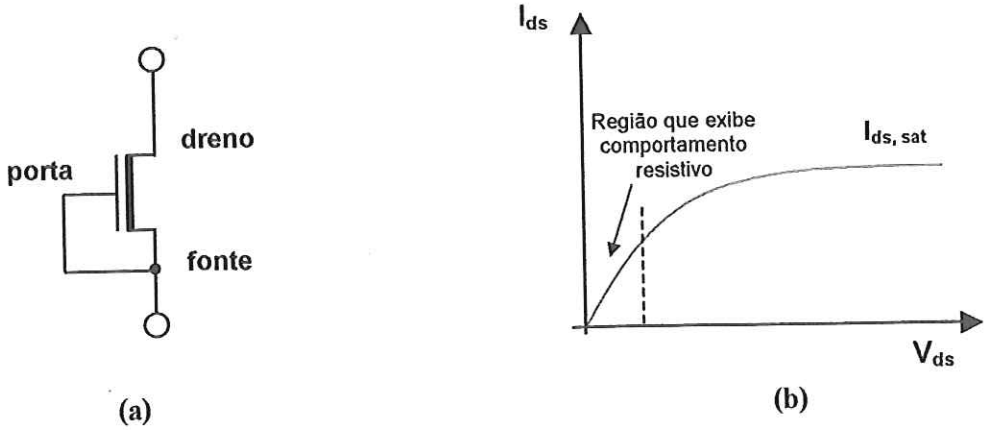


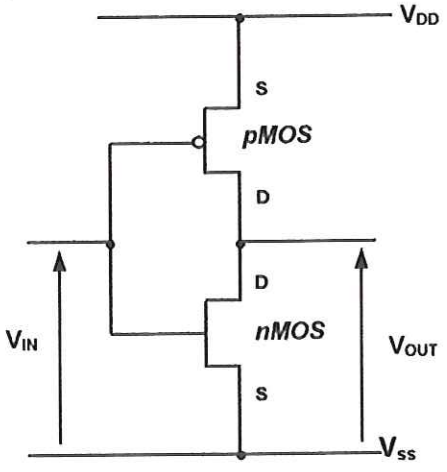
FIGURA 4.9: (a) Símbolo esquemático de um transistor operando como resistor; (b) Característica *I-V* de um transistor *nMOS* tipo depleção conectado como resistor.

O comportamento resistivo apresentado por um transistor operando como resistor ocorre somente em uma faixa bastante estreita (ver Figura 4.9), devido ao comportamento não linear do dispositivo ativo.

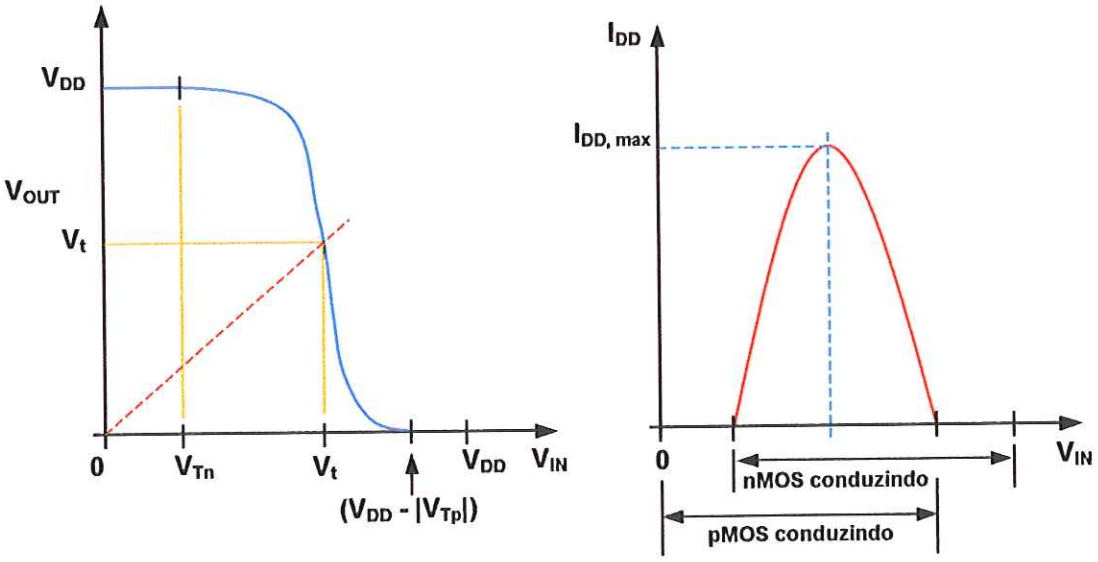
4.4) Complementary Metal Oxide Semiconductor – CMOS

A tecnologia complementar *MOS* (*CMOS*) tem sido considerada uma solução ideal para superar muitas dificuldades normalmente encontradas em circuitos integrados complexos empregando somente transistores *MOS* de polaridade única (*nMOS* ou *pMOS*). Um circuito complementar pode ser realizado utilizando-se os dois tipos de transistores, *nMOS* e *pMOS*, construídos sobre um mesmo substrato de silício. Dessa maneira, é possível construir circuitos integrados com um consumo de potência praticamente desprezível, quando não houver a presença de uma tensão de entrada. De fato, esta tecnologia é extremamente recomendável em aplicações de baixo consumo de potência, particularmente em memórias utilizadas em circuitos digitais. Adicionalmente, uma excursão completa da tensão de alimentação torna desnecessária a utilização de duas fontes de tensão, como freqüentemente ocorre com circuitos empregando somente transistores *nMOs* ou *pMOS*. Finalmente, a impedância de saída de uma estrutura *CMOS* é consideravelmente menor que a correspondente impedância normalmente encontrada em circuitos empregando somente transistores *nMOS*. Portanto, para o projetista de circuitos integrados, estas vantagens tornam os circuitos complementares bastante atrativos.

Um dos circuitos mais elementares de todos os possíveis de serem realizados empregando uma tecnologia *CMOS* convencional é o inversor ilustrado na Figura 4.10.



(a) Esquemático de um circuito inversor *CMOS;*



(b) Curva característica de um inversor; **(c) Corrente nos transistores;**

FIGURA 4.10: Circuito inversor *CMOS*.

A tensão de entrada, V_{in}, pode assumir qualquer valor entre 0,0 V e a tensão de alimentação, V_{DD}, tipicamente da ordem de 5,0 V. Primeiramente, é muito útil identificar os terminais de conexão dreno e fonte do transistor. Desde que estes transistores apresentam uma ligeira simetria elétrica devido à própria natureza de construção, os terminais de fonte e dreno são definidos mediante a aplicação de uma tensão. De fato, para transistores *nMOS*, o terminal de dreno é definido como sendo o terminal conectado ao ponto de maior potencial, enquanto que para os transistores *pMOS*, o ponto de menor potencial.

Aplicando-se uma tensão de entrada $V_{in} = 0$, ou seja, a tensão entre porta e fonte, V_{gs}, do transistor *nMOS* é igual a zero, não ocorrerá condução do transistor *nMOS*, o qual se comporta como uma chave aberta. Entretanto, sob esta mesma condição de polarização aplicada ao transistor *pMOS*, a tensão no terminal de fonte é igual a V_{DD}, de maneira que a tensão entre a fonte e a porta, V_{gs}, seja igual a $-V_{DD}$ em relação a fonte. Como $|V_{DD}|$ deve ser maior que $|V_{Tp}|$ para que o circuito funcione como um inversor, o transistor *pMOS* garantirá um estado de condução, comportando-se como uma chave fechada e, conseqüentemente, fazendo com que a saída do

circuito inversor esteja conectada diretamente ao potencial V_{DD}, ou seja, $V_{OUT} = V_{DD}$. Como resultado, a tensão apresentada na saída do circuito, $V_{out} = V_{DD}$, está invertida em relação à entrada, V_{in} = 0,0 V.

Quando a tensão de entrada assumir o valor $V_{IN} = V_{DD}$ o comportamento do circuito é complementar ao descrito anteriormente. De fato, nesta segunda situação o terminal de porta do transistor *nMOS* está sujeito a uma tensão positiva igual a V_{DD}. Dessa maneira, este transistor se comporta como uma chave fechada, enquanto que a porta e a fonte do transistor *pMOS* estão no potencial de V_{DD} (ou seja, V_{gs} = 0,0 V), o qual não permitirá a condução deste transistor. Como resultado, a saída do inversor fica conectada à terra do circuito através do transistor *nMOS* ou, equivalentemente, a saída apresentará um potencial nulo, V_{out} = 0,0 V. Todavia, em ambas as situações (V_{in} = 0,0 V e $V_{in} = V_{DD}$), a tensão exibida na saída do circuito inversor sempre foi inversa em relação à tensão de entrada, caracterizando, dessa maneira, um inversor lógico.

Uma das principais vantagens da utilização dos circuitos inversores *CMOS* é o fato de que uma corrente desprezível é consumida quando o circuito está submetido às condições extremas para a tensão de entrada (0,0 V ou V_{DD}). Como resultado, o consumo de potência nestas situações é praticamente nulo. No entanto, durante as mudanças de estado, quando a tensão de entrada passa de 0,0 V para V_{DD}, por exemplo, ambos os transistores podem estar conduzindo ao mesmo tempo, permitindo o surgimento de uma corrente I_{DD}, em um intervalo muito curto de tempo (ver Figura 4.10 (c)). Uma análise do circuito sujeito a estas situações permite elaborar uma curva característica do inversor (ver figura 4.10 (b)). De fato, esta curva de transferência mostra que a tensão apresentada pela saída do inversor muda rapidamente quando V_{IN} está, aproximadamente, na metade do caminho entre 0,0 V e V_{DD}. A tensão onde ocorre este comportamento é chamada de tensão de transição, V_t, na qual $V_{IN} = V_{OUT}$.

Um circuito inversor é considerado eletricamente simétrico se $V_{Tn} = |V_{Tp}| = V_T$ e $\beta_n = \beta_p$, o qual torna V_t exatamente igual a $V_{DD}/2$. Os parâmetros β_n e β_p são os fatores de ganho dos transistores *nMOs* e *pMOS*,

respectivamente. Estes parâmetros podem ser encontrados por meio da seguinte relação [24]:

$$\beta_n = \frac{W_{g_n}}{L_{g_n}}.C_{ox}.\mu_n \qquad \text{e} \qquad \beta_p = \frac{W_{g_p}}{L_{g_p}}.C_{ox}.\mu_p$$

onde:

C_{ox}: capacitância do óxido de silício na porta do transistor [F]
μ: mobilidade dos elétrons dentro do canal do transistor [$cm^2/V.s$]
W_{gn}: largura de porta do transistor *nMOS* [m]
W_{gp}: largura da porta do transistor *pMOS* [m]
L_g: comprimento de porta do transistor [m]

Igualando-se os parâmetros de ganho β_n e β_p, obtém-se;

$$\frac{W_{g_n}}{L_{g_n}}.\mu_n = \frac{W_{g_p}}{L_{g_p}}.\mu_p$$

Fazendo $L_{g_n} = L_{g_p}$, a última relação mostrada acima pode ser rescrita como;

$$\frac{W_{g_p}}{W_{g_n}} = \frac{\mu_n}{\mu_p} \cong 2{,}5$$

onde [24]:

$\mu_n = 650\ cm^2V^{-1}s^{-1}$ e $\mu_p = 220\ cm^2V^{-1}s^{-1}$

O resultado obtido na relação acima mostra que a largura de porta dos transistores *pMOS* deve ser construída aproximadamente duas vezes e meia maior que a correspondente largura de porta de um transistor *nMOS*, para que ocorra simetria elétrica. Nesta condição, os dois transistores apresentarão as mesmas características elétricas. O transistor *pMOS* é

fabricado maior que o seu par complementar *nMOS* para compensar a diferença da mobilidade dos elétrons comparada à das lacunas dentro do canal.

O inversor *CMOS* tem excelentes características d.c. De fato, sua saída permanece praticamente constante em V_{DD} para qualquer tensão de entrada entre 0 e V_{Tn} e permanece em 0,0 V para entradas entre (V_{ds} - V_{Tn}) e V_{DD}. Dessa maneira, é possível ao circuito oferecer uma grande imunidade aos ruídos presentes dentro desta faixa de valores. Adicionalmente, este inversor trabalha satisfatoriamente sobre uma faixa de tensão de alimentação relativamente grande (acima de $3.V_t$) e, comparativamente, também é bastante imune aos ruídos provenientes da fonte de alimentação [23].

O capítulo V apresentará uma discussão sistemática das análises realizadas com as mesmas configurações dos indutores ativos discutidas no capítulo III, utilizando, entretanto, transistores *MOSFETs* da *foundry AMS* com tecnologia *CMOS* de 0,6 μm de comprimento de porta fabricados sobre substrato de silício.

CAPÍTULO V

Indutores ativos empregando tecnologia CMOS

Os resultados apresentados no capítulo III para as análises realizadas com as quatro configurações de indutores ativos foram obtidos por meio de simulações empregando transistores *HEMTs* com um comprimento de porta de 0,35 μm sobre substrato de arseneto de gálio (*GaAs*) de uma das tecnologias disponíveis na *foundry IAF* [2].

Neste capítulo, resultados adicionais serão discutidos analisando-se as mesmas configurações utilizadas para a realização de indutores ativos discutidas no capítulo III, empregando, no entanto, transistores *MOSFET* com 0,6 μm de comprimento de porta sobre substrato de silício (*Si*) na tecnologia *CMOS* da *foundry AMS*.

A realização de qualquer circuito integrado (*CI*), particularmente dos circuitos dos indutores ativos analisados empregando uma tecnologia *CMOS*, exige a utilização de uma ferramenta computacional específica para análise, simulação e preparação de *layouts*. Especificamente, foram utilizadas as ferramentas disponíveis no ambiente de trabalho do *Mentor Graphics*; dessa maneira, houve a necessidade de desenvolver uma familiaridade adequada com as diversas ferramentas disponíveis neste ambiente de trabalho.

Essencialmente, o *Mentor Graphics* é um ambiente completo para criação de *layouts* empregados na construção de circuitos integrados (*CIs*). Na realidade, este ambiente não se limita apenas à criação de *layouts*. Ele integra uma variedade de outras ferramentas essenciais às análises e

simulações de diversos circuitos, envolvendo, entre outras, edição de esquemáticos (*Design Architect*), simulador de circuitos (*Accusim*) e editor de *layouts* (*IC-Station*), as quais possibilitam executar as diversas etapas necessárias para a realização de circuitos integrados.

De fato, este capítulo encerra-se com o desenvolvimento de um *layout* de circuito integrado para uma configuração particular de indutor ativo [3] empregando um *design kit* da tecnologia 0,6 μm *CMOS* da *foundry AMS*.

5.1) Procedimento de análise adotado no ambiente Mentor Graphics

Devido à indisponibilidade de portas específicas de rádio-freqüência, para aplicação de sinais, exigidas pelo ambiente de trabalho do simulador *Accusim* para a realização das simulações necessárias para obtenção dos parâmetros-Z dos circuitos dos indutores ativos estudados, houve a necessidade de se elaborar um arranjo adequado para o indutor analisado e as fontes de polarização e excitação, o qual possibilitasse a obtenção desses parâmetros (ver Figura 5.1).

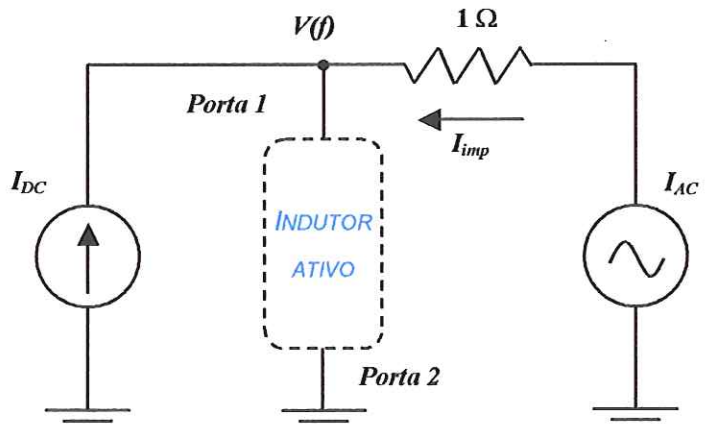


FIGURA 5.1: Arranjo esquemático adotado para a realização das simulações no ambiente *Mentor Graphics*.

A fonte de corrente contínua, I_{DC}, foi utilizada para estabelecer uma polarização *d.c.* adequada para um correto funcionamento do circuito do indutor ativo considerado. A fonte de corrente alternada, I_{AC}, foi utilizada para realizar uma excitação do circuito em regime de corrente alternada. Análogo ao procedimento adotado para a realização das simulações no ambiente de trabalho *Serenade,* a porta 1 do indutor foi considerada como um dos terminais de acesso da impedância resultante, enquanto que a porta 2 sempre foi mantida aterrada de maneira que o circuito pudesse apresentar um comportamento indutivo. O resistor de 1 Ω foi utilizado apenas para monitorar o comportamento da corrente resultante, I_{imp}, no circuito do indutor ativo, devido à resposta em regime permanente (ausência de transientes) deste circuito em função da corrente de excitação alternada, I_{AC}.

Finalmente, o comportamento impedância versus freqüência dos circuitos dos indutores ativos analisados foi obtido por meio da utilização da seguinte relação:

$$Z(f) = \frac{V(f)}{I_{imp}}$$

onde:

Z(f): impedância resultante do circuito analisado em função da freqüência [Ω]

V(f): tensão sobre a impedância resultante, Z(f), em função da freqüência [V]

I_{imp}: corrente que circula através do resistor de monitoração [A]

Apenas por conveniência, repete-se nas próximas seções as configurações dos quatro circuitos dos indutores ativos estudados [3-6].

Análogo aos procedimentos adotados para a realização das simulações apresentadas no capítulo III, os valores de todos os componentes mostrados nos esquemáticos das próximas seções também foram determinados no sentido de otimizar os parâmetros exibidos pelas configurações dos indutores ativos; resistência série associada, indutância e fator de qualidade.

5.2) Indutor ativo empregando realimentação resistiva [3]

As Figuras 5.2 (a) e (b) mostram o esquemático de um indutor ativo empregando uma malha de realimentação resistiva e o comportamento em freqüência exibido por essa configuração na tecnologia *CMOS*, respectivamente.

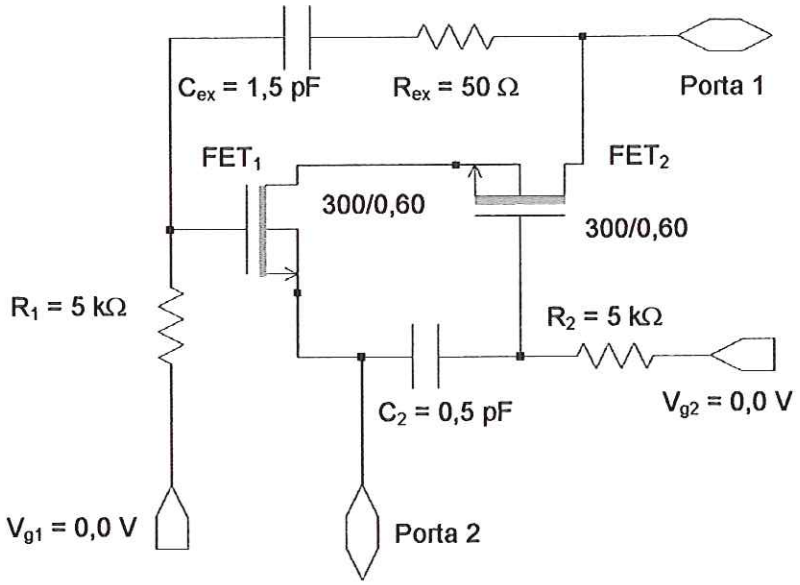


FIGURA 5.2: (a) Indutor ativo empregando realimentação resistiva [3].

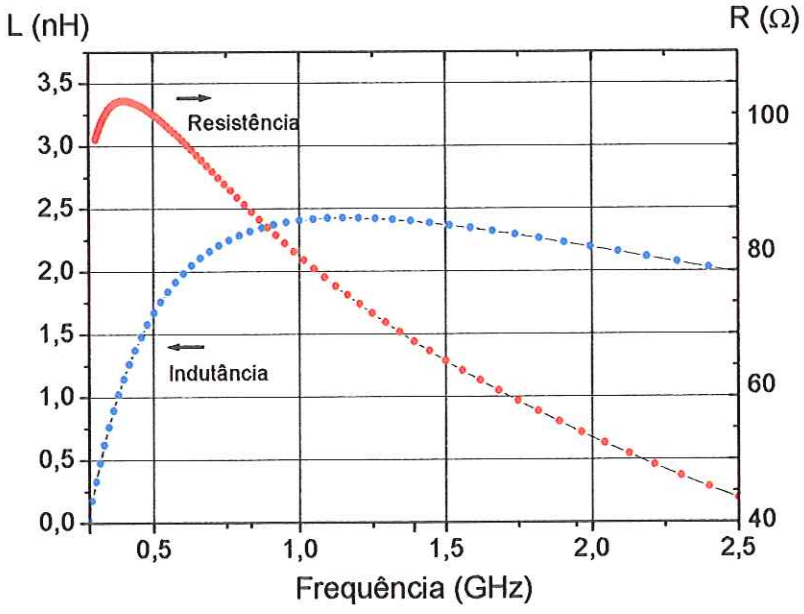


FIGURA 5.2: (b) Comportamento impedância versus freqüência.

A curva correspondente ao comportamento do fator de qualidade (Q) em função da freqüência não foi incluída neste gráfico em virtude do valor extremamente baixo (menor que um) exibido por esta configuração elementar de indutor ativo. Este resultado se deve à baixa resistividade apresentada pelo substrato de silício disponível na tecnologia *AMS* utilizada (da ordem de 24 Ω.cm [16]) empregado nas simulações e, particularmente, pela configuração de indutor ativo empregando uma malha de realimentação resistiva, a qual, inevitavelmente, contribui para resultar indutores ativos com altas perdas de inserção ou, equivalentemente, baixos fatores de qualidade ($Q \propto 1/R$; R = resistência série associada – perdas ôhmicas).

5.3) Indutor ativo empregando realimentação ativa [4]

A Figura 5.3 (a) ilustra o esquemático da mesma configuração de indutor ativo discutida na seção anterior, empregando, no entanto, um transistor na configuração porta comum na malha de realimentação.

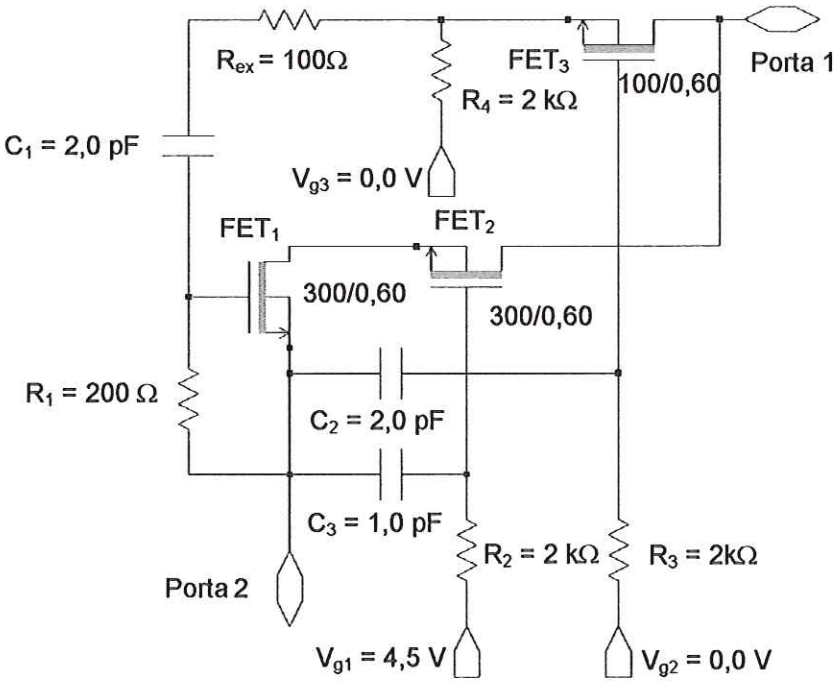


FIGURA 5.3: (a) Indutor ativo empregando realimentação ativa [4].

A Figura 5.3 (b) mostra o comportamento da impedância resultante versus freqüência.

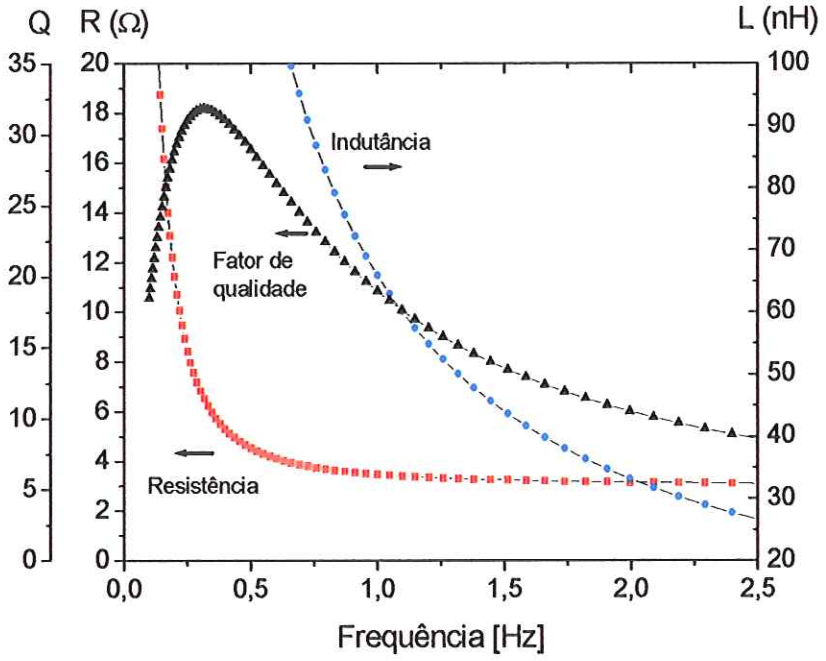


FIGURA 5.3: (b) Comportamento impedância versus freqüência.

A utilização de um transistor na malha de realimentação desta segunda configuração de indutor ativo analisado permitiu que a resistência série da impedância resultante se tornasse consideravelmente inferior àquela apresentada pela configuração discutida na seção anterior. Como resultado, o fator de qualidade exibido por essa segunda configuração se torna maior e, adicionalmente, comparável ao fator de qualidade normalmente apresentado pelos atuais indutores espirais convencionais [2].

5.4) Indutor ativo sintonizável [5]

O esquemático da configuração de indutor ativo analisado nesta seção é ilustrado na Figura 5.4 (a). A inovação apresentada por essa terceira configuração é a possibilidade de controlar independentemente o valor da resistência série e da indutância da impedância *L-R* resultante.

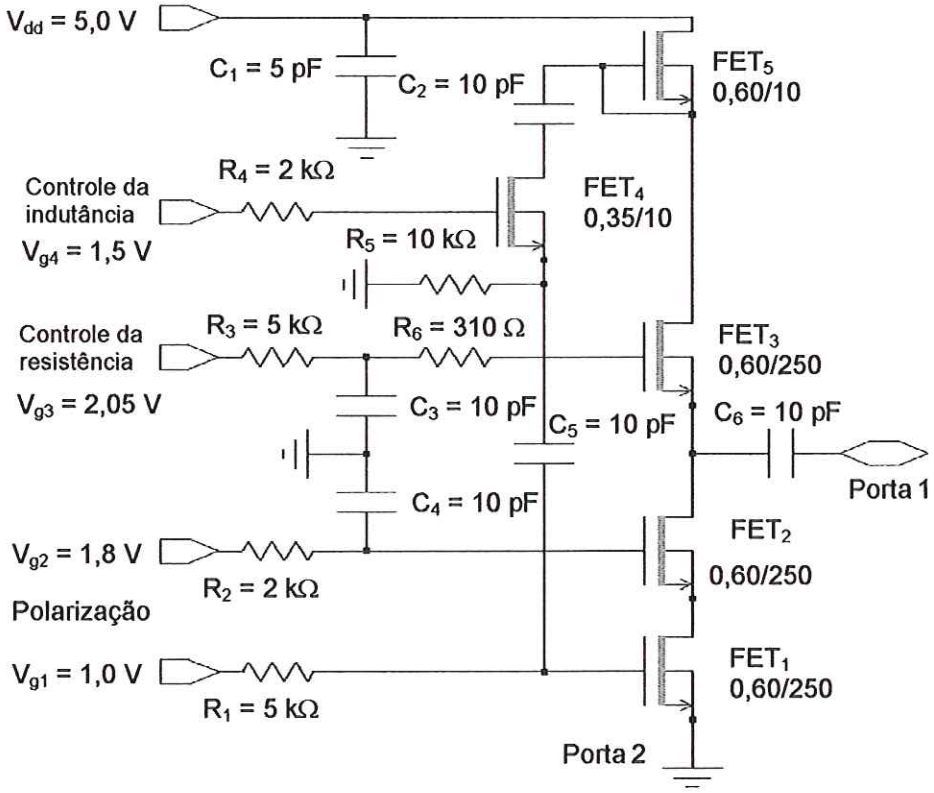


FIGURA 5.4: (a) Esquemático de um indutor ativo sintonizável [5].

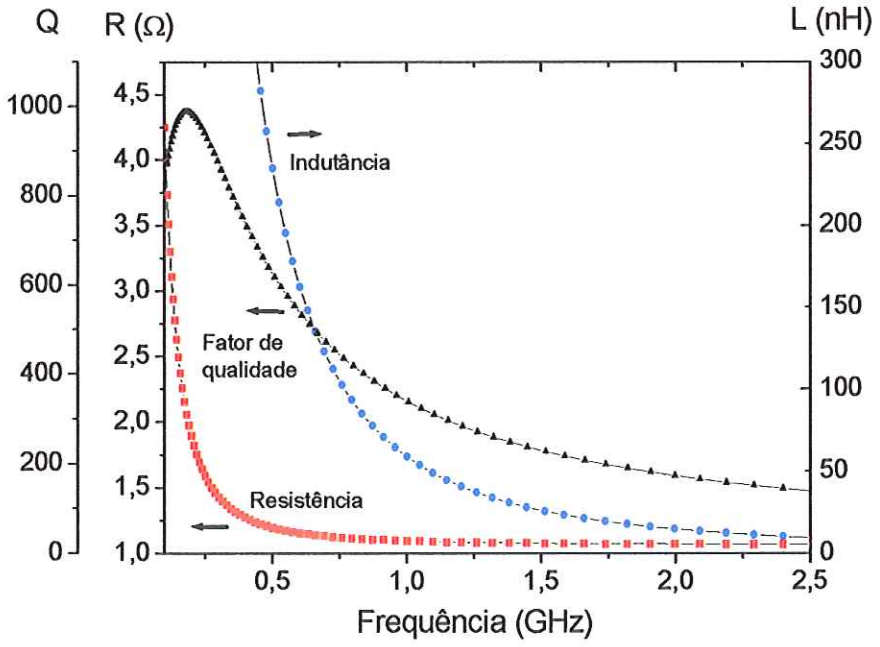


FIGURA 5.4: (b) Comportamento impedância versus freqüência.

Este controle independente para os valores da resistência e indutância da impedância resultante tornou possível a obtenção de um indutor ativo com uma resistência série extremamente baixa (abaixo de 1,2 Ω) e praticamente constante dentro de uma determinada faixa de freqüência (0,5 a 2,5 GHz), enquanto que os valores da indutância são alterados (exibindo valores na faixa de 5 nH a 300 nH na faixa de freqüência de 0,5 a 2,5 GHz). Como conseqüência, um elevado fator de qualidade (da ordem de Q = 1000 @ 0,15 GHz), não comparável, evidentemente, com aquele apresentado pela mesma configuração de indutor ativo (Q = 11000 @ 3,5 GHz, ver Figura 3.10) empregando transistores *HEMTs*, mas alto o suficiente para possibilitar a realização de circuitos de alta seletividade.

Para ilustrar o potencial de um indutor ativo sintonizável, a Figura 5.5 mostra o resultado obtido realizando-se uma sintonia no indutor ativo analisado nesta seção.

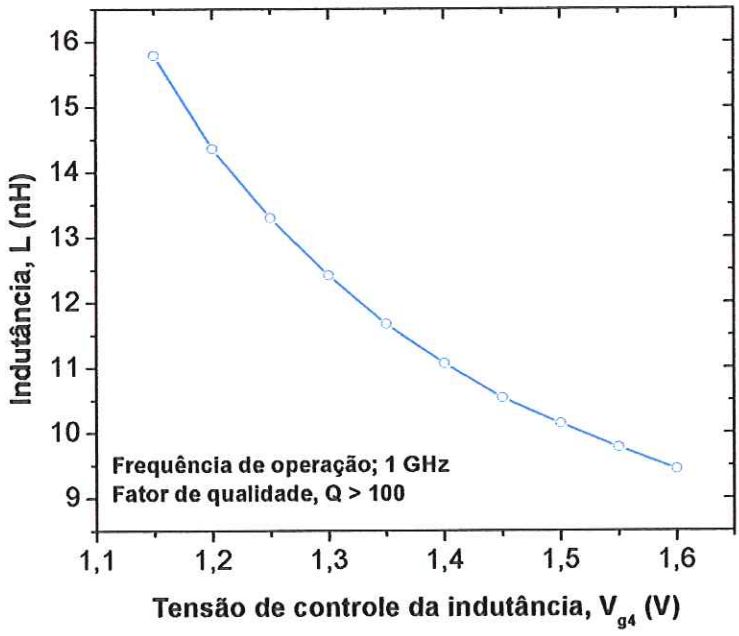


FIGURA 5.5: Curva de sintonia para o indutor ativo sintonizável.

O circuito foi adequadamente polarizado, fazendo-se V_{g1} = 1,0 V e V_{g2} = 1,8 V, de maneira a otimizar o fator de qualidade na freqüência central de 1 GHz. Neste ponto de polarização, foi possível atuar na tensão de controle da indutância, V_{g4}, e na de controle da resistência série, V_{g3}, de maneira que

o indutor ativo exibisse diferentes valores de indutância enquanto a resistência série permanecia praticamente constante. Os resultados da sintonia mostrados na Figura 5.5 indicam uma variação dos valores da indutância entre 9,4 e 5,8 nH, enquanto a resistência série foi mantida abaixo de 0,60 Ω, mediante V_{g3} = 2,05 V. Como conseqüência, um fator de qualidade maior do que 100 foi obtido em toda a faixa de sintonia. A tensão de alimentação, V_{dd}, foi de 5 V e a corrente de dreno em torno de 2,53 mA.

5.5) Indutor ativo com resistência série insensível à freqüência [6]

A quarta e última configuração de indutor ativo analisado é mostrada na Figura 5.6 (a).

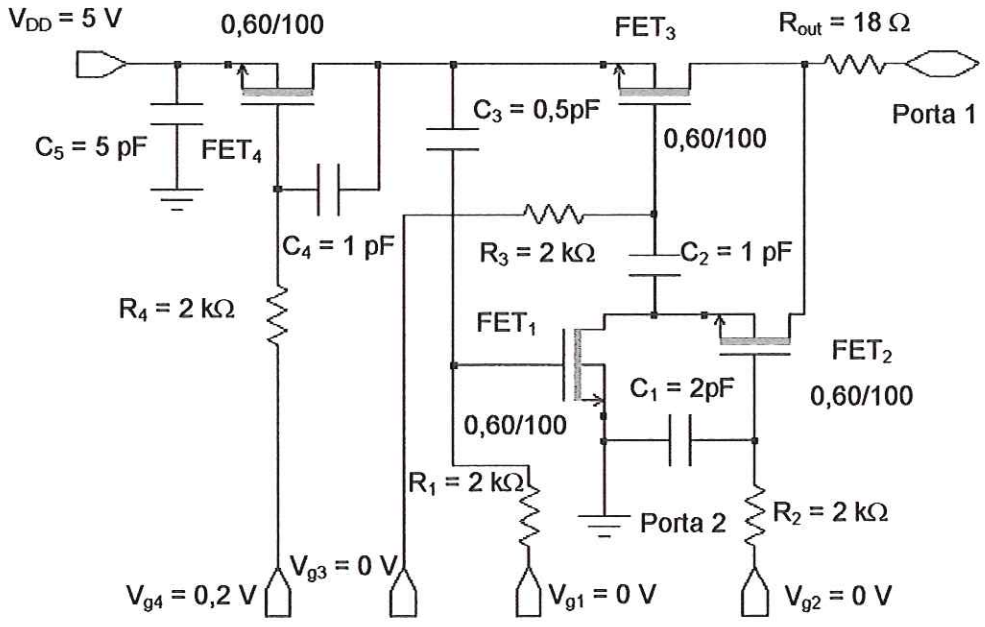


FIGURA 5.6: (a) Indutor ativo com resistência série insensível à freqüência [6].

Da mesma maneira que a configuração discutida na seção anterior, este circuito também oferece a possibilidade de ajuste independente para os valores da resistência série e indutância da impedância *L-R* resultante,

mediante alteração conveniente das tensões aplicadas nas portas de controle V_{g1}, V_{g2} e V_{g3}.

A Figura 5.6 (b) mostra os resultados obtidos para o comportamento da impedância versus freqüência desta última configuração de indutor ativo.

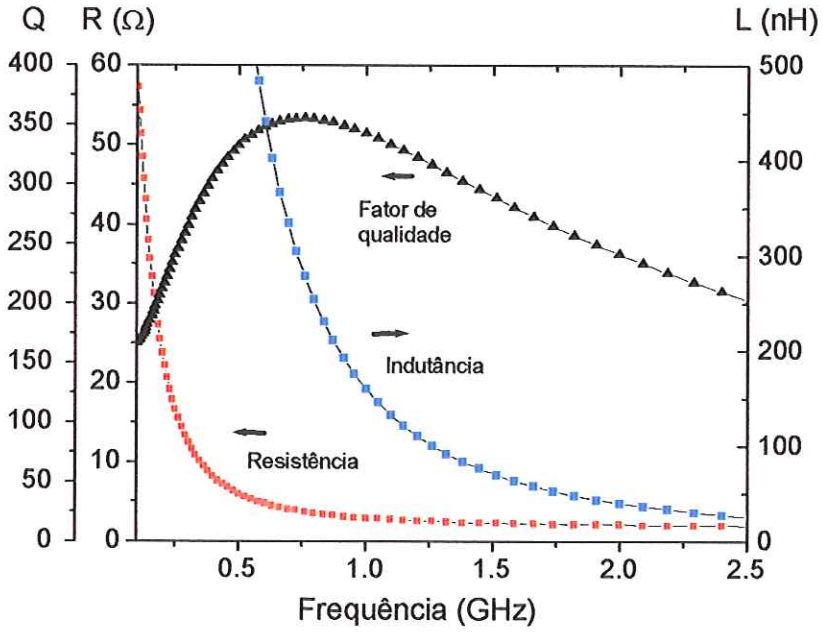


FIGURA 5.6: (b) Comportamento impedância versus freqüência.

A resistência série praticamente constante na faixa da freqüência de operação (0,5 a 2,5 GHz) apresentada por esta configuração de indutor ativo também é reduzida o suficiente para permitir que o indutor resultante apresente um alto fator de qualidade (da ordem de Q = 350 @ 1 GHz). Além disso, o valor da indutância também pode ser variado numa ampla faixa de valores (15 nH a 500 nH) dentro da faixa de freqüência de operação do indutor, enquanto que a resistência série permanece praticamente constante em toda essa faixa (abaixo de 5 Ω).

O comportamento impedância versus freqüência exibido pelas quatro configurações de indutores ativo analisados, empregando transistores *MOSFETs,* não atingiu uma faixa de freqüência tão extensa como aquela apresentada pelas mesmas configurações de circuitos empregando transistores *HEMTs*; na faixa de 0,5 a 2,5 GHz e 0,5 a 20 GHz, para o

primeiro e segundo caso, respectivamente. Um dos fatores limitantes na resposta em freqüência de qualquer circuito operando na faixa de microondas, particularmente dos indutores ativos, é a freqüência de corte, f_T, alcançada pelos transistores utilizados.

5.6) Realização de layouts de circuitos integrados no ambiente Mentor Graphics

A realização de *layouts* para Circuitos Integrados de Aplicação Específica – (*Application Specific Integrated Circui - ASIC*) envolve uma grande variedade de etapas de projeto e ferramentas computacionais. Esta seção tem como objetivo apresentar uma descrição geral destas diversas etapas e ferramentas necessárias para a preparação de *layouts*.

A ferramenta computacional utilizada nesta etapa do trabalho foi um pacote de programas *Computer Aided Design* (*CAD*) desenvolvido por uma das empresas mais tradicionais de desenvolvimento de *softwares* específicos para criação de *layouts*; *Mentor Graphics Corporation (MGC)*. Especificamente, este pacote de ferramentas é um ambiente de trabalho completo que permite executar todas as diversas etapas de projeto necessárias para a preparação de *layouts*, incluindo editor de esquemáticos (*Design Architect*), simulador de circuitos (*Accusim*) e editor de *layouts (IC-Station)*.

Essencialmente, o processo utilizado para a criação de um *layout* é iterativo; depois de criado um esquemático inicial do circuito desejado pode-se verificar seu funcionamento por meio das ferramentas de análise e simulação e, dessa maneira, identificar possíveis estágios do circuito considerado que eventualmente precisam ser modificados. Efetuadas as correções necessárias pode-se simular o circuito novamente e analisar seu desempenho.

5.6.1) Etapas envolvidas na preparação de layouts

O diagrama de blocos, mostrado na Figura 5.7 apresenta uma seqüência típica dos processos normalmente envolvidos durante as etapas de preparação de *layouts* usando o ambiente *Mentor Graphics*.

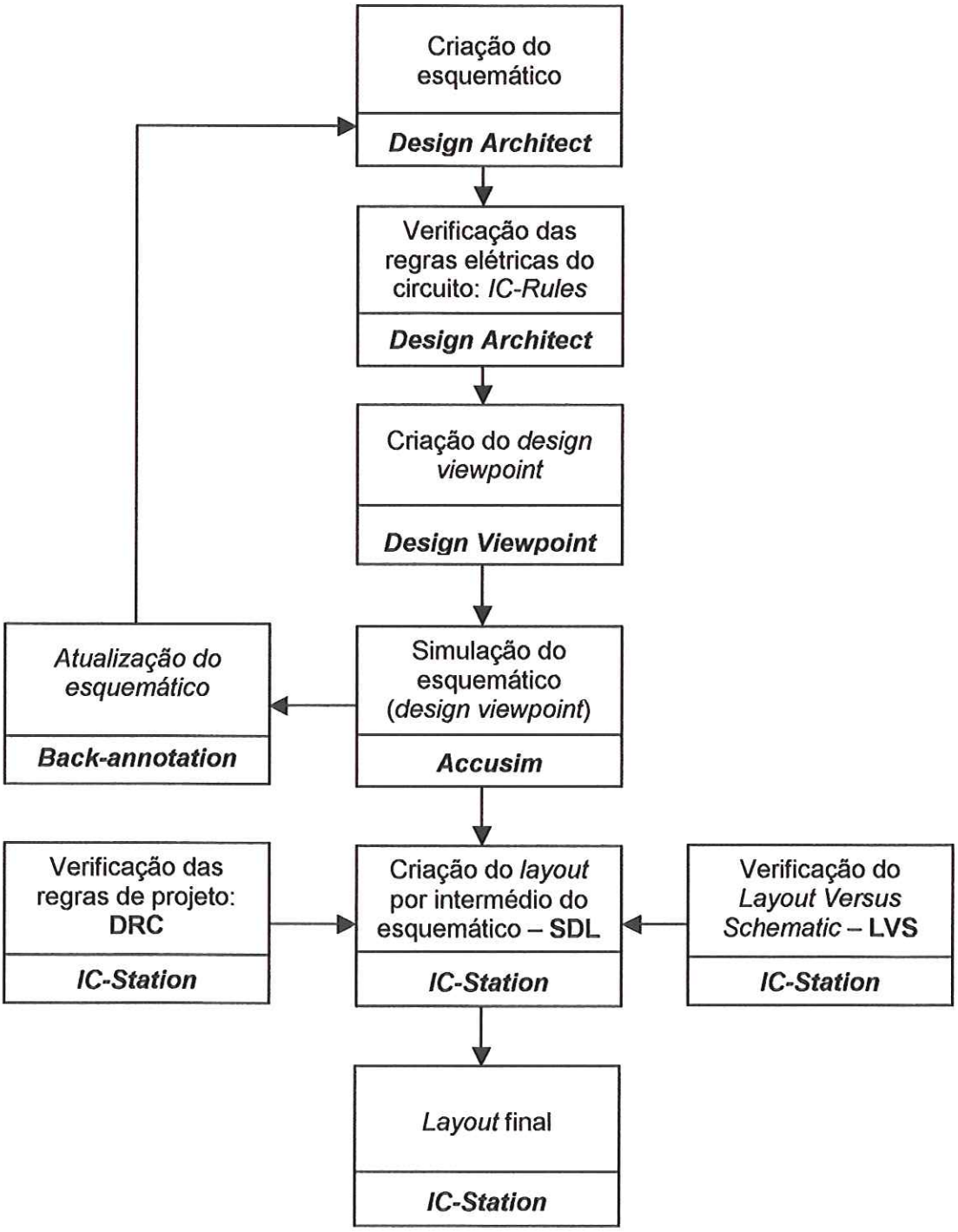


FIGURA 5.7: Diagrama de blocos completo para a preparação de *layouts*.

onde:

- **Criação do esquemático:** Etapa inicial do processo de criação de um *layout*. A ferramenta *Design Architect* é o centro de atividades da maioria dos processos envolvidos na realização de um projeto usando o ambiente do *Mentor Graphics*, integrando três outras ferramentas: (1) editor de esquemáticos; (2) editor de símbolos (para criação de símbolos definidos pelo próprio usuário) e (3) um editor de *VHDL*. Ela permite a criação e a edição lógica de um projeto que posteriormente será usada em outros processos, tais como a preparação do *layout* de um circuito integrado, simulações analógicas e digitais de um circuito, etc. Outras ferramentas que também fazem parte do processo de criação de um *layout* retornam informações para o *Design Architect* na forma de um arquivo chamado *back-annotation*. Este arquivo registra valores que poderão ser editados no contexto de um *design viewpoint* (a ser definido posteriormente) pela ferramenta *Design Architect* e, opcionalmente, incorporados ao projeto original para eventuais correções e atualizações. Adicionalmente, um esquemático desenvolvido no ambiente do *Design Architect* pode incluir mais do que simples diagramas de conexões. Ele também pode conter informações detalhadas do esquemático sobre instâncias, conexões, conectores, pontos de testes, notas informativas e muitas outras propriedades e valores importantes para posteriores orientações fornecidas ao projetista quando trabalhando em outras ferramentas.

- **Verificação das regras elétricas do circuito (*IC-Rules*):** Finalizada a edição de um esquemático, procede-se com a verificação das regras elétricas do circuito. Todas as operações desenvolvidas no ambiente do *Mentor Graphics* são realizadas no sentido de garantir a realização de um circuito com um correto funcionamento. Para isso, deve-se realizar uma verificação do conjunto de regras que garanta que as conexões elétricas feitas no esquemático estão corretas. Esta verificação é realizada no *Design Architect.*

- ***Design Viewpoint*:** Antes mesmo de realizar uma simulação, análise ou síntese de um esquemático, inicialmente criado pela ferramenta *Design Architect*, deve-se gerar um objeto chamado *design viewpoint*. Especificamente, este é um conjunto de informações do esquemático que será usado por outras ferramentas, tais como o simulador *Accusim* e o ambiente de edição de *layouts* (*IC-Station*) de maneira que a realização das simulações, sínteses, análises e edição de *layouts* possam usar estas regras especiais para interpretar e modelar corretamente o circuito considerado.

- **Simulação do esquemático:** O *AccuSim* é um simulador que permite realizar testes em um circuito analógico. Ele desempenha diversas operações sobre o esquemático de um projeto analógico previamente criado no ambiente do *Design Architect*. O processo de simulação é iterativo: depois de criado um *design viewpoint* específico para o simulador *Accusim* pode-se verificar seu desempenho por meio desta ferramenta de simulação e análise e, adicionalmente, identificar estágios do circuito que precisam ser modificados. Depois de efetuar as correções necessárias, pode-se simular e analisar o circuito novamente para verificar seu desempenho. Estes procedimentos podem ser repetidos iterativamente até o momento em que todos os requisitos iniciais do projeto sejam atingidos. Todos as alterações realizadas nesta etapa do processo ficam registradas no arquivo *back-annotation* que, opcionalmente, poderão ser incorporadas ao esquemático original do circuito para atualizações e modificações.

- **Criação de um *layout* por intermédio do esquemático – *Schematic Driven Layout* (*SDL*):** O *Schematic Driven Layout* é uma ferramenta freqüentemente utilizada na realização de *layouts,* pois ela oferece a possibilidade de criação de *layouts* de circuitos integrados (*CIs*) a partir de informações contidas em uma base de dados lógica (neste caso, o esquemático criado no *Design Architect*), reduzindo significativamente o tempo de realização de um *layout*.

- **Verificação das regras de projeto – *Design Rules Checker* (*DRC*):** Violações das regras de projeto induzem o processo de fabricação da *foundry* a não produzir o circuito integrado desejado. A ferramenta *Design Rule Checker – DRC* investiga se ocorreram violações das regras de projeto estabelecidas pelo *design kit* disponível na tecnologia utilizada.

- ***Layout Versus Schematic* (*LVS*):** Finalizada todas as conexões elétricas, verificações e eventuais correções das regras físicas de projeto procede-se com a realização de uma verificação da correspondência entre os componentes contidos no esquemático final do circuito e aqueles gerados e carregados para a janela de edição do *layout* pela ferramenta *SDL* durante a realização de um *layout*.

- ***Layout* final:** Realizadas todas as seqüências descritas acima o resultado final é um *layout* físico completo do esquemático do circuito desejado no formato necessário para posterior fabricação no padrão de um circuito integrado (*CI*), a ser realizado na *foundry*.

5.6.2) Realização do layout de um indutor ativo empregando realimentação resistiva utilizando tecnologia CMOS

Finalmente, este capítulo encerra-se com o desenvolvimento de um *layout* de uma configuração particular de indutor ativo [3]. Todos os procedimentos adotados para a realização deste *layout* foram os mesmos descritos na sub-seção anterior. Apenas por conveniência, repete-se aqui o esquemático do indutor ativo que foi a fonte lógica para as ferramentas do *Mentor Graphics* utilizada para a realização do *layout* (ver Figura 5.8).

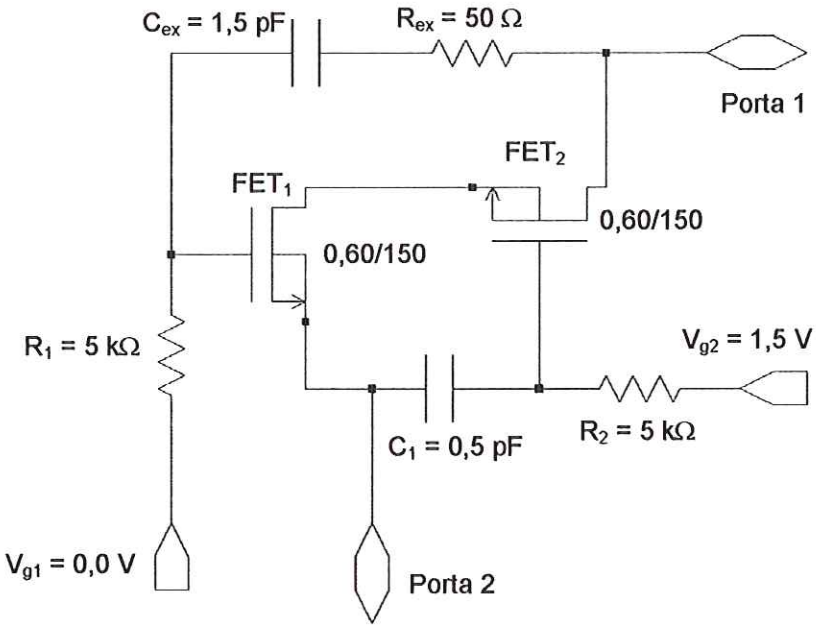


FIGURA 5.8: Esquemático de um indutor ativo empregando realimentação resistiva [3].

A Figura 5.9 ilustra o *layout* desenvolvido para o esquemático do indutor ativo empregando realimentação resistiva mostrado na Figura 5.8.

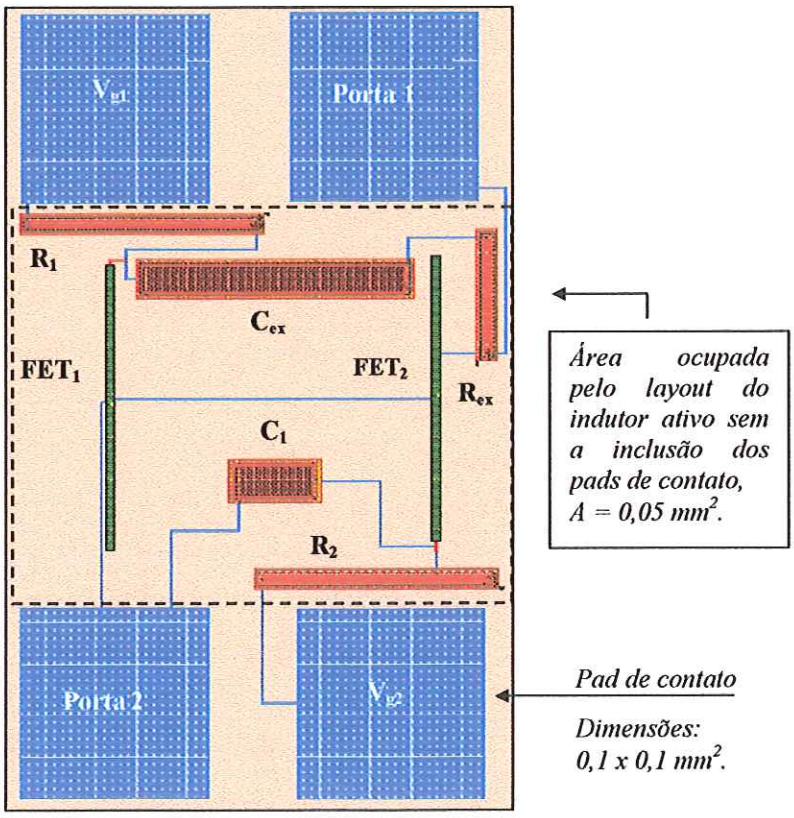


FIGURA 5.9: *Layout* do indutor ativo empregando realimentação resistiva. Área = 0,11 mm² (*pads* incluídos).

Conforme mencionado, a realização deste *layout* para circuito integrado envolveu a utilização de um *design kit* disponível na tecnologia *CMOS* sobre substrato de silício empregando transistores de 0,6 μm de comprimento de porta da *foundry AMS* [16]. Os resultados das verificações do *Layout Versus Schematic* (*LVS*) estão mostrados no Apêndice I.

A área ocupada pelo *layout* localizado dentro do retângulo tracejado – a qual corresponde ao indutor ativo sem a inclusão dos *pads* de contato - é da ordem de 0,05 mm^2. Essa área é da mesma ordem de grandeza dos atuais indutores espirais convencionais [2]. Todavia, os valores obtidos para a indutância resultante dessa configuração de indutor ativo são superiores aos valores apresentados por indutores espirais convencionais com dimensões equivalentes.

Uma segunda característica bastante atrativa apresentada pelos indutores ativos é a total independência da área ocupada por um indutor ativo com o valor da indutância desejada (ver Figura 5.10). A área ocupada por esse *layout* pode ser reduzida ainda mais usando transistores com menor largura de porta, otimização dos circuitos de polarização, etc. A criação do *layout* apresentado nesta seção foi realizada com os *pads* para conexão externa incluídos no circuito apenas para disponibilizar o circuito integrado, depois de construído, para posterior caracterização elétrica. Normalmente, os indutores são utilizados como componentes integrantes de determinados circuitos, nos quais poderão estar conectados diretamente aos pontos de alimentação d.c. do circuito, aos terminais de transistores, resistores ou mesmo capacitores, não necessitando, portanto, dos *pads* de conexão ilustrados na Figura 5.9.

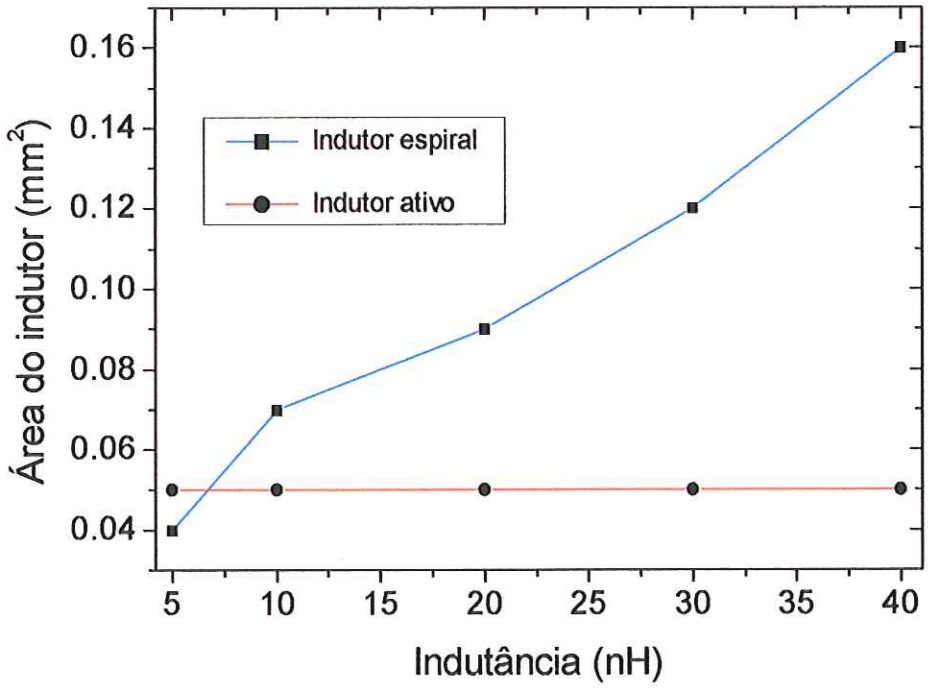


FIGURA 5.10: Comparação entre a área ocupada por indutores espirais convencionais [2] e a área ocupada pelo *layout* do indutor ativo (correspondente ao indutor mostrado na Figura 5.8) desenvolvido nesta seção.

Adicionalmente, vale mencionar que o consumo de potência estimado pelo simulador *Accusim* para esta configuração de indutor ativo é da ordem de 14 mW quando alimentado por uma tensão V_{DD} = 4,0 V (ver Apêndice II).

CAPÍTULO VI

Conclusões e discussões

Entre as diversas configurações freqüentemente registradas na literatura para a realização de indutores ativos, este trabalho concentrou-se em analisar e discutir quatro delas: (1) indutor ativo empregando realimentação resistiva [3]; (2) indutor ativo empregando realimentação ativa [4]; (3) indutor ativo sintonizável [5] e (4) indutor ativo com resistência série insensível à freqüência [6]. Essencialmente, todas estas configurações são constituídas por um cascode em fonte comum e uma malha de realimentação passiva [3] ou ativa [4-6].

Em uma primeira etapa desse trabalho, capítulo III, apresentaram-se os resultados simulados na ferramenta *Serenade* empregando uma tecnologia de 0,35 μm de comprimento de porta para transistores *HEMTs* da *foundry IAF* sobre substrato de arseneto de gálio (*GaAs*). Todos os circuitos analisados neste capítulo exibiram comportamento indutivo dentro de uma determinada faixa de freqüências consistente com os apresentados em [3-6]. Posteriormente, no capítulo IV, utilizaram-se as ferramentas disponíveis no ambiente do *Mentor Graphics* para realizar uma investigação da possibilidade de implementação de indutores ativos considerando as mesmas configurações estudadas no capítulo III, empregando, no entanto, uma tecnologia *CMOS* convencional de 0,6 μm de comprimento de porta para transistores *MOSFETs* da *foundry AMS* sobre substrato de silício (*Si*).

Analogamente, os resultados exibidos no capítulo IV também evidenciaram comportamento indutivo para as quatro configurações

analisadas, dentro de uma determinada faixa de freqüência (tipicamente de 0,1 a 2,5 GHz). A diferença da faixa de freqüência encontrada entre os resultados empregando uma tecnologia *CMOS* sobre silício e aqueles obtidos quando se empregou uma tecnologia de arseneto de gálio se deve à baixa resistividade oferecida pelo substrato de silício (da ordem de 24 Ω.cm [16]) e também devido ao fato da reduzida freqüência de corte, f_T, normalmente exibida pelos *MOSFETs* quando comparada com aquela alcançada pelos transistores *HEMTs*.

Finalmente, o trabalho encerrou-se com o desenvolvimento de um *layout* de uma configuração particular de indutor ativo, qual seja, indutor ativo empregando realimentação resistiva [3] empregando um *design kit* da tecnologia *CMOS* de 0,6 μm da *foundry AMS* sobre substrato de silício.

Uma característica extremamente atrativa apresentada pelos indutores ativos é a independência da área ocupada pelo circuito com o valor da indutância desejada. Além disso, algumas configurações [5-6] também oferecem a possibilidade de alteração dos valores da indutância e da resistência série associada independentemente, mediante a aplicação de uma tensão externa de controle.

Como conseqüência, uma aplicação explorando a versatilidade oferecida por esses indutores ativos permite, por exemplo, a realização de uma compensação ativa ou, equivalentemente, um ajuste das condições de polarização (ajuste de *offset* – devido às variações nos processos de fabricação) de um circuito integrado pós-fabricado, empregando indutores ativos estrategicamente localizados no circuito. De fato, as inevitáveis tolerâncias inerentes aos processos de fabricação da tecnologia empregada contribuem, indesejavelmente, no sentido de alterar o comportamento original do circuito integrado construído. Dessa maneira, quando for conveniente a utilização de indutores ativos, pode-se, adicionalmente, oferecer a possibilidade de atuar na polarização do circuito na tentativa de manter a resposta do circuito dentro das especificações desejadas pelo projetista.

Referências Bibliográficas

[1] C. S. Kim, M. Park, C. H. Kim, H. K. Yu e H. Cho, "THICK METAL CMOS TECHNOLOGY ON HIGH RESISTIVITY SUBSTRATE AND ITS APPLICATION TO MONOLITHIC L-BAND CMOS LNAS", ETRI Journal, Vol. 21, No. 4, pág. 1-8, Dezembro 1999.

[2] Fraunhofer Institut für Angewandte Festkörperphysik (FhG/IAF) - Instituto Fraunhofer para Física Aplicada: "IAF DESIGN MANUAL (*DESIGN KIT*)" para circuitos integrados monolíticos em microondas (MMICs), Janeiro 1997.

[3] S. Hara, T. Tokumitsu, T. Tanaka e M. Aikawa "BROAD-BAND MONOLITHIC MICROWAVE ACTIVE INDUCTOR AND ITS APPLICATION TO MINIATURIZED WIDE-BAND AMPLIFIERS", IEEE Transactions on Microwave Theory and Techniques, Vol. 36, No. 12, pág. 1920-1924, Dezembro 1988.

[4] S. Hara, T. Tokumitsu e M. Aikawa, "LOSSLESS BROAD-BAND MONOLITHIC MICROWAVE ACTIVE INDUCTOR", IEEE Transactions on Microwave Theory and Techniques, Vol. 37, No. 12, pág. 1979-1983, Dezembro 1989.

[5] S. Lucyszyn, I. D. Robertson, "MONOLITHIC NARROW-BAND FILTER USING ULTRAHIGH-Q TUNABLE ACTIVE INDUCTORS", IEEE Transactions on Microwave Theory and Techniques, Vol. 42, No. 12, pág. 2617-2622, Dezembro 1994.

[6] H. Hayashi, M. Muraguchi, Y. Umeda e T. Enoki, "A HIGH-Q BROAD-BAND ACTIVE INDUCTOR AND ITS APPLICATION TO A LOW-LOSS ANALOG PHASE SHIFTER", IEEE Transactions on Microwave Theory and Techniques, Vol. 44, No. 12, pág. 2369-2374, Dezembro 1996.

[7] P. Roblin, Guest Editorial, Analog Integrated Circuits and Signal Processing, Vol. 25, No. 2, pág. 83-84, Novembro 2000.

[8] J. Y. C. Chang, A. A. Abidi, M. Gaitan, "LARGE SUSPENDED INDUCTORS ON SILICON AND THEIR USE IN A 2 μm CMOS RF AMPLIFIER", IEEE Electron Device Letters, Vol. 14, No. 5, pág. 246-248, Maio 1993.

[9] A. Rofougaran, J. Y. C. Chang, M. Rodougaram e A. A. Abidi, "A 1 GHZ CMOS RF FRONT-END IC FOR A DIRECT-CONVERSION WIRELESS RECEIVER", IEEE Journal of Solid-State Circuits, Vol. 31, No. 7, pág. 880-889, Julho 1996.

[10] Y. J. Shin, K. Bult, "AN INDUCTORLESS 900 MHZ RF LOW-NOISE AMPLIFIER IN 0,9 μm CMOS", IEEE Custom Integrated Circuits Conference, pág. 513-516, Maio 1997.

[11] A. Thanachayanont, A. Payne, "CMOS FLOATING ACTIVE INDUCTOR AND ITS APPLICATIONS TO BAND PASS FILTER AND OSCILLATOR DESIGNS", IEE Proc.-Circuits Devices System, Vol. 147, No. 1, pág. 42-48, Fevereiro 2000.

[12] C. S. Kim, M. Park, C. H. Kim, Y. C. Hyeon, H. K. Yu, K. Lee, K. S. Nam, "A FULLY INTEGRATED 1.9 GHZ CMOS LOW-NOISE AMPLIFIER", IEEE Microwave and Guided Wave Letters, Vol. 8, No. 8, pág. 293-295, Agosto 1998.

[13] M. A. F. Borremans, M. S. J. Steyaert, "A 2 V LOW DISTORTION 1 GHZ CMOS UP-CONVERSION MIXER," IEEE Journal of Solid-State Circuits, Vol. 33, No. 3, pág. 359-366, Março 1998.

[14] H. Yano, Y. Nasushi, T. Hirayama, N. Matsuno, Y. Suzuki, A. Furukawa, "PERFORMANCE OF KU-BAND ON-CHIP MATCHED SI MONOLITHIC AMPLIFIERS USING 0.18 μm GATELENGTH MOSFETS", IEEE Transactions on Microwave Theory and Techniques, Vol. 49, No. 6, pág. 1086-1092, Junho 2001.

[15] P. H. Woerlee, M. J. Knitel, R. Langevelde, D. B. M. Klaassen, L. F. Tiemeijer, A. J. Scholten, A. T. A. Z. Duijnhoven, "RF CMOS PERFORMANCE TRENDS", IEEE Trans. On Electron Devices, Vol. 48, No. 8, pág. 1776-1782, Agosto 2001.

[16] Austria Mikro Systeme (AMS), "0,6 μm CMOS DESIGN RULES", Novembro 1998.

[17] R. Goyal, "MONOLITHIC MICROWAVE INTEGRATED CIRCUITS: TECHNOLOGY AND DESIGN", pág. 320-329, Artech House, 1989.

[18] M. Park, S. Lee, C. S. Kim, H. K. Yu, K. S. Nam, "THE DETAILED ANALYSIS OF HIGH Q CMOS-COMPATIBLE MICROWAVE SPIRAL INDUCTORS IN SILICON TECHNOLOGY", IEEE Trans. on Electron Device, Vol. 45, No. 9, pág. 1953-1959, Setembro 1998.

[19] S. G. El Khoury, "THE DESIGN OF ACTIVE FLOATING POSITIVE AND NEGATIVE INDUCTORS IN MMIC TECHNOLOGY", IEEE Microwave Guided Wave Letters, Vol. 5, No. 10, pág. 321-323, Outubro 1995.

[20] S. G. El Khoury, "NEW APPROACH TO THE DESIGN OF ACTIVE FLOATING INDUCTOR IN MMIC TECHNOLOGY", IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-44, No. 4, pág. 505-512, Abril 1996.

[21] D. Adams, R. Ho, "ACTIVE FILTERS FOR UHF AND MICROWAVE FREQUENCIES", IEEE Transactions MIT, Vol. MTT-17, pág. 662-670, Setembro 1969.

[22] I. Bahl and P. Bhartia, "MICROWAVE SOLID STATE CIRCUIT DESIGN", pág. 307-309, Wiley Interscience, 1988.

[23] M. J. Morant, "INTEGRATED CIRCUIT DESIGN AND TECHNOLOGY", pág. 62-65, Tutorial Guides in Electronic Engineering, Chapman – Hall, 1990.

[24] S. Y. Liao, "MICROWAVE DEVICES AND CIRCUITS", pág. 237-246, Prentice Hall, Terceira Edição, 1990.

APÊNDICE I

Arquivo das verificações de *LVS* realizadas no ambiente *IC-Station*

```
##################################################
##                                              ##
##        C A L I B R E   S Y S T E M           ##
##                                              ##
##            L V S   R E P O R T               ##
##                                              ##
##################################################
```

```
REPORT FILE NAME:          /local1/grad/belini/lvs.rep
LAYOUT NAME:               /local1/grad/belini/indutor_final
SOURCE NAME:               /local1/grad/belini/vpt_cub_device
LVS MODE:                  Mask
RULE FILE NAME:            /local1/grad/belini/AMS_3.13_MGC/mentor/
ic_station/cub/rules/cub.rules
CREATION TIME:             Tue Sep 18 16:29:07 2001
CURRENT DIRECTORY:         /local1/grad/belini
USER NAME:                 belini

*******************************************************************
                    OVERALL COMPARISON RESULTS
*******************************************************************

                 #        ###################        _   _
                #         #                 #        *   *
            #   #         #     CORRECT     #          |
             # #          #                 #        \___/
              #           ###################

-------------------------

INITIAL NUMBERS OF OBJECTS
-------------------------

                Layout    Source          Component Type
                ------    ------          --------------
 Nets:              12         9     *

 Instances:          2         2          mn (4 pins)
                     2         2          c (2 pins)
                     3         3          r (2 pins)
                ------    ------
 Total Inst:         7         7
```

NUMBERS OF OBJECTS AFTER TRANSFORMATION

	Layout	Source	Component Type
Nets:	9	9	
Instances:	2	2	mn (4 pins)
	2	2	c (2 pins)
	3	3	r (2 pins)
Total Inst:	7	7	

* = Number of objects in layout different from number in source.

****
LVS PARAMETERS
****

o LVS Setup:

Component Type Properties:	lvs_device spicemodel
Subtype Property:	mdl_prim
Pin Name Properties:	phy_pin
Power Net Names:	Porta1 Vg1 Vg2
Ground Net Names:	Porta2
Ignore Ports:	YES
All Capacitor Pins Swappable:	YES
Reduce Parallel Mos Transistors:	YES
Recognize Gates:	NO
Reduce Split Gates:	YES
Reduce Parallel Bipolar Transistors:	YES
Reduce Series Capacitors:	YES
Reduce Parallel Capacitors:	YES
Reduce Series Resistors:	YES
Reduce Parallel Resistors:	YES
Reduce Parallel Diodes:	YES
Unused Device Filter Options:	
LVS Report Options:	
Reverse WL:	NO
Preserve Parametrized Cells:	NO
Property Resolution Maximum:	8
Signature Maximum:	None
Layout Case:	NO
Source Case:	NO
Compare Case:	NO
Report List Limit:	999

o Numeric Trace Properties:

Component Type	Component Subtype	Source Property Name	Direct Property Name
mn		instpar(w)	w
mp		instpar(w)	w
me		instpar(w)	width

md	instpar(w)	width
mn	instpar(l)	l
mp	instpar(l)	l
me	instpar(l)	length
md	instpar(l)	length
r	instpar(r)	resistance
c	instpar(c)	capacitance
d	instpar(a)	area
d	instpar(p)	perimeter
r	instpar(w)	w
r	instpar(l)	l
c	dev_area	a
c	peri	p

Mask Property Name	Tolerance	Trace
w	1%	YES
w	1%	YES
w	0%	NO
w	0%	NO
l	1%	YES
l	1%	YES
l	0%	NO
l	0%	NO
r	0%	NO
c	0%	NO
a	0%	NO
p	0%	NO
w	1%	YES
l	1%	YES
a	1%	YES
p	1%	NO

****
INFORMATION AND WARNINGS
****

	Matched Layout	Matched Source	Unmatched Layout	Unmatched Source	Component Type
Nets:	9	9	0	0	
Instances:	2	2	0	0	mn(nmos4)
	2	2	0	0	c(cpolya)
	3	3	0	0	r(rpoly)
Total Inst:	7	7	0	0	

o Statistics:

3 isolated layout nets were deleted.

o Isolated Layout Nets:

(Layout nets which are not connected to any instances or ports).

10(79.000,249.050) 11(203.800,61.350) 12(322.400,181.600)

o Initial Correspondence Points:

Nets: Porta1 Vg1 Vg2 Porta2 net_g1 net_g2 net_ext net_12

****

SUMMARY

****

Total CPU Time: 0 sec
Total Elapsed Time: 1 sec

APÊNDICE II

Arquivo de saída das simulações realizadas no ambiente *Accusim*

```
Analog Simulation OUTPUT FILE:  /var/tmp/accusim.out.belini

1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)
(v4.7_1.1)  *******09:52:32******

0design:  /local1/grad/belini/.vpt_cub_device

0****     INPUT LISTING

    0*****************************************************************
    2including /local1/grad/belini/AMS_3.13_MGC/eldo/cux/profile.opt
    1  *===============================================================
    2  *  CUX   P R O F I L E
    3  *  Created by /tools/parmgr/fmt/eldo/profile.m4 version __
    version__ for HIT-Kit 3.10.
    4  *  (c) Austria Mikro Systeme Intl. AG %G% gra (463)
    5  *---------------------------------------------------------------
    6  *  Format        :  ELDO
    7  *  Process       :  0.6 um CMOS
    8  *  By            :  ese (487)
    9  *  Date          :  1998-11-30
   10  *---------------------------------------------------------------
   11  .WIDTH OUT=80
   12  *
   13  * Define minimum process diffusions:
   14  .OPTIONS DEFAD=2.100E-12 DEFAS=2.100E-12
   15  .OPTIONS DEFPD=5.800E-06 DEFPS=5.800E-06
   16  .OPTIONS DEFNRD=0.0 DEFNRS=0.0 DEFW=0.0 DEFL=0.0
   17  * L, W and NRx MUST be specified. See Netlist Format Docum.
   18  *
   19  * Set status and partitioning reports but no model echo:
   20  .OPTIONS STAT=3 SIMUDIV=10 NOMOD
   21  *
   22  *   ACCURACY:   STANDARD OPTIONS
   23  *
   24  * DC OPTIONS
   25  * Do not allow SOR, always use Newton method:
   26  .OPTIONS NEWTON
   27  * Set Newton accuracy options:
   28  .OPTIONS VNTOL=1.E-6 ITOL=0.1E-4  RELTOL=1.0E-5
   29  * TRANSIENT OPTIONS
   30  * Set LTE time-step control:
```

```
31  .OPTIONS QTRUNC
32  * Set Gear integration with LTE time-step control:
33  .OPTIONS GEAR MAXORD=3 LVLTIM=2 TRTOL=7.0 QTRUNC
34  * Set Accuracy options for LTE time-step control
35  .OPTIONS NGTOL=1.0E-5 CHGTOL=1.0E-14 FLXTOL=10.E-12
RELTRUNC=1.0E-4
36  * Either set EPS or all the parameters above
37  * .OPTIONS EPS=1.0e-5
38  *
39  *   ACCURACY:   CONSERVATIVE OPTIONS
40  *
41  * For critical circuits remove the STANDARD OPTIONS above
42  * and uncomment all  the .OPTIONS - statements below
43  * The following setting try to guarantuee a very stable
solution
44  * together with high accuracy by selecting small time steps.
45  *
46  * DC OPTIONS
47  * Do not allow SOR, always use Newton method:
48  * .OPTIONS NEWTON
49  * Set Newton accuracy options:
50  * .OPTIONS VNTOL=1.e-6 ITOL=0.1e-4  RELTOL=1.0e-6
51  * TRANSIENT OPTIONS
52  * Set LTE time-step control:
53  * .OPTIONS QTRUNC
54  * Choose most stable algorithm:
55  * .OPTIONS BE
56  * Decrease time-step directly:
57  * .OPTIONS TRTOL=1.0
58  * .OPTIONS LVLTIM=2
59  * Allow more iterations for a time step
60  * .OPTIONS ITL4=50
61  * More restrictive bounds -> smaller time steps
62  * .OPTIONS NGTOL=1.0e-5 CHGTOL=1.0e-15 FLXTOL=1.e-12
RELTRUNC=1.e-5
63  * Either set EPS or all the parameters above
64  * .OPTIONS EPS=1.0e-7
65  *
66  *
67  * MONTE - CARLO PARAMETERS
68  *
69  * Define correlated process parameters for Monte-Carlo:
70  *
71  .PARAM DELTGOX=0 LOT/UNIFORM=1.000E-09
72  + DELVTON=0 LOT/UNIFORM=0.100E+00
DELVTOP=0 LOT/UNIFORM=0.100E+00
73  + DELUON =0 LOT/UNIFORM=39.00E+00
DELUOP =0 LOT/UNIFORM=8.50E+00
74  + DELL   =0 LOT/UNIFORM=0.100E-06
DELW   =0 LOT/UNIFORM=0.300E-06
75  + DELRDIFFN=0 LOT/UNIFORM=7.50E+00
DELRDIFFP=0 LOT/UNIFORM=17.50E+00
76  + RATIORWELL=1 LOT/UNIFORM=0.100E+00
77  + DELRPOLYN=0 LOT/UNIFORM=05.00E+00
DELRPOLYP=0 LOT/UNIFORM=05.00E+00
78  + DELWDPOLY2=0 LOT/UNIFORM=0.150E-06
79  + DELRPOLY2=0 LOT/UNIFORM=09.00E+00
```

```
DELRPOLYH=0 LOT/UNIFORM=200
80  + CGSDO  =3.400E-10 LOT/UNIFORM=1.000E-10
81  + CGBO   =1.300E-10 LOT/UNIFORM=0.300E-10
82  + GUMMELBIC=0     RECOMBBIC=0
83  + RATIOCJE=1   RATIOCJC=1
84  + RATIOCJS=1
85  + RATIORC2BN=1  RATIORE2BN=1
86  + EXTRAPAR=0 LOT/UNIFORM=0.591
GUMMELPAR={LOG(RATIORWELL)+EXTRAPAR}
87  + RECOMBPAR=0 LOT/UNIFORM=0.100E+00
88  + NORMZENER=0.5 LOT/UNIFORM=0.5
89  *=============================================================
 2
 3  * LIBRARY FILES.
 4  .LIB /local1/grad/belini/AMS_3.13_MGC/eldo/cux/biptm.mod
 5  .LIB /local1/grad/belini/AMS_3.13_MGC/eldo/cux/captm.mod
 6  .LIB /local1/grad/belini/AMS_3.13_MGC/eldo/cux/restm.mod
 7  .LIB /local1/grad/belini/AMS_3.13_MGC/eldo/cux/cmos53tm.mod
 8  * end of LIBRARY FILES listing.
 9  *
10  * GLOBAL VARIABLES.
11  .PARAM CAP=50
12  .PARAM CAP_ECL=50
13  .PARAM SX=1.5E-06
14  .PARAM SXH=1.5E-06
15  .PARAM CPOX=0.00086
16  .PARAM CPOXF=0.00011
17  .PARAM CSAND=0.0001
18  .PARAM CSANDF=5.2E-05
19  .PARAM RPOLY=33
20  .PARAM WPOLY=0
21  .PARAM LPOLY=0
22  .PARAM TCPOLY=0.00075
23  .PARAM RPOLY2=32
24  .PARAM WPOLY2=0.1
25  .PARAM LPOLY2=0
26  .PARAM TCPOLY2=0.0008
27  .PARAM RPOLYH=1200
28  .PARAM WPOLYH=0
29  .PARAM LPOLYH=0
30  .PARAM TCPOLYH=-0.00105
31  .PARAM RDIFFN=32
32  .PARAM WDIFFN=-0.2
33  .PARAM LDIFFN=0
34  .PARAM TCDIFFN=0.0018
35  .PARAM RDIFFP=60
36  .PARAM WDIFFP=-0.2
37  .PARAM LDIFFP=0
38  .PARAM TCDIFFP=0.00165
39  .PARAM RNWELL=1000
40  .PARAM WNWELL=1.25
41  .PARAM LNWELL=0
42  .PARAM TCNWELL=0.0066
43  .OPTIONS  TNOM=27 NEWTON
44  .TEMP 27
45  VFORCE_10 VG2 0 DC 0
46  VFORCE_11 VG1 0 DC 0
```

EESC-USP Biblioteca CAMPUS DE S. CARLOS

```
47  M_FET2 IDC NET_G2 NET12 NET12 MODN W=1.500000E-04
L=6.000000E-07 AS=2.250000E-10 AD=2.250000E-10 PS=1.530000E-04
PD=1.530000E-04 NRS=5.000000E-03 NRD=5.000000E-03
48  M_FET1 NET12 NET_G1 0 0 MODN W=1.500000E-04 L=6.000000E-07
AS=2.250000E-10 AD=2.250000E-10 PS=1.530000E-04 PD=1.530000E-04
NRS=5.000000E-03 NRD=5.000000E-03
49  X_RCORR IAC IDC  RPOLY1 W=4.000000E-06 L=1.210000E-07
50  X_R1 NET_G1 VG1  RPOLY1 W=4.000000E-06 L=4.242400E-05
51  X_R2 VG2 NET_G2  RPOLY1 W=4.000000E-06 L=4.242400E-05
52  X_REXT IDC NET_EXT  RPOLY1 W=4.000000E-06 L=1.696970E-04
53  X_C1 NET_G1 NET_EXT  CPOLY M=1.000000E+00 AREA=2.674419E-09
PERI=2.068591E-04
54  X_C2 0 NET_G2  CPOLY M=1.000000E+00 AREA=3.488370E-10
PERI=7.470871E-05
55  IFORCE_2 IAC 0 DC 0 AC 1 0
56  IFORCE_12 IDC 0 DC 0.01
57  .AC DEC 100 100000000 1E+10
58  *
59  * begining of translation table for device INSTANCE names
60  *  netlist_name          original_name
61  *
62  *  M_FET1               /FET1
63  *  X_Rext               /Rext
64  *  M_FET2               /FET2
65  *  X_C1                   /C1
66  *  X_C2                   /C2
67  *  iforce_12         iforce_12
68  *  X_R1                   /R1
69  *  X_R2                   /R2
70  *  iforce_2          iforce_2
71  *  X_Rcorr            /Rcorr
72  *  vforce_10         vforce_10
73  *  vforce_11         vforce_11
74  * end of translation table for device INSTANCE names
75  *
76  * begining of translation table for device MODEL names
77  *  netlist_name          original_name
78  *
79  *  MODN                    MODN
80  *  cpoly                  cpoly
81  *  rpoly1                rpoly1
82  * end of translation table for device MODEL names
83  *
84  *
85  * begining of translation table for NODE names
86  *  netlist_name   original_name
87  *
88  *  ground           mgc_dummy_ground
89  *  IDC              /IDC
90  *  IAC              /IAC
91  *  net_g2           /net_g2
92  *  net_ext          /net_ext
93  *  net_g1           /net_g1
94  *  Vg1              /Vg1
95  *  Vg2              /Vg2
96  *  0                /Porta2
97  *  net12            /net12
```

```
  98  * end of translation table for NODE names
  99  * >KEEP
 100  .VIEW ALL
 101  .VIEW V(NET12)
 102  .VIEW V(NET_G2)
 103  .VIEW V(VG1)
 104  .VIEW V(NET_EXT)
 105  .VIEW V(VG2)
 106  .VIEW V(IAC)
 107  .VIEW V(0)
 108  .VIEW V(IDC)
 109  .VIEW V(NET_G1)
 110  .VIEW IX(X_R1/2)
 111  .VIEW I(M_FET2/S)
 112  .VIEW IX(X_R2/2)
 113  .VIEW I(M_FET1/D)
 114  .VIEW I(M_FET2/G)
 115  .VIEW I(M_FET2/B)
 116  .VIEW IX(X_C1/1)
 117  .VIEW IX(X_RCORR/2)
 118  .VIEW IX(X_C2/1)
 119  .VIEW IX(X_REXT/2)
 120  .VIEW IX(X_R1/1)
 121  .VIEW I(M_FET2/D)
 122  .VIEW I(M_FET1/S)
 123  .VIEW IX(X_R2/1)
 124  .VIEW IX(X_REXT/1)
 125  .VIEW IX(X_C1/2)
 126  .VIEW I(M_FET1/G)
 127  .VIEW IX(X_RCORR/1)
 128  .VIEW IX(X_C2/2)
 129  .VIEW I(M_FET1/B)
 130  * >ENDKEEP
 131  .END

***** 0  error(s).
***** 0  warning(s).

1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)  (v4.7_1.1)
 *******09:52:32******

0*

0****     INPUT LISTING

0*******************************************************************
    2  ** SUBCKT INCLUDED FROM LIBRARY /local1/grad/belini/
    AMS_3.13_MGC/eldo/cux/restm.mod (line 1)
    3
    4  .SUBCKT RPOLY1 N1 N2 PARAM: W=1 L=1
    5  R1 N1 N2 RPOLY1 {3.300E+01*(L-(0))/(W-(0.000E+00))}
    6  .ENDS
    7  .END
1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)  (v4.7_1.1)
*******09:52:32******

0*
```

```
0****     INPUT LISTING

0*****************************************************************
    2  ** SUBCKT INCLUDED FROM LIBRARY /local1/grad/belini/
    AMS_3.13_MGC/eldo/cux/captm.mod (line 1)
    3
    4  .SUBCKT CPOLY N1 N2 PARAM: M=1 AREA=0 PERI=0
    5  * ---------------------------------------------------------
    6  ****************** SIMULATION PARAMETERS *******************
    7  * ---------------------------------------------------------
    8  * FORMAT     : ELDO, ACCUSIMII, CONTINUUM
    9  * MODEL      : CAPACITOR
   10  * PROCESS    : CU[BEQWAVP]
   11  * REVISION :  B
   12  * EXTRACTED : CUE MAP  1998-10  ESE(487)
   13  * DOC#       : 9933011 REV_B
   14  * ---------------------------------------------------------
   15  *                          TYPICAL MEAN CONDITION
   16  * ---------------------------------------------------------
   17  * VARIABLES: M (MULITIPLIER), AREA [M^2], PERI [M].
   18  *
   19  C1 N1 N2 {M*(8.600E-04*AREA+1.100E-10*PERI)}
   20  .ENDS
   21  .END
1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)  (v4.7_1.1)
*******09:52:32******

0*

0****     INPUT LISTING

0*****************************************************************
    2  ** MODEL INCLUDED FROM LIBRARY /local1/grad/belini/
    AMS_3.13_MGC/eldo/cux/cmos53tm.mod (line 1)
    3
    4  .MODEL MODN NMOS LEVEL=53 MODTYPE=ELDO
    5  * ---------------------------------------------------------
    6  ******************** SIMULATION PARAMETE********************
    7  * ---------------------------------------------------------
    8  * FORMAT     : ELDO, ACCUSIMII, CONTINUUM
    9  * MODEL      : MOS BSIM3V3
   10  * PROCESS    : CU[BEQWAVP]
   11  * REVISION : B
   12  * EXTRACTED : CUE 41667  1998-08  ESE(487)
   13  * DOC#       : 9933011 REV_B
   14  * ---------------------------------------------------------
   15  *                          TYPICAL MEAN CONDITION
   16  * ---------------------------------------------------------
   17  *
   18  +FLKLEV =0          THMLEV =0
   19  *         *** FLAGS ***
   20  +MOBMOD =1.000E+00 CAPMOD =2.000E+00 NQSMOD =0.000E+00
   21  +NOIMOD =1.000E+00 DERIV  =1
   22  *         *** THRESHOLD VOLTAGE RELATED MODEL PARAMETERS ***
   23  +K1      =1.057E+00
   24  +K2      =-1.23E-01 K3      =6.535E+00 K3B     =-2.02E+00
```

```
25  +NPEAK  =9.114E+16 VTH0   =8.481E-01
26  +VOFF   =-1.16E-01 DVT0   =3.561E+00 DVT1   =8.652E-01
27  +DVT2   =-2.50E-01 KETA   =-4.48E-02
28  +PSCBE1 =3.616E+08 PSCBE2 =1.020E-05
29  +DVT0W  =-2.98E+00 DVT1W  =1.306E+06 DVT2W  =-9.24E-03
30  *        *** MOBILITY RELATED MODEL PARAMETERS ***
31  +UA     =1.000E-12 UB     =1.709E-18 UC     =-3.60E-11
32  +U0     =4.269E+02
33  *        *** SUBTHRESHOLD RELATED PARAMETERS ***
34  +DSUB   =5.000E-01 ETA0   =1.008E-02 ETAB   =-1.72E-02
35  +NFACTOR=6.529E-01
36  *        *** SATURATION RELATED PARAMETERS ***
37  +EM     =4.100E+07 PCLM   =9.549E-01
38  +PDIBLC1=2.750E-02 PDIBLC2=1.069E-03 DROUT  =3.510E-01
39  +A0     =9.550E-01 A1     =0.000E+00 A2     =1.000E+00
40  +PVAG   =0.000E+00 VSAT   =8.665E+04 AGS    =1.785E-01
41  +B0     =2.652E-07 B1     =0.000E+00 DELTA  =1.000E-02
42  +PDIBLCB=2.306E-01
43  *        *** GEOMETRY MODULATION RELATED PARAMETERS ***
44  +W0     =3.151E-08 DLC    =1.449E-07
45  +DWC    =-8.94E-09 DWB    =0.000E+00 DWG    =0.000E+00
46  +LL     =0.000E+00 LW     =0.000E+00 LWL    =0.000E+00
47  +LLN    =1.000E+00 LWN    =1.000E+00 WL     =0.000E+00
48  +WW     =0.000E+00 WWL    =0.000E+00 WLN    =1.000E+00
49  +WWN    =1.000E+00
50  *        *** TEMPERATURE EFFECT PARAMETERS ***
51  +AT     =3.300E+04 UTE    =-1.90E+00
52  +KT1    =-4.20E-01 KT2    =2.200E-02 KT1L   =0.000E+00
53  +UA1    =0.000E+00 UB1    =0.000E+00 UC1    =0.000E+00
54  +PRT    =0.000E+00
55  * OVERLAP CAPACITANCE RELATED AND DYNAMIC MODEL PARAMETERS **
56  +CGDO   =3.400E-10 CGSO   =3.400E-10 CGBO   =1.300E-10
57  +CGDL   =0.000E+00 CGSL   =0.000E+00 CKAPPA =6.000E-01
58  +CF     =0.000E+00 ELM    =5.000E+00
59  +XPART  =1.000E+00 CLC    =1.000E-15 CLE    =6.000E-01
60  PARASITIC RESISTANCE AND CAPACITANCE RELATED MODEL PARAMETERS
61  +RDSW   =1.687E+03
62  +CDSC   =0.000E+00 CDSCB  =0.000E+00 CDSCD  =0.000E+00
63  +PRWB   =0.000E+00 PRWG   =0.000E+00 CIT    =2.234E-04
64  * PROCESS AND PARAMETERS EXTRACTION RELATED MODEL PARAMETERS
65  +TOX    =1.270E-08 NGATE  =0.000E+00
66  +NLX    =1.000E-10
67  +XL     =0.000E+00 XW     =0.000E+00
68  *        *** SUBSTRATE CURRENT RELATED MODEL PARAMETERS ***
69  +ALPHA0 =0.000E+00 BETA0  =3.000E+01
70  *        *** NOISE EFFECT RELATED MODEL PARAMETERS ***
71  +AF     =1.343E+00 KF     =6.896E-27 EF     =1.000E+00
72  +NOIA   =1.000E+20 NOIB   =5.000E+04 NOIC   =-1.40E-12
73  *        *** COMMON EXTRINSIC MODEL PARAMETERS ***
74  +ALEV   =2         RLEV   =2
75  +RD     =0.000E+00 RS     =0.000E+00 RSH    =3.000E+01
76  +RDC    =0.000E+00 RSC    =0.000E+00 LD     =1.449E-07
77  +WD     =-8.94E-09
78  +LDIF   =0.000E+00 HDIF   =8.000E-07 WMLT   =1.000E+00
79  +LMLT   =1.000E+00 DEL    =0.000E+00 XJ     =3.000E-07
80  +DIOLEV =4         JS     =2.000E-05 JSW    =0.000E+00
81  +IS     =0.000E+00 N      =1.000E+00
```

```
  82  +DCAPLEV=2          CBD     =0.000E+00 CBS     =0.000E+00
  83  +CJ      =3.800E-04 CJSW    =4.300E-10 FC      =0.000E+00
  84  +MJ      =4.400E-01 MJSW    =2.500E-01 TT      =0.000E+00
  85  +PB      =8.400E-01 PBSW    =9.400E-01
  86  * ---------------------------------------------------------
  87  .END
1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)  (v4.7_1.1)
*******09:52:32******

0*

0****     INPUT LISTING

0*************************************************************
    2  ** MODEL INCLUDED FROM LIBRARY /local1/grad/belini/
    AMS_3.13_MGC/eldo/cux/restm.mod (line 1)
    3
    4  .MODEL RPOLY1 RES TC1=7.500E-04  MODTYPE=ELDO
    5  * ---------------------------------------------------------
    6  ***************** SIMULATION PARAMETERS *********************
    7  * ---------------------------------------------------------
    8  * FORMAT     : ELDO, ACCUSIMII, CONTINUUM
    9  * MODEL      : RESISTOR
   10  * PROCESS    : CU[BEQWAVP]
   11  * REVISION   : B.1
   12  * EXTRACTED  : CUE  1998-08  ESE(487)
   13  * DOC#       : 9933011 REV_B
   14  * ---------------------------------------------------------
   15  *                          TYPICAL MEAN CONDITION
   16  * ---------------------------------------------------------
   17  * VARIABLES: W,L = DEVICE WIDTH AND LENGTH [M]
   18  *
   19  .END


***** GENERATION ...


***** 0  error(s).
***** 0  warning(s).


INFORMATION ABOUT COMPILATION


Memory space allocated (bytes): 506658
12 elements
8 nodes
2 input signals


-------------------------------------------------
Parameters and objects updating.

Updating PARAMETER < DELTGOX >  : DELTGOX = 0.00e+00
Updating PARAMETER < DELVTON >  : DELVTON = 0.00e+00
Updating PARAMETER < DELVTOP >  : DELVTOP = 0.00e+00
```

```
Updating PARAMETER < DELUON >  : DELUON = 0.00e+00
Updating PARAMETER < DELUOP >  : DELUOP = 0.00e+00
Updating PARAMETER < DELL >  : DELL = 0.00e+00
Updating PARAMETER < DELW >  : DELW = 0.00e+00
Updating PARAMETER < DELRDIFFN >  : DELRDIFFN = 0.00e+00
Updating PARAMETER < DELRDIFFP >  : DELRDIFFP = 0.00e+00
Updating PARAMETER < RATIORWELL >  : RATIORWELL = 1.00e+00
Updating PARAMETER < DELRPOLYN >  : DELRPOLYN = 0.00e+00
Updating PARAMETER < DELRPOLYP >  : DELRPOLYP = 0.00e+00
Updating PARAMETER < DELWDPOLY2 >  : DELWDPOLY2 = 0.00e+00
Updating PARAMETER < DELRPOLY2 >  : DELRPOLY2 = 0.00e+00
Updating PARAMETER < DELRPOLYH >  : DELRPOLYH = 0.00e+00
Updating PARAMETER < CGSDO >  : CGSDO = 3.40e-10
Updating PARAMETER < CGBO >  : CGBO = 1.30e-10
Updating PARAMETER < GUMMELBIC >  : GUMMELBIC = 0.00e+00
Updating PARAMETER < RECOMBBIC >  : RECOMBBIC = 0.00e+00
Updating PARAMETER < RATIOCJE >  : RATIOCJE = 1.00e+00
Updating PARAMETER < RATIOCJC >  : RATIOCJC = 1.00e+00
Updating PARAMETER < RATIOCJS >  : RATIOCJS = 1.00e+00
Updating PARAMETER < RATIORC2BN >  : RATIORC2BN = 1.00e+00
Updating PARAMETER < RATIORE2BN >  : RATIORE2BN = 1.00e+00
Updating PARAMETER < EXTRAPAR >  : EXTRAPAR = 0.00e+00
Updating PARAMETER < RECOMBPAR >  : RECOMBPAR = 0.00e+00
Updating PARAMETER < NORMZENER >  : NORMZENER = 5.00e-01
Updating PARAMETER < CAP >  : CAP = 5.00e+01
Updating PARAMETER < CAP_ECL >  : CAP_ECL = 5.00e+01
Updating PARAMETER < SX >  : SX = 1.50e-06
Updating PARAMETER < SXH >  : SXH = 1.50e-06
Updating PARAMETER < CPOX >  : CPOX = 8.60e-04
Updating PARAMETER < CPOXF >  : CPOXF = 1.10e-04
Updating PARAMETER < CSAND >  : CSAND = 1.00e-04
Updating PARAMETER < CSANDF >  : CSANDF = 5.20e-05
Updating PARAMETER < RPOLY >  : RPOLY = 3.30e+01
Updating PARAMETER < WPOLY >  : WPOLY = 0.00e+00
Updating PARAMETER < LPOLY >  : LPOLY = 0.00e+00
Updating PARAMETER < TCPOLY >  : TCPOLY = 7.50e-04
Updating PARAMETER < RPOLY2 >  : RPOLY2 = 3.20e+01
Updating PARAMETER < WPOLY2 >  : WPOLY2 = 1.00e-01
Updating PARAMETER < LPOLY2 >  : LPOLY2 = 0.00e+00
Updating PARAMETER < TCPOLY2 >  : TCPOLY2 = 8.00e-04
Updating PARAMETER < RPOLYH >  : RPOLYH = 1.20e+03
Updating PARAMETER < WPOLYH >  : WPOLYH = 0.00e+00
Updating PARAMETER < LPOLYH >  : LPOLYH = 0.00e+00
Updating PARAMETER < TCPOLYH >  : TCPOLYH = -1.05e-03
Updating PARAMETER < RDIFFN >  : RDIFFN = 3.20e+01
Updating PARAMETER < WDIFFN >  : WDIFFN = -2.00e-01
Updating PARAMETER < LDIFFN >  : LDIFFN = 0.00e+00
Updating PARAMETER < TCDIFFN >  : TCDIFFN = 1.80e-03
Updating PARAMETER < RDIFFP >  : RDIFFP = 6.00e+01
Updating PARAMETER < WDIFFP >  : WDIFFP = -2.00e-01
Updating PARAMETER < LDIFFP >  : LDIFFP = 0.00e+00
Updating PARAMETER < TCDIFFP >  : TCDIFFP = 1.65e-03
Updating PARAMETER < RNWELL >  : RNWELL = 1.00e+03
Updating PARAMETER < WNWELL >  : WNWELL = 1.25e+00
Updating PARAMETER < LNWELL >  : LNWELL = 0.00e+00
Updating PARAMETER < TCNWELL >  : TCNWELL = 6.60e-03
Updating PARAMETER < X_RCORR/W >  : X_RCORR/W = 4.00e-06
```

```
Updating RESISTOR < X_RCORR/R1 >  : VALUE = 9.98e-01
Updating PARAMETER < X_RCORR/L >  : X_RCORR/L = 1.21e-07
Updating RESISTOR < X_RCORR/R1 >  : VALUE = 9.98e-01
Updating PARAMETER < RPOLY1/W >  : RPOLY1/W = 1.00e+00
Updating PARAMETER < RPOLY1/L >  : RPOLY1/L = 1.00e+00
Updating PARAMETER < X_R1/W >  : X_R1/W = 4.00e-06
Updating RESISTOR < X_R1/R1 >  : VALUE = 3.50e+02
Updating PARAMETER < X_R1/L >  : X_R1/L = 4.24e-05
Updating RESISTOR < X_R1/R1 >  : VALUE = 3.50e+02
Updating PARAMETER < X_R2/W >  : X_R2/W = 4.00e-06
Updating RESISTOR < X_R2/R1 >  : VALUE = 3.50e+02
Updating PARAMETER < X_R2/L >  : X_R2/L = 4.24e-05
Updating RESISTOR < X_R2/R1 >  : VALUE = 3.50e+02
Updating PARAMETER < X_REXT/W >  : X_REXT/W = 4.00e-06
Updating RESISTOR < X_REXT/R1 >  : VALUE = 1.40e+03
Updating PARAMETER < X_REXT/L >  : X_REXT/L = 1.70e-04
Updating RESISTOR < X_REXT/R1 >  : VALUE = 1.40e+03
Updating PARAMETER < X_C1/M >  : X_C1/M = 1.00e+00
Updating CAPACITOR < X_C1/C1 >  : VALUE = 2.32e-12
Updating PARAMETER < X_C1/AREA >  : X_C1/AREA = 2.67e-09
Updating CAPACITOR < X_C1/C1 >  : VALUE = 2.32e-12
Updating PARAMETER < X_C1/PERI >  : X_C1/PERI = 2.07e-04
Updating CAPACITOR < X_C1/C1 >  : VALUE = 2.32e-12
Updating PARAMETER < CPOLY/M >  : CPOLY/M = 1.00e+00
Updating PARAMETER < CPOLY/AREA >  : CPOLY/AREA = 0.00e+00
Updating PARAMETER < CPOLY/PERI >  : CPOLY/PERI = 0.00e+00
Updating PARAMETER < X_C2/M >  : X_C2/M = 1.00e+00
Updating CAPACITOR < X_C2/C1 >  : VALUE = 3.08e-13
Updating PARAMETER < X_C2/AREA >  : X_C2/AREA = 3.49e-10
Updating CAPACITOR < X_C2/C1 >  : VALUE = 3.08e-13
Updating PARAMETER < X_C2/PERI >  : X_C2/PERI = 7.47e-05
Updating CAPACITOR < X_C2/C1 >  : VALUE = 3.08e-13
--------------------------------------------------


 Eldo VERSION :  ELDO v4.7_1.1 (production)
 Tue May 26 19:05:54 MET DST 1998


*** DATE:  4-Sep-01  09:52:32

TEMPERATURE : 27.000000 degrees C

Searching Operating Point between -1.000000E+13V and
                                   1.000000E+13V

--------------------------------------------------
Information about the partitioning ...

Number of Newton Blocks : 1

Newton Block No: 1 contains ...
                 10 nodes.
                 14 components.
List of nodes :
NET_G2      NET_G1      IDC    NET12 IAC    NET_EXT
M_FET2_D    M_FET2_S    M_FET1_D    M_FET1_S
```

```
Total number of nodes                    : 12
Total number of nodes in Newton Blocks : 10
Circuit size solved by Newton            : 83.333333%
-------------------------------------------------


1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)  (v4.7_1.1)
 *******09:52:32******

0design:  /local1/grad/belini/.vpt_cub_de

*  OPTION SUMMARY                        TEMPERATURE =   27.000 DEG C

**************************************************************************


*** DC Control Options :

GMIN     = 1.00e-12 NMAXSIZE      = 5000000  ITL1          = 100
GRAMP    = 0        NETSIZE       = 1000000  VMIN          = UNDEF
VMAX     = UNDEF

*** Accuracy Control Options :

ITOL  = 1.00e-05 EPSDIG         = 5.00e-03 EPS           = 5.00e-03
VNTOL = 1.00e-06 RELTOL         = 1.00e-05 RELERR        = 5.00e-02
PIVREL= 1.00e-03 PIVTOL         = 1.00e-13 ABSTOL        = 1.00e-12
FLXTOL = 1.00e-11 CHGTOL         = 1.00e-14 MAXORD         = 3.00e+00
NGTOL  = 1.00e-05 RELTRUNC       = 1.00e-04

*** Time-step Control Options :

ZOOMTIME = 1.00e+00 STEP       = 0.00e+00 STARTSMP      = 0.00e+00
FREQSMP  = 0.00e+00 COURESOL   = 0.00e+00 TRTOL         = 7.00e+00
HMIN     = 1.00e-12 ITL3       = 3        ITL4          = 13
FT       = 1.25e-01 DCLOG      = 1.00e+00 LVLTIM        = 2
LVLCNV   = 2        DVDT       = -1       RELVAR        = 1.50e-01
ABSVAR   = 2.00e-01 SAMPLE     = 0.00e+00 HMAX          = UNDEF


*** MosFet default Options :

SCALE   = 1.00e+00 SCALM  = 1.00e+00 SCALEBSIM      = 1.00e+00
DEFAD   = 2.10e-12 DEFAS  = 2.10e-12 DEFPD          = 5.80e-06
DEFPS   = 5.80e-06 DEFW   = 0.00e+00 DEFL           = 0.00e+00
DEFNRD  = 0.00e+00 DEFNRS = 0.00e+00 XA             = 6.00e-06
LIMRMOS = UNDEF    SHRINK = 1.00e+00

*** General Information Options :

SDA         = 0        CPTIME         = UNDEF    STAT           = 3
TIMEDIV     = 0        SIMUDIV        = 10       SAVETIME       = 0
MAXTRAN     = 1000     MAXNODES       = 500      MAXV     = 1.00e+13
LIMPROBE    = 50       FLICKER_NOISE  = 0        THERMAL_NOISE  = 0
TNOM        = 2.70e+01 TMAX           = 0.00e+00
```

```
SPICDC      = 0         SPIOUT      = 0         NEWTON      = 1
OSR         = 0         TRAP        = 0         GEAR        = 1
BE          = 0         PROBEOP     = 0         NOLAT       = 0
NWLAT       = 0         ANALOG      = 0         BBDEBUG     = 0
NOSIZECHK   = 0         UNBOUND     = 0         LCAPOP      = 0
STVER       = 0         MOTOROLA    = 0         AMS         = 0
ASPEC       = 0         INPUT       = 0         NOINIT      = 0
SVDX        = 0         PSF         = 0         WSF         = 0
WSFASCII    = 0         NOCOU       = 0         WL          = 0
NODE        = 0         LIST        = 0         SPI3BIN     = 0
SPI3ASC     = 0         NOMOD       = 1         RMOS        = 0
NWRMOS      = 2         NONWRMOS    = 2         USEDEFAP    = 0
NOASCII     = 0         ASCII       = 2         MIXED       = 0
SWITCH      = 0         USERSWITCH  = 0         TIMING      = 0
MODWL       = 0         ULOGIC      = 0

***> DC CPU TIME 0s 030ms <***

DC:7 iterations FOR DC analysis


1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)  (v4.7_1.1)
*******09:52:32******

0design:  /local1/grad/belini/.vpt_cub_de

0 SMALL SIGNAL BIAS SOLUTION       TEMPERATURE =   27.000 DEG C

0*****************************************************************

NODE          VOLTAGE      NODE          VOLTAGE
IAC         -1.4287E+00   IDC         -1.4287E+00
NET12       -7.3551E-01   NET_EXT     -1.4287E+00
NET_G1       0.0000E+00   NET_G2       0.0000E+00
VG1          0.0000E+00   VG2          0.0000E+00

   VOLTAGE SOURCE CURRENT

NAME       CURRENT       VOLTAGE       POWER
VFORCE_10   0.0000E+00    0.0000E+00    0.0000E+00
VFORCE_11   0.0000E+00    0.0000E+00    0.0000E+00
IFORCE_2    0.0000E+00   -1.4287E+00    0.0000E+00
IFORCE_12   1.0000E-02   -1.4287E+00   -1.4287E-02

   TOTAL POWER DISSIPATION:  1.4287E-02 WATTS

1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)  (v4.7_1.1)
 *******09:52:32******

0design:  /local1/grad/belini/.vpt_cub_de

0   OPERATING POINT INFORMATION      TEMPERATURE =   27.000 DEG C
```

```
0*****************************************************************


        M_FET2          M_FET1
MODEL   MODN            MODN

ID      -1.0000E-02   -1.0000E-02
VGS      7.3551E-01    0.0000E+00
VDS     -6.9323E-01   -7.3551E-01
VBS     -1.2218E-03    0.0000E+00
VTH      6.1495E-01    6.1057E-01
VDSAT    4.4682E-01    1.1259E-01
GM       1.3731E-02    5.2807E-03
GDS      2.0520E-03    1.1025E-04
GMB      6.0144E-04    4.4643E-04
Cdd      3.3928E-13    3.3772E-13
Cdg     -1.3365E-13   -1.3249E-13
Cds     -2.1670E-15   -1.5220E-17
Cdb     -2.0346E-13   -2.0521E-13
Cgd     -1.3044E-13   -1.2687E-13
Cgg      2.0223E-13    1.9927E-13
Cgs     -5.3983E-14   -5.1022E-14
Cgb     -1.7802E-14   -2.1379E-14
Csd     -1.4855E-15    1.0356E-16
Csg     -5.6129E-14   -5.1137E-14
Css      2.0887E-13    2.0234E-13
Csb     -1.5125E-13   -1.5131E-13
Cbd     -2.0735E-13   -2.1095E-13
Cbg     -1.2447E-14   -1.5645E-14
Cbs     -1.5272E-13   -1.5130E-13
Cbb      3.7251E-13    3.7790E-13
PHI      8.0974E-01    8.0974E-01
VBI      9.9081E-01    9.9081E-01
Region  linear        subthreshold
VTH_D    1.2056E-01   -6.1057E-01


        X_RCORR/R1    X_R1/R1       X_R2/R1       X_REXT/R1
V+      -1.4287E+00    0.0000E+00    0.0000E+00   -1.4287E+00
V-      -1.4287E+00    0.0000E+00    0.0000E+00   -1.4287E+00
ID       0.0000E+00    0.0000E+00    0.0000E+00    0.0000E+00

        X_C1/C1       X_C2/C1
V+       0.0000E+00    0.0000E+00
V-      -1.4287E+00    0.0000E+00
ID       0.0000E+00    0.0000E+00

***> CPU TIME 0s 240ms <***



1******* 4-Sep-01 *******  ELDO v4.7_1.1 (production)  (v4.7_1.1)
*******09:52:32******

0design:  /local1/grad/belini/.vpt_cub_de
```

```
0  ACCOUNTING INFORMATION                TEMPERATURE =   27.000 DEG C

0**********************************************************************

    NUNODS NCNODS NUMNOD   NUMEL   DIODES     BJT  JFET  MOSFET

        12      8     12      12         0       0     0       2

    NSTOP    NTERM    PERSPA

       14       55 7.194e+01

    NUMTTP  NUMRTP  LTERTP  LTERTPNW NWNOCON

         0       0       0       0       0
  DIGITAL  INWCALL    ITERNW   MEMSIZE

        0        7 7.000e+00    946760

    NDEVCALL       NKIRCH  NMAXCALL      ITERM     LATENCY

         418            2         0   0.00e+00   0.000e+00%

***> CPU TIME 0s 340ms <***

***>GLOBAL CPU TIME 0s 510ms <***

  Job started at  4-Sep-2001 09:52:32
  Job end at      4-Sep-2001 09:52:33

  Run on quantum
```